

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208713

(P2017-208713A)

(43) 公開日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 29/06 (2006.01)	HO4L 13/00 305C	5B034
HO4L 1/00 (2006.01)	HO4L 1/00 A	5B061
GO6F 13/10 (2006.01)	GO6F 13/10 320Z	5B083
GO6F 13/36 (2006.01)	GO6F 13/36 520C	5K014
GO6F 13/00 (2006.01)	GO6F 13/00 301K	5K034

審査請求 未請求 請求項の数 17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2016-99955 (P2016-99955)  
 (22) 出願日 平成28年5月18日 (2016.5.18)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100121131  
 弁理士 西川 孝  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (72) 発明者 高橋 宏雄  
 東京都港区港南1丁目7番1号 ソニー株式会社社内  
 (72) 発明者 横川 峰志  
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

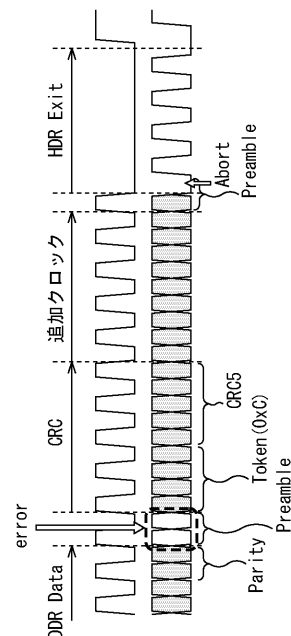
(54) 【発明の名称】 通信装置、通信方法、プログラム、および、通信システム

(57) 【要約】

FIG. 3

【課題】より確実に通信を行う。  
 【解決手段】マスタにおいて、送受信部は、スレーブと信号の送受信を行い、エラー検出部は、送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信され、そのプリアンブルに続いて受信された信号のビット列と、プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出する。そして、コンフリクト回避部は、エラー検出部によりエラーの発生が検出された場合、プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアボート信号を送信するように、送受信部に対する指示を行う。本技術は、例えば、I3Cの規格に準拠して通信を行うバスIFに適用できる。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

他の通信装置と信号の送受信を行う送受信部と、

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と  
を備える通信装置。

10

**【請求項 2】**

前記コンフリクト回避部は、

前記送受信部により受信されたプリアンブルが、トークンおよびCRC (Cyclic Redundancy Check) 5を含むCRCワードの送信を指定しているのに対して、前記プリアンブルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記プリアンブルに続いて、前記CRCワードのビット数、および、前記CRCワードのビット数と前記他の通信装置から読み出されるリードデータのビット数との差に対応する追加クロックのビット数に応じたクロックを送信した後に、前記アポート信号の送信を行わせる

20

請求項 1 に記載の通信装置。

**【請求項 3】**

前記コンフリクト回避部は、前記追加クロックを送信中に前記送受信部が受信した信号を無視する

請求項 2 に記載の通信装置。

**【請求項 4】**

前記送受信部は、前記他の通信装置から前記リードデータが送信されてくるとしたときの、前記リードデータに続いて送受信される 2 ビットのプリアンブルの 2 ビット目のタイミングで前記アポート信号を送信する

30

請求項 3 に記載の通信装置。

**【請求項 5】**

前記コンフリクト回避部は、

前記送受信部により受信されたプリアンブルが、トークンおよびCRC (Cyclic Redundancy Check) 5を含むCRCワードの送信を指定しているのに対して、前記プリアンブルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記トークン、前記CRC5、並びに、前記トークンおよび前記CRC5と前記他の通信装置からデータが読み出される際のビット数との差に対応するビット数のリザーブビットから構成されるフォーマットが用いられる前記CRCワードに対応するビット数のクロックを送信した後に、前記アポート信号の送信を行わせる

40

請求項 1 に記載の通信装置。

**【請求項 6】**

前記送受信部は、前記アポート信号に続いて、特定の通信モードの終了を指示するコマンドを送信する

請求項 1 に記載の通信装置。

**【請求項 7】**

前記送受信部は、前記アポート信号に続いて、特定の通信モードにおける通信のリスタートを指示するコマンドを送信する

請求項 1 に記載の通信装置。

50

**【請求項 8】**

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部

をさらに備え、

前記コンフリクト回避部は、前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に前記アポート信号を送信するように、前記送受信部に対する指示を行う

請求項 1 に記載の通信装置。

**【請求項 9】**

前記送受信部は、前記他の通信装置から読み出されるリードデータを受信し、前記リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動を常に行う

請求項 1 に記載の通信装置。

**【請求項 10】**

前記送受信部は、前記他の通信装置がデータ信号線に対する駆動を行って送信するCRC (Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

請求項 1 に記載の通信装置。

**【請求項 11】**

前記エラー検出部は、前記データに含まれている 2 ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する

請求項 1 に記載の通信装置。

**【請求項 12】**

前記送受信部は、通常の転送レートでデータ通信を行うSDR (Standard Data Rate) モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR (High Data Rate) モードで、信号の送受信を行うことができる

請求項 1 に記載の通信装置。

**【請求項 13】**

前記送受信部は、1 ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の 2 本の信号線を介して通信を行う

請求項 1 に記載の通信装置。

**【請求項 14】**

前記送受信部、I3C (Improved Inter Integrated Circuit) の規格に準じた通信を行う

請求項 1 に記載の通信装置。

**【請求項 15】**

他の通信装置と信号の送受信を行い、

次に送信するデータのタイプを指定するプリアンプルが受信されて、そのプリアンプルに続いて受信された信号のビット列と、前記プリアンプルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出し、

エラーの発生が検出された場合、前記プリアンプルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信する

ステップを含む通信方法。

**【請求項 16】**

他の通信装置と信号の送受信を行い、

次に送信するデータのタイプを指定するプリアンプルが受信されて、そのプリアンプルに続いて受信された信号のビット列と、前記プリアンプルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出し、

10

20

30

40

50

エラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するステップを含む通信処理をコンピュータに実行させるプログラム。

【請求項 17】

バスにおける制御の主導権を有する第 1 の通信装置と、  
前記第 1 の通信装置による制御に従って通信を行う第 2 の通信装置と  
を備え、

前記第 1 の通信装置が、

前記第 2 の通信装置と信号の送受信を行う送受信部と、

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部と  
を有する

通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、より確実に通信を行うことができるようにした通信装置、通信方法、プログラム、および、通信システムに関する。

【0002】

従来、複数のデバイスが実装されたボード内でバスを介したデバイス間の通信に用いられるバス I F (Interface) として、例えば、I2C (Inter-Integrated Circuit) が多く利用されている。

【0003】

また、近年、I2Cの高速化を実現することが求められており、次世代の規格としてI3C (Improved Inter Integrated Circuit) の規定が進行している。I3Cでは、マスタおよびスレーブは、2本の信号線を用いて双方向に通信を行うことができ、例えば、マスタからスレーブへのデータ転送(ライト転送)と、スレーブからマスタへのデータ転送(リード転送)とが行われる。

【0004】

例えば、特許文献1には、ホスト・プロセッサとサブシステム・コントローラとを、I2Cにより相互接続するデジタル・データ処理システムが開示されている。また、特許文献2には、標準I2Cプロトコルの上部に層状に配置された通信プロトコルを実現する方法が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2000-99448号公報

【特許文献2】特開2002-175269号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、上述したようなI3Cでは、例えば、マスタおよびスレーブにおいて、パリティやCRC (Cyclic Redundancy Check) などによるエラー検出が行われることが規定されているが、そのようなエラー検出が用意されていない信号の送受信も行われる。そのため、

エラー検出が用意されていない信号にエラーが発生したときに、マスタおよびスレーブが、正常な通信を行うことができなくなることが懸念される。

【0007】

本開示は、このような状況に鑑みてなされたものであり、より確実に通信を行うことができるようにするものである。

【課題を解決するための手段】

【0008】

本開示の第1の側面の通信装置は、他の通信装置と信号の送受信を行う送受信部と、前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信され、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを備える。

10

【0009】

本開示の第1の側面の通信方法またはプログラムは、他の通信装置と信号の送受信を行い、次に送信するデータのタイプを指定するプリアンブルが受信され、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出し、エラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するステップを含む。

20

【0010】

本開示の第1の側面においては、他の通信装置と信号の送受信が行われ、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生が検出される。そして、エラーの発生が検出された場合、プリアンブルに続いて所定ビット数に応じたクロックが送信された後に、通信を途中で遮断することを指示するアポート信号が送信される。

30

【0011】

本開示の第2の側面の通信システムは、バスにおける制御の主導権を有する第1の通信装置と、前記第1の通信装置による制御に従って通信を行う第2の通信装置とを備え、前記第1の通信装置が、前記第2の通信装置と信号の送受信を行う送受信部と、前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを有する。

40

【0012】

本開示の第2の側面においては、バスにおける制御の主導権を有する第1の通信装置と、第1の通信装置による制御に従って通信を行う第2の通信装置とにより通信が行われる。そして、第1の通信装置において、第2の通信装置と信号の送受信が行われ、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生が検出される。そして、エラーの発生が検出された場合、プリアンブルに続いて所定ビット数に応じたクロックが送信された後に、通信を途中で遮断することを指示するアポート信号が送信される。

50

## 【発明の効果】

## 【0013】

本開示の第1および第2の側面によれば、より確実に通信を行うことができる。

## 【図面の簡単な説明】

## 【0014】

【図1】本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

【図2】コンフリクトエラーについて説明する図である。

【図3】コンフリクトエラーを回避するフォーマットの一例を示す図である。

【図4】マスタのDDRモードでの通信処理を説明するフローチャートである。

【図5】マスタの構成例を示す回路図である。

10

【図6】コンフリクトエラーを回避するフォーマットの他の例を示す図である。

【図7】コンフリクトエラーを回避するフォーマットの他の例を示す図である。

【図8】本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

。

## 【発明を実施するための形態】

## 【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

## 【0016】

<バスIFの構成例>

20

## 【0017】

図1は、本技術を適用したバスIFの一実施の形態の構成例を示すブロック図である。

## 【0018】

図1に示されているバスIF11は、マスタ12と3台のスレーブ13-1乃至13-3とが、データ信号線14-1およびクロック信号線14-2を介して接続されて構成される。

## 【0019】

マスタ12は、バスIF11における制御の主導権を有しており、データ信号線14-1およびクロック信号線14-2を介して、スレーブ13-1乃至13-3と通信を行うことができる。

30

## 【0020】

スレーブ13-1乃至13-3は、マスタ12による制御に従って、データ信号線14-1およびクロック信号線14-2を介して、マスタ12と通信を行うことができる。なお、スレーブ13-1乃至13-3は、それぞれ同様に構成されており、以下、それらを区別する必要がない場合、単にスレーブ13と称し、スレーブ13を構成する各ブロックについても同様とする。

## 【0021】

データ信号線14-1およびクロック信号線14-2は、マスタ12およびスレーブ13の間で信号を伝送するのに用いられる。例えば、バスIF11では、データ信号線14-1を介して、1ビットずつ逐次的にシリアルデータ(SDA: Serial Data)が伝送され、クロック信号線14-2を介して、所定の周波数のシリアルクロック(SCL: Serial Clock)が伝送される。

40

## 【0022】

また、バスIF11では、I3Cの規格に準じて、通信速度が異なる複数の伝送方式が規定されており、マスタ12は、それらの伝送方式を切り替えることができる。例えば、バスIF11では、データの転送レートに応じて、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードが規定されている。また、HDRモードでは、DDR(Double Data Rate)モード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの3つのモードが規格で定義されている。なお、バ

50

スIF11では、通信を開始するときにはSDRモードで通信を行うことが規定されている。

【0023】

マスタ12は、送受信部21、エラー検出部22、確認信号検出部23、およびコンフリクト回避部24を備えて構成される。

【0024】

送受信部21は、データ信号線14-1およびクロック信号線14-2を介して、スレーブ13と信号の送受信を行う。例えば、送受信部21は、クロック信号線14-2を駆動することにより送信するシリアルクロックのタイミングに合わせて、データ信号線14-1に対する駆動を行う（電位をHレベルまたはLレベルに切り替える）ことにより、スレーブ13に信号を送信する。また、送受信部21は、クロック信号線14-2のシリアルクロックのタイミングに合わせて、スレーブ13がデータ信号線14-1に対する駆動を行うことによって、スレーブ13から送信されてくる信号を受信する。なお、クロック信号線14-2に対する駆動は、常に、マスタ12側により行われる。

10

【0025】

エラー検出部22は、送受信部21が受信した信号に発生しているエラーを検出する。例えば、エラー検出部22は、送受信部21が受信した信号に対するパリティチェックや巡回冗長検査（CRC）などを行ったり、スレーブ13からマスタ12へ送信権を移行する際に発行されるトークンを確認したりすることで、エラーを検出することができる。そして、エラー検出部22は、送受信部21が受信した信号にエラーが発生していることを検出した場合、例えば、送受信部21に対してスレーブ13との通信を最初からやり直すように指示することができる。

20

【0026】

例えば、エラー検出部22は、スレーブ13から送信されてくるデータに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、送受信部21が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する。これにより、エラー検出部22は、マスタ12およびスレーブ13のどちらもデータ信号線14-1に対する駆動が行われないような状態が発生しても、データが正しいものであるか否かを検出することができる。

30

【0027】

確認信号検出部23は、送受信部21から送信された信号を受信したスレーブ13から送信されてくるACK（受信確認信号）またはNACK（非受信確認信号）を検出することにより、スレーブ13がコマンドやデータなどの受信に成功したか否かを確認する。例えば、バスIF11では、信号にエラーが発生せずに、スレーブ13がコマンドやデータなどの受信に成功したときには、スレーブ13からマスタ12にACKを送信するように規定されている。また、バスIF11では、信号にエラーが発生して、スレーブ13がコマンドやデータなどの受信に失敗したときには、スレーブ13からマスタ12にNACKを送信するように規定されている。

【0028】

従って、確認信号検出部23は、マスタ12から送信されるコマンドやデータなどに対して、スレーブ13から送信されてくるACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに成功したと確認することができる。一方、確認信号検出部23は、マスタ12から送信されるコマンドやデータなどに対して、スレーブ13から送信されてくるNACKを検出した場合には、スレーブ13がコマンドやデータなどを受信することに失敗したと確認することができる。

40

【0029】

コンフリクト回避部24は、例えば、図3を参照して後述するように、送受信部21により、CRCワードの送信を指示するプリアンブルが受信され、エラー検出部22により、そのプリアンブルに続いて受信された信号にトークンエラーまたはCRCエラーの発生が検出された場合、プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通

50

信を途中で遮断することを指示するアポート信号を送信するように、送受信部 2 1 に対する指示を行う。これにより、コンフリクト回避部 2 4 は、例えば、スレーブ 1 3 から送信されるリードデータと、マスタ 1 2 から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

【 0 0 3 0 】

また、コンフリクト回避部 2 4 は、例えば、確認信号検出部 2 3 によりNACKが検出された場合、NACKに続く所定数のビットを無視した後に、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部 2 1 に対する指示を行う。これにより、コンフリクト回避部 2 4 は、例えば、スレーブ 1 3 から送信されるリードデータと、マスタ 1 2 から送信されるHDR終了コマンドによりコンフリクトが発生することを回避することができる。

10

【 0 0 3 1 】

スレーブ 1 3 は、送受信部 3 1 およびエラー検出部 3 2 を備えて構成される。

【 0 0 3 2 】

送受信部 3 1 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して、マスタ 1 2 と信号の送受信を行う。例えば、送受信部 3 1 は、クロック信号線 1 4 - 2 のシリアルクロックのタイミングに合わせて、マスタ 1 2 がデータ信号線 1 4 - 1 に対する駆動を行うことによって、マスタ 1 2 から送信されてくる信号を受信する。また、送受信部 3 1 は、クロック信号線 1 4 - 2 のシリアルクロックのタイミングに合わせて、データ信号線 1 4 - 1 に対する駆動を行うことによって、マスタ 1 2 に信号を送信する。

20

【 0 0 3 3 】

エラー検出部 3 2 は、マスタ 1 2 のエラー検出部 2 2 と同様に、送受信部 3 1 が受信した信号に発生しているエラーを検出する。そして、エラー検出部 3 2 は、送受信部 3 1 が受信した信号にエラーが発生していない場合、その信号により伝送されるコマンドやデータなどの受信に成功したことを伝えるACKを、送受信部 3 1 によりマスタ 1 2 に送信させる。一方、エラー検出部 3 2 は、送受信部 3 1 が受信した信号にエラーが発生していた場合、その信号により伝送されるコマンドやデータなどの受信に失敗したことを伝えるNACKを、送受信部 3 1 によりマスタ 1 2 に送信させる。

【 0 0 3 4 】

さらに、エラー検出部 3 2 は、例えば、送受信部 3 1 が受信した信号にエラーが発生し、正常な通信を行うことができない場合には、その後の一切の通信を無視し、マスタ 1 2 に対する応答を停止してスレーブ 1 3 を待機状態とさせる。

30

【 0 0 3 5 】

以上のようにバス I F 1 1 は構成されており、マスタ 1 2 およびスレーブ 1 3 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を介して信号を送受信することができ、コンフリクト回避部 2 4 によってコンフリクトの発生を回避して、より確実に通信を行うことができる。

【 0 0 3 6 】

<コンフリクトの発生の説明>

【 0 0 3 7 】

ここで、コンフリクト回避部 2 4 によるコンフリクトの発生を回避する手法について説明する前に、図 2 を参照して、コンフリクトの発生について説明する。

40

【 0 0 3 8 】

バス I F 1 1 では、DDRモード時において、プリアンブルと呼ばれる 2 ビットの信号を使用して、次に送信するデータのタイプを指定するように規定されている。ところで、プリアンブルには、パリティやCRCによるエラー検出が用意されていないため、プリアンブルにエラーが発生した場合には、そのエラーを検出することができない。

【 0 0 3 9 】

例えば、スレーブ 1 3 が、マスタ 1 2 からのデータの読み出しを指示するリードコマンドに応じてリードデータを送信した後のプリアンブルでは、1 ビット目はスレーブ 1 3 に

50

より駆動され、2ビット目はHレベルに維持する(High-Keeper)ように規定されている。そして、スレーブ13は、その1ビット目によって、CRCワードおよびリードデータのいずれか一方が続いて送信されることをマスタ12に通知することができる。例えば、プリアンブルに続いてCRCワードを送信する場合には、リードデータを送信した後のプリアンブルの1ビット目を0に駆動するように規定されている。一方、プリアンブルに続いてリードデータを送信する場合には、リードデータを送信した後のプリアンブルの1ビット目を1に駆動するように規定されている。

【0040】

しかしながら、このプリアンブルの1ビット目において、1ビットの値が反転する1ビットエラーが発生した場合、例えば、マスタ12は、リードデータが送信されてくることを、CRCワードが送信されてくるものと誤認識することになる。

10

【0041】

即ち、図2の上側に示すように、スレーブ13は、リードデータを送信する場合にはプリアンブルの1ビット目を1に駆動し、プリアンブルに続いて、リードデータ(DDR Data)の送信を行う。なお、図2において、グレーのハッチングが施されている部分は、スレーブ13により駆動が行われていることを表しており、斜線のハッチングが施されている部分は、Hレベルに維持することを表している。

【0042】

これに対し、プリアンブルの1ビット目に1ビットエラーが発生してしまい、図2の下側に示すように、プリアンブルの1ビット目が0になった場合、マスタ12は、スレーブ13からCRCワード(DDR CRC)が送信されてくるものと誤認識することになる。従って、この場合、マスタ12は、CRCワードに対応する10ビット(Token(0xC)、CRC5、およびPrepare=Setup)を受信した後、HDRモードによる通信を終了することを指示するHDR終了コマンド(HDR Exit)を送信することになる。

20

【0043】

これにより、スレーブ13から送信されるリードデータ(の後半部分)と、マスタ12から送信されるHDR終了コマンドがコンフリクトすることが懸念される。従って、その後、マスタ12がHDR終了コマンドを送信しても、スレーブ13は、HDR終了コマンドを正常に受信することができないためHDRモードを終了させることができず、バスIF11がデッドロックして、通信不能な状態となることが想定される。

30

【0044】

そこで、バスIF11では、マスタ12は、CRCワードの送信を指定するプリアンブルを受信したにもかかわらず、そのプリアンブルに続いて受信した信号がCRCワードに一致しない(即ち、トークンエラーまたはCRCエラーが発生した)場合、プリアンブルに1ビットエラーが発生したものと推定する。そして、この場合、マスタ12は、CRCワードに続いて所定ビット数の追加クロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように規定される。これにより、上述したような1ビットエラーが発生したとしても、スレーブ13から送信されるリードデータと、マスタ12から送信されるHDR終了コマンドがコンフリクトすることを回避することができる。

【0045】

<コンフリクトの回避の説明>

40

【0046】

図3には、バスIF11において、リードデータを送信した後のプリアンブルの1ビット目に1ビットエラーが発生することによるコンフリクトを回避するように、マスタ12が、コンフリクト防止用のクロックを追加するフォーマットが示されている。

【0047】

図3に示すように、バスIF11では、マスタ12が、スレーブ13から送信されてきたリードデータ(DDR Data)に続くプリアンブルにエラーが発生したと推定した場合、CRCワードとリードデータとの差に対応する9ビットの追加クロックを送信するように規定される。そして、この追加クロックの送信中に受信したデータは無視される。

50

## 【 0 0 4 8 】

つまり、図 2 を参照して説明したように、リードデータに続くプリアンプルの 1 ビット目に 1 ビットエラーが発生して、スレーブ 1 3 がリードデータを送信するにもかかわらず、マスタ 1 2 は CRC ワードが送信されてくるものと誤認識したとする。この場合、マスタ 1 2 は、CRC ワードに対応する 9 ビットにおいてトークンエラーまたは CRC エラーが発生することを検出するが、これらのエラーを、プリアンプルの 1 ビットエラーが発生したことによるものと推定することができる。

## 【 0 0 4 9 】

ここで、バス IF 1 1 では、スレーブ 1 3 は、リードコマンド (READ CMD) を受信し、その後のプリアンプルに続いて 1 8 ビットのリードデータ (DDR Data) を送信するように規定されている。さらに、バス IF 1 1 では、スレーブ 1 3 からリードデータが送信された後のプリアンプルにおいて、1 ビット目はスレーブ 1 3 により駆動が行われ、2 ビット目はマスタ 1 2 により駆動が行われるように規定されている。そして、バス IF 1 1 では、このプリアンプルの 2 ビット目が 0 である場合、マスタ 1 2 からスレーブ 1 3 に対して通信を途中で遮断するマスタアボート (Master Abort) を指示するアボート信号として規定されている。なお、マスタアボートを実行するために、リードデータの後に送受信されるプリアンプルの 2 ビット目に対する駆動は、マスタ 1 2 が常に行う。

10

## 【 0 0 5 0 】

従って、図 3 に示すように、追加クロックに続くプリアンプルの 2 ビット目が 0 に駆動された場合、スレーブ 1 3 は、マスタ 1 2 からアボート信号が送信されたことを検出して、リードデータの送信を中断することができる。これにより、このプリアンプルに続いて、マスタ 1 2 が、HDR 終了コマンド (HDR Exit) を送信すると、スレーブ 1 3 は、HDR 終了コマンドに従って、HDR モードを終了することができる。その後、マスタ 1 2 およびスレーブ 1 3 は、SDR モードから通信をやり直すことになる。

20

## 【 0 0 5 1 】

つまり、マスタ 1 2 は、トークンエラーまたは CRC エラーを検出した場合には、プリアンプルエラーと推定する。そして、マスタ 1 2 は、図 2 に示したように、CRC ワードを受信した直後に HDR 終了コマンドを送信するのではなく、図 3 に示すように、CRC ワードに続いて追加クロックを送信して、追加クロックに続くプリアンプルを送信した後に、HDR 終了コマンドを送信する。

30

## 【 0 0 5 2 】

これにより、マスタ 1 2 が、リードデータを受信した後のプリアンプルの 1 ビット目が 0 であることを検出した場合でも、図 2 を参照して説明したようなコンフリクトの発生を回避することができる。つまり、スレーブ 1 3 がリードデータを送信するプリアンプルを、マスタ 1 2 が CRC ワードを送信するプリアンプルと誤認識したとしても、バス IF 1 1 がデッドロックすることを回避することができ、より確実に通信を行うことができる。

## 【 0 0 5 3 】

< コンフリクトの発生を回避する通信方法 >

## 【 0 0 5 4 】

図 4 は、マスタ 1 2 が、HDR モードのひとつである DDR モードでスレーブ 1 3 からデータを読み出す通信処理 (DDR Read) を説明するフローチャートである。

40

## 【 0 0 5 5 】

ステップ S 1 1 において、マスタ 1 2 は、通信を SDR モードから HDR モードに切り替える処理を行う。具体的には、マスタ 1 2 では、送受信部 2 1 が、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を駆動して、SDR モードにおいて、バス IF 1 1 を構成する全てのスレーブ 1 3 を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド (0x7E+R/W=0) を送信する。その後、マスタ 1 2 では、確認信号検出部 2 3 が、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ 1 3 から送信されてくる ACK を受信すると、送受信部 2 1 が、HDR モードに入るためのコモンコマンドコード (ENTHDR CCC(0x20)) を送信する。

50

## 【 0 0 5 6 】

ステップ S 1 2 において、マスタ 1 2 の送受信部 2 1 は、データ信号線 1 4 - 1 およびクロック信号線 1 4 - 2 を駆動して、リードコマンドを送信する。

## 【 0 0 5 7 】

ステップ S 1 3 において、送受信部 2 1 は、ステップ S 1 2 で送信したリードコマンドに応じてスレーブ 1 3 から送信されてくるリードデータを受信し、さらに、リードデータに続いて送信されてくるプリアンプルも受信する。

## 【 0 0 5 8 】

ステップ S 1 4 において、送受信部 2 1 は、ステップ S 1 3 で受信したプリアンプルはリードデータおよびCRCワードのどちらの送信を指定しているかを判定する。

10

## 【 0 0 5 9 】

ステップ S 1 4 において、送受信部 2 1 が、プリアンプルはリードデータの送信を指定していると判定した場合、処理はステップ S 1 3 に戻り、以下、同様の処理が繰り返される。一方、ステップ S 1 4 において、送受信部 2 1 が、プリアンプルはCRCワードの送信を指定していると判定した場合、処理はステップ S 1 5 に進む。

## 【 0 0 6 0 】

ステップ S 1 5 において、送受信部 2 1 は、ステップ S 1 3 で受信したプリアンプルに続いて送信されてくる信号を受信し、エラー検出部 2 2 は、その信号にエラーが発生しているか否かを判定する。

## 【 0 0 6 1 】

20

ステップ S 1 5 において、エラー検出部 2 2 が、CRCワードの送信を指定しているプリアンプルに続いて送信されてくる信号にエラーが発生していると判定した場合、処理はステップ S 1 6 に進む。即ち、この場合、エラー検出部 2 2 によりトークンエラーまたはCRCエラーが検出されると、コンフリクト回避部 2 4 は、プリアンプルにエラーが発生したものと推定する。

## 【 0 0 6 2 】

ステップ S 1 6 において、エラー検出部 2 2 は、図 3 を参照して説明したような追加クロックを送信し、その後、通信を途中で遮断することを指示するアポート信号を送信するように、送受信部 2 1 に対する指示を行う。これに従い、送受信部 2 1 は、追加クロックを送信した後、スレーブ 1 3 にアポート信号を送信する。

30

## 【 0 0 6 3 】

ステップ S 1 6 の処理後、送受信部 2 1 は、追加クロックに続いて、HDR終了コマンドを送信する。また、ステップ S 1 5 でエラーが発生していないと判定された場合も、ステップ S 1 7 において、送受信部 2 1 は、HDR終了コマンドを送信する。これにより、マスタ 1 2 がDDRモードでスレーブ 1 3 からデータを読み出す通信処理 (DDR Read) は終了される。

## 【 0 0 6 4 】

以上のように、バス I F 1 1 では、スレーブ 1 3 が送信したリードデータの送信を指示するプリアンプルに 1 ビットエラーが発生したとしても、コンフリクトが発生することを回避して、より確実に通信を行うことができる。

40

## 【 0 0 6 5 】

< マスタの回路図 >

## 【 0 0 6 6 】

次に、図 5 は、マスタ 1 2 の構成例を示す回路図である。

## 【 0 0 6 7 】

図 5 に示すように、マスタ 1 2 は、SCL 駆動制御部 5 1、増幅部 5 2、H レベル維持部 5 3、増幅部 5 4、シリアル変換部 5 5、コンフリクトエラー検出器 5 6、パリティエラー検出器 5 7、CRC5 エラー検出部 5 8、パラレル変換部 5 9、トークンエラー検出器 6 0、ACK/NACK 検出器 6 1、プリアンプルエラー検出器 6 2、およびステートマシン (FSM : Finite State Machine) 6 3 を備えて構成される。

50

## 【 0 0 6 8 】

SCL駆動制御部 5 1 は、ステートマシン 6 3 から出力される基準となる周波数の信号に従って、クロック信号線 1 4 - 2 を介してスレーブ 1 3 に供給するシリアルクロックを生成して、クロック信号線 1 4 - 2 の駆動を制御する。

## 【 0 0 6 9 】

増幅部 5 2 は、SCL駆動制御部 5 1 により生成されたクロック信号を、クロック信号線 1 4 - 2 を介して伝送するのに必要な所定のレベルまで増幅し、クロック信号線 1 4 - 2 に出力する。

## 【 0 0 7 0 】

Hレベル維持部 5 3 は、データ信号線 1 4 - 1 のレベルをHレベルに維持する。

10

## 【 0 0 7 1 】

増幅部 5 4 は、データ信号線 1 4 - 1 を介して送信するシリアルデータを所定のレベルまで増幅して出力し、データ信号線 1 4 - 1 を介して送信されてきたシリアルデータを、マスタ 1 2 の内部での処理に必要なレベルに増幅する。

## 【 0 0 7 2 】

シリアル変換部 5 5 は、ステートマシン 6 3 から出力されるパラレルデータを、シリアルデータに変換して出力する。

## 【 0 0 7 3 】

コンフリクトエラー検出器 5 6 は、シリアル変換部 5 5 から出力されるシリアルデータと、データ信号線 1 4 - 1 を介して送信されてきたシリアルデータとを比較することにより、データ信号線 1 4 - 1 上のコンフリクトエラーを検出する。

20

## 【 0 0 7 4 】

パリティエラー検出器 5 7 は、偶数または奇数に基づいてビットエラーを検出するために付加されるパリティビットを用いて、データ信号線 1 4 - 1 を介して送信されてきたシリアルデータのエラーを検出し、そのエラー検出結果をステートマシン 6 3 に通知する。

## 【 0 0 7 5 】

CRC5エラー検出部 5 8 は、図 1 のエラー検出部 2 2 に対応し、CRCに基づいてビットエラーを検出するために付加される5bitのデータを用いて、データ信号線 1 4 - 1 を介して送信されてきたシリアルデータのエラーを検出し、そのエラー検出結果をステートマシン 6 3 に通知する。

30

## 【 0 0 7 6 】

パラレル変換部 5 9 は、データ信号線 1 4 - 1 を介して送信されてきたシリアルデータを、パラレルデータに変換して出力する。

## 【 0 0 7 7 】

トークンエラー検出器 6 0 は、図 1 のエラー検出部 2 2 に対応し、パラレル変換部 5 9 により変換されたパラレルデータに含まれているトークンのビット列を確認することで、トークンにエラーが発生しているか否かを検出し、そのエラー検出結果をステートマシン 6 3 に通知する。

## 【 0 0 7 8 】

ACK/NACK検出器 6 1 は、図 1 の確認信号検出部 2 3 に対応し、スレーブ 1 3 から送信されてくるACKまたはNACKを、パラレル変換部 5 9 により変換されたパラレルデータから検出して、その検出結果 (ACK/NACK) をステートマシン 6 3 に通知する。

40

## 【 0 0 7 9 】

プリアンプルエラー検出器 6 2 は、パラレル変換部 5 9 により変換されたパラレルデータに含まれているプリアンプルにエラーが発生しているか否かを検出し、そのエラー検出結果をステートマシン 6 3 に通知する。

## 【 0 0 8 0 】

ステートマシン 6 3 は、入力条件と現在の状態によって、次の状態が決まる順序回路であり、例えば、図 1 の送受信部 2 1 およびコンフリクト回避部 2 4 として機能する。即ち、ステートマシン 6 3 は、CRC5エラー検出部 5 8 およびトークンエラー検出器 6 0 による

50

エラー検出結果を入力として、トークンエラーおよびCRCエラーが発生していない場合には、通常通りに、HDRモードを終了する状態とする。一方、ステートマシン63は、トークンエラーおよびCRCエラーが発生した場合には、CRCワードに続いて追加クロックを送信し、その後のプリアンプルの2ビット目によってアポート信号を送信する状態とする。

【0081】

このようにマスタ12は構成されており、上述したように、スレーブ13が送信したりードデータの送信を指示するプリアンプルを、CRCワードを送信するプリアンプルと誤認識したとしても、バスIF11がデッドロックすることを回避することができ、より確実に通信を行うことができる。

【0082】

ところで、バスIF11では、CRCワードのビット数が、リードデータのビット数(18ビット)と異なる9ビット(トークンの4ビットおよびCRC5の5ビット)として規定されているとき、上述したようなコンフリクトが発生することになる。そこで、例えば、CRCワードのビット数が、リードデータのビット数と同一の18ビットとなるようなフォーマットを規定したときには、コンフリクトの発生を回避することができる。

【0083】

つまり、図6に示すように、CRCワードのフォーマットとして、トークン(Token(0xC))とCRC5との間に、9ビットのリザーブビットが予め挿入された形式を採用してワードラインを揃えることで、追加クロックの送信を行わなくてもよくなる。このリザーブビットのビット数は、トークンおよびCRC5のビット数(9ビット)と、リードデータのビット数(18ビット)との差に対応する。そして、このようなフォーマットのCRCワードを用いる場合においても、マスタ12は、0および1のビット列のプリアンプルを受信した後、トークンエラー、CRCエラー、および、所定長以下のCRCワードの受信のいずれかを検出した場合、スレーブ13を安全に停止させるため、以後、通常のマスタアポートと同様に通信を終了させることができる。

【0084】

また、図6に示すように、CRCワードの受信直後のビットから、データ信号線14-1に対する駆動が、スレーブ13からマスタ12に切り替えられるようにすることで、安全に早く通信を終了させることができる。

【0085】

なお、図3を参照して上述した実施の形態では、追加クロックを送信した後のプリアンプルに続いて、マスタ12がHDR終了コマンドを送信する例について説明したが、コンフリクトを回避して通信を回復することができれば、HDR終了コマンドの送信に限定されることはない。

【0086】

例えば、図7に示すように、追加クロックを送信した後のプリアンプルに続いて、図3のHDR終了コマンドに替えて、マスタ12は、HDRモードにおける通信をリスタートすることを指示するHDRリスタートコマンド(HDR Restart)を送信してもよい。このように、バスIF11では、マスタアポートに従って通信を途中で遮断した後、HDRリスタートコマンドにより通信を再開することができる。

【0087】

なお、例えば、コンフリクト回避部24は、送受信部21が、所定の長さのリードデータを受信することなく、CRCワードを受信した場合にもエラーが発生したものと推定し、上述したように追加クロックを送信した後にアポート信号を送信するように、送受信部21に対する指示を行ってもよい。

【0088】

なお、本技術は、I3Cの規格に従ったバスIF11に限定されることはなく、その他の規格に従ったバスIF11に適用することができる。また、図1に示すバスIF11では、スレーブ13-1乃至13-3が接続された構成例が示されているが、スレーブ13は、例えば、1台または2台でもよく、あるいは、3台以上でもよい。

10

20

30

40

50

## 【 0 0 8 9 】

なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。また、プログラムは、1のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

## 【 0 0 9 0 】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

## 【 0 0 9 1 】

また、上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプログラム記録媒体からインストールされる。

## 【 0 0 9 2 】

< ハードウェアの構成例 >

## 【 0 0 9 3 】

図8は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

## 【 0 0 9 4 】

コンピュータにおいて、CPU (Central Processing Unit) 101, ROM (Read Only Memory) 102, RAM (Random Access Memory) 103、およびEEPROM (Electrically Erasable and Programmable Read Only Memory) 104は、バス105により相互に接続されている。バス105には、さらに、入出力インタフェース106が接続されており、入出力インタフェース106が外部（例えば、図1のデータ信号線14-1およびクロック信号線14-2）に接続される。

## 【 0 0 9 5 】

以上のように構成されるコンピュータでは、CPU101が、例えば、ROM102およびEEPROM104に記憶されているプログラムを、バス105を介してRAM103にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ（CPU101）が実行するプログラムは、ROM102に予め書き込んでおく他、入出力インタフェース106を介して外部からEEPROM104にインストールしたり、更新したりすることができる。

## 【 0 0 9 6 】

なお、本技術は以下のような構成も取ることができる。

## ( 1 )

他の通信装置と信号の送受信を行う送受信部と、

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを備える通信装置。

## ( 2 )

前記コンフリクト回避部は、

前記送受信部により受信されたプリアンブルが、トークンおよびCRC (Cyclic Redund

10

20

30

40

50

ancy Check) 5を含むCRCワードの送信を指定しているのに対して、前記プリアンブルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記プリアンブルに続いて、前記CRCワードのビット数、および、前記CRCワードのビット数と前記他の通信装置から読み出されるリードデータのビット数との差に対応する追加クロックのビット数に応じたクロックを送信した後に、前記アポート信号の送信を行わせる

上記(1)に記載の通信装置。

(3)

前記コンフリクト回避部は、前記追加クロックを送信中に前記送受信部が受信した信号を無視する

上記(2)に記載の通信装置。

(4)

前記送受信部は、前記他の通信装置から前記リードデータが送信されてくるとしたときの、前記リードデータに続いて送受信される2ビットのプリアンブルの2ビット目のタイミングで前記アポート信号を送信する

上記(3)に記載の通信装置。

(5)

前記コンフリクト回避部は、

前記送受信部により受信されたプリアンブルが、トークンおよびCRC(Cyclic Redundancy Check) 5を含むCRCワードの送信を指定しているのに対して、前記プリアンブルに続いて受信された信号のビット列に基づいて、前記エラー検出部によりトークンエラーまたはCRCエラーが検出された場合、

前記トークン、前記CRC5、並びに、前記トークンおよび前記CRC5と前記他の通信装置からデータが読み出される際のビット数との差に対応するビット数のリザーブビットから構成されるフォーマットが用いられる前記CRCワードに対応するビット数のクロックを送信した後に、前記アポート信号の送信を行わせる

上記(2)に記載の通信装置。

(6)

前記送受信部は、前記アポート信号に続いて、特定の通信モードの終了を指示するコマンドを送信する

上記(1)から(5)までのいずれかに記載の通信装置。

(7)

前記送受信部は、前記アポート信号に続いて、特定の通信モードにおける通信のリスタートを指示するコマンドを送信する

上記(1)から(5)までのいずれかに記載の通信装置。

(8)

前記送受信部から送信された信号を受信した前記他の通信装置から送信されてくる受信確認信号および非受信確認信号のいずれかを検出する確認信号検出部

をさらに備え、

前記コンフリクト回避部は、前記確認信号検出部により前記非受信確認信号が検出されたとき、前記非受信確認信号に続く所定数のビットを無視した後に前記アポート信号を送信するように、前記送受信部に対する指示を行う

上記(1)から(7)までのいずれかに記載の通信装置。

(9)

前記送受信部は、前記他の通信装置から読み出されるリードデータを受信し、前記リードデータの後に送受信されるプリアンブルの2ビット目に対する駆動を常に行う

上記(1)から(8)までのいずれかに記載の通信装置。

(10)

前記送受信部は、前記他の通信装置がデータ信号線に対する駆動を行って送信するCRC

10

20

30

40

50

(Cyclic Redundancy Check) ワードの受信直後のビットから、前記データ信号線に対する駆動を行う

上記(1)から(9)までのいずれかに記載の通信装置。

(11)

前記エラー検出部は、前記データに含まれている2ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとして、前記送受信部が受信したデータに対するパリティチェックを行うことでエラーの発生を検出する

上記(1)から(10)までのいずれかに記載の通信装置。

(12)

前記送受信部は、通常の転送レートでデータ通信を行うSDR(Standard Data Rate)モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR(High Data Rate)モードで、信号の送受信を行うことができる

上記(1)から(11)までのいずれかに記載の通信装置。

(13)

前記送受信部は、1ビットずつ逐次的にシリアルデータを伝送するデータ信号線、および、所定の周波数のシリアルクロックを伝送するクロック信号線の2本の信号線を介して通信を行う

上記(1)から(12)までのいずれかに記載の通信装置。

(14)

前記送受信部、I3C(Improved Inter Integrated Circuit)の規格に準じた通信を行う

上記(1)から(13)までのいずれかに記載の通信装置。

(15)

他の通信装置と信号の送受信を行い、

次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出し、

エラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信する

ステップを含む通信方法。

(16)

他の通信装置と信号の送受信を行い、

次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出し、

エラーの発生が検出された場合、前記プリアンブルに続いて所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信する

ステップを含む通信処理をコンピュータに実行させるプログラム。

(17)

バスにおける制御の主導権を有する第1の通信装置と、

前記第1の通信装置による制御に従って通信を行う第2の通信装置と

を備え、

前記第1の通信装置が、

前記第2の通信装置と信号の送受信を行う送受信部と、

前記送受信部により、次に送信するデータのタイプを指定するプリアンブルが受信されて、そのプリアンブルに続いて受信された信号のビット列と、前記プリアンブルにより送信されることが指定されたタイプにおいて送信されるべきビット列とを比較することにより、エラーの発生を検出するエラー検出部と、

前記エラー検出部によりエラーの発生が検出された場合、前記プリアンブルに続いて

10

20

30

40

50

所定ビット数に応じたクロックを送信した後に、通信を途中で遮断することを指示するアポート信号を送信するように、前記送受信部に対する指示を行うコンフリクト回避部とを有する

通信システム。

【0097】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

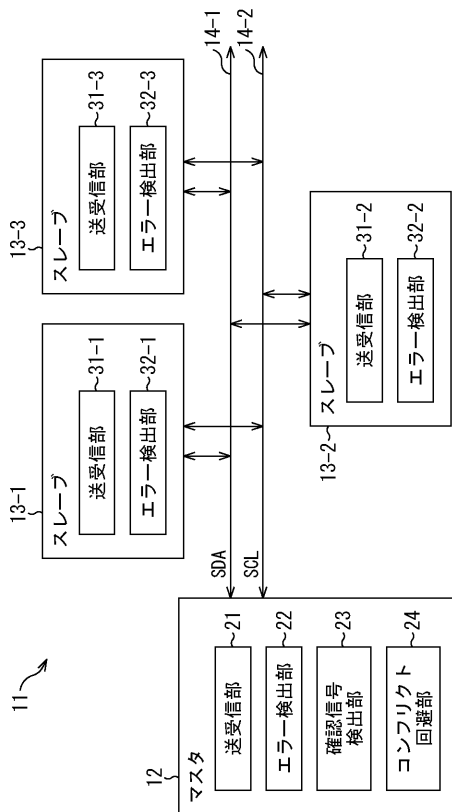
【0098】

11 バスIF, 12 マスタ, 13 スレーブ, 14-1 データ信号線, 14-2 クロック信号線, 21 送受信部, 22 エラー検出部, 23 確認信号検出部, 24 コンフリクト回避部, 31 送受信部, 32 エラー検出部, 51 SCL駆動制御部, 52 増幅部, 53 Hレベル維持部, 54 増幅部, 55 シリアル変換部, 56 コンフリクトエラー検出器, 57 パリティエラー検出器, 58 CRC5エラー検出部, 59 パラレル変換部, 60 トークンエラー検出器, 61 ACK/NACK検出器, 62 プリアンプルエラー検出器, 63 ステートマシン

10

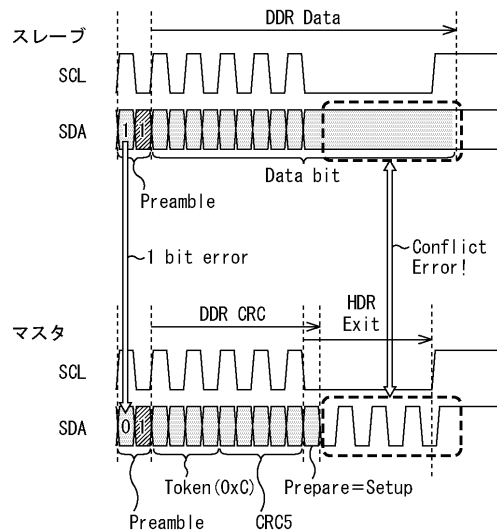
【図1】

FIG. 1

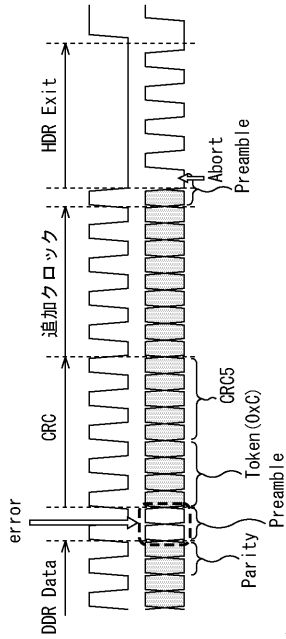


【図2】

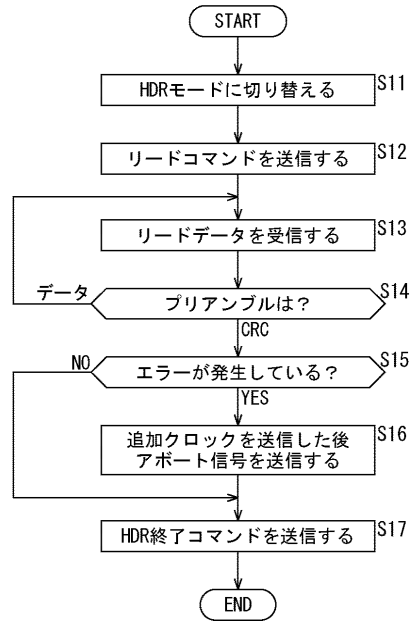
FIG. 2



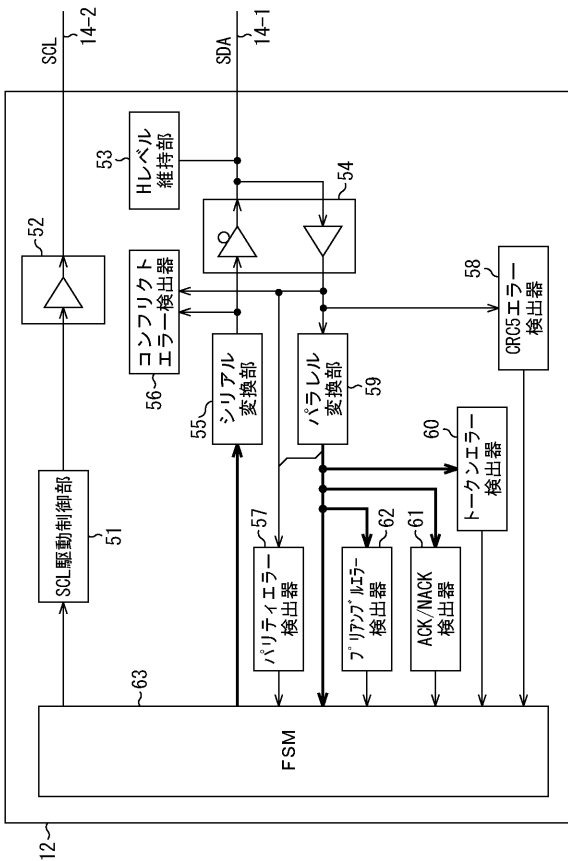
【 図 3 】  
FIG. 3



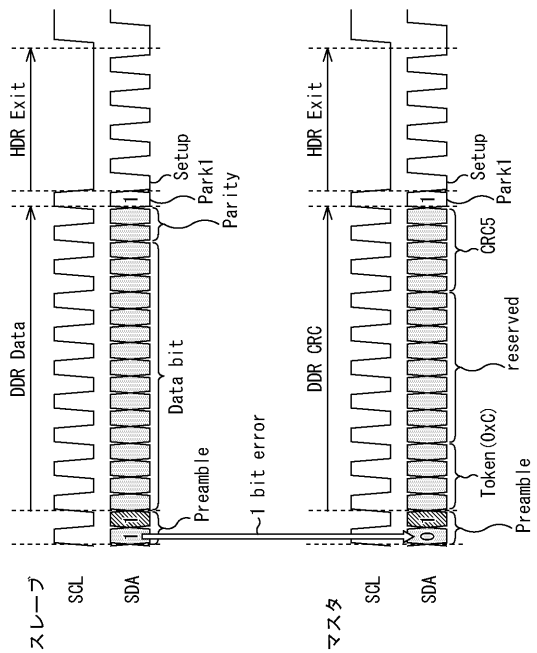
【 図 4 】  
FIG. 4



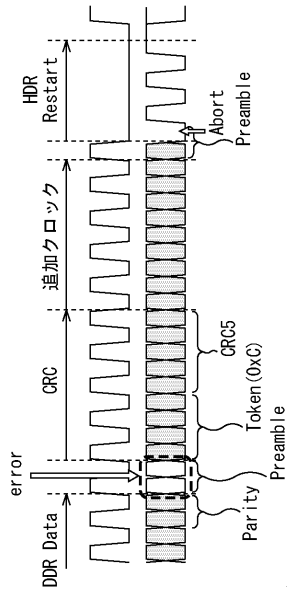
【 図 5 】  
FIG. 5



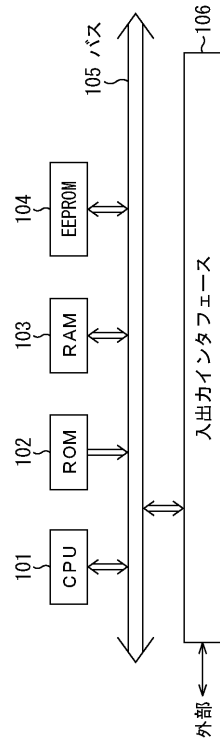
【 図 6 】  
FIG. 6



【 図 7 】  
FIG. 7



【 図 8 】  
FIG. 8



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>G 0 6 F 11/00 (2006.01)</b>		G 0 6 F 11/00	6 0 6 E	
<b>G 0 6 F 11/20 (2006.01)</b>		G 0 6 F 11/20	6 0 5	

(72)発明者 李 惺薰

東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 越坂 直弘

神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内

Fターム(参考) 5B034 CC06 DD01  
5B061 QQ02 QQ03  
5B083 AA08 BB01 BB03  
5K014 BA06 FA14  
5K034 AA06 DD02 HH10 TT01