

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 4 区分  
 【発行日】平成 21 年 4 月 16 日 (2009.4.16)

【公開番号】特開 2008-35641 (P2008-35641A)  
 【公開日】平成 20 年 2 月 14 日 (2008.2.14)  
 【年通号数】公開・登録公報 2008-006  
 【出願番号】特願 2006-207008 (P2006-207008)  
 【国際特許分類】

H 0 2 M 3/155 (2006.01)

H 0 2 M 3/28 (2006.01)

H 0 2 M 7/21 (2006.01)

【F I】

H 0 2 M 3/155 H

H 0 2 M 3/28 F

H 0 2 M 7/21 A

【手続補正書】

【提出日】平成 21 年 2 月 27 日 (2009.2.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

インダクタまたはトランスを有する同期整流方式の D C - D C コンバータに用いられる制御回路であって

前記 D C - D C コンバータの同期整流用のスイッチのオン時間が長すぎるか若しくは短すぎるかを判定する S 2 オン時間判定部と、

前記 S 2 オン時間判定部の判定結果に基づいて、前記同期整流用のスイッチをオンにする期間を調整するための調整信号を生成する S 2 オン時間調整部と、

前記調整信号に基づいて、前記同期整流用スイッチのオン / オフを切り換える信号が前記同期整流用スイッチをオンとするものになってから前記同期整流用スイッチを強制的にオフさせるまでの遅延量を調整する S 2 遅延部と

を備えることを特徴とする制御回路。

【請求項 2】

前記 S 2 オン時間判定部は、前記同期整流用のスイッチがオフに切り換わったとき、前記インダクタまたはトランスに流れるインダクタ電流が負のとき前記同期整流用のスイッチのオン時間が長すぎると判定することを特徴とする請求項 1 に記載の制御回路。

【請求項 3】

前記 S 2 オン時間判定部は、前記同期整流用のスイッチがオフに切り換わったとき、前記インダクタまたはトランスに流れるインダクタ電流が正のとき前記同期整流用のスイッチのオン時間が短すぎると判定することを特徴とする請求項 1 又は 2 に記載の制御回路。

【請求項 4】

前記 S 2 オン時間判定部は、前記インダクタまたはトランスに流れるインダクタ電流と基準値とを比較する比較器と、該比較器からの出力と前記同期整流用スイッチのオン / オフを切り換える信号から前記同期整流用のスイッチのオン時間が長すぎるか若しくは短すぎるかを示す信号を生成する第 1 のロジック部とを有することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の制御回路。

**【請求項 5】**

前記 S 2 オン時間判定部は、前記インダクタまたはトランスの出力側コイルに直列に設けた抵抗の両端の電圧値を比較する比較器と、該比較器からの出力と前記同期整流用スイッチのオン/オフを切り換える信号から前記同期整流用のスイッチのオン時間が長すぎるか若しくは短すぎるかを示す信号を生成する第 1 のロジック部とを有することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の制御回路。

**【請求項 6】**

前記 S 2 オン時間判定部は、前記同期整流用のスイッチに直列に設けた抵抗の両端の電圧値を比較する比較器と、該比較器からの出力と前記同期整流用スイッチのオン/オフを切り換える信号から前記同期整流用のスイッチのオン時間が長すぎるか若しくは短すぎるかを示す信号を生成する第 1 のロジック部とを有することを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の制御回路。

**【請求項 7】**

前記 S 2 オン時間判定部は、前記インダクタのインダクタ電流が負になってから前記同期整流用スイッチがオフになるまでの期間若しくは前記同期整流用スイッチがオフになってから前記インダクタのインダクタ電流がゼロになるまでの期間を検出するタイマー回路を有することを特徴とする請求項 4 乃至 6 のいずれか 1 つに記載の制御回路。

**【請求項 8】**

前記タイマー回路は、前記比較器の出力及び前記同期整流用スイッチのオン/オフを切り換える信号を入力とする AND 回路と、前記比較器の出力及び前記同期整流用スイッチのオン/オフを切り換える信号を入力とする NOR 回路であることを特徴とする請求項 7 に記載の制御回路。

**【請求項 9】**

前記 S 2 オン時間判定部は、前記同期整流用スイッチのオン/オフを切り換える信号が前記同期整流用スイッチをオフに切り換えるタイミングを特定時間遅延させた信号を出力する VC 2 遅延部と、インダクタ電圧の大きさを示す信号からインダクタ電圧が負電圧から 0 V になると変化する信号を出力する第 2 のロジック部と、前記 VC 2 遅延部及び前記第 1 のロジック部の出力から前記 S 2 オン時間調整回路への出力信号を生成する第 3 のロジック部とを有することを特徴とする請求項 1 に記載の制御回路。

**【請求項 10】**

前記第 2 のロジック部は、インバータにより構成されることを特徴とする請求項 9 に記載の制御回路。

**【請求項 11】**

前記第 2 のロジック部は、ラッチにより構成されることを特徴とする請求項 9 に記載の制御回路。

**【請求項 12】**

前記ラッチは、SR フリップフロップであることを特徴とする請求項 11 に記載の制御回路。

**【請求項 13】**

前記 S 2 オン時間調整部は、第 1 の電流源と、前記 S 2 オン時間判定部からの出力に基づいて前記第 1 の電流源のオン/オフを切り換える第 1 のスイッチと、前記第 1 の電流源とグランドの間に直列に接続する第 2 の電流源と、前記 S 2 オン時間判定部からの出力に基づいて前記第 2 の電流源のオン/オフを切り換える第 2 のスイッチと、前記第 1 のスイッチと前記第 2 のスイッチとの接続点とグランドとの間に設けられた第 1 のコンデンサと、前記第 1 のコンデンサの両端電圧を出力とする第 1 の出力部とを有することを特徴とする請求項 1 乃至 12 のいずれか 1 つに記載の制御回路。

**【請求項 14】**

前記 S 2 遅延部は、前記調整信号に基づいて出力値を変化させる第 3 の電流源と、第 1 の切換信号に基づいて前記第 3 の電流源のオン/オフを切り換える第 3 のスイッチと、前記第 3 のスイッチとグランドとの間に設けられる第 2 のコンデンサと、第 2 の切換信号に

基づいて前記第 3 のスイッチと前記第 2 のコンデンサとの接続点をグラウンドに接地する第 4 のスイッチと、前記同期整流用のスイッチの駆動回路への入力信号を入力として前記第 3 のスイッチ及び前記第 4 のスイッチのオン / オフを切り換える前記第 1 の切換信号及び第 2 の切換信号を生成する第 4 のロジック部と、前記第 2 のコンデンサの両端電圧に基づいて前記同期整流用スイッチを強制的にオフさせる出力信号を生成する第 5 のロジック部とを有することを特徴とする請求項 1 乃至 13 のいずれか 1 つに記載の制御回路。

【請求項 15】

前記第 3 の電流源は、前記調整信号をゲート入力とする P チャネル FET を有することを特徴とする請求項 14 に記載の制御回路。

【請求項 16】

前記第 3 の電流源は、前記調整信号をゲート入力とし、ソース側にカレントミラー回路を接続した N チャネル FET を有することを特徴とする請求項 14 に記載の制御回路。

【請求項 17】

前記 S2 オン時間調整部は、電流制御信号に基づいて出力電流を変化させる第 4 の電流源と、前記 S2 オン時間判定部の出力から前記電流制御信号を生成する第 6 のロジック部と、前記第 4 電流源の出力電流を電圧値に変換して前記調整信号として出力する第 2 の出力部とを備えることを特徴とする請求項 1 乃至 12 のいずれか 1 つに記載の制御回路。

【請求項 18】

前記第 6 のロジック部は、前記 S2 オン時間判定部の出力を入力とする双方向カウンタまたは双方向レジスタと、当該双方向カウンタまたは双方向レジスタの出力をアナログ信号に変換するデジタル・アナログ変換部とを備えることを特徴とする請求項 17 に記載の制御回路。

【請求項 19】

前記 S2 遅延部は、第 5 の電流源と、第 3 の切換信号に基づいて前記第 5 の電流源のオン / オフを切り換える第 5 のスイッチと、前記第 5 のスイッチとグラウンドとの間に設けられる第 3 のコンデンサと、第 4 の切換信号に基づいて前記第 5 のスイッチと前記第 3 のコンデンサとの接続点をグラウンドに接地する第 6 のスイッチと、前記同期整流用のスイッチの駆動回路への入力信号に基づいて前記第 3 の切換信号及び前記第 4 の切換信号を生成する第 7 のロジック部と、前記第 3 のコンデンサの両端電圧と前記調整信号を比較する第 2 の比較器と、前記第 2 の比較器の出力に基づいて前記同期整流用スイッチを強制的にオフさせる出力信号を生成する第 8 のロジック部とを有することを特徴とする請求項 17 または 18 に記載の制御回路。

【請求項 20】

前記 S2 オン時間調整部は、並列に設けられた複数の第 6 の電流源と、第 5 の切換信号に基づいて前記第 6 の電流源それぞれのオン / オフを切り換える複数の第 7 のスイッチと、S2 オン時間判定部の出力を入力とする双方向カウンタまたは双方向シフトレジスタと、前記双方向カウンタまたは双方向シフトレジスタの出力から前記第 5 の切換信号を生成する第 9 のロジック部と、前記第 6 の電流源からの出力電流を電圧値に変換して出力する出力部とを有することを特徴とする請求項 1 乃至 12 のいずれか 1 つに記載の制御回路。

【請求項 21】

請求項 1 の制御回路を有することを特徴とする DC - DC コンバータ。

【請求項 22】

前記 DC - DC コンバータは降圧型のコンバータであることを特徴とする請求項 21 の DC - DC コンバータ。

【請求項 23】

前記 DC - DC コンバータは昇圧型のコンバータであることを特徴とする請求項 21 の DC - DC コンバータ。

【請求項 24】

前記 DC - DC コンバータは昇降圧型のコンバータであることを特徴とする請求項 21 の DC - DC コンバータ。

## 【請求項 25】

前記 DC - DC コンバータはフライバック型のコンバータであることを特徴とする請求項 21 の DC - DC コンバータ。

## 【請求項 26】

同期整流方式の DC - DC コンバータの制御方法であって

前記 DC - DC コンバータの同期整流用のスイッチのオン時間が長すぎるか若しくは短すぎるかを判定し、

前記判定の結果に基づいて前記同期整流用のスイッチをオンにする期間を決定し、

前記同期整流用のスイッチをオンにする期間に基づいて、前記同期整流用スイッチのオン / オフを切り換える信号が前記同期整流用スイッチをオンとするものになってから前記同期整流用スイッチを強制的にオフさせるまでの遅延量を調整することを特徴とする制御方法。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

S2 遅延回路 36 は、変換部 31 のスイッチ S2 のオン / オフを駆動する S2 駆動回路 38 の入力信号 VC2a、若しくはスイッチ S2 をオン / オフするための信号 VC2 が入力され、スイッチ S2 をオンする信号の発生後一定期間遅延してから発生する信号 VCc が出力される。この遅延信号は信号 VCb により制御されており、S2 駆動回路 38 に入力される。S2 駆動回路 38 にこの遅延信号 VCc が入力されると S2 駆動回路はスイッチ S2 をオフする信号を出力し、スイッチ S2 はオフ状態になる。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

このように本実施形態の DC - DC コンバータ 30 では、図 2 に示したフィードバック動作により、定常状態では回路の動作遅延の影響を回避することができるため、高精度の遮断特性を得ることができる。よって、負電流遮断回路 33 の動作速度を過度に高速化する必要がなく、低消費電流の負電流遮断回路を構成できる。

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正の内容】

【0077】

なお図 5 の回路では、時間を検出する期間出力信号 VT1 および VT2 を HIGH とする構成であるが、他のロジック回路と整合を取ることににより、時間を検出する期間出力信号 VT1 および / または VT2 を LOW とする構成としてもよい。また同様に、比較器 41 の出力信号 V1 は、インダクタ電流 IL が 0 A 以下の場合に HIGH となるものとしているが、LOW となるようにしてもよい。

## 【手続補正 5】

【補正対象書類名】図面

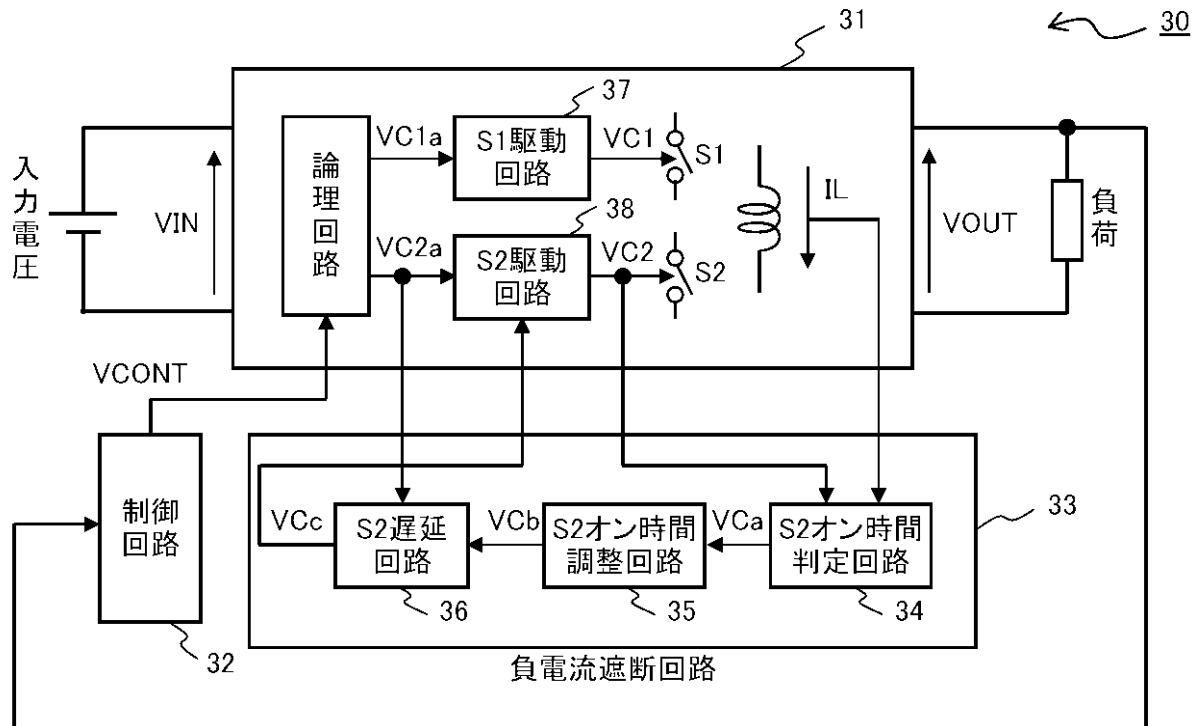
【補正対象項目名】図 1

【補正方法】変更

【補正の内容】

【図 1】

# 本実施形態におけるDC-DC コンバータ概略構成を示す図



【手続補正 6】

【補正対象書類名】図面

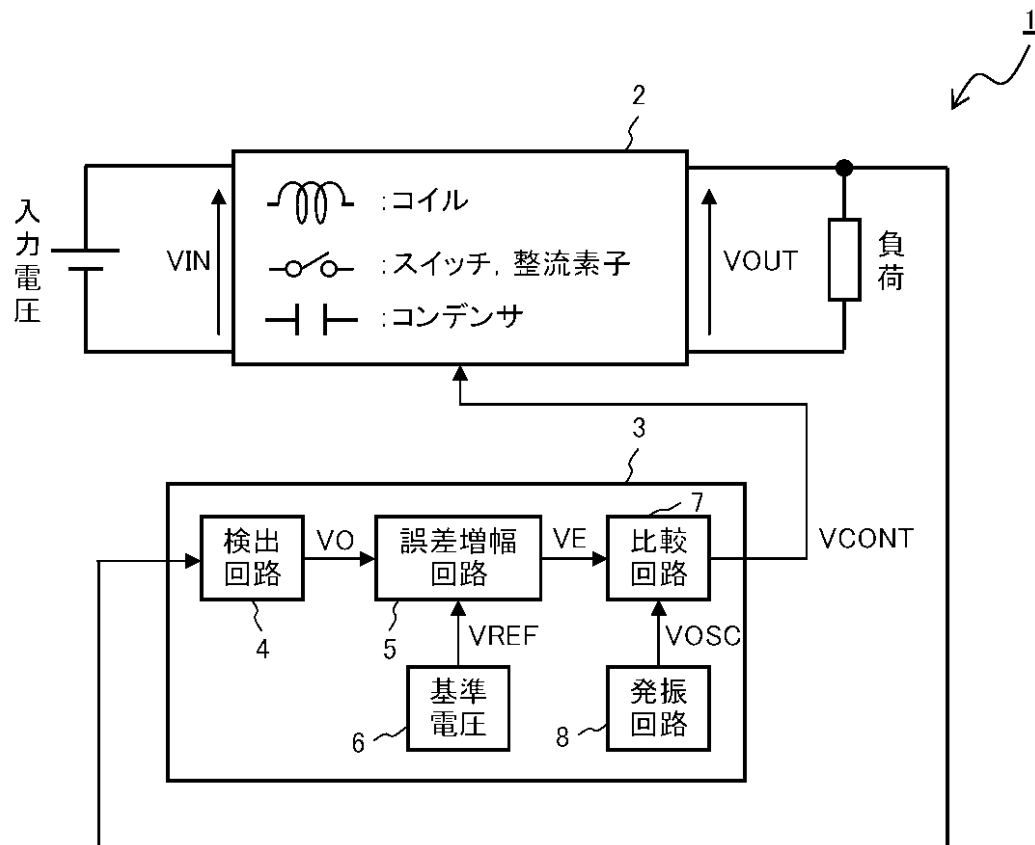
【補正対象項目名】図 1 9

【補正方法】変更

【補正の内容】

【図 19】

# 一般的なDC-DCコンバータの構成を示すブロック図



【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 26

【補正方法】変更

【補正の内容】

【図 2 6】

インダクタの負電流遮断回路を設けた  
DC-DCコンバータの  
一般的な構成を示すブロック図

