

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95139328

※申請日期：95.10.25

※IPC 分類：H01L ^{27/}108, ^{27/}105, ^{21/}8242,

一、發明名稱：(中文/英文)

含鰭狀結構閘極通道之半導體元件及其製造方法與應用

SEMICONDUCTOR DEVICE HAVING FIN STRUCTURE GATE
CHANNEL AND ITS MANUFACTURING METHOD AND USE

^{21/}8239 (2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

茂德科技股份有限公司

PROMOS TECHNOLOGIES INC.

代表人：(中文/英文) 陳民良 / CHEN, MIN-LIANG

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行路 19 號 3 樓

3F, NO. 19, LI HSIN ROAD, SCIENCE-BASED INDUSTRIAL PARK,
HSINCHU, TAIWAN, R.O.C

國籍：(中文/英文) 中華民國 / TAIWAN, R.O.C.

三、發明人：(共 1 人)

姓名：(中文/英文)

吳孝哲 / WU, HSIAO-CHE

國籍：(中文/英文)

中華民國 / TAIWAN, R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件及其製造方法，且特別是有關於一種具有鰭狀結構之半導體元件及其製造方法、以及含該半導體元件陣列之積體電路元件。

【先前技術】

在過去數十年間，由於半導體元件尺寸持續的縮小，其速度性能及產品性能也不斷的進步。隨著傳統半導體場效電晶體尺寸的縮減，驅動電流也隨之減小，相對閘極電流於閘極開/關時的電流比例(I_{on}/I_{off})也跟著降低，另外，電容電壓積與電流的比例(CV/I)也會上昇，這些都會影響到電晶體工作的效能與靈敏度。因此需要一種方法來解決此一問題。

業經開發出具垂直閘極結構之金氧半導體或具多重閘極之替代元件結構，以改善傳統半導體場效電晶體因尺寸縮減所致驅動電流減小、閘極電流在閘極開/關時的電流比例降低、以及電容電壓積與電流的比例上昇等問題。

使用多重閘極之電晶體改良結構，雖可改善習知金氧半導體場效電晶體的缺失，然由於閘極結構與深溝渠電容器仍分別各自佔據一面積，對於提高積集度並無幫助。因此，除了使用具多重閘極結構之電晶體外，如何更進一步地提高記憶體之積集度，便為此項技藝之人士所努力的目標。

【發明內容】

本發明之一目的，在於提供一半導體元件及其製造方法，該半導體元件具有鰭狀結構閘極通道，以提供較大之電流通道。

本發明之另一目的，在於提供一具有鰭狀結構閘極通道之動

態隨機存取記憶體其製造方法，其中該鰭狀結構閘極通道係位於該深溝渠電容器之上方。

本發明之再一目的，在於提供一包含一種半導體元件陣列之積體電路元件，用以提高積體電路元件的積集度。

根據上述目的，本發明提出一種半導體元件，包含：一基材、一深溝渠電容器、與一電晶體。其中，該深溝渠電容器係位於該基材中，且包含一上電極、一下電極、及一位於該上電極及該下電極間之第一介電層。該電晶體包含：(a)一矽質環狀結構與(b)至少一閘極結構。其中，該矽質環狀結構依逆時針方向依序包含：(1)一第一離子摻雜區域；(2)一第一鰭狀結構，包含二側壁；(3)一第二離子摻雜區域；以及(4)一第二鰭狀結構，包含二側壁。此外，該矽質環狀結構係向下延伸而容納該深溝渠電容器，該深溝渠電容器之上電極係與該第一離子摻雜區域相接觸。該閘極結構係位於該深溝渠電容器上方，且包含：一第二介電層，覆蓋該第一鰭狀結構之二側壁；以及一第一導電層，覆蓋該第二介電層。

根據上述目的，本發明另提出一製造半導體元件之方法，該方法包含：形成一深溝渠結構於一矽基材中；形成一電容器於該深溝渠結構中，該電容器之上電極係於一第一位置與該矽基材相接觸；形成一環繞深溝渠上端、具一預定厚度之環狀結構，且依逆時針方向依序包含一第一區域、一第一鰭狀結構、一第二區域、以及一第二鰭狀結構，其中該第一位置係位於該第一區域中；形成一第一閘極結構於該第一鰭狀結構上；以及形成一第一離子摻雜區域於該第一區域與一第二離子摻雜區域於該第二區域。

根據本發明之上述目的，另提出一種 $4F^2$ 半導體元件陣列之積體電路元件(F 為最小曝光單位)、一種 $3.5F^2$ 半導體元件陣列之積體電路元件，以及一種 $2F^2$ 半導體元件陣列之積體電路元件。

【實施方式】

請參閱第 1 圖，顯示本發明半導體元件 10 一較佳實施態樣之截面示意圖。其中，上方為半導體元件之俯視示意圖，下方左側為沿線 A-A' 之截面示意圖，且下方右側為沿線 B-B' 之截面示意圖。如後說明，俯視圖之虛線部分，係表示包覆於半導體元件內之環狀結構 400，其依逆時針方向依序包括第一離子摻雜區域 421、第一鰭狀結構 440、第二離子摻雜區域 461、及第二鰭狀結構 480。

如第 1 圖所示，半導體元件 10 包含一矽基材 100、一深溝渠電容器 200 及一電晶體 600。深溝渠電容器 200 係位於基材 100 中，且包含一上電極 210、一下電極 220、及一位於該上電極 210 與該下電極 220 間之第一介電層 230。於一具體實施態樣中，該半導體元件係一記憶體，例如，一動態隨機存取記憶體。

電晶體 600 包含一環狀結構 400（如俯視示意圖之虛線部份）、一第一閘極結構、與一視需要選用之第二閘極結構。環狀結構 400 依逆時針方向依序包含第一離子摻雜區域 421、第一鰭狀結構 440、第二離子摻雜區域 461、以及第二鰭狀結構 480。其中，第一/第二鰭狀結構 440/480 各包含二側壁，且如後詳述，分別經第一/第二閘極結構所覆蓋。環狀結構 400 係向下延伸而容納深溝渠電容器 200，使第一離子摻雜區域 421 得與電容器 200 之上電極 210 相接觸。

續參第 1 圖，第一/二閘極結構均位於電容器 200 上方，且各包含一第二/三介電層以及一第一/二導電層。以一具體實施態樣為例，該第二與第三介電層係採用相同材質，且該第一與第二導電層為相同材質。其中，於第一閘極結構，係以該第二介電層作為閘極介電層 450，覆蓋第一鰭狀結構 440 之二側壁，且以該第一導電層作為閘極導電層 455，覆蓋閘極介電層 450。於第二閘極結構，則以該第三介電層作為閘極介電層 450，覆蓋第二閘極結構之二側壁，另以該第二導電層作為閘極導電層 455，覆蓋閘極介電層 450。

需說明者，第一導電層與第二導電層可採用相同或不同之物料，且第二介電層與第三介電層亦可採用相同或不同之物料。較佳地，係以物料於同一操作同時形成該第二介電層與第三介電層，且於另一同一操作中以一物料同時形成該第一導電層與第二導電層，從而同時形成第一閘極結構與第二閘極結構。如前述，此處所例示者即為採用相同物料之態樣。

參見第 6C 圖，於實際應用中，可於半導體元件 10 另包含一位元線 500，接觸至第二離子摻雜區域 461。於此，可搭配以第一離子摻雜區域 421 為汲極，且以第二離子摻雜區域 461 為源極。且於半導體元件 10 中另包含一第四介電層 113，位於電容器 200 上方、第一閘極結構與第二閘極結構之間。

續參第 1 圖，半導體元件 10 更包含一第五介電層 510，位於該第一離子摻雜區域 421 之上，阻絕傳統元件自深溝渠電容器至源/汲極區域間可能產生漏電流之管道。

如上述，半導體元件 10 係於電容器 200 上方形成一具鰭狀結構之第一閘極結構與第二閘極結構，且源/汲極區域 461/421 與該二鰭狀閘極結構共同組成位於電容器 200 上方之環狀結構 400。其中，各鰭狀閘極結構分別各於其二側壁提供二位於源/汲極區域 461/421 間之通道。此即，本發明半導體元件可於二源/汲極間具有四寬廣通道，大幅提高半導體元件之操作電流，增加元件反應速度。此外，於本發明半導體元件中，電晶體係整合於電容器正上方，故可大幅提高半導體元件之積集度。

以下將以一基材中之金屬層-絕緣層-金屬層 (Metal-Insulator-Metal; MIM) 之深溝渠電容器製程，例示說明如何依序製造深溝渠電容器、電晶體，以提供上述具有鰭狀結構閘極通道之半導體。

首先，參見第 1A 至 1I 圖，於一矽基材中形成一深溝渠。於此，請參見第 1A 圖，於基材 100 表面上先形成一墊介電層 101，(如：墊氧化層)，此可以例如熱氧化方式進行。接著，於墊介電

層 101 上依序形成另一介電層 102 以及一蝕刻緩衝層 103。於此，舉例言之（但不以此為限），介電層 102 可為氮化矽層，蝕刻緩衝層 103 可為硼矽玻璃層。其次，於蝕刻緩衝層 103 上形成一圖案化光阻層 104。較佳地，係於形成圖案化光阻層 104 之前先塗佈一抗反光層 105，以利圖案化製程。接著，以圖案化光阻層 104 為罩幕，圖案化介電層 102 及蝕刻緩衝層 103，並於去除光阻層 104 後，再以經圖案化之介電層 102 及蝕刻緩衝層 103 作為蝕刻深溝渠之罩幕，去除部份基材 100，於基材 100 中形成一深溝渠 110。於此，深溝渠 110 較佳係一圓柱狀溝渠。形成深溝渠 110 後，接著蝕刻去除緩衝層 103，如第 1B 圖所示。

其後，於深溝渠 110 中形成一電容器之下電極與下電極離子摻雜區域。請參閱第 1C 圖，首先，沉積一經離子摻雜之矽玻璃層 107 於深溝渠 110 中且覆蓋基材 100 表面。舉例言之（但不以此為限），離子摻雜矽玻璃層 107 可以是摻雜砷之矽玻璃（As Doped Silicate Glass；ASG）層。接著，塗佈一光阻層，其後以電漿蝕刻方式去除部份該光阻層至一第一預定深度，以於深溝渠 110 內形成光阻層 108。以光阻層 108 為罩幕，等向性蝕刻去除裸露於光阻層 108 外之矽玻璃層 107。

接著，請參閱第 1D 圖，去除深溝渠 110 內之光阻層 108。其後，以如四乙基酸正矽酸鹽（TEOS）與臭氧（Ozone）反應以沉積一氧化矽層（未顯示）、再配合加熱回火製程之方式，使深溝渠 110 下端側壁表面之矽玻璃層 107 中之摻雜離子，以擴散方式進入深溝渠 110 外之基材 100 中，形成離子摻雜區域 221，作為溝渠電容器下電極之一部份。接著，以等向性蝕刻法去除深溝渠 110 表面的氧化矽層及下端側壁表面之矽玻璃層 107。

續參第 1E 圖，形成一襯墊層 109 於深溝渠 110 中。舉例言之（但不以此為限），該襯墊層 109 可為以沉積方式形成之襯氧化層。之後，沉積多晶矽層 170 於介電層 102 上與深溝渠 110 中，

再利用如化學機械研磨之方式，去除介電層 102 上之多晶矽層 170，使深溝渠 110 中之多晶矽層 170 位於與介電層 102 相當之水平。接著，續參第 1F 圖，以非等向性蝕刻之方式，去除深溝渠 110 中之部份多晶矽層 170，至溝渠 110 內之一深度。其中，如第 1F 圖所示，為了元件操作上之電性考量，深溝渠 110 內之多晶矽層 170 深度，必須較前述之該第一預定深度為深。其次，依序於深溝渠 110 側壁之襯墊層 109 上形成一另一襯墊層 171（例如襯氮化矽層），以及一領（Collar）介電層 111，例如領氧化層。

請參第 1G 圖，以例如等向性濕蝕刻之方式，去除溝渠 110 底部之多晶矽層 170，並將溝渠 110 側壁上裸露之襯墊層 109 去除。續參第 1H 圖，形成一導電層 222 覆蓋溝渠 110 側壁、側壁上之領介電層 111 以及晶圓表面。接著，於導電層 222 上覆蓋一襯墊層 174。須說明者，許多金屬材料皆可用以作為導電層 222 之用，例如：鈦/氮化鈦層，而該襯墊層 174 可以是，但不限於，一襯氮化矽層。其次，塗佈一光阻，接著並去除部份光阻，以於深溝渠 110 內保留一深度之光阻 175，此深度係較前述之第一預定深度為淺。

合併參考第 1H、1I 圖，以溝渠 110 內之光阻 175 為罩幕，將裸露於光阻 175 外之襯墊層 174 以等向性濕蝕刻方式去除。隨後，於將溝渠 110 內之光阻 175 去除後，以等向性之濕蝕刻方式去除裸露於該襯墊層 174 之外之導電層 222，再以濕蝕刻方式去除該襯氮化矽層 174。於此，完成溝渠電容器 200 中之下電極 220 與下電極離子摻雜區域 221。

其後，如第 2A 圖至第 2G 圖所示，於深溝渠電容器中形成上電極及位於上、下電極間之介電層。其中，上電極係與矽基材之一第一位置相接觸。

首先，請參見第 2A 圖（以下圖示為方便說明起見，茲省略前述之襯墊層 171、109），以原子層沉積法（Atomic Layer Deposition；ALD）形成具有高介電係數之一第一介電層 230 覆蓋整

個晶圓之水平表面與垂直表面，包含覆蓋溝渠 110 側壁上之領介電層 111 以及下電極 220，接著並進行一適當之回火製程。其中，該第一介電層 230 係提供溝渠電容器 200 之介電層，其可為，但不限於，三氧化二鋁層。

請合併參閱第 2A 至 2D 圖，形成一上電極下端部分 211 於深溝渠 110 內，該下端部分 211 可為一以如下方式形成之複合層。依序沉積一氮化鈦層 212 與一多晶矽層 213 以填滿深溝渠 110，較佳地，另於形成氮化鈦層 212 之後進行一熱回火製程。接著，請參閱第 2B 圖，先蝕刻去除深溝渠 110 內之一部份多晶矽層 213，再蝕刻深溝渠 110 內之部份氮化鈦層 212。續參第 2C 圖，於氮化鈦層 212 與多晶矽層 213 上方、深溝渠 110 內側壁形成一領氮化矽層 112。其次，請參閱第 2D 圖，蝕刻去除領氮化矽層 112 下方之部份多晶矽層 213 與部份氮化鈦層 212，以形成上電極下端部份 211。

以下說明如何將深溝渠電容器接觸至矽基材之製程。首先，繼續參閱第 2E 圖，於形成上電極下端部份 211 後，將暴露深溝渠 110 側壁上之部分第一介電層 230。接著，以一罩幕 300 覆蓋深溝渠 110 之一部分（此處所例示者為約 1/2）。利用罩幕 300 進行蝕刻，分別去除深溝渠 110 側壁上之第一介電層 230 及領氧化層 111 之裸露部份，以暴露出基材 100 之第一位置 120。

請合併參閱第 2E 圖、第 2F 圖、與第 2G 圖。蝕刻去除罩幕 300 及領氮化矽層 112。接著，於深溝渠 110 內形成一上電極上端部分 214。該上端部分 214 可為一以如下方式形成之複合層。依序沉積一鈦/氮化鈦層 215 與一多晶矽層 216 以填滿深溝渠 110，其後，回蝕刻去除部份鈦/氮化鈦層 215 與多晶矽層 216 至一預定高度，形成上電極上端部分 214，其中，鈦/氮化鈦層 215 與基材 100 之第一位置 120 相接觸。其後，以蝕刻方式去除暴露之第一介電層 230，從而，提供一於上電極 214 與基材 100 之第一位置 120

相接觸之深溝渠電容器，如第 2G 圖所示。

其後，將形成一環繞深溝渠上端、具一預定厚度之環狀結構，其包含一第一區域、一第一鰭狀結構、一第二區域、以及一第二鰭狀結構，其中基材之第一位置係位於第一區域中。

請參閱第 3A 圖，形成一第四介電層 113（例如氧化層）於深溝渠 110 中。接著，請參閱第 3B 圖，蝕刻去除基材 100 上之介電層 102，以於基材 100 表面上形成一突出結構，由原深溝渠內之第四介電層 113 與其外側之領介電層 111 構成。隨後，進行一井埋入離子植入製程及快速熱回火，以於基材 100 內形成一井區 150，串接相鄰深溝渠電容器 200 之下電極 220。

其次，請參閱第 3C 圖，於該墊氧化層 101 上方沉積一介電層，再以回蝕刻方式去除部份該介電層，以形成一間隙壁結構 160，環繞前述突出於基材 100 表面外之突出結構。間隙壁結構 160 可為，例如氮化矽層。續參第 3D 圖，以間隙壁結構 160 為蝕刻罩幕，進行一主動區域蝕刻，使基材 100 之表面進一步地向下降。至此，形成一環繞深溝渠電容器 200 上端之雛型環狀結構 400P。須說明者，此處所例示之深溝渠 110 係位於基材 100 中之一圓柱狀溝渠。因此，當基材 100 表面下降時，突出於基材 100 表面之第四介電層 113 與領氧化層 111 便共同形成一圓柱結構，進而使該間隙壁結構 160 與其下方之基材形成一環繞於該圓柱結構之環狀結構，其環繞電容器 200 之上端，此即雛型環狀結構 400P。

其後，參見第 3E 圖，於完成雛型環狀結構 400P 後，對該雛型環狀結構 400P 進行部份摻雜，以調整後續形成之電晶體之啟始電壓。其方法可為先沉積一犧牲氧化層（未示出），再沿 B-B' 方向進行離子植入與快速熱回火製程，其後再蝕刻去除該犧牲氧化層。

續參第 3F 圖，於雛型環狀結構 400P 上先進行主動區域之熱氧化製程，以修補雛型環狀結構 400P 側壁表面，並形成一襯氧化層（未示出）於該側壁表面上。接著，依序沉積一襯氮化矽層（未

示出)及一氧化層 114，其中，氧化層 114 係用以作為淺溝渠隔離層之用，其材質可與第四介電層 113 相同。之後，以化學機械研磨方式進行晶圓表面之平坦化製程，去除部份之領介電層 111、第四介電層 113 以及氧化層 114。

接著，請參閱第 3G 圖，沉積一介電層，其可為與第四介電層 113 相同之材質。為方便說明起見，此處係以層 113、114、及該介電層均採用相同氧化物以提供之態樣來說明。因此，該介電層將與層 113 與 114 連接而形成一實質上連續之氧化層 113A，如第 3G 圖所示。其後沉積一硬式罩幕層，其可為氮化矽層。隨後，以一罩幕 116 圖案化該硬式罩幕層，形成具一開口之罩幕層 115。

其次，請參閱第 3H 圖，於去除罩幕 116 後，再沉積一氮化矽間隙壁 117 於罩幕層 115 之開口位置，以調整罩幕層 115 之關鍵尺寸 (Critical Dimension; CD)。最後，合併參閱第 3H 圖、第 3I 圖，圖中顯示以氮化矽間隙壁 117 以及罩幕層 115 作為蝕刻罩幕，蝕刻氧化層 113A，並同時蝕刻去除部份領介電層 111，以露出部分雛型環狀結構 400P，為二獨立鰭狀結構，各包含二側壁，且於氧化層 113A 內維持之部份雛型環狀結構 400P。其後，以濕蝕刻方式去除二鰭狀結構側壁上之襯氮化矽層 (即省略未示出之襯墊層 171) 以及襯氧化層 (即省略未示出之襯墊層 109)，得到第一鰭狀結構 440 及第二鰭狀結構 480。至此，形成一具一預定厚度之雛型環狀結構 400P，向下延伸而容納深溝渠電容器 200 之上端，該雛型環狀結構 400P 依逆時針方向依序包含一第一區域 420、一第一鰭狀結構 440、一第二區域 460、以及一第二鰭狀結構 480，其中第一區域 420 及第二區域 460 係經氧化層 113A 包覆 (故於俯視圖中以虛線表示)，且第一位置 120 係位於第一區域 420 中。

其後，於環狀結構上形成閘極結構。請參見第 4A 圖，於鰭狀結構 440 及 480 之表面依序形成一閘極介電層 450 與一閘極導電

層 455。於一具體實施態樣中，係以熱氧化方式於鰭狀結構 440/480 之裸露側壁上形成氧化層，作為該閘極介電層 450，接著再沉積一多晶矽層作為閘極導體層 455，覆蓋閘極介電層 450。之後，於閘極導體層 455 上方覆蓋一光阻層 465，以提供一平面，該光阻層 465 之平面係距晶圓表面一適當深度，如第 4A 圖所示。

續參第 4B 圖，以濕蝕刻方式去除裸露於光阻層 465 外之該閘極導體層 455。至此，分別於鰭狀結構 440、480 上形成第一閘極結構及第二閘極結構，各自由閘極介電層 450 與其外側之閘極導體層 455 所組成。於實際應用中，進一步去除閘極導體層 455 上方之光阻層 465，其後，形成一如矽化鎢之導體層，再回蝕刻部份該導體層，以於 B-B' 方向形成一字元線 470，用以串接 B-B' 方向上之數個閘極，如第 4B 圖所示。

之後，分別形成第一離子摻雜區域與第二離子摻雜區域於環狀結構之第一區域與第二區域中。

參見第 5A 圖，以濕蝕刻方式去除氮化矽間隙壁 117 以及硬式單幕層 115，以於 A-A' 方向上暴露出部份之字元線 470。續參第 5B 圖，於裸露之字元線 470 二側形成一間隙壁 475，於具體實施例中，該間隙壁 475 可由先沉積一氮化矽層，再回蝕刻以形成之。最後，參見第 5C 圖，於該間隙壁 475 上沉積一硬式單幕層 477，該硬式單幕層 477 可為，例如一電漿加強式 (PE) 之氮化矽層。其次，再以一單幕 479 圖案化該硬式單幕層 477 與氧化層 113A，以暴露第一區域 420 與第二區域 460。接著，對第一區域 420 與第二區域 460 進行離子植入製程，以分別形成第一離子摻雜區域 421 與第二離子摻雜區域 461，作為電晶體之源極/汲極。至此，完成由第一離子摻雜區域 421、鰭狀結構 440、第二離子摻雜區域 461、及鰭狀結構 480 所組成之環狀結構 400，以及具有鰭狀結構閘極通道之電晶體 600。

以下係說明於較佳實施例中，形成一位元線連接該具有鰭狀

結構閘極通道之半導體元件。

請參閱第 6A 圖，首先，去除第 5C 圖中所示之罩幕 479，並於進行快速熱回火處理之後，沉積一介電層 510，其可為，例如，一硼磷矽玻璃層。於快速熱回火處理後，接著以化學機械研磨方式平坦化該介電層 510。續參第 6B 圖，以一適當之罩幕（未示出）圖案化該介電層 510，形成一接觸窗 520 以裸露出環狀結構 400 之第二離子摻雜區域 461。隨後，去除該罩幕。最後，參見第 6C 圖，將裸露於接觸窗 520 中環狀結構側壁上之墊氧化層（未示出）與墊氮化矽層（未示出）以濕蝕刻方式去除，接著依序於接觸窗 520 沉積一鈦/氮化鈦層 530 以及一金屬層。其中金屬層可為，例如一鎢層。最後，以化學機械將金屬層平坦化後，形成一位元線 500 連接電晶體 600 之該第二離子摻雜區域 461，如第 6C 圖所示。

以下說明應用本發明半導體元件特徵之數種積體電路元件。

(1) 包含 $4F^2$ 半導體元件陣列之積體電路元件：

請合併參閱第 7A 至 7C 圖，所示積體電路元件具有複數個本發明半導體元件、複數個平行字元線、與複數個平行位元線。該等半導體元件排列為一陣列，該陣列具一第一行列方向與一第二行列方向，該第二行列方向係正交於該第一行列方向，於同一行列上相鄰交會點間之間距為實質上 2 個最小微影單位，且各半導體元件僅出現於陣列之交會點上。各該字元線係連接該第一行列方向上各該半導體元件之閘極結構，且各該位元線間係連接第二方向上各半導體元件之第二離子摻雜區域。

(2) 包含 $3.5F^2$ 半導體元件陣列之積體電路元件：

請合併參閱第 8A 至 8C 圖，所示積體電路元件具有複數個本發明半導體元件，排列為一跳棋棋盤陣列。該陣列具一第一行列方向、一第二行列方向與一第三行列方向，該等行列兩兩交會，分別各呈 60° 夾角，於同一行列上相鄰交會點之間距為實質上 2

個最小微影單位，且各半導體元件僅出現於陣列之交會點上。該積體電路另具複數個平行字元線與複數個平行位元線，各字元線係連接第一行列方向上各半導體元件之閘極結構，且各位元線係正交於該第一行列方向，並與每一字元線相交該字元線所連接之一半導體元件位置，另連接該半導體元件之第二離子摻雜區域。

(3) 包含 $2F^2$ 半導體元件陣列之積體電路元件：

請合併參閱第 9A 至 9D 圖，所示積體電路元件具有複數個本發明半導體元件，該等元件排列為一陣列。該陣列具一第一行列方向與一第二行列方向，第一行列方向係正交於第二行列方向，第一行列方向與該第二行列方向上相鄰交會點彼此實質地相隔 $\sqrt{2}$ 個最小微影單位，且各半導體元件僅出現於該等交會點上。該積體電路另具複數個平行字元線與複數個平行位元線，該等字元線具一第三方向，其與第一行列方向具 45° 夾角，且連接該第三行列方向上各該半導體元件之閘極結構；該等位元線具一第四方向，其正交於該第三方向，且連接該方向上各半導體元件之第二離子摻雜區域。

上述實施例僅為例示性說明本發明之原理及功效，而非用於限制本發明。任何熟於此項技藝之人士均可在不違背本發明之技術原理及精神的情況下，對上述實施例進行修改及變化。因此，本發明之權利保護範圍應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖顯示含鰭狀結構閘極通道之半導體元件之一較佳實施態樣之示意圖；

第 1A 至 1I 圖顯示於基材中形成一深溝渠之示意圖；

第 2A 至 2G 圖顯示形成一深溝渠電容器於該深溝渠中之示意圖；

第 3A 至 3I 圖顯示形成第一鰭狀結構及第二鰭狀結構之示意

圖；

第 4A 至 4B 圖顯示形成字元線之示意圖；

第 5A 至 5C 圖顯示形成電晶體之源極/汲極之示意圖；

第 6A 至 6C 圖顯示形成位元線之示意圖；

第 7A 至 7C 圖顯示本發明 $4F^2$ 記憶體元件之示意圖；

第 8A 至 8C 圖顯示本發明 $3.5F^2$ 記憶體元件之示意圖；以及

第 9A 至 9D 圖顯示本發明 $2F^2$ 記憶體元件之示意圖。

【主要元件符號說明】

10：半導體元件	213：多晶矽層
100：基材	214：上電極上端部分
101：墊介電層	215：鈦/氮化鈦層
102：介電層	216：多晶矽層
103：蝕刻緩衝層	220：下電極
104：光阻層	221：離子摻雜區域
105：抗反光層	222：導電層
107：離子摻雜矽玻璃層	230：第一介電層
108：光阻層	300：罩幕
109：襯墊層	400：環狀結構
110：深溝渠	400P：雛型環狀結構
111：領介電層	420：第一區域
112：領氮化矽層	421：第一離子摻雜區域
113：第四介電層	440：第一鰭狀結構
113A：氧化層	450：閘極介電層
114：氧化層	455：閘極導電層
115：硬式罩幕層	460：第二區域
116：罩幕	461：第二離子摻雜區域
117：氮化矽間隙壁	465：光阻層
120：第一位置	470：字元線

- | | |
|---------------|--------------|
| 150 : 井區 | 475 : 間隙壁 |
| 160 : 間隙壁結構 | 477 : 硬式罩幕層 |
| 170 : 多晶矽層 | 479 : 罩幕 |
| 171 : 襯墊層 | 480 : 第二鰭狀結構 |
| 174 : 襯墊層 | 500 : 位元線 |
| 175 : 光阻 | 510 : 介電層 |
| 200 : 深溝渠電容器 | 520 : 接觸窗 |
| 210 : 上電極 | 530 : 鈦/氮化鈦層 |
| 211 : 上電極下端部分 | 600 : 電晶體 |
| 212 : 氮化鈦層 | |

五、中文發明摘要：

一種具鰭狀結構閘極通道之半導體元件及其製造方法，該半導體元件包含一矽基材、一深溝渠電容器、以及一電晶體。其中，該深溝渠電容器係位於該基材中，該電晶體包含一源極、汲極以及至少一鰭狀結構閘極通道，該鰭狀結構閘極通道連接該源極及汲極，且位於該深溝渠電容器上方。

六、英文發明摘要：(SEMICONDUCTOR DEVICE HAVING FIN STRUCTURE GATE CHANNEL AND ITS MANUFACTURING METHOD AND USE)

A semiconductor device comprises fin structure gate channel and a method of manufacturing the same are provided. The semiconductor device comprises a silicon substrate, a deep trench capacitor, and a transistor. The deep trench capacitor is disposed in the substrate. The transistor comprises a source region, a drain region, and at least a fin structure gate channel, wherein the fin structure gate channel connects the source and drain regions, and the fin structure is disposed above the deep trench capacitor.

十、申請專利範圍：

1. 一種半導體元件，包含：

一矽基材；

一深溝渠電容器，位於該基材中，且包含一上電極、一下電極、及一位於該上電極及該下電極間之第一介電層；以及

一電晶體，包含：

(a) 一矽質環狀結構，其依逆時針方向依序包含：

一第一離子摻雜區域；

一第一鰭狀結構，包含二側壁；

一第二離子摻雜區域；以及

一第二鰭狀結構，包含二側壁；以及

(b) 一第一閘極結構，位於該深溝渠電容器上方且包含：

一第二介電層，覆蓋該第一鰭狀結構之二側壁；以

及

一第一導電層，覆蓋該第二介電層，

其中，該矽質環狀結構係向下延伸而容納該深溝渠電容器，且該深溝渠電容器之上電極係與該第一離子摻雜區域相接觸。

2. 如請求項 1 所述之半導體元件，更包含一第二閘極結構，位於該深溝渠電容器上方且包含：

一第三介電層，覆蓋該第二鰭狀結構之二側壁；以及

一第二導電層，覆蓋該第三介電層。

3. 如請求項 1 所述之半導體元件，更包含一第四介電層，位於該深溝渠電容器與該閘極結構之間。

4. 如請求項 1 所述之半導體元件，更包含一第五介電層，位於該第一離子摻雜區域之上。

5. 如請求項 1 所述之半導體元件，更包含一位元線，接觸至該第

二離子摻雜區域。

6. 如請求項 1 所述之半導體元件，其中該第一離子摻雜區域係一汲極區域，該第二離子摻雜區域係一源極區域。
7. 如請求項 1 所述之半導體元件，其中該半導體元件係為一記憶體。
8. 如請求項 7 所述之半導體元件，其中該記憶體係為一動態隨機存取記憶體。
9. 一種包含一 $4F^2$ 半導體元件陣列之積體電路元件，包含：
 - 複數個如請求項 1 之半導體元件，排列為一陣列，其中該陣列具一第一行列方向與一第二行列方向，該第二行列方向係正交於該第一行列方向，於同一行列上相鄰交會點之間距為實質上 2 個最小微影單位，且各半導體元件僅出現於陣列之交會點上；
 - 複數個平行字元線，其中各該字元線係連接該第一行列方向上各該半導體元件之該閘極結構；以及
 - 複數個平行位元線，其中各該位元線係連接該第二行列方向上各該半導體元件之該第二離子摻雜區域。
10. 一種包含一 $3.5F^2$ 半導體元件陣列之積體電路元件，包含：
 - 複數個如請求項 1 之半導體元件，排列為一跳棋棋盤陣列，其中該陣列具一第一行列方向、一第二行列方向、以及一第三行列方向，該等行列兩兩交會、各呈 60° 夾角，於同一行列上相鄰交會點之間距為實質上 2 個最小微影單位，且各該半導體元件僅出現於該陣列之交會點上；
 - 複數個平行字元線，其中各該字元線係連接該第一行列方向上各該半導體元件之該閘極結構；以及

複數個平行位元線，其中各該位元線係正交於該第一行列方向，且與每一字元線相交於該字元線所連接之一半導體元件之位置，並連接該半導體元件之第二離子摻雜區域。

11. 一種包含一 $2F^2$ 半導體元件陣列之積體電路元件，包含：

複數個如請求項 1 之半導體元件，排列為一陣列，其中該陣列具一第一行列方向與一第二行列方向，該第二行列方向係正交於該第一行列方向，於同一行列上相鄰交會點之間距為實質上 $\sqrt{2}$ 個最小微影單位，且各半導體元件僅出現於陣列之交會點上；

複數個平行字元線，具一第三方向，與該第一行列方向夾 45° 夾角，各該字元線係連接該第三行列方向上各該半導體元件之該閘極結構；以及

複數個平行位元線，具一第四方向，正交於該第三行列方向，各該位元線係連接該第四行列方向上各該半導體元件之該第二離子摻雜區域。

12. 一種製造半導體元件之方法，包含以下步驟：

形成一深溝渠於一矽基材中；

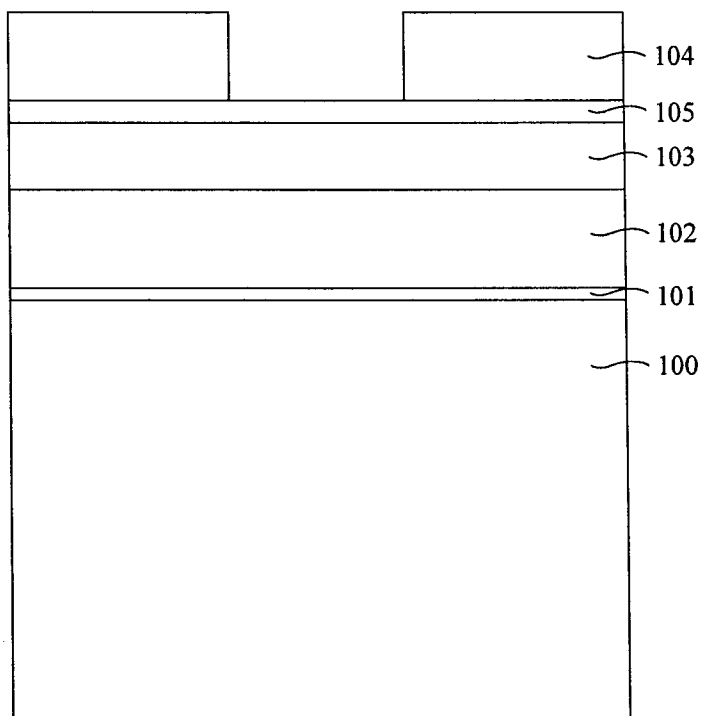
形成一電容器於該深溝渠中，該電容器係包含一上電極、一下電極、及一介於該上電極與下電極之第一介電層，該上電極係與該矽基材之第一位置相接觸；

形成一環繞深溝渠上端、具一預定厚度之環狀結構，依逆時針方向依序包含一第一區域、一第一鰭狀結構、一第二區域、以及一第二鰭狀結構，其中該第一位置係位於該第一區域中；

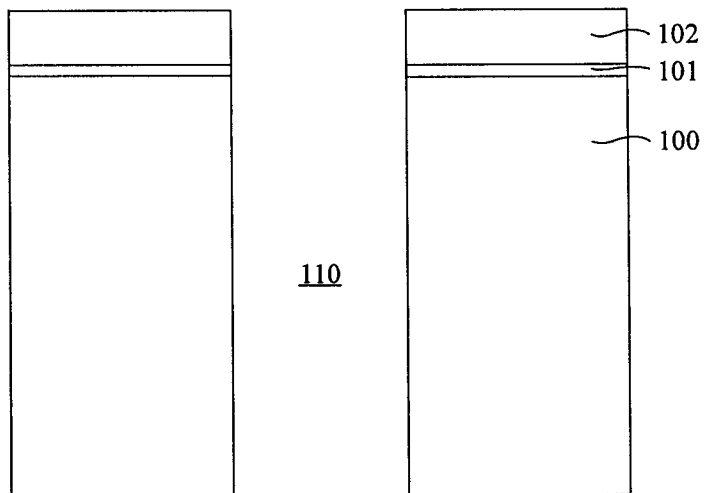
形成一第一閘極結構於該第一鰭狀結構；以及

形成一第一離子摻雜區域於該第一區域與一第二離子摻雜區域於該第二區域。

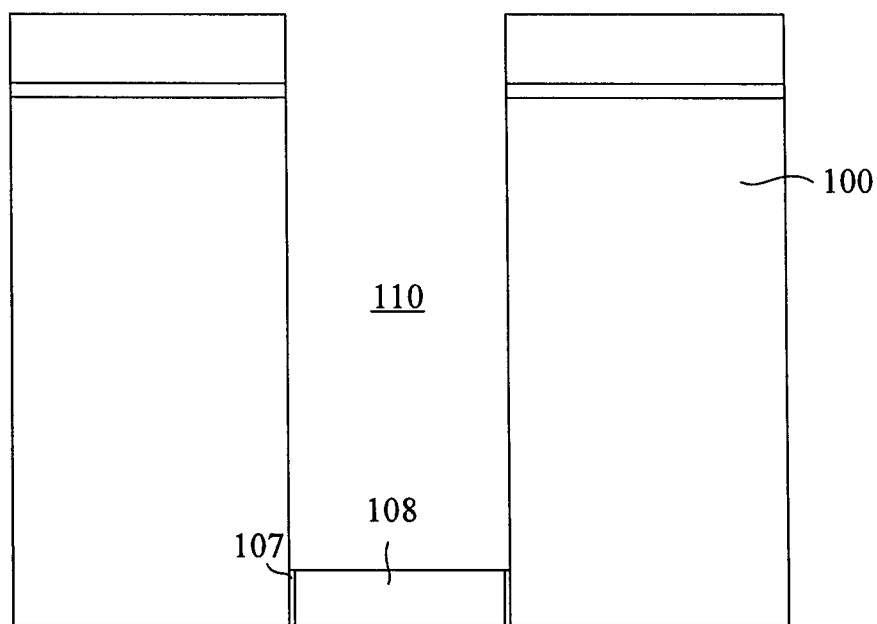
13. 如請求項 12 所述之方法，其中該形成第一閘極結構之步驟係包括如下操作：
 - 形成一第二介電層，覆蓋於該鰭狀結構之上；以及
 - 形成一第一導電層，覆蓋於該第二介電層之上，以形成該閘極結構。
14. 如請求項 13 所述之方法，其中該形成第一閘極結構之步驟係同時形成一第二閘極結構於該第二鰭狀結構上。
15. 如請求項 14 所述之方法，其中該形成第一離子摻雜區域與第二離子摻雜區域之步驟係包括如下操作：
 - 去除該第一區域與該第二區域上方之第六介電層，以及
 - 摻雜該第一及區域與該第二區域，以分別形成該第一離子摻雜區域與該第二離子摻雜區域。
16. 如請求項 15 所述之方法，其中該第一離子摻雜區域係一汲極區域、且該第二離子摻雜區域係一源極區域。
17. 如請求項 16 所述之方法，更包含一形成一位元線接觸之步驟，接觸該第二離子摻雜區域。



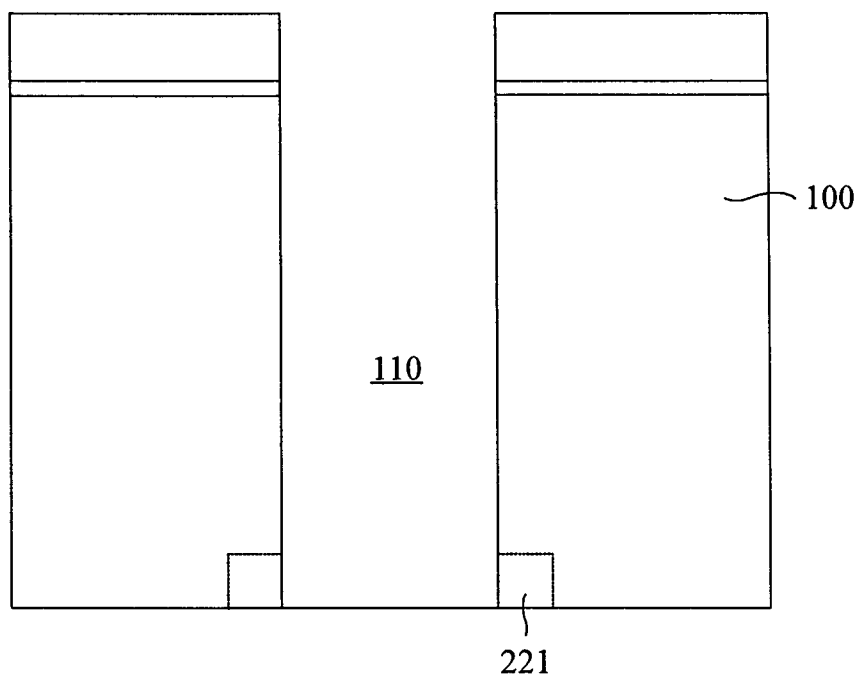
第 1A 圖



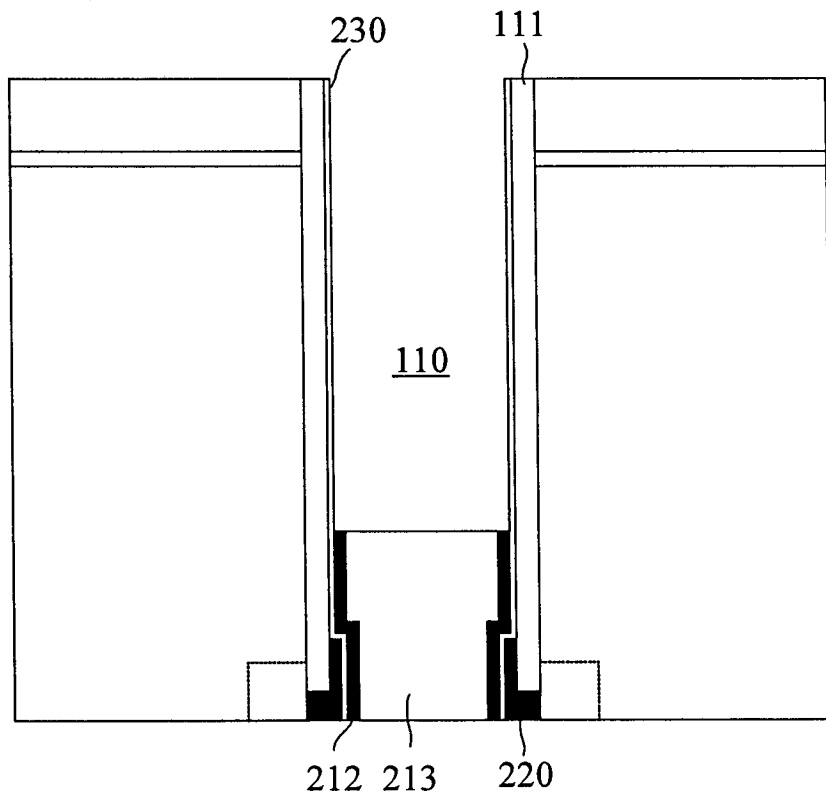
第 1B 圖



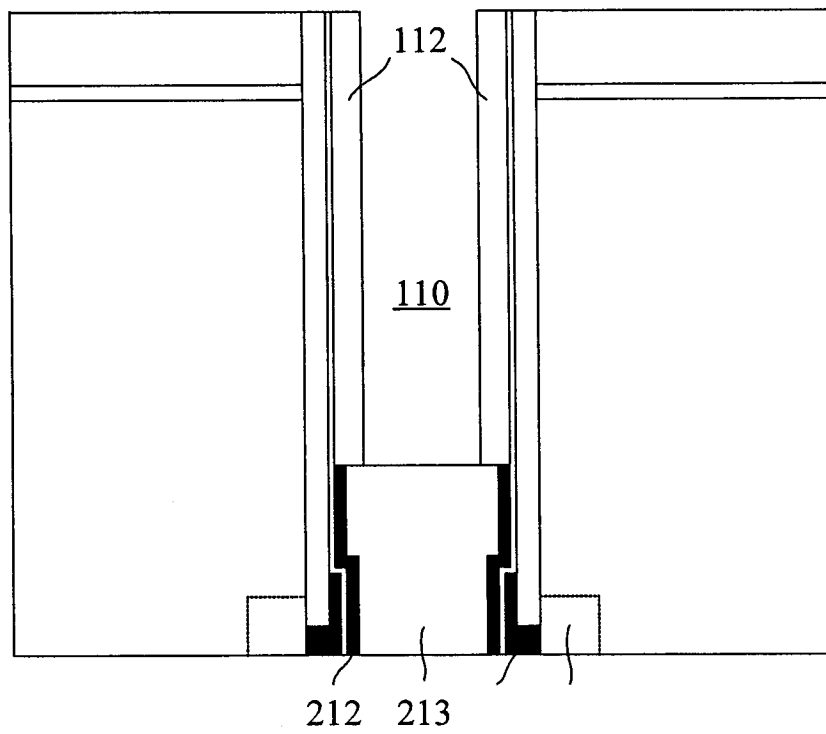
第 1C 圖



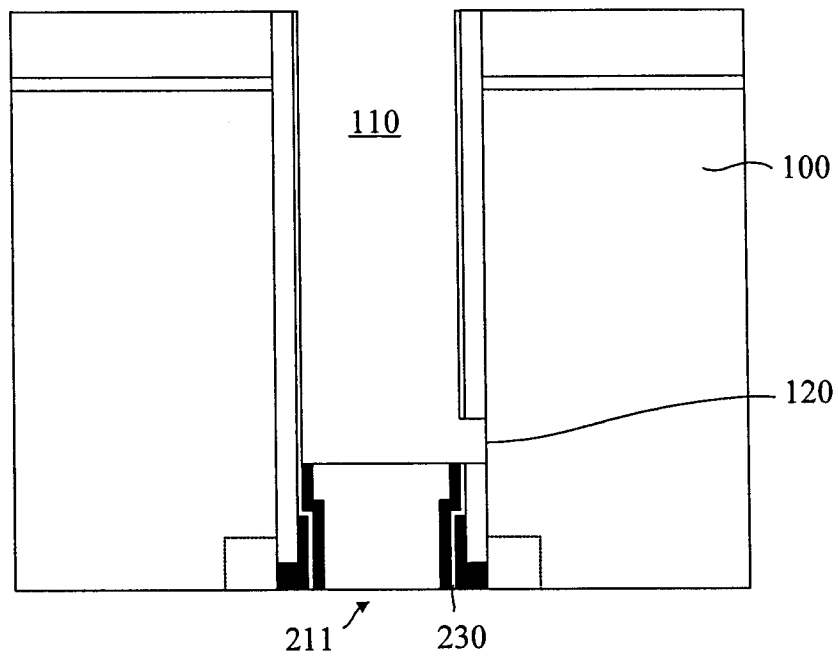
第 1D 圖



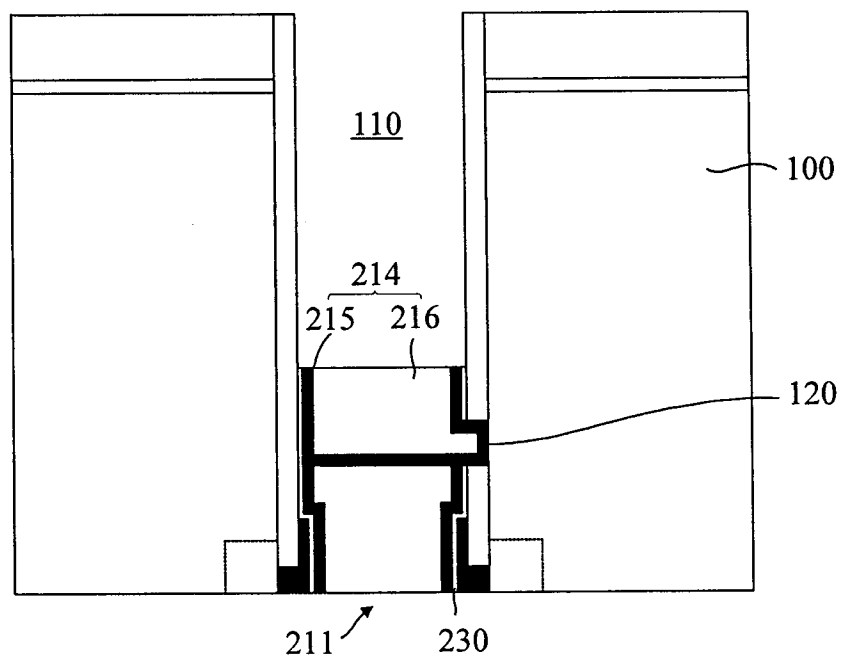
第 2B 圖



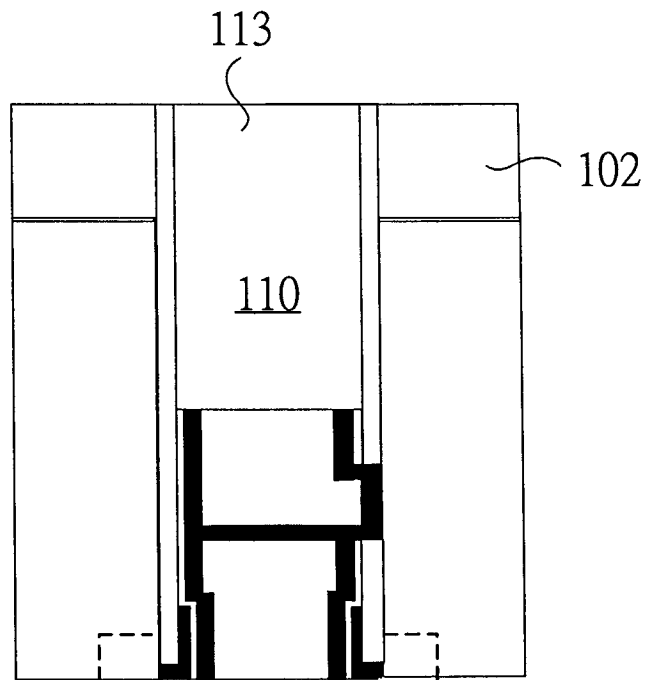
第 2C 圖



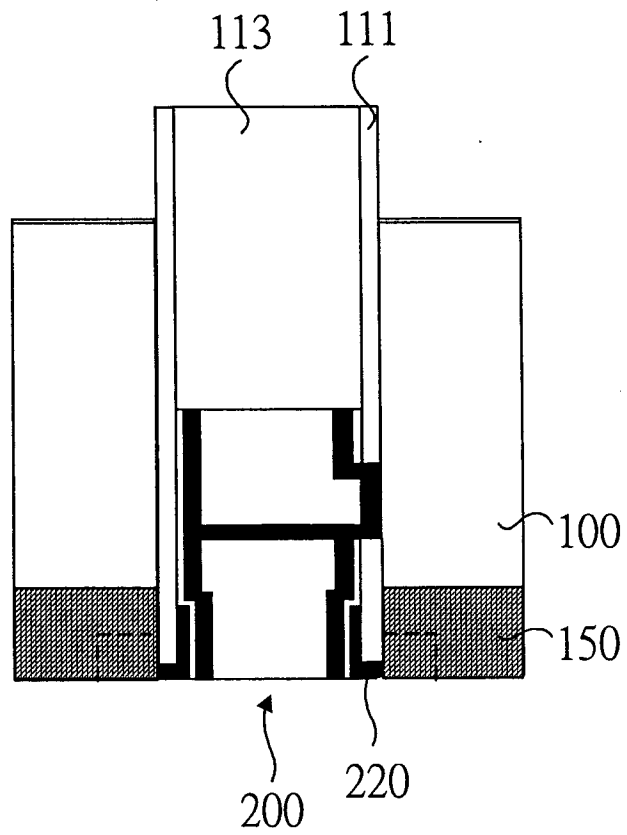
第 2F 圖



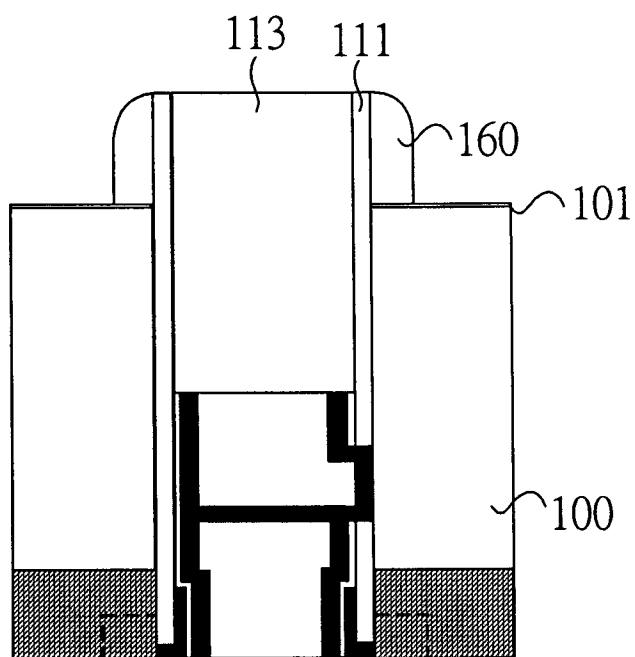
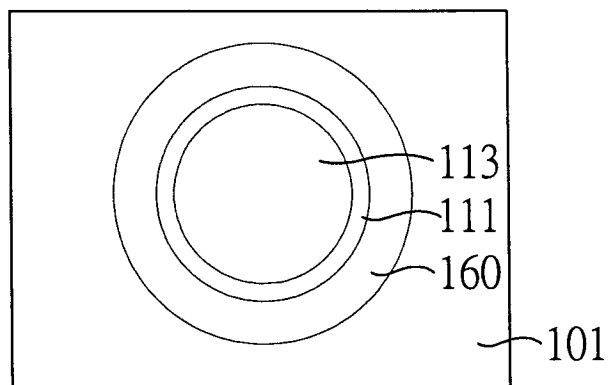
第 2G 圖



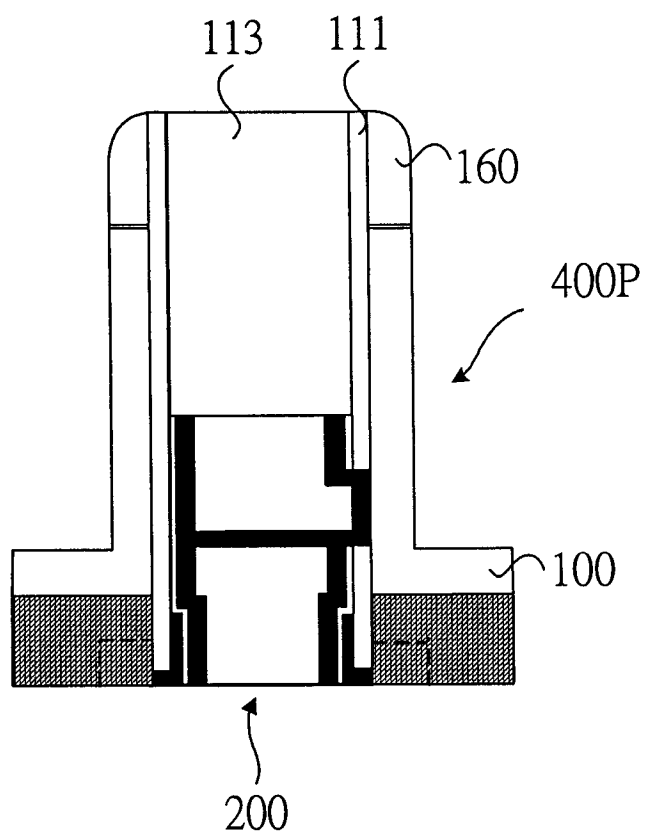
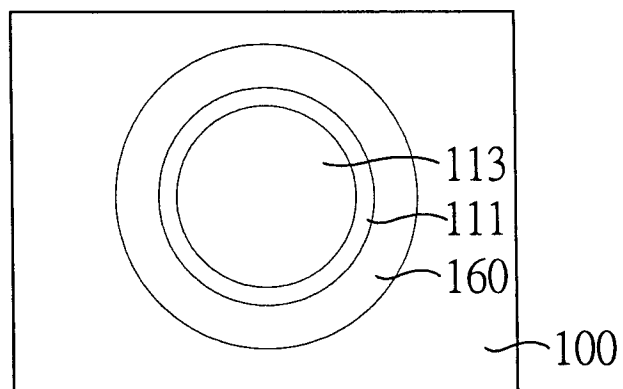
第 3A 圖



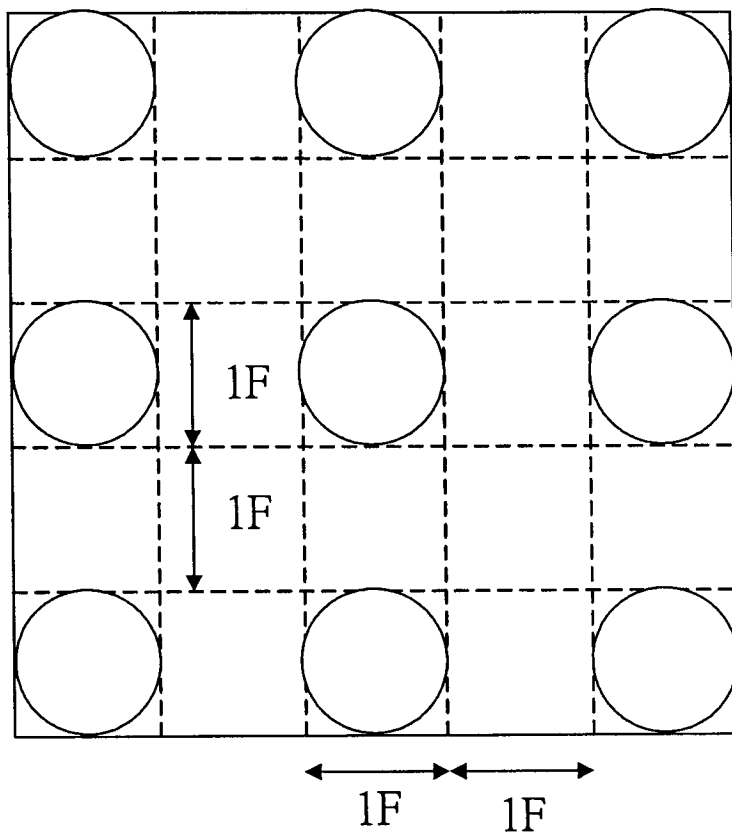
第 3B 圖



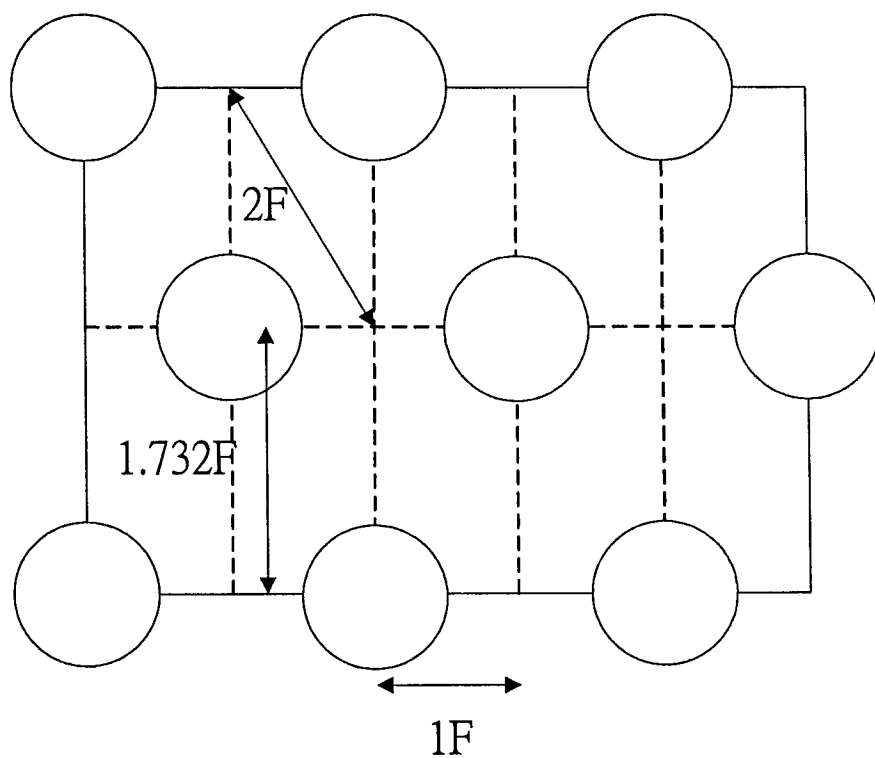
第 3C 圖



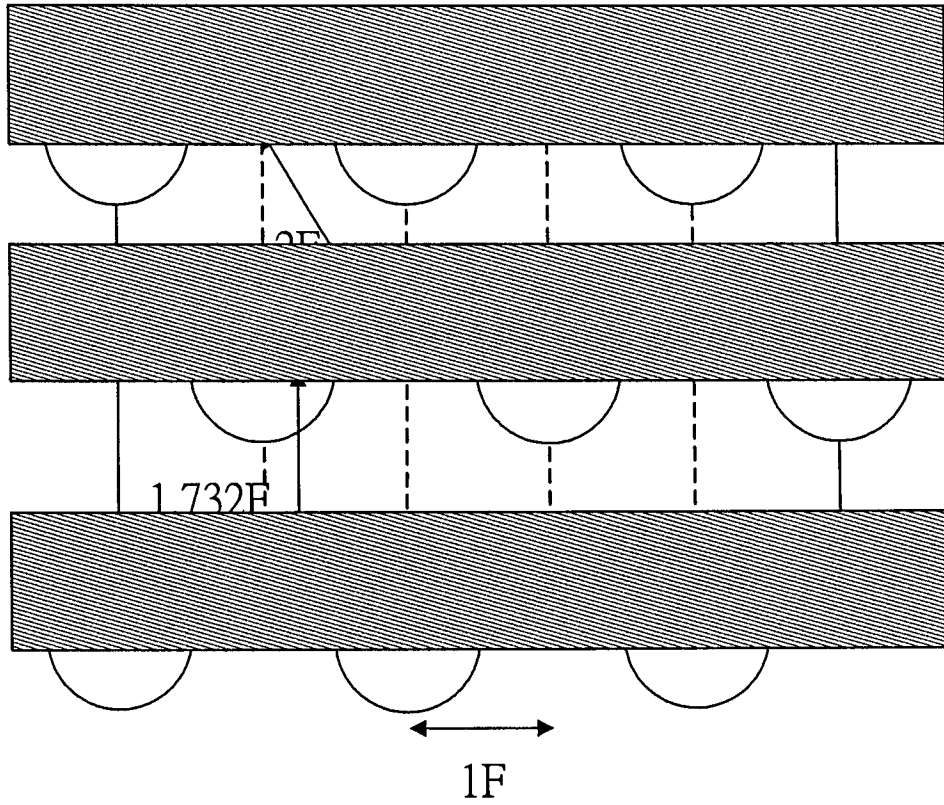
第 3D 圖



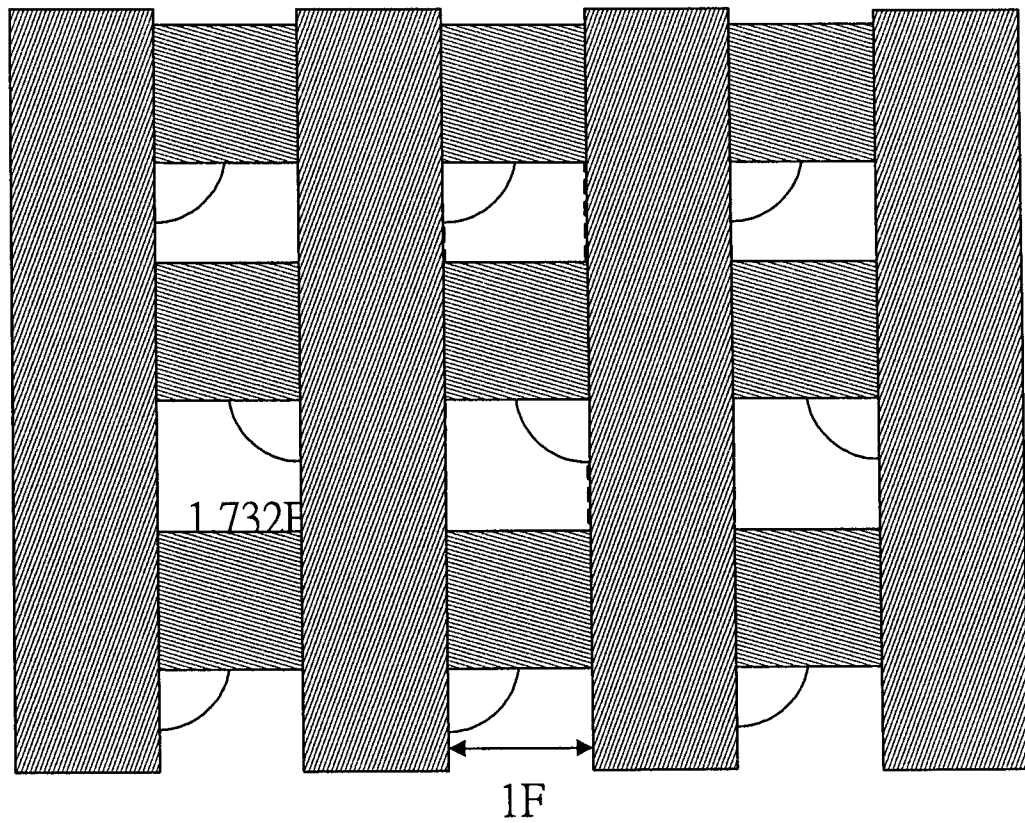
第 7A 圖



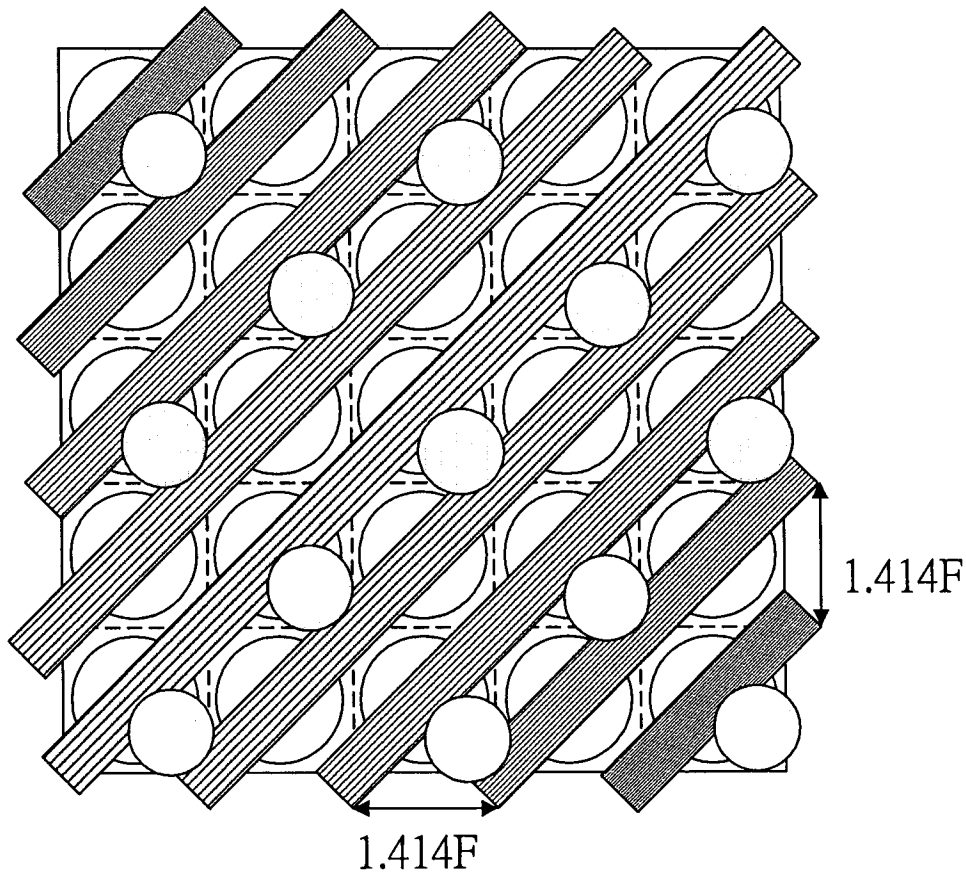
第 8A 圖



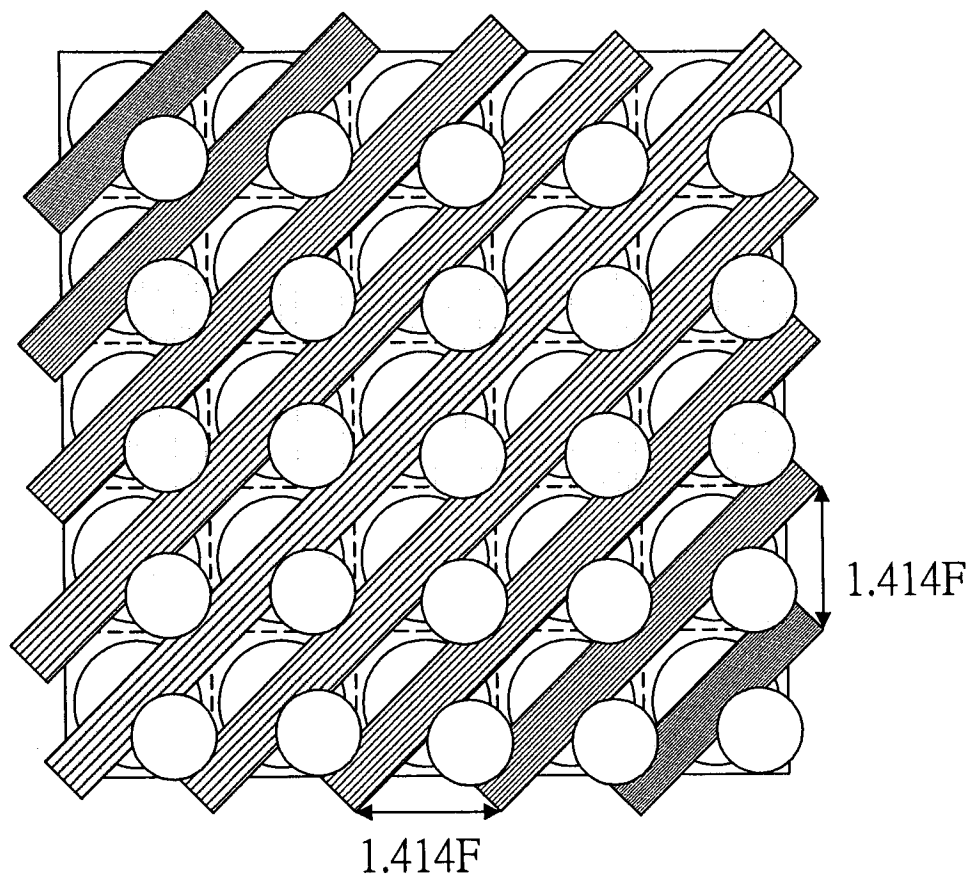
第 8B 圖



第 8C 圖



第 9A 圖



第 9B 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10：半導體元件	440：第一鰭狀結構
100：基材	450：閘極介電層
200：深溝渠電容器	455：閘極導電層
210：上電極	461：第二離子摻雜區域
220：下電極	480：第二鰭狀結構
230：第一介電層	510：第五介電層
400：環狀結構	600：電晶體
421：第一離子摻雜區域	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無