



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월27일
(11) 등록번호 10-0898123
(24) 등록일자 2009년05월11일

(51) Int. Cl.
G11C 16/02 (2006.01) G11C 16/06 (2006.01)
(21) 출원번호 10-2007-0078978
(22) 출원일자 2007년08월07일
심사청구일자 2007년08월07일
(65) 공개번호 10-2009-0014774
(43) 공개일자 2009년02월11일
(56) 선행기술조사문헌
KR1020030092854 A
KR1020060004304 A

(73) 특허권자
(주) 라모스테크놀로지
경기도 수원시 팔달구 망포동 31-6
(72) 발명자
최동진
서울 관악구 신림8동 1719 조원아파트 101동 305호
김영은
서울 용산구 동빙고동 252-3
(74) 대리인
권혁성, 김삼수, 안미정, 정승훈

전체 청구항 수 : 총 10 항

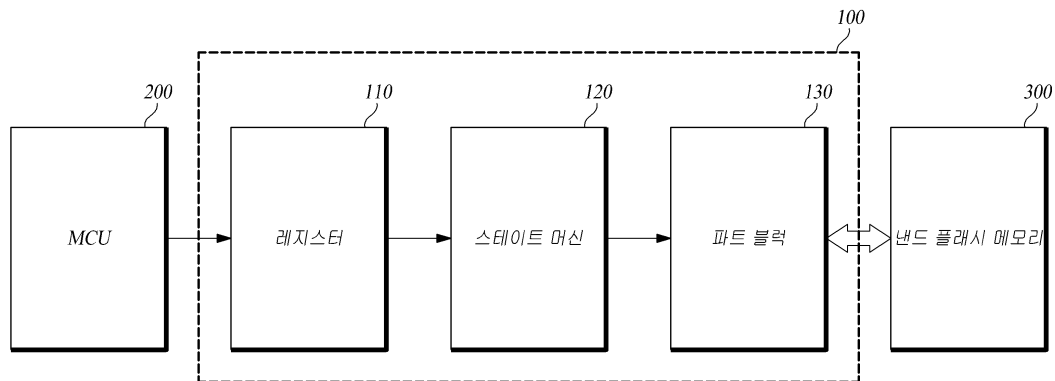
심사관 : 윤난영

(54) 낸드 플래시 메모리 제어 장치

(57) 요약

낸드 플래시 메모리가 제어 장치가 제공된다. 본 발명은 MCU와 낸드 플래시 메모리 간의 신호 전송을 제어하기 위한 낸드 플래시 메모리 제어 장치에 있어서, 낸드 플래시 메모리 구동에 필요한 비트를 저장하고 있는 레지스터, 낸드 플래시 메모리를 제어하기 위한 제어신호들의 펄스 신호로 구성된 다수의 파트로 이루어져 있고, 각 파트는 제어신호들의 고유 타이밍을 발생시키는 파트 블럭, 상기 MCU에 의해 세팅된 상기 레지스터의 비트들의 조합에 따른 낸드 플래시 메모리에 대한 동작이 정의되어 있으며, 상기 파트 블럭의 각 파트들을 이용하여 낸드 플래시 메모리에 대한 해당 동작이 수행되도록 상기 파트 블럭을 제어하는 스테이트 머신을 포함한다. 본 발명에 의하면 낸드 플래시 메모리의 동작을 하드웨어 로직에서 일괄적으로 처리함으로써 낸드 플래시 메모리의 동작속도를 향상시킬 수 있는 효과가 있다.

대표도 - 도2



특허청구의 범위

청구항 1

MCU(Micro Controller Unit)와 낸드 플래시 메모리 간의 신호 전송을 제어하기 위한 낸드 플래시 메모리 제어 장치에 있어서,

낸드 플래시 메모리 구동에 필요한 비트를 저장하고 있는 레지스터;

낸드 플래시 메모리를 제어하기 위한 제어신호들의 펄스 신호를 발생시키는 다수의 파트로 이루어져 있고, 각 파트는 제어신호들의 고유 타이밍을 발생시키는 파트 블록;

상기 MCU에 의해 세팅된 상기 레지스터의 비트들의 조합에 따른 낸드 플래시 메모리에 대한 동작이 정의되어 있으며, 상기 파트 블록의 각 파트들을 이용하여 낸드 플래시 메모리에 대한 해당 동작이 수행되도록 상기 파트 블록을 제어하는 스테이트 머신

을 포함하는 낸드 플래시 메모리 제어 장치.

청구항 2

제1항에 있어서,

상기 레지스터는 8개의 비트로 구성되는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 3

제2항에 있어서,

상기 레지스터는 멀티 플레인(Multi-plane) 비트, 랜덤(Random) 비트, 리셋(Reset) 비트, 이레이즈(Erase) 비트, 리드(Read) 비트, 라이트(Write) 비트를 포함하는 것임을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 4

제3항에 있어서,

상기 레지스터의 리드 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 리드 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 리드 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 랜덤 리드 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 5

제3항에 있어서,

상기 레지스터의 라이트 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 라이트 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 라이트 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 랜덤 라이트 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 라이트 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 라이트 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 6

제3항에 있어서,

상기 레지스터의 이레이즈 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 이레이즈 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 이레이즈 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 이레이즈 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 7

제3항에 있어서,

상기 레지스터는 카피백(CopyBack) 비트를 더 포함하며,

상기 레지스터의 카피백 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 카피백 프로그램 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 카피백 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 카피백 랜덤 프로그램 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 카피백 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 카피백 프로그램 동작을 수행하도록 상기 파트 블록을 제어하고,

상기 레지스터의 카피백 비트가 1, 랜덤 비트가 1, 멀티 플레인 비트가 1로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 카피백 랜덤 프로그램 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 8

제3항에 있어서,

상기 레지스터의 리셋 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 리셋 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 9

제3항에 있어서,

상기 레지스터는 디바이스 아이디(Device ID) 비트를 더 포함하며,

상기 레지스터의 디바이스 아이디 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 디바이스 아이디 리드 동작을 수행하도록 상기 파트 블록을 제어하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 제어신호는 I0신호, ALE(Address Latch Enable)신호, CLE(Command Latch Enable)신호, RE(Read Enable)신호, WE(Write Enable)신호, R/B(Ready Busy)신호, CS(Chip Select)신호를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 제어 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<9> 본 발명은 낸드 플래시 메모리 제어 장치에 관한 것으로서, 더욱 상세하게는 낸드 플래시 메모리를 제어하는 신호들의 동작들을 하드웨어 로직으로 구현하여 낸드 플래시 메모리의 동작속도를 향상시키도록 하는 낸드 플래시 메모리 제어 장치에 관한 것이다.

<10> 일반적으로 플래시(flash) 메모리는 전원이 제거되어도 정보를 그대로 유지하는 비휘발성 기억 장치로서, 주로

디지털 카메라나 MP3, 휴대폰, USB 드라이브 등의 휴대형 기기에서 대용량 정보를 저장하기 위한 용도로 사용된다. 이러한 플래시 메모리는 반도체 칩 내부의 전자 회로 형태에 따라 데이터 저장형인 낸드(NAND)형과 코드 저장형인 노어(NOR)형으로 구분된다.

- <11> 낸드 플래시 메모리는 저장 단위인 셀을 수직으로 배열해 좁은 면적에 많은 셀을 만들 수 있도록 되어 있어 대용량으로 구현이 가능한 반면, 노어 플래시 메모리는 셀이 수평으로 배열되어 용량은 작으나 읽기 및 쓰기 속도가 빨라서 휴대폰과 같은 기기에서 동작 중심의 핵심 데이터를 저장하는데 주로 사용된다. 노어 플래시 메모리는 다른 메모리들과 마찬가지로 독립된 주소 공간을 갖고, 주소와 데이터 버스가 각각 존재하기 때문에 CPU에서 용이하게 인터페이스가 가능하지만, 낸드 플래시 메모리의 경우에는 주소와 데이터 버스가 공용 버스를 함께 사용하여 독립된 주소 공간을 갖는 구조가 아니기 때문에 동작을 제어하기 위한 하드웨어 제어 로직이 필요하다.
- <12> 도 1은 종래 낸드 플래시 메모리 제어 장치의 블록도이다.
- <13> 일반적으로 낸드 플래시 메모리를 제어하기 위한 제어 신호는 IO 신호, ALE 신호(Address Latch Enable) 신호, CLE(Command Latch Enable) 신호, RE(Read Enable) 신호, WE(Write Enable) 신호, R/B(Ready Busy) 신호, CS(Chip Select) 신호 등이 있다.
- <14> 도 1에서 종래 낸드 플래시 메모리 제어 장치는 제어 신호를 출력하는 제어신호 블록들과 제어신호 블록들을 제어하는 제어블럭(20)으로 구성된다. MCU(10)는 낸드 플래시 메모리를 구동시키는 중앙 처리 유닛이다.
- <15> 도 1에서 제어신호 블록은 ALE 신호를 발생시키는 ALE 블록(31), CLE 신호를 발생시키는 CLE 블록(33), RE 신호를 발생시키는 RE 블록(35), WE 신호를 발생시키는 WE 블록(37), CS 신호를 발생시키는 CS 블록(39), R/B 신호를 발생시키는 R/B 블록(41), IO 신호를 발생시키는 IO 블록(43)으로 이루어진다.
- <16> 제어블럭(20)은 MCU(10)의 신호에 따라 제어신호들의 발생을 조절하여 출력하도록 제어신호 블록들을 제어한다.
- <17> 이처럼 종래에는 낸드 플래시 메모리의 구동을 제어하기 위하여 펌웨어(Firmware)가 제어블럭(20)을 이용하여 ALE 블록(31), CLE 블록(33) 등의 제어신호 블록들을 조정하는 방식으로 낸드 플래시 메모리를 제어하기 위한 ALE, CLE 등의 제어신호들을 적절하게 발생시킨다. 즉, 종래에는 펌웨어가 낸드 플래시 메모리의 각각의 동작들을 제어블럭(20)을 통해 조절하는 방식이다.
- <18> 그러나, 이러한 종래 낸드 플래시 메모리의 구동 방식은 낸드 플래시 메모리의 모든 동작을 펌웨어를 통해 발생시켜야 하기 때문에 펌웨어 프로그램이 복잡해지고 길어지는 문제점이 있다. 또한, 종래 구동 방식은 낸드 플래시 메모리의 각각의 동작들이 연결되지 않고 끊어지기 때문에 동작속도가 느려지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 낸드 플래시 메모리의 동작을 하드웨어 로직에서 일괄적으로 처리함으로써 낸드 플래시 메모리의 동작속도를 향상시킬 수 있는 낸드 플래시 메모리 제어 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <20> 이와 같은 목적을 달성하기 위한 본 발명은 MCU(Micro Controller Unit)와 낸드 플래시 메모리 간의 신호 전송을 제어하기 위한 낸드 플래시 메모리 제어 장치에 있어서, 낸드 플래시 메모리 구동에 필요한 비트를 저장하고 있는 레지스터, 낸드 플래시 메모리를 제어하기 위한 제어신호들의 펄스 신호로 구성된 다수의 파트로 이루어져 있고, 각 파트는 제어신호들의 고유 타이밍을 발생시키는 파트 블럭, 상기 MCU에 의해 세팅된 상기 레지스터의 비트들의 조합에 따른 낸드 플래시 메모리에 대한 동작이 정의되어 있으며, 상기 파트 블럭의 각 파트들을 이용하여 낸드 플래시 메모리에 대한 해당 동작이 수행되도록 상기 파트 블럭을 제어하는 스테이트 머신을 포함한다.
- <21> 상기 레지스터는 8개의 비트로 구성될 수 있다. 이때 상기 레지스터는 멀티 플레인(Multi-plane) 비트, 랜덤(Random) 비트, 리셋(Reset) 비트, 이레이즈(Erase) 비트, 리드(Read) 비트, 라이트(Write) 비트를 포함하여 이루어질 수 있다.
- <22> 상기 레지스터의 리드 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 리드 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 리드 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 랜덤 리드 동작을 수행하도록 상기 파트

블럭을 제어할 수 있다.

- <23> 상기 레지스터의 라이트 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 라이트 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 라이트 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 랜덤 라이트 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 라이트 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 라이트 동작을 수행하도록 상기 파트 블럭을 제어할 수 있다.
- <24> 상기 레지스터의 이레이즈 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 이레이즈 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 이레이즈 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 이레이즈 동작을 수행하도록 상기 파트 블럭을 제어할 수 있다.
- <25> 상기 레지스터는 카피백(CopyBack) 비트를 더 포함하며, 상기 레지스터의 카피백 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 카피백 프로그램 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 카피백 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 카피백 랜덤 프로그램 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 카피백 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 카피백 프로그램 동작을 수행하도록 상기 파트 블럭을 제어하고, 상기 레지스터의 카피백 비트가 1, 랜덤 비트가 1, 멀티 플레인 비트가 1로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 멀티 플레인 카피백 랜덤 프로그램 동작을 수행하도록 상기 파트 블럭을 제어할 수 있다.
- <26> 상기 레지스터의 리셋 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 리셋 동작을 수행하도록 상기 파트 블럭을 제어할 수 있다.
- <27> 상기 레지스터는 디바이스 아이디(Device ID) 비트를 더 포함하며, 상기 레지스터의 디바이스 아이디 비트가 1, 나머지 비트들이 0으로 세팅되면, 상기 스테이트 머신은 낸드 플래시 메모리가 디바이스 아이디 리드 동작을 수행하도록 상기 파트 블럭을 제어할 수 있다.
- <28> 상기 제어신호는 IO신호, ALE(Address Latch Enable)신호, CLE(Command Latch Enable)신호, RE(Read Enable)신호, WE(Write Enable)신호, R/B(Ready Busy)신호, CS(Chip Select)신호를 포함할 수 있다.
- <29> 이하, 첨부된 도면을 참조해서 본 발명의 실시예를 상세히 설명하면 다음과 같다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 그리고, 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- <30> 도 2는 본 발명의 일 실시예에 따른 낸드 플래시 메모리 제어 장치의 블록도이다. 도 2에서 낸드 플래시 메모리 제어 장치(100)는 MCU(Micro Controller Unit)(200)와 낸드 플래시 메모리(300) 간의 신호 전송을 제어한다.
- <31> 낸드 플래시 메모리 제어 장치(100)는 레지스터(110), 스테이트 머신(120), 파트 블럭(130)을 포함하여 이루어진다.
- <32> 레지스터(110)는 낸드 플래시 메모리(300) 구동에 필요한 비트를 저장하고 있다. 본 발명의 일 실시예에서 레지스터(110)는 MCU(200)의 제어에 따라 비트들이 세팅된다.
- <33> 스테이트 머신(120)은 MCU(200)에 의해 세팅된 레지스터(110)의 비트들의 조합에 따른 낸드 플래시 메모리(300)에 대한 동작이 정의되어 있으며, 파트 블럭(130)의 각 파트들을 이용하여 낸드 플래시 메모리(300)에 대한 해당 동작이 수행되도록 파트 블럭(130)을 제어한다.
- <34> 파트 블럭(130)은 낸드 플래시 메모리를 제어하기 위한 제어신호들의 펄스 신호로 구성된 다수의 파트로 이루어져 있고, 각 파트는 제어신호들의 고유 타이밍을 발생시킨다.
- <35> 도 3은 본 발명의 일 실시예에 따른 레지스터의 구성도이다.
- <36> 도 3의 실시예에서 레지스터(110)는 8개의 비트로 구성되어 있다. 즉, 본 발명의 레지스터(110)는 멀티 플레인(Multi-plane) 비트, 랜덤(Random) 비트, 리셋(Reset) 비트, 이레이즈(Erase) 비트, 리드(Read) 비트, 라이트

(Write) 비트, 카피백(Copy Back) 비트, 디바이스 아이디(DevID) 비트를 포함하여 이루어진다.

- <37> 도 3의 레지스터(110)에서 0번지 비트는 멀티 플레인 비트, 1번지 비트는 랜덤 비트, 2번지 비트는 디바이스 아이디 비트, 3번지 비트는 리셋 비트, 4번지 비트는 카피백 비트, 5번지 비트는 이레이즈 비트, 6번지 비트는 리드 비트, 7번지 비트는 라이트 비트로 구성된다.
- <38> 본 발명에서 파트 블럭(130)은 낸드 플래시 메모리를 제어하기 위한 제어신호들의 펄스 신호로 구성된 다수의 파트로 이루어져 있고, 각 파트는 제어신호들의 고유 타이밍을 발생시킨다. 제어신호는 IO신호, ALE(Address Latch Enable)신호, CLE(Command Latch Enable)신호, RE(Read Enable)신호, WE(Write Enable)신호, R/B(Ready Busy)신호, CS(Chip Select)신호를 포함하여 이루어진다.
- <39> 파트 블럭(130)은 다수의 파트들로 구성되고, 각 파트는 제어신호들의 다양한 타이밍의 조합으로 이루어진다. 본 발명에서는 파트 블럭(130)이 28개의 파트로 구성된 실시예를 제안한다. 즉, 본 발명에서 파트 블럭(130)은 제1번 파트부터 제28번 파트까지 총 28개의 파트로 구성될 수 있다.
- <40> 도 4 내지 도 31은 본 발명의 일 실시예에 따른 각 파트의 타이밍도이다. 즉, 도 4는 제1파트의 타이밍도이고, 도 5는 제2파트의 타이밍도이고, 도 6은 제3파트의 타이밍도이다. 이런 순서대로 도 31까지 28개 파트의 타이밍도가 도시되어 있다.
- <41> 본 발명에서 파트 블럭(130)의 한 파트가 동작하면 해당 파트의 타이밍에 해당하는 신호가 발생한다. 예를 들어, 파트 블럭(130)의 제4파트가 동작하면 도 7에 도시된 타이밍의 제어 신호 펄스가 발생하게 되고, 제11파트가 동작하면 도 14에 도시된 타이밍의 제어 신호 펄스가 발생하게 된다.
- <42> 본 발명에서 스테이트 머신(120)은 MCU(200)에 의해 세팅된 레지스터(110)의 비트들의 조합에 따른 낸드 플래시 메모리(300)에 대한 동작이 정의되어 있다. 그리고, 파트 블럭(130)의 각 파트들을 이용하여 낸드 플래시 메모리(300)에 대한 해당 동작이 수행되도록 파트 블럭(130)을 제어한다. 예를 들어, 파트 블럭(130)이 28개의 파트로 구성된 실시예에서, 스테이트 머신(120)은 28개의 파트들을 조합하여 낸드 플래시 메모리(300)에 대한 해당 동작이 수행되도록 파트 블럭(130)을 제어한다.
- <43> 이하에서는 스테이트 머신(120)에서 MCU(200)에 의해 세팅된 레지스터(110)의 비트들의 조합에 따른 낸드 플래시 메모리(300)에 대해 정의된 동작을 설명하기로 한다.
- <44> 레지스터(110)의 리드 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 리드 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제14파트-제24파트-제26파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <45> 레지스터(110)의 리드 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 랜덤 리드 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제14파트-제24파트-제12파트-제21파트-제7파트-제26파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <46> 레지스터(110)의 라이트 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 라이트 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제1파트-제23파트-제27파트-제16파트-제24파트-제18파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <47> 레지스터(110)의 라이트 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 랜덤 라이트 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제1파트-제23파트-제27파트-제8파트-제21파트-제27파트-제16파트-제24파트-제18파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <48> 레지스터(110)의 라이트 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 멀티 플레인 라이트 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제1파트-제23파트-제27파트-제17파트-제24파트-제9파트-제23파트-제27파트-제16파트-제24파트-제18파트의 순서

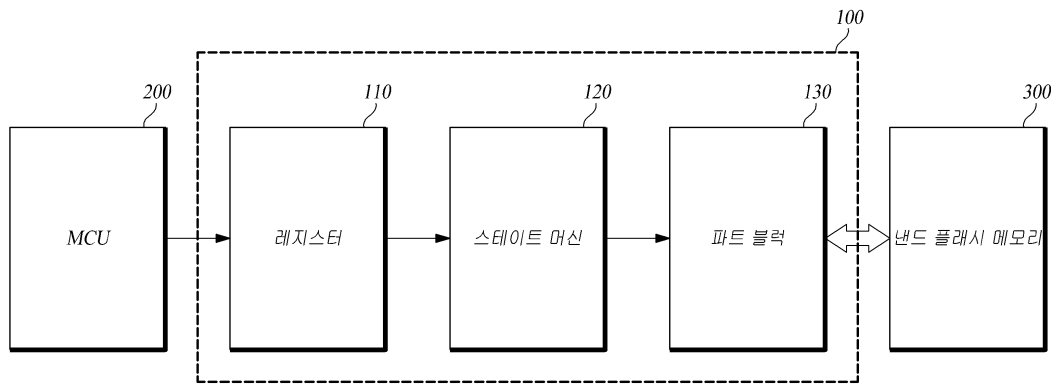
대로 동작하도록 파트 블럭(130)을 제어한다.

- <49> 레지스터(110)의 이레이즈 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 이레이즈 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제5파트-제22파트-제15파트-제24파트-제18파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <50> 레지스터(110)의 이레이즈 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 멀티 플레인 이레이즈 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제5파트-제22파트-제10파트-제22파트-제15파트-제24파트-제18파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <51> 레지스터(110)의 카피백 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 카피백 프로그램 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제13파트-제24파트-제8파트-제23파트-제16파트-제24파트-제18파트(또는 제19파트)의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <52> 레지스터(110)의 카피백 비트가 1, 랜덤 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 카피백 랜덤 프로그램 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제13파트-제24파트-제8파트-제23파트-제27파트-제8파트-제21파트-제27파트-제16파트-제24파트-제18파트(또는 제19파트)의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <53> 레지스터(110)의 카피백 비트가 1, 멀티 플레인 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 멀티 플레인 카피백 프로그램 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제13파트-제24파트-제11파트-제23파트-제13파트-제24파트-제8파트-제23파트-제17파트-제24파트-제9파트-제23파트-제16파트-제24파트-제18파트(또는 제19파트)의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <54> 레지스터(110)의 카피백 비트가 1, 랜덤 비트가 1, 멀티 플레인 비트가 1로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 멀티 플레인 카피백 랜덤 프로그램 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제2파트-제23파트-제13파트-제24파트-제11파트-제23파트-제13파트-제24파트-제8파트-제23파트-제27파트-제8파트-제21파트-제27파트-제16파트-제24파트-제18파트(또는 제19파트)의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <55> 레지스터(110)의 리셋 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 리셋 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제6파트-제25파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <56> 레지스터(110)의 디바이스 아이디 비트가 1, 나머지 비트들이 0으로 세팅되면, 스테이트 머신(120)은 낸드 플래시 메모리(300)가 디바이스 아이디 리드 동작을 수행하도록 파트 블럭(130)을 제어한다. 이때, 파트 블럭(130)의 각 파트가 도 4 내지 도 31의 펄스를 갖는 28개의 파트로 구성된 경우, 스테이트 머신(120)은 제4파트-제20파트-제28파트의 순서대로 동작하도록 파트 블럭(130)을 제어한다.
- <57> 이상 본 발명을 몇 가지 바람직한 실시예를 사용하여 설명하였으나, 이들 실시예는 예시적인 것이며 한정적인 것이 아니다. 본 발명이 속하는 기술분야에서 통상의 지식을 지닌 자라면 본 발명의 사상과 첨부된 특허청구범위에 제시된 권리범위에서 벗어나지 않으면서 다양한 변화와 수정을 가할 수 있음을 이해할 것이다.

발명의 효과

- <58> 이상에서 설명한 바와 같이, 본 발명에 의하면 낸드 플래시 메모리의 동작을 하드웨어 로직에서 일괄적으로 처리함으로써 낸드 플래시 메모리의 동작속도를 향상시킬 수 있는 효과가 있다.

도면2

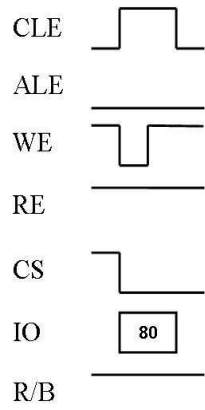


도면3

Write	7
Read	6
Erase	5
CopyBack	4
Reset	3
DevID	2
Random	1
Multi Plane	0

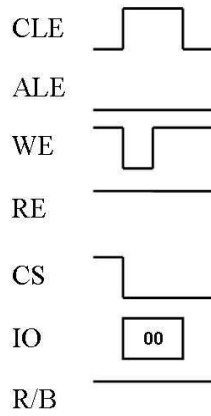
bit

도면4



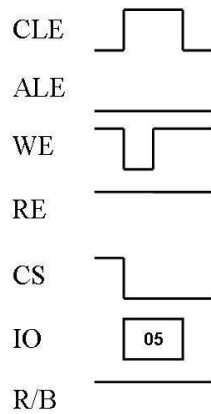
제1파트

도면5



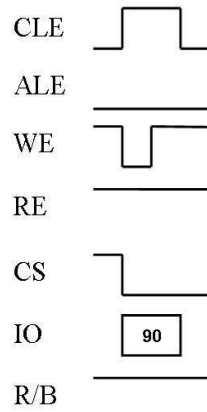
제2파트

도면6



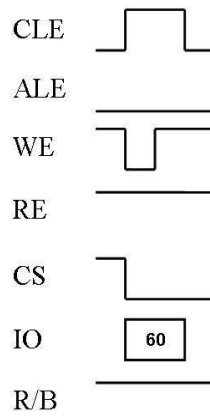
제3파트

도면7



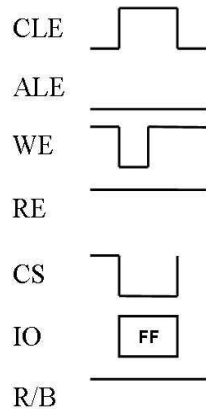
제4파트

도면8



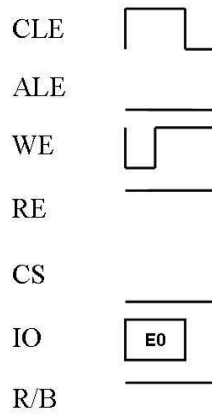
제5파트

도면9



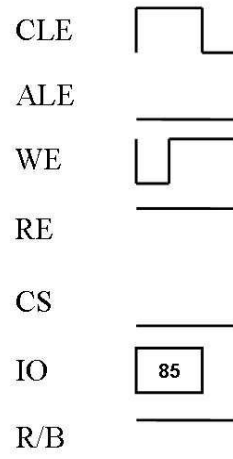
제6파트

도면10



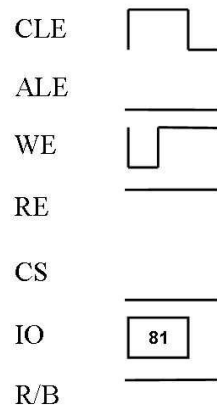
제7파트

도면11



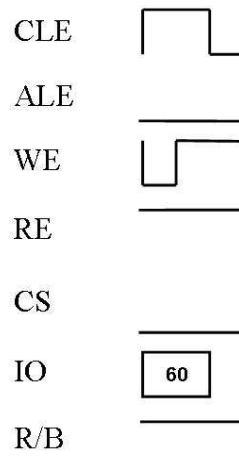
제8파트

도면12



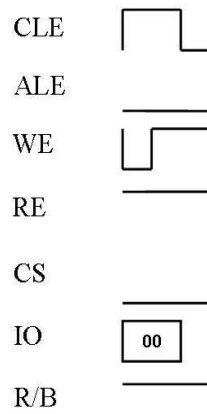
제9파트

도면13



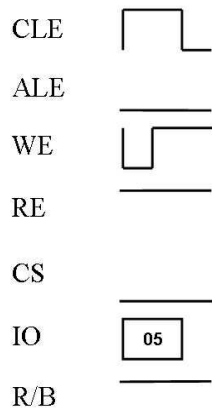
제10파트

도면14



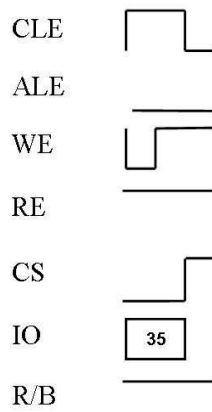
제11파트

도면15



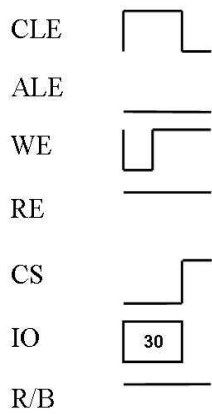
제12파트

도면16



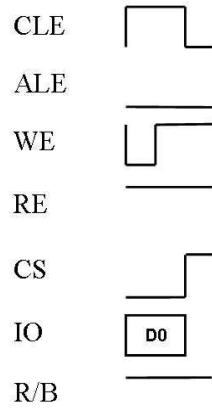
제13파트

도면17



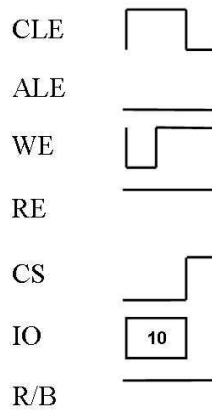
제14파트

도면18



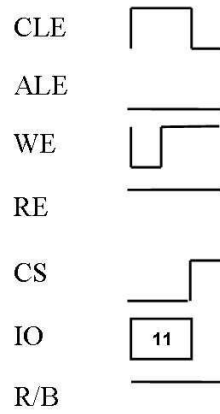
제15파트

도면19



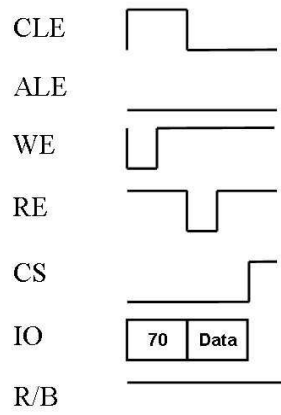
제16파트

도면20



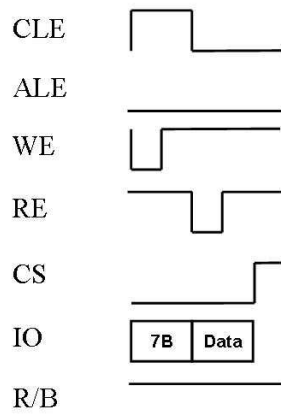
제17파트

도면21



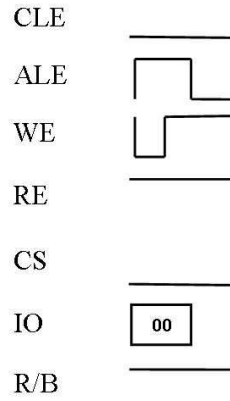
제18파트

도면22



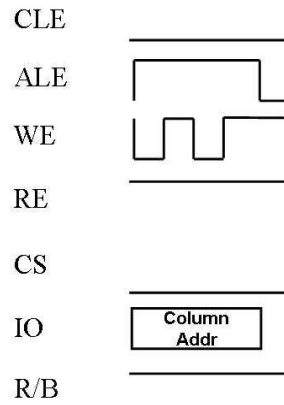
제19파트

도면23



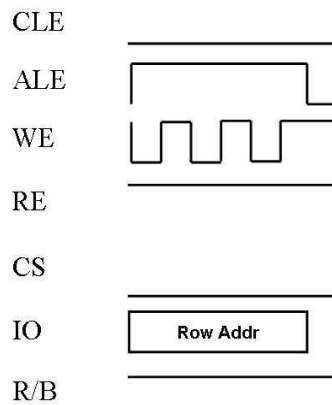
제20파트

도면24



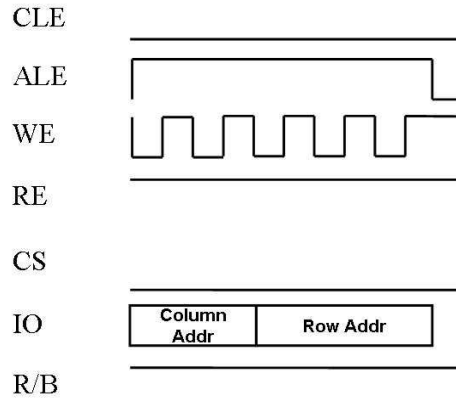
제21파트

도면25



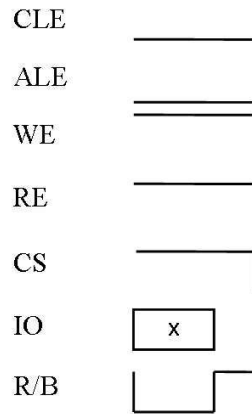
제22파트

도면26



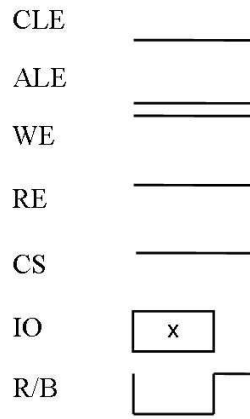
제23파트

도면27



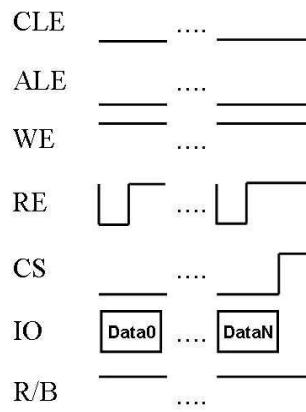
제24파트

도면28



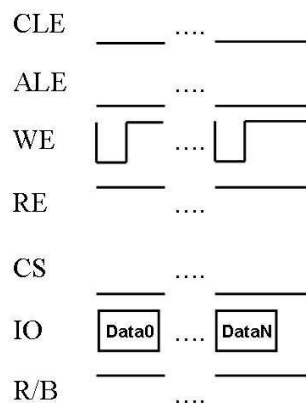
제25파트

도면29



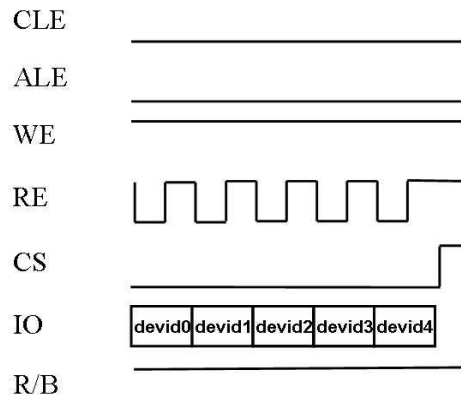
제26파트

도면30



제27파트

도면31



제28파트