(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3718932号

(P3718932)

(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]		F I		
G06F	1/06	G06F	1/04	312A
H03K	5/13	H03K	5/13	
H03L	7/081	H03L	7/08	J
H04L	7/02	H04L	7/02	Z

請求項の数 5　(全 16 頁)

(21)出願番号　特願平8-329680
(22)出願日　平成8年12月10日(1996.12.10)
(65)公開番号　特開平10-171548
(43)公開日　平成10年6月26日(1998.6.26)
審査請求日　平成15年3月18日(2003.3.18)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　佐藤　浩
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　近藤　聡

最終頁に続く

(54)【発明の名称】中間位相クロック生成回路

(57)【特許請求の範囲】

【請求項１】

位相の異なる第１および第２のクロック信号の中間位相を有するクロック信号を生成する中間位相クロック生成回路であって、

上記第１のクロック信号を第１の遅延時間で遅延して出力する第１の遅延回路と、

上記第１の遅延回路の出力クロック信号を第２の遅延時間で遅延して出力する第２の遅延回路と、

上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とを比較し、比較結果に応じた位相差信号を出力する位相比較回路と、

上記位相差信号に応じて、上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とが一致するように上記第１および第２の遅延回路の遅延時間を制御する遅延制御回路と、を有し、

上記位相比較回路は、上記第２の遅延回路の出力信号の位相が上記第２のクロック信号より進んでいるときは第１のレベルの位相差信号を出力し、遅れているときは第２のレベルの位相差信号を上記遅延制御回路に出力し、

上記遅延制御回路は、

バイナリカウンタにより構成され、上記位相比較回路からの位相差信号に応じてカウント値を設定し、当該カウント値を上記第１および第２の遅延回路に出力する回路であって、

上記第２の遅延回路の出力信号が上記第２のクロック信号の位相と一致するように

第１および第２の遅延回路の遅延時間を制御し、上記第１の遅延回路から上記第１のクロック信号と上記第２のクロック信号の中間位相を有するクロック信号を出力させる
中間位相クロック生成回路。
【請求項２】
上記第１および第２の遅延回路は直列に接続されている複数の遅延素子により構成され、各遅延素子は上記カウント値の所定のビットに応じて遅延時間を切り換える
請求項１記載の中間位相クロック生成回路。
【請求項３】
上記各遅延素子の遅延時間は上記カウント値のビットに応じて重み付けられる
請求項２記載の中間位相クロック生成回路。
【請求項４】
上記各遅延素子の遅延時間は上記カウント値のビットに応じて２ の巾乗に比例して重み付けられる
請求項２記載の中間位相クロック生成回路。
【請求項５】
位相の異なる第１および第２のクロック信号の中間位相を有するクロック信号を生成する中間位相クロック生成回路であって、
複数の遅延素子が直列接続して構成され、上記第１のクロック信号を第１の遅延時間で遅延して出力する第１の遅延回路と、
複数の遅延素子が直列接続して構成され、上記第１の遅延回路の出力信号を第２の遅延時間で遅延して出力する第２の遅延回路と、
上記第２のクロック信号により設定したタイミングで上記第２の遅延回路を構成する各遅延素子の出力信号を出力端子に転送する複数のフリップフロップと、少なくとも入力端子に入力された上記位相差信号の状態に応じて出力端子の出力レベルを決定する複数の組み合わせ回路と、を有し、上記各フリップフロップの出力信号を上記第１および第２の遅延回路を構成する各遅延素子に入力し、上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とが一致するように上記第１および第２の遅延回路の遅延時間を制御する遅延時間制御回路と、を有し、
上記位相比較回路は、上記第２の遅延回路の出力信号の位相が上記第２のクロック信号より進んでいるときは第１のレベルの位相差信号を出力し、遅れているときは第２のレベルの位相差信号を上記遅延制御回路に出力し、
上記遅延制御回路は、
上記第２の遅延回路を構成する遅延素子と同数のフリップフロップを有し、これらのフリップフロップの入力端子は上記第２の遅延回路の各遅延素子の出力端子に接続され、上記第２のクロック信号のタイミングで入力端子の信号を出力端子に出力し、出力信号は上記第１および第２の遅延回路を構成する各遅延素子の遅延時間を制御する回路であって、
上記フリップフロップに、上記第１のクロック信号に同期して上記組み合わせ回路の上記出力端子の出力信号をラッチさせて、ラッチ信号を遅延制御信号として上記第１および第２の遅延回路に出力し、
上記第２の遅延回路の出力信号が上記第２のクロック信号の位相と一致するように第１および第２の遅延回路の遅延時間を制御し、上記第１の遅延回路から上記第１のクロック信号と上記第２のクロック信号の中間位相を有するクロック信号を出力させる
中間位相クロック生成回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、周波数は同じく位相の異なる二つの入力クロック信号に応じて、これらのクロック信号の中間位相を有するクロック信号を生成する中間位相クロック生成回路に関するものである。

【０００２】
【従来の技術】
共通のシステムクロック信号により動作タイミングが制御されるいわゆる同期型回路においては、クロック信号の転送線遅延などで生じた遅延時間により、回路の異なる部分の動作タイミングずれが生じることがある。
これを回避するため、途中で折り返された一対のクロック信号転送線上、折り返し点から見て等距離にある二つのノードから位相の異なる二つのクロック信号を取り出して、両者の中間位相を有するクロック信号を発生することにより、回路の任意の部分においても、タイミングずれのない動作クロック信号を得られる。
【０００３】
図１２は従来の中間位相クロック生成回路の一構成例を示す回路図である。
図１２に示すように、本例の中間位相クロック生成回路は、二つの演算増幅器（オペアンプ）AMP_1，AMP_2および比較器（コンパレータ）ＣＭＰにより構成されている。
【０００４】
オペアンプAMP_1，AMP_2に位相の異なるクロック信号CLK_1，CLK_2が入力され、そして、これらのオペアンプの出力信号がコンパレータＣＭＰに入力され、コンパレータＣＭＰにより入力されたクロック信号CLK_1，CLK_2の中間位相のクロック信号CLK_3が生成される。
【０００５】
以下、図１２を参照しつつ、本例の中間位相クロック生成回路の構成および動作について、簡単に説明する。
クロック信号CLK_1，CLK_2はそれぞれ入力端子T_1，T_2に入力される。入力端子T_1は抵抗素子R_1を介してオペアンプAMP_1の反転入力端子“－”に接続され、オペアンプAMP_1の非反転入力端子“＋”は基準電圧V_{ref}の供給線に接続されている。さらにオペアンプAMP_1の反転入力端子“－”と出力端子ND_1間にキャパシタC_1が接続されている。
【０００６】
入力端子T_2が抵抗素子R_2を介してオペアンプAMP_2の反転入力端子“－”に接続され、オペアンプAMP_2の非反転入力端子“＋”は基準電圧V_{ref}の供給線に接続されている。さらにオペアンプAMP_2の反転入力端子“－”と出力端子ND_2間にキャパシタC_2が接続されている。
【０００７】
オペアンプAMP_1の出力端子ND_1は抵抗素子R_3を介してコンパレータＣＭＰの反転入力端子“－”に接続され、オペアンプAMP_2の出力端子ND_2は抵抗素子R_4を介してコンパレータＣＭＰの非反転入力端子“＋”に接続されている。
コンパレータＣＭＰの出力端子は中間位相クロック信号CLK_3の出力端子T_3に接続されている。
【０００８】
オペアンプAMP_1、抵抗素子R_1およびキャパシタC_1により積分回路が構成され、オペアンプAMP_1の出力端子ND_1に入力端子T_1に入力された信号の積分信号が得られる。
同様に、オペアンプAMP_2、抵抗素子R_2およびキャパシタC_2により積分回路が構成され、オペアンプAMP_2の出力端子ND_2に入力端子T_2に入力された信号の積分信号が得られる。
【０００９】
ここで、クロック信号CLK_1，CLK_2の周波数に応じてこれらの積分回路の時定数を設定することにより、図１３に示す三角形の信号（三角波）V_{ND1}，V_{ND2}が得られる。
なお、オペアンプAMP_1の出力端子ND_1とオペアンプAMP_2から得られた三角波V_{ND1}，V_{ND2}の位相差は、クロック信号CLK_1，CLK_2の位相差と同じである。
【００１０】

積分回路により得られた二つの三角波V_{ND1}，V_{ND2}を抵抗素子R_3，R_4を介してそれぞれコンパレータＣＭＰの反転入力端子“－”および非反転入力端子“＋”に入力することで、クロック信号CLK_1，CLK_2の中間位相を有するクロック信号CLK_3がコンパレータＣＭＰの出力端子に出力される。

【００１１】

【発明が解決しようとする課題】

ところで、上述した従来の中間位相クロック生成回路は、オペアンプ、抵抗素子およびキャパシタを使用したアナログ回路により構成され、半導体基板上に形成される抵抗素子およびキャパシタの精度は低いので、中間位相クロック生成回路の動作精度が低下する恐れがある。また、抵抗素子およびキャパシタなどを基板上に形成するために、回路レイアウト面積の増大を招くという問題がある。

【００１２】

本発明はかかる事情に鑑みてなされたものであり、その目的は動作精度を低下させることなく、しかも回路レイアウト面積の増大を防止できる中間位相クロック生成回路を提供することにある。

【００１３】

【課題を解決するための手段】

上記目的を達成するため、本発明は、位相の異なる第１および第２のクロック信号の中間位相を有するクロック信号を生成する中間位相クロック生成回路であって、上記第１のクロック信号を第１の遅延時間で遅延して出力する第１の遅延回路と、上記第１の遅延回路の出力クロック信号を第２の遅延時間で遅延して出力する第２の遅延回路と、上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とを比較し、比較結果に応じた位相差信号を出力する位相比較回路と、上記位相差信号に応じて、上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とが一致するように上記第１および第２の遅延回路の遅延時間を制御する遅延制御回路と、を有し、上記位相比較回路は、上記第２の遅延回路の出力信号の位相が上記第２のクロック信号より進んでいるときは第１のレベルの位相差信号を出力し、遅れているときは第２のレベルの位相差信号を上記遅延制御回路に出力し、上記遅延制御回路は、バイナリカウンタにより構成され、上記位相比較回路からの位相差信号に応じてカウント値を設定し、当該カウント値を上記第１および第２の遅延回路に出力する回路であって、上記第２の遅延回路の出力信号が上記第２のクロック信号の位相と一致するように第１および第２の遅延回路の遅延時間を制御し、上記第１の遅延回路から上記第１のクロック信号と上記第２のクロック信号の中間位相を有するクロック信号を出力させる。

【００１４】

また、本発明では好適には上記第１および第２の遅延回路の遅延時間は同じである。

【００１５】

また、本発明は、位相の異なる第１および第２のクロック信号の中間位相を有するクロック信号を生成する中間位相クロック生成回路であって、複数の遅延素子が直列接続して構成され、上記第１のクロック信号を第１の遅延時間で遅延して出力する第１の遅延回路と、複数の遅延素子が直列接続して構成され、上記第１の遅延回路の出力信号を第２の遅延時間で遅延して出力する第２の遅延回路と、上記第２のクロック信号により設定したタイミングで上記第２の遅延回路を構成する各遅延素子の出力信号を出力端子に転送する複数のフリップフロップと、少なくとも入力端子に入力された上記位相差信号の状態に応じて出力端子の出力レベルを決定する複数の組み合わせ回路と、を有し、上記各フリップフロップの出力信号を上記第１および第２の遅延回路を構成する各遅延素子に入力し、上記第２の遅延回路の出力信号の位相と上記第２のクロック信号の位相とが一致するように上記第１および第２の遅延回路の遅延時間を制御する遅延時間制御回路と、を有し、上記位相比較回路は、上記第２の遅延回路の出力信号の位相が上記第２のクロック信号より進んでいるときは第１のレベルの位相差信号を出力し、遅れているときは第２のレベルの位相差信号を上記遅延制御回路に出力し、上記遅延制御回路は、上記第２の遅延回路を構成す

る遅延素子と同数のフリップフロップを有し、これらのフリップフロップの入力端子は上記第２の遅延回路の各遅延素子の出力端子に接続され、上記第２のクロック信号のタイミングで入力端子の信号を出力端子に出力し、出力信号は上記第１および第２の遅延回路を構成する各遅延素子の遅延時間を制御する回路であって、上記フリップフロップに、上記第１のクロック信号に同期して上記組み合わせ回路の上記出力端子の出力信号をラッチさせて、ラッチ信号を遅延制御信号として上記第１および第２の遅延回路に出力し、上記第２の遅延回路の出力信号が上記第２のクロック信号の位相と一致するように第１および第２の遅延回路の遅延時間を制御し、上記第１の遅延回路から上記第１のクロック信号と上記第２のクロック信号の中間位相を有するクロック信号を出力させる。

【００１６】

さらに、本発明では好適には上記第１および第２の遅延回路は、例えば、ｍ（ｍは正整数）段の遅延素子により構成され、上記位相比較回路は上記第２のクロック信号により動作タイミングが制御されるｍ段のフリップフロップにより構成され、上記第２の遅延回路を構成する各遅延素子の出力信号は上記位相比較回路を構成する各フリップフロップのデータ入力端子に入力され、これらフリップフロップの出力信号は上記第１および第２の遅延回路に供給され、これらの遅延回路を構成する各遅延素子の遅延時間を制御する。

【００１７】

本発明によれば、直列に接続された第１および第２の遅延回路により入力された第１のクロック信号を遅延させ、位相比較器により第２の遅延回路から得られたクロック信号と第２の入力クロック信号との位相を比較して、比較結果に応じた位相差信号を発生し、遅延制御回路に出力する。遅延制御回路は位相比較器からの位相差信号に応じて第１および第２の遅延回路の遅延時間を制御する。このため、例えば、第１の遅延回路と第２の遅延回路の遅延時間が同じく、かつ、遅延制御回路により第２の遅延回路から出力された遅延信号の位相が第２の入力クロック信号の位相と一致するように遅延時間が制御された場合、上記第１と第２の遅延回路の中間点、即ち上記第１の遅延回路の出力端子から、第１および第２のクロック信号の中間位相を有するクロック信号が得られる。

【００１８】

このように、本発明の中間位相クロック生成回路はディジタル回路により構成できるので、アナログ回路では積分回路を構成するに必要な抵抗素子およびキャパシタは不要となり、回路の動作精度の向上が図れ、かつ、基板上回路のレイアウト面積の増大を回避できる。

【００１９】

【発明の実施の形態】

第１実施形態

図１は本発明に係る中間位相クロック生成回路の第１の実施形態を示すブロック図である。

本実施形態の中間位相クロック生成回路は遅延回路１０，２０、位相比較器３０および遅延制御回路４０により構成されている。

なお、本例においては、遅延回路１０と２０は入力信号に対して同じ遅延時間t_Dを与えるものとし、かつ、遅延時間t_Dは遅延制御回路４０からの制御信号Ｓ４０に応じて制御される。

【００２０】

遅延回路１０にクロック信号CLK_1が入力される。クロック信号CLK_1が遅延回路１０により遅延時間t_Dで遅延されて、さらに遅延回路２０に入力される。遅延回路２０に入力されたクロック信号が遅延時間t_Dで遅延され位相比較器３０に入力される。

【００２１】

位相比較器３０は遅延回路２０から入力された遅延信号と外部から入力されたクロック信号CLK_2の位相を比較して、比較結果に応じて位相差信号Ｓ３０を発生し、遅延制御回路４０に出力する。

【００２２】

遅延制御回路４０は位相比較器３０からの位相差信号Ｓ３０を受けて、これに応じて遅延回路１０，２０の遅延時間t_Dを制御するための遅延時間制御信号Ｓ４０を発生し、それぞれ遅延回路１０，２０に出力する。

【００２３】

上述した中間位相クロック生成回路により、入力端子T_1に入力されたクロック信号CLK_1は遅延回路１０により遅延時間t_Dで遅延され、さらに遅延回路２０に入力される。遅延回路２０により遅延回路１０の出力信号はさらに遅延時間t_Dで遅延され、遅延信号は位相比較器３０に出力される。

【００２４】

位相比較器３０により遅延回路２０からの遅延したクロック信号Ｓ２０と入力端子T_2に入力されたクロック信号CLK_2との位相が比較され、これらの信号の位相差に応じた位相差信号Ｓ３０が生成され、遅延制御回路４０に出力される。

【００２５】

遅延制御回路４０により遅延制御信号Ｓ４０が生成され、それぞれ遅延回路１０および遅延回路２０に出力される。遅延制御信号Ｓ４０により遅延回路１０および遅延回路２０の遅延時間t_Dが制御される。その結果、例えば、遅延回路２０により出力された遅延信号の位相が入力端子T_2から入力されたクロック信号CLK_2の位相と一致するように制御される。

【００２６】

このため、信号Ｓ２０とクロック信号CLK_2との位相が一致するとき、遅延回路１０の出力端子からクロック信号CLK_1とクロック信号CLK_2の中間位相を有するクロック信号CLK_3が得られる。

【００２７】

以下、図２～図７を参照しつつ、本実施形態の中間位相クロック生成回路の詳細な回路構成およびその動作について説明する。

前述のように、遅延回路１０，２０は同様の構成を有し、遅延制御回路４０から遅延制御信号Ｓ４０を受け、入力信号に対して同様な遅延時間t_Dを与える。ここで、遅延回路１０を例として本実施形態に用いられている遅延回路の構成および動作を説明する。

【００２８】

図２は遅延回路１０の一構成例を示す回路図である。図示のように、遅延回路１０は、例えば、６つの遅延段１１，１２，１３，１４，１５，１６により構成されている。これらの遅延段は直列に接続されている。即ち、前段の遅延段の出力端子は後段の遅延段の入力端子に接続されている。初段の遅延段１１の入力端子はクロック信号の入力端子T_{IN}に接続され、最後の遅延段１６の出力端子は遅延信号の出力端子T_{OUT}に接続されている。

なお、本実施形態において、遅延回路を構成する遅延段の段数は６に限定するものではなく、動作精度および動作安定性などを考慮して、遅延段数を適切に設定できる。

【００２９】

各遅延段１１，１２，１３，１４，１５，１６の遅延時間は遅延制御回路４０からの遅延制御信号Ｓ４０１，Ｓ４０２，Ｓ４０３，Ｓ４０４，Ｓ４０５，Ｓ４０６により制御される。

【００３０】

各遅延段１１，１２，…，１６は同様な構成を有するので、ここで、その中の一つ、例えば、遅延段１１の構成および動作を図３、図４を参照しつつ、説明する。

遅延段１１はバッファBUF_1、遅延素子DLY_1およびスイッチSW_1により構成されている。図３（ａ）は遅延段１１の構成を示し、図３（ｂ）および図３（ｃ）はそれぞれ遅延段１１を構成する遅延素子DLY_1およびスイッチSW_1の構成を示している。

【００３１】

遅延段１１の入力端子T_{00}は前段の出力端子に接続され、出力端子T_{01}は後段の入力端子に接続されている。また、入力端子T_Cから遅延制御信号Ｓ４０１が入力される。

バッファBUF_1の入力端子は遅延段１１の入力端子T_{00}に接続され、出力端子は遅延素

子ＤＬＹ$_1$ の入力端子およびスイッチＳＷ$_1$ の接点１に接続されている。遅延素子ＤＬＹ$_1$ の出力端子はスイッチＳＷ$_1$ の接点２に接続されている。スイッチＳＷ$_1$ の接点３は遅延段１１の出力端子Ｔ$_{01}$に接続されている。
スイッチＳＷ$_1$ は遅延制御信号Ｓ４０１に応じて接続状態を制御する。例えば、遅延制御信号Ｓ４０１がローレベルのとき接点３と接点１を接続し、遅延段１１の遅延時間はバッファＢＵＦ$_1$ の遅延時間のみとなる。逆に遅延制御信号Ｓ４０１がハイレベルのとき接点３と接点２を接続し、遅延段１１の遅延時間はバッファＢＵＦ$_1$ の遅延時間と遅延素子ＤＬＹ$_1$ の遅延時間の和となる。

【００３２】

図４は遅延段１１の動作時の入出力信号Ｓ$_{in}$，Ｓ$_{out}$ および遅延制御信号Ｓ４０１の波形を示している。
図４において信号Ｓ$_{in}$は入力端子Ｔ$_{00}$に入力されたクロック信号であり、信号Ｓ$_{out}$ は出力端子Ｔ$_{01}$に出力された遅延信号である。遅延時間制御信号Ｓ４０１は遅延制御回路４０から入力された制御信号であり、ハイレベル、例えば電源電圧Ｖ$_{CC}$レベルまたはローレベル、例えば接地電位ＧＮＤレベルに保持されている。

【００３３】

遅延制御信号Ｓ４０１がローレベルに保持されているとき、スイッチＳＷ$_1$ が接点１に接続されている。入力端子Ｔ$_{00}$から入力された信号Ｓ$_{in}$はバッファＢＵＦ$_1$ の遅延時間ｔ$_A$ を経て出力端子Ｔ$_{01}$に出力される。即ち、この場合に入力信号Ｓ$_{in}$に対して出力信号Ｓ$_{out}$ がバッファＢＵＦ$_1$ 一個分の遅延時間ｔ$_A$ で遅延される。

【００３４】

次いで、遅延制御信号Ｓ４０１がハイレベルに保持されているとき、スイッチＳＷ$_1$ が接点２に接続されている。このため、入力端子Ｔ$_{00}$から入力された信号Ｓ$_{in}$は、バッファＢＵＦ$_1$ および遅延素子ＤＬＹ$_1$ の遅延時間を経て出力端子Ｔ$_{01}$に現れる。ここで、遅延素子ＤＬＹ$_1$ の遅延時間をｔ$_0$ とすると、入力信号Ｓ$_{in}$に対して出力信号Ｓ$_{out}$ が遅延時間“ｔ$_0$＋ｔ$_A$”で遅延される。

【００３５】

このように、遅延制御信号Ｓ４０１がハイレベルに保持されているとき遅延段１１の遅延時間は“ｔ$_0$＋ｔ$_A$”に設定され、逆に遅延制御信号Ｓ４０１がローレベルに保持されているとき遅延段１１の遅延時間はｔ$_A$ に設定される。遅延制御信号Ｓ４０１のレベルに応じて遅延段１１の遅延時間が制御される。

【００３６】

このため、図２に示す複数の遅延段１１～１６が直列に接続されて構成された遅延回路１０の遅延時間は遅延制御回路４０から入力された遅延制御信号Ｓ４０により制御される。

【００３７】

図５は遅延制御回路４０の一部分を示す回路図である。
図示のように、本実施形態の遅延制御回路４０の部分回路４０ａは組合せ回路４１，４２，４３とＤフリップフロップ５１，５２，５３により構成されている。

【００３８】

組合せ回路４１，４２，４３は現在の状態を調べて、次にとるべき状態を決定する。
Ｄフリップフロップ５１，５２，５３はクロック信号ＣＬＫ$_1$ により動作タイミングが制御され、例えば、クロック信号ＣＬＫ$_1$ の立ち上がりエッジにおいて、入力端子Ｄに入力された信号を保持し出力端子Ｑに転送する。

【００３９】

組合せ回路４１は入力端子Ａ，Ｂおよび入力端子ｕ／ｄから入力された信号の状態に応じて出力端子Ｙのレベルを決定する。出力端子Ｙの出力信号はクロック信号ＣＬＫ$_1$ の立ち上がりエッジにおいてＤフリップフロップ５１に格納され、次回のクロック信号ＣＬＫ$_1$ の立ち上がりエッジまで保持される。
なお、組合せ回路４１，４２，４３の入力端子ｕ／ｄに位相比較器３０からの位相差信号Ｓ４０（以下、アップダウン信号Ｓ$_{UD}$と表記する）が入力される。

【００４０】
組合せ回路４１，４２，４３は同様な構成を有するので、ここで、組合せ回路４１を例に、図６および図７を参照しつつ、その構成および動作について説明する。
図６は組合せ回路４１の一構成例を示す回路図である。図示のように、組合せ回路４１はＯＲゲートOGT_2およびＡＮＤゲートAGT_2により構成されている。
【００４１】
ＡＮＤゲートAGT_2の一方の入力端子は入力端子Ａに接続され、他方の入力端子はＯＲゲートOGT_2の出力端子に接続されている。ＡＮＤゲートAGT_2の出力端子は組合せ回路４１の出力端子Ｙに接続されている。
ＯＲゲートOGT_2の一方の入力端子は入力端子Ｂに接続され、他方の入力端子は入力端子ｕ／ｄに接続されている。
【００４２】
このように構成された組合せ回路４１は、入力端子Ａ、Ｂおよびｕ／ｄの入力信号のレベルに応じて図７のに示すように出力信号Ｙのレベルが決定される。例えば、入力端子Ａにローレベル（図７において、“０”で表す）の信号が入力されたとき、入力端子Ｂおよびｕ／ｄのレベルに関係なく出力端子Ｙにローレベルの信号が出力される。
一方、入力端子Ａにハイレベル（図７において、“１”で表す）の信号が入力されたとき、出力端子Ｙの出力信号は入力端子Ｂおよびｕ／ｄの入力信号の論理和となる。
【００４３】
図５に示すように、遅延制御回路において、組合せ回路の入力端子Ａに、前段のＤフリップフロップにより保持されている前段の組合せ回路の出力信号が入力され、入力端子Ｂに、後段のＤフリップフロップにより保持された後段の組合せ回路の出力信号が入力される。また、各組合せ回路の入力端子ｕ／ｄには位相比較器３０からのアップダウン信号S_{UD}が入力される。
【００４４】
前段の組合せ回路がローレベルの信号を出力している場合、出力端子Ｙにもローレベルの信号が出力される。前段の組合せ回路がハイレベルの信号を出力している場合、出力端子Ｙの出力信号レベルは後段の出力信号とアップダウン信号S_{UD}の論理和で決まる。
【００４５】
なお、初段の組合せ回路４１の入力端子Ａは電源電圧V_{CC}の供給線に接続されており、組合せ回路４１の出力信号Ｓ４０１は組合せ回路４２の出力信号Ｓ４０２とアップダウン信号S_{UD}との論理和になる。
また、最終段の組合せ回路の入力端子Ｂは接地電位ＧＮＤに接続されており、最終段の組合せ回路の出力信号は、前段の出力信号がローレベルのときローレベルに保持され、前段の出力信号がハイレベルのときアップダウン信号S_{UD}のレベルとなる。
【００４６】
このように構成された遅延制御回路４０において、出力端子Ｙの出力信号はＤフリップフロップにより保持され、遅延制御信号として遅延回路１０および２０に出力される。遅延回路１０および２０の遅延時間t_Dは遅延制御信号Ｓ４０の各ビットのレベルに応じて制御され、遅延回路２０の出力クロック信号の位相が決定される。
【００４７】
遅延回路２０の出力信号Ｓ２０の位相がクロック信号CLK_2より進んでいる場合、位相比較器３０によりハイレベルのアップダウン信号S_{UD}が出力され、遅延制御回路４０に入力される。
遅延回路１０および２０は遅延制御回路４０からの遅延制御信号Ｓ４０を受けて、遅延回路２０の出力信号Ｓ２０の位相遅れ幅が大きくなる。
【００４８】
逆に、遅延回路２０の出力信号Ｓ２０の位相がクロック信号CLK_2の位相より遅れた場合、位相比較器３０によりローレベルのアップダウン信号S_{UD}が出力され、遅延制御回路４０に入力される。

【００４９】
遅延回路２０の出力信号がクロック信号ＣＬＫ$_2$ の位相と一致するように遅延回路１０および２０の遅延時間が制御されるので、遅延回路１０の出力端子から、クロック信号ＣＬＫ$_1$ とクロック信号ＣＬＫ$_2$ の中間位相を有するクロック信号ＣＬＫ$_3$ が出力される。
【００５０】
以上説明したように、本実施形態によれば、入力信号に対して同じ遅延時間を与える遅延回路１０，２０を用いて、クロック信号ＣＬＫ$_1$ を遅延させ、遅延回路２０の出力信号とクロック信号ＣＬＫ$_2$ の位相を位相比較器３０により比較し、位相差に応じてアップダウン信号Ｓ$_{UD}$を発生し、遅延制御回路４０に出力し、遅延制御回路４０はアップダウン信号Ｓ$_{UD}$に応じて遅延制御信号Ｓ４０の各ビットを設定し、遅延回路１０，２０にそれぞれ出力し、遅延回路２０の出力信号の位相とクロック信号ＣＬＫ$_2$ の位相が一致するように遅延回路１０，２０の遅延時間を制御するので、遅延回路１０の出力端子からクロック信号ＣＬＫ$_1$，ＣＬＫ$_2$ の中間位相を有するクロック信号ＣＬＫ$_3$ が得られ、かつ、中間位相クロック生成回路の動作精度および安定性がよく、回路レイアウト面積の増加を防止できる。さらに、本実施形態の中間位相クロック生成回路はディジタル回路のみで構成でき、従来のアナログ回路からなる中間位相クロック生成回路に較べて動作精度および安定性が改善されている。
【００５１】
第２実施形態
図８は本発明に係る中間位相クロック生成回路の第２の実施形態を示すブロック図である。
図８に示すように、本実施形態の中間位相クロック生成回路は遅延回路１０ａ，２０ａ、位相比較器３０およびバイナリカウンタ５０により構成されている。
【００５２】
遅延回路１０ａは入力端子Ｔ$_1$ から入力されたクロック信号ＣＬＫ$_1$ に遅延時間ｔ$_D$ を与えて出力し、さらに遅延回路２０ａは遅延回路１０ａの出力信号に対して同じく遅延時間ｔ$_D$ を与えて出力する。
位相比較器３０は遅延回路２０ａからの信号と入力端子Ｔ$_2$ から入力されたクロック信号ＣＬＫ$_2$ の位相を比較して、比較結果に応じてアップダウン信号Ｓ$_{UD}$を発生し、バイナリカウンタ５０に出力する。
バイナリカウンタ５０は位相比較器３０からのアップダウン信号Ｓ$_{UD}$に応じてカウント値Ｓ$_C$ の各ビットを設定し、カウント値Ｓ$_C$ を遅延回路１０ａおよび２０ａにそれぞれ出力する。
【００５３】
遅延回路１０ａおよび遅延回路２０ａはｎビットのカウント値Ｓ$_C$ を受けて、それに応じた遅延時間を入力信号に与えて出力する。
なお、本例では遅延回路１０ａおよび遅延回路２０ａは同じ構成を有するものとする。図９は遅延回路１０ａの一構成例を示す回路図である。以下、図９を参照しつつ、本実施形態における遅延回路の構成および動作について説明する。
【００５４】
遅延回路１０ａは直列に接続されているｎ段の遅延段により構成されている。各遅延段はバッファ、遅延素子およびスイッチにより構成され、図３に示す遅延段の構成と同じである。
各遅延段の遅延素子の遅延時間は２の巾乗に応じて設定されている。例えば、遅延素子ＤＬＹ$_0$ の遅延時間をτとすると、遅延素子ＤＬＹ$_1$ の遅延時間は２τ、遅延素子ＤＬＹ$_{n-1}$ の遅延時間は2^{n-1} τに設定されている。
【００５５】
各遅延段のスイッチＳＷ$_{n-1}$，…，ＳＷ$_1$，ＳＷ$_0$ の接続状況はバイナリカウンタ５０からのカウント値Ｓ$_C$ の各ビットの信号により制御される。例えば、スイッチＳＷ$_{n-1}$ はカウント値Ｓ$_C$ のｎ－１ビット目の信号により制御され、カウント値Ｓ$_C$ のｎ－１ビット目

の信号がローレベルのとき、スイッチSW_{n-1}はバッファBUF_{n-1}の出力端子に接続され、カウント値S_Cのｎ－１ビット目の信号がハイレベルのとき、スイッチSW_{n-1}は遅延素子DLY_{n-1}の出力端子に接続される。
このように構成された遅延回路１０ａにより、カウント値S_Cに応じた遅延時間が得られる。

【００５６】
図１０は遅延回路１０ａの具体的な構成を示す回路図である。この構成例においては各遅延素子は可変容量素子により構成され、各容量素子の容量値はカウント値S_Cに応じて制御されるので、遅延素子の遅延時間はカウント値S_Cにより制御される。以下、図１０を参照しながらこれについて詳細に説明する。

【００５７】
図１０において、BUF_{n-1}，BUF_{n-2}，…，BUF_2，BUF_1，BUF_0はバッファ、Tn_{n-1}，Tn_{n-2}，…，Tn_2，Tn_1，Tn_0は容量素子を構成するｎＭＯＳトランジスタ、Tp_{n-1}，Tp_{n-2}，…，Tp_2，Tp_1，Tp_0は容量素子を構成するｐＭＯＳトランジスタをそれぞれ示している。

【００５８】
バッファBUF_i（ｉ＝ｎ－１，ｎ－２，…，１，０）とその出力端子に接続されているｎＭＯＳトランジスタTn_iおよびｐＭＯＳトランジスタTp_iによりｉ番目の遅延段を構成している。
ｎＭＯＳトランジスタTn_iのソース、ドレイン拡散層はバッファBUF_iの出力端子に接続され、基板は接地されている。ゲートにはカウント値S_Cのｉビット目の信号S_iが入力されている。
ｐＭＯＳトランジスタTp_iのソース、ドレイン拡散層はバッファBUF_iの出力端子に接続され、基板は電源電圧V_{CC}の供給線に接続されている。ゲートにはカウント値S_Cのｉビット目の信号の反転信号／S_iが入力されている。

【００５９】
このようにｎＭＯＳトランジスタおよびｐＭＯＳトランジスタにより構成された容量素子において、共通に接続されているソース、ドレイン拡散層と基板間の結合容量が利用される。ゲートに印加された信号のレベルに応じて拡散層と基板間の容量が変化する。

【００６０】
各遅延段のｎＭＯＳトランジスタおよびｐＭＯＳトランジスタのサイズは入力ビットに応じて設定されている。例えば、下位ビットに接続されているｎＭＯＳトランジスタTn_0、ｐＭＯＳトランジスタTp_0から上位ビットに接続されているｎＭＯＳトランジスタTn_{n-1}、ｐＭＯＳトランジスタTp_{n-1}に向かって、トランジスタのサイズは２の巾乗に比例して大きく設定されている。

【００６１】
この結果、各遅延段を構成する容量素子の容量は２の巾乗に比例して増加し、それぞれの遅延段により生じた遅延時間も同様に重み付けられる。例えば、最下位ビットに接続された遅延段の遅延時間をT_Dとすると、最上位ビットに接続された遅延段の遅延時間は$2^{n-1}T_D$となる。

【００６２】
図１０に示す遅延回路１０ａにより入力されたカウント値S_Cの値に応じた遅延時間t_Dを入力信号に与えられる。なお、図８に示す遅延回路２０ａは遅延回路１０ａと同様に構成され、カウント値S_Cに応じた遅延時間t_Dを入力信号に与える。
図８に示すように、位相比較器３０からのアップダウン信号S_{UD}に応じてバイナリカウンタ５０はカウント値S_Cの各ビットを設定し、遅延回路１０ａ，２０ａに出力する。遅延回路１０ａ，２０ａはカウント値S_Cに応じた遅延時間を入力信号に与えて、遅延回路２０ａの出力信号とクロック信号CLK_2の位相が一致するように制御が行われる。

【００６３】
この結果、遅延回路２０ａの出力信号とクロック信号CLK_2の位相が一致するとき、遅

延回路１０ａの出力端子からクロック信号CLK_1とクロック信号CLK_2の中間位相を有するクロック信号CLK_3が得られる。

【００６４】

以上説明したように、本実施形態によれば、入力信号に対して同じ遅延時間を与える遅延回路１０ａ，２０ａを用いて、クロック信号CLK_1を遅延させ、遅延回路２０ａの出力信号とクロック信号CLK_2の位相を位相比較器３０により比較し、位相差に応じてアップダウン信号S_{UD}を発生し、バイナリカウンタ５０でカウント値S_Cを発生し、遅延回路１０ａ，２０ａにそれぞれ出力し、遅延回路２０ａの出力信号の位相とクロック信号CLK_2の位相が一致するように遅延回路１０ａ，２０ａの遅延時間を制御するので、遅延回路１０ａの出力端子からクロック信号CLK_1，CLK_2の中間位相を有するクロック信号CLK_3が得られ、かつ、中間位相クロック生成回路の動作精度および安定性がよく、回路を基板上に形成する場合のレイアウト面積の増加を防止できる。

【００６５】

第３実施形態

図１１は本発明に係る中間位相クロック生成回路の第３の実施形態を示す回路図である。本実施形態の中間位相クロック生成回路は遅延回路１０ｂ，２０ｂ、位相比較器３０ａにより構成されている。

【００６６】

遅延回路１０ｂは遅延段１１，１２，１３により構成され、遅延回路２０ｂは遅延段２１，２２，２３により構成されている。これらの遅延段は第１の実施形態における図３に示す構成を有するものとする。

なお、本例においては各遅延回路を構成する遅延段の数は、３段に限定されることではなく、遅延回路の動作精度や動作安定性を考慮して、適当な段数が決定される。

【００６７】

位相比較器３０ａはＤフリップフロップ３１，３２，３３により構成されている。これらのＤフリップフロップの入力端子Ｄはそれぞれ遅延回路２０ｂを構成する各遅延段の出力端子に接続されている。また、位相比較器３０ａの出力信号Ｓ３０ａは図１に示す第１の実施形態と異なり、遅延制御回路を介さずに、遅延時間制御信号として直接遅延回路１０ｂおよび２０ｂに入力される。

【００６８】

Ｄフリップフロップ３１，３２，３３により構成された位相比較器３０ａは遅延回路２０ｂの各遅延段２１，２２，２３の出力信号とクロック信号CLK_2の位相を比較し、比較結果により各Ｄフリップフロップ３１，３２，３３の出力信号Ｓ３１，Ｓ３２，Ｓ３３のレベルを設定する。

【００６９】

例えば、遅延段２１の出力信号の位相がクロック信号CLK_2の位相より進んでいる場合、クロック信号CLK_2の立ち上がりエッジにおいてＤフリップフロップ３１の出力信号Ｓ３１はハイレベルに設定される。これに応じて遅延回路１０ｂの遅延段１１および遅延回路２０ｂの遅延段２１の遅延時間は大きく設定され、遅延段２１の出力信号の位相遅れ幅は大きくなる。

【００７０】

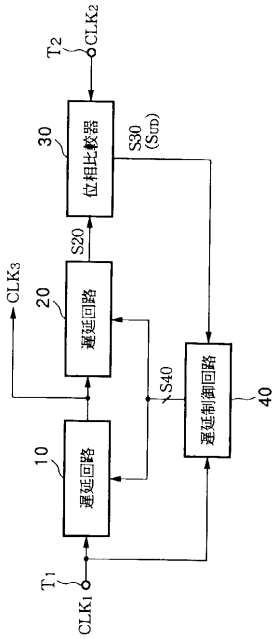
逆に、遅延段２１の出力信号の位相がクロック信号CLK_2の位相より遅れている場合、クロック信号CLK_2の立ち上がりエッジにおいてＤフリップフロップ３１の出力信号Ｓ３１はローレベルに設定される。これに応じて遅延回路１０ｂの遅延段１１および遅延回路２０ｂの遅延段２１の遅延時間は小さく設定され、遅延段２１の出力信号の位相遅れ幅は小さくなる。

【００７１】

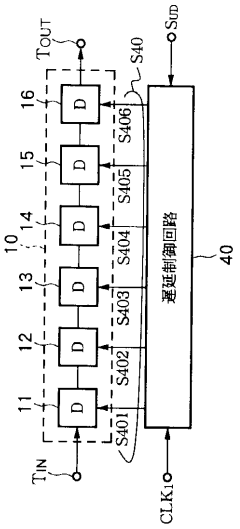
遅延回路１０ｂおよび遅延回路２０ｂの各遅延段の遅延時間は位相比較器３０ａを構成する各Ｄフリップフロップの出力信号Ｓ３１，Ｓ３２，Ｓ３３により設定され、遅延回路２０ｂの出力信号の位相はクロック信号CLK_2の位相と一致するところで回路は安定し、

遅延回路１０ｂの出力端子からクロック信号$ＣＬＫ_1$とクロック信号$ＣＬＫ_2$の中間位相を有するクロック信号$ＣＬＫ_3$が得られる。
このように、本実施形態の中間位相クロック生成回路は、簡単な回路構成により位相の異なるクロック信号の中間位相を有するクロック信号が生成することができる。
【００７２】
以上説明したように、本実施形態によれば、遅延段１１，１２，１３により構成された遅延回路１０ｂおよび遅延段２１，２２，２３により構成された遅延回路２０ｂにより入力クロック信号$ＣＬＫ_1$を遅延させて、Ｄフリップフロップ３１，３２，３３により構成された位相比較器３０ａにより遅延段２１，２２，２３の出力信号とクロック信号$ＣＬＫ_2$との位相を比較し、比較結果に応じて位相差信号Ｓ３０ａを発生し、遅延回路１０ｂ，２０ｂを構成する各遅延段にそれぞれ出力し、これらの遅延段の遅延時間を制御するので、遅延回路２０ｂの出力信号の位相はクロック信号$ＣＬＫ_2$の位相と一致するように制御され、遅延回路１０ｂによりクロック信号$ＣＬＫ_1$とクロック信号$ＣＬＫ_2$の中間位相を有するクロック信号$ＣＬＫ_3$が得られ、且つ、回路構成が簡単で、動作精度および安定性の向上が図れる。
【００７３】
【発明の効果】
以上説明したように、本発明の中間位相クロック生成回路によれば、動作精度および動作の安定性を向上でき、かつ、基板上に回路のレイアウトの面積の増大を防止できる利点がある。
【図面の簡単な説明】
【図１】中間位相クロック生成回路の第１の実施形態を示す回路図である。
【図２】第１の実施形態の遅延回路の一構成例を示す回路図である。
【図３】遅延回路を構成する遅延段の一構成例を示す回路図である。
【図４】図３に示す遅延段の動作時の波形図である。
【図５】遅延制御回路の部分回路の回路図である。
【図６】遅延制御回路を構成する組合せ回路の一構成例を示す回路図である。
【図７】組合せ回路動作時の入出力信号の関係を示す図である。
【図８】中間位相クロック生成回路の第２の実施形態を示す回路図である。
【図９】第２の実施形態の遅延回路の一構成例を示す回路図である。
【図１０】遅延回路の具体例を示す回路図である。
【図１１】中間位相クロック生成回路の第３の実施形態を示す回路図である。
【図１２】従来の中間位相クロック生成回路の一例を示す回路図である。
【図１３】従来の中間位相クロック生成回路の動作時の波形図である。
【符号の説明】
１０，１０ａ，１０ｂ，２０，２０ａ，２０ｂ…遅延回路、３０…位相比較器、４０…遅延制御回路、５０…バイナリカウンタ、１１，１２，１３，１４，１５，１６，２１，２２，２３…遅延段、４１，４２，４３…組合せ回路、３１，３２，３３，５１，５２，５３…Ｄフリップフロップ、$ＢＵＦ_{n-1}$，…，$ＢＵＦ_1$，$ＢＵＦ_0$…バッファ、$ＳＷ_{n-1}$，…，$ＳＷ_1$，$ＳＷ_0$…スイッチ、$ＤＬＹ_{n-1}$，…，$ＤＬＹ_1$，$ＤＬＹ_0$…遅延素子、$Ｔｎ_{n-1}$，$Ｔｎ_{n-2}$，…，$Ｔｎ_2$，$Ｔｎ_1$，$Ｔｎ_0$…ｎＭＯＳトランジスタ、$Ｔｐ_{n-1}$，$Ｔｐ_{n-2}$，…，$Ｔｐ_2$，$Ｔｐ_1$，$Ｔｐ_0$…ｐＭＯＳトランジスタ、$ＡＧＴ_1$，$ＡＧＴ_2$…ＡＮＤゲート、$ＯＧＴ_1$，$ＯＧＴ_2$…ＯＲゲート、$ＡＭＰ_1$，$ＡＭＰ_2$…オペアンプ、ＣＭＰ…コンパレータ、$Ｃ_1$，$Ｃ_2$…キャパシタ、$Ｒ_1$，$Ｒ_2$，$Ｒ_3$，$Ｒ_4$…抵抗素子、$Ｖ_{CC}$…電源電圧、ＧＮＤ…接地電位。

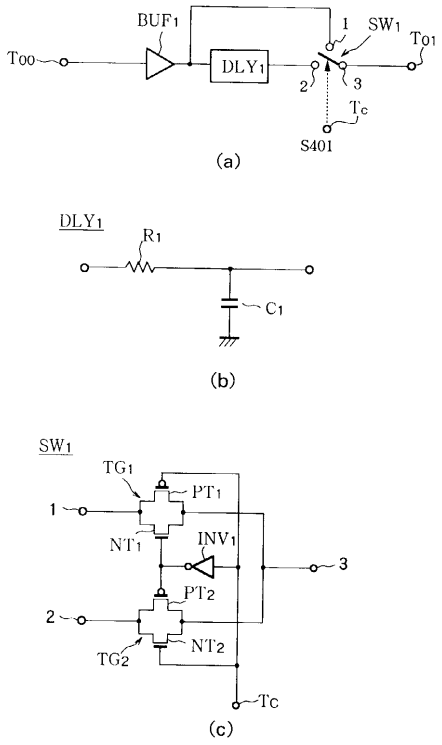
【図１】


T2
CLK2
30
位相比較器
S30
(SUD)
S20
CLK3
20
遅延回路
S40
遅延制御回路
40
10
遅延回路
T1
CLK1

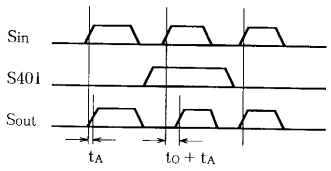
【図２】


TOUT
SUD
S40
16
15
14
10
13
12
11
D
S406
S405
S404
S403
S402
S401
遅延制御回路
40
TIN
CLK1

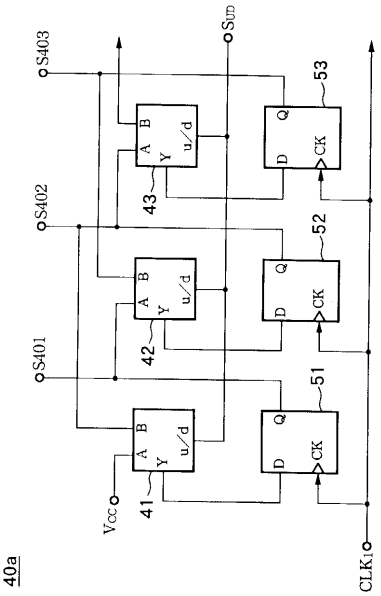
【図３】


BUF1
1
SW1
T00
DLY1
T01
2
3
Tc
S401
(a)
DLY1
R1
C1
(b)
SW1
TG1
PT1
1
NT1
INV1
3
PT2
2
NT2
TG2
Tc
(c)

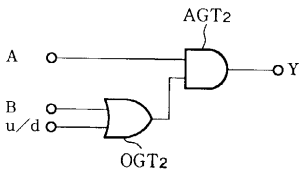
【図４】


Sin
S401
Sout
tA
tO + tA

【図５】



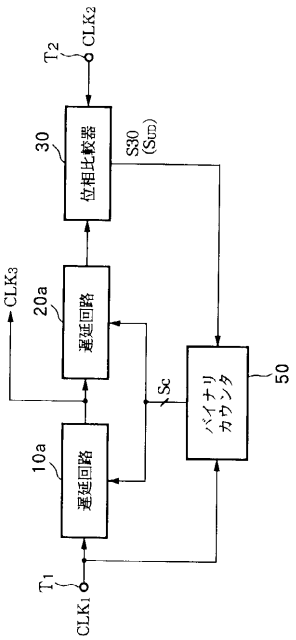
【図６】



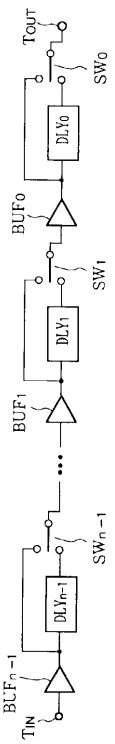
【図７】

u/d		0		1	
B		0	1	1	0
A	0	0	0	0	0
	1	0	1	1	1

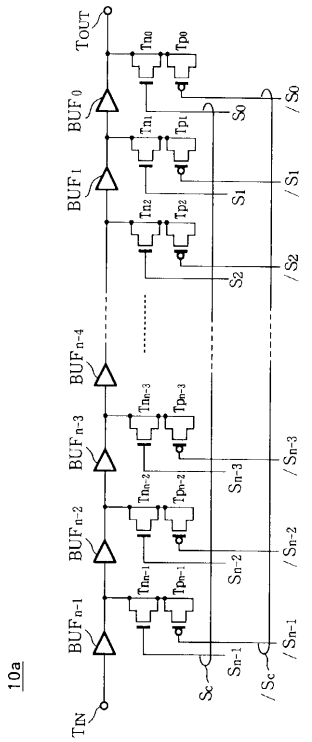
【図８】



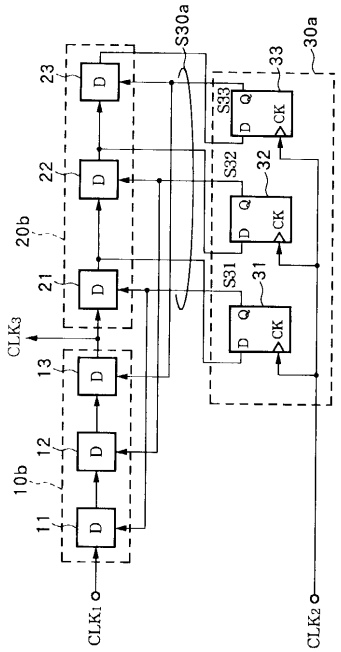
【図９】



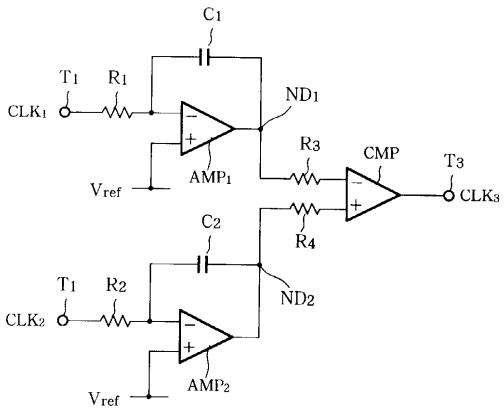
【図１０】



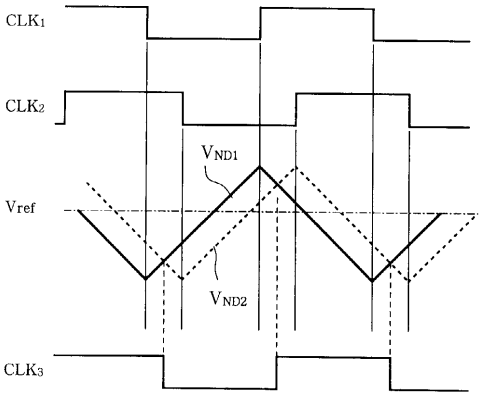
【図１１】



【図１２】



【図１３】



フロントページの続き

(56)参考文献 特開平０８－０５４９５７（ＪＰ，Ａ）
特開平０６－１７５７４８（ＪＰ，Ａ）
特開平０１－１６１９１２（ＪＰ，Ａ）
特開平０８－０２３２６７（ＪＰ，Ａ）
特開平０５－１９１２３４（ＪＰ，Ａ）
特開平０８－０９７７１５（ＪＰ，Ａ）
特開平０８－１９０４４３（ＪＰ，Ａ）
特開平０４－２１９０２２（ＪＰ，Ａ）
特開平０８－０５４９５７（ＪＰ，Ａ）
特開平０６－１７５７４８（ＪＰ，Ａ）
特開平０１－１６１９１２（ＪＰ，Ａ）
特開平０８－０２３２６７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)

G06F 1/00
H03K 5/00
H03L 7/00