

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年2月8日 (08.02.2007)

PCT

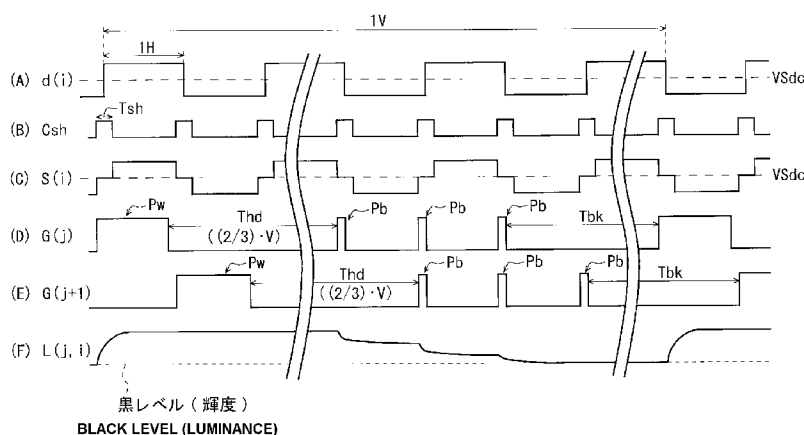
(10) 国際公開番号
WO 2007/015347 A1

- (51) 国際特許分類: *G09G 3/36* (2006.01) *G09G 3/20* (2006.01) *G02F 1/133* (2006.01) 5458522 大阪府大阪市阿倍野区長池町2番2号 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP2006/313313 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 長島 伸悦 (NAGASHIMA, Nobuyoshi) [JP/—].
- (22) 国際出願日: 2006年7月4日 (04.07.2006) (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH,
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2005-222589 2005年8月1日 (01.08.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒

[続葉有]

(54) Title: DISPLAY DEVICE, ITS DRIVE CIRCUIT, AND DRIVE METHOD

(54) 発明の名称: 表示装置ならびにその駆動回路および駆動方法



(57) Abstract: It is possible to make display an impulse while suppressing complication of a drive circuit or increase of operation frequency in a hold type display device. In an active matrix type liquid crystal display device of the dot reverse drive method configured so as to short-circuit adjacent source lines by a predetermined period T_{sh} in every one horizontal scan period, a gate driver applies a pulse to turn on a TFT in the pixel formation unit as a scan signal $G(j)$ ($j = 1$ to m) to be given to each scan signal line. In each frame period, a pixel data write pulse P_w is successively applied to a gate line GL_1 to GL_m . A black voltage application pulse P_b is applied within the predetermined period T_{sh} after elapse of a period (T_{bd}) of about $2/3$ frame from application of the pixel data write pulse P_w for each gate line GL_j . The present invention may be applied to an active matrix type liquid crystal display device.

(57) 要約: 本発明は、ホールド型の表示装置において駆動回路の複雑化や動作周波数の増大を抑えつつ表示をインパルス化することを目的とする。1 水平走査期間毎に所定期間 T_{sh} だけ隣接ソースラインを短絡させるよう

[続葉有]



WO 2007/015347 A1



PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

に構成されたドット反転駆動方式のアクティブマトリクス型液晶表示装置において、ゲートドライバが、各走査信号線に与えるべき走査信号G(j) (j=1~m)として、画素形成部内のTFTをオンさせるパルスを次のように印加する。各フレーム期間内において、画素データ書込パルスPwをゲートラインGL1~GLmに順次印加し、各ゲートラインGLjについての画素データ書込パルスPwの印加から2/3フレーム程度の期間(Thd)経過した後の上記所定期間Tsh内に黒電圧印加パルスPbを印加する。本発明は、アクティブマトリクス型の液晶表示装置に適している。

明 細 書

表示装置ならびにその駆動回路および駆動方法

技術分野

[0001] 本発明は、薄膜トランジスタ等のスイッチング素子を用いた液晶表示装置等のようなホールド型の表示装置ならびにその駆動回路および駆動方法に関する。

背景技術

[0002] CRT (Cathode Ray Tube: 陰極線管) のようなインパルス型の表示装置においては、個々の画素に着目すると、画像が表示される点灯期間と画像が表示されない消灯期間とが交互に繰り返される。例えば動画の表示が行われた場合にも、1画面分の画像の書き換えが行われる際に消灯期間が挿入されるため、人間の視覚に動いている物体の残像が生じることがない。このため、背景と物体とが明瞭に見分けられ、違和感なく動画が視認される。

[0003] これに対し、TFT (Thin Film Transistor: 薄膜トランジスタ) を使用した液晶表示装置のようなホールド型の表示装置では、個々の画素の輝度は各画素容量に保持される電圧によって決まり、画素容量における保持電圧は、一旦書き換えられると1フレーム期間維持される。このようにしてホールド型の表示装置では、画素データとして画素容量に保持すべき電圧は、一旦書き込まれると次に書き換えられるまで保持され、その結果、各フレームの画像は、その1フレーム前の画像と時間的に近接することになる。これにより、動画が表示される場合に、人間の視覚には動いている物体の残像が生じる。例えば図9に示すように、動いている物体を表す画像OIが尾を引くように残像AIが生じる(以下、この残像を「尾引残像」という)。

[0004] アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置では、動画表示の際にこのような尾引残像が生じるので、主として動画表示が行われるテレビ等のディスプレイには従来よりインパルス型の表示装置が採用されるのが一般的である。ところが、近年、テレビ等のディスプレイについて軽量化や薄型化が強く要求されており、そのようなディスプレイについて軽量化や薄型化が容易な液晶表示装置のようなホールド型の表示装置の採用が急速に進んでいる。

特許文献1:日本の特開平9-212137号公報

特許文献2:日本の特開平9-243998号公報

特許文献3:日本の特開平11-30975号公報

特許文献4:日本の特開2003-66918号公報

発明の開示

発明が解決しようとする課題

[0005] アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置において上記の尾引残像を改善する方法として、1フレーム期間中に黒表示を行う期間を挿入する(以下「黒挿入」という)等により液晶表示装置における表示をインパルス化するという方法が知られている(例えば日本の特開2003-66918号公報(特許文献4))。

[0006] しかし、ホールド型表示装置としてのアクティブマトリクス型液晶表示装置において、従来の方法によってインパルス化を実現しようとする、黒挿入のために駆動回路等が複雑化すると共に、駆動回路の動作周波数も増大し、画素容量の充電のために確保できる時間も短くなる。

[0007] そこで本発明は、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示をインパルス化できるアクティブマトリクス型の液晶表示装置等のホールド型表示装置およびそのための駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の局面は、アクティブマトリクス型の表示装置であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部であって、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部と、
前記複数の画素形成部に共通的に設けられた共通電極と、
表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ

印加し、かつ前記複数のデータ信号の極性を各フレーム期間内で所定周期毎に反転させるデータ信号線駆動回路と、

前記データ信号線駆動回路の内部または外部に設けられ、前記複数のデータ信号の極性が反転する時に所定の黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とする黒信号挿入回路と、

前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、各走査信号線に走査信号を印加する走査信号線駆動回路とを備えることを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記走査信号線駆動回路は、前記有効走査期間に選択状態とされた走査信号線を、当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記黒信号挿入期間で選択状態とすることを特徴とする。

[0010] 本発明の第3の局面は、本発明の第1の局面において、

前記データ信号線駆動回路は、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なるように前記複数のデータ信号を生成し、

前記黒信号挿入回路は、前記黒信号挿入期間において各データ信号線をそれに隣接するデータ信号線に短絡させることを特徴とする。

[0011] 本発明の第4の局面は、本発明の第1の局面において、

前記黒信号挿入回路は、前記黒信号挿入期間において各データ信号線を前記共通電極に短絡させることを特徴とする。

[0012] 本発明の第5の局面は、本発明の第1の局面において、

前記走査信号線駆動回路に与えるべき信号を生成する表示制御回路を更に備え、

前記走査信号線駆動回路は、複数個の部分回路からなり、
各部分回路は、
入力端および出力端を有し、当該入力端に与えられるパルスを順次出力端に向かって転送するシフトレジスタと、
前記シフトレジスタに供給すべきクロック信号のためのクロック用入力端子と、
当該部分回路から出力すべき走査信号の出力を制御するための出力制御信号のための出力制御用入力端子と、
前記シフトレジスタの各段の出力信号と、前記クロック用入力端子に与えられるクロック信号と、前記出力制御用入力端子に与えられる出力制御信号とに基づき、当該部分回路から出力すべき走査信号に対応するパルス信号を生成する組合せ論理回路と
を含み、
前記複数個の部分回路は、異なる部分回路におけるシフトレジスタの入力端とシフトレジスタの出力端とを繋ぐことによって縦続接続されており、
前記表示制御回路は、
前記複数の部分回路のクロック用入力端子には共通に所定のクロック信号を与え、
前記複数の部分回路の出力制御用入力端子にはそれぞれ個別の出力制御信号を与えることを特徴とする。

- [0013] 本発明の第6の局面は、本発明の第1の局面において、
前記走査信号線駆動回路に与えるべき信号を生成する表示制御回路を更に備え、
前記走査信号線駆動回路は、複数個の部分回路からなり、
各部分回路は、
入力端および出力端を有し、当該入力端に与えられるパルスを順次出力端に向かって転送するシフトレジスタと、
前記シフトレジスタに供給すべきクロック信号のためのクロック用入力端子と、
当該部分回路から出力すべき走査信号の出力を制御するための出力制御信号

のための第1および第2の出力制御用入力端子と、

前記第1および第2の出力制御用入力端子に与えられる2つの出力制御信号のうちいずれかを選択する切換スイッチと、

前記シフトレジスタの各段の出力信号と、前記クロック用入力端子に与えられるクロック信号と、前記切換スイッチによって選択された出力制御信号とに基づき、当該部分回路から出力すべき走査信号に対応するパルス信号を生成する組合せ論理回路と

を含み、

前記複数個の部分回路は、異なる部分回路におけるシフトレジスタの入力端とシフトレジスタの出力端とを繋ぐことによって縦続接続されており、

前記表示制御回路は、

前記複数の部分回路のクロック用入力端子には共通に所定のクロック信号を与え

、

前記複数の部分回路の第1の出力制御用入力端子には共通に所定の第1の出力制御信号を与えると共に、前記複数の部分回路の第2の出力制御用入力端子には共通に所定の第2の出力制御信号を与えることを特徴とする。

[0014] 本発明の第7の局面は、本発明の第1の局面において、

前記画素値保持期間は、1フレーム期間の50%～80%に相当する期間であることを特徴とする。

[0015] 本発明の第8の局面は、表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備え、各画素形成部は対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込むアクティブマトリクス型表示装置の走査信号線駆動回路であって、

前記複数の走査信号線のそれぞれは、各フレーム期間において少なくとも1回は前記画像の1ラインに対応する水平走査期間において選択状態となり、当該水平走

査期間に選択状態となった走査信号線は当該水平走査期間から所定の画素値保持期間が経過した後であって当該走査信号線が次のフレーム期間において選択状態となる水平走査期間よりも前に少なくとも1回は水平走査期間の切り換え時に所定期間だけ選択状態となるように、各走査信号線に走査信号を印加することを特徴とする。

[0016] 本発明の第9の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備え、各画素形成部は対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込むアクティブマトリクス型表示装置の駆動方法であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加し、かつ前記複数のデータ信号の極性を各フレーム期間内で所定周期毎に反転させるデータ信号線駆動ステップと、

前記複数のデータ信号の極性が反転する時に所定の黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とする黒信号挿入ステップと、

前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、各走査信号線に走査信号を印加する走査信号線駆動ステップとを備えることを特徴とする。

発明の効果

[0017] 本発明の第1の局面によれば、データ信号の極性反転時の黒信号挿入期間には各データ信号線の電圧は黒表示に相当する値となっており、各走査信号線は、画素値書込のために有効走査期間で選択されてから所定の画素値保持期間が経過した後少なくとも1回は黒信号挿入期間で選択状態となる。これにより、次に画素値書

込のために有効走査期間で選択状態となるまでは黒表示の期間となるので、全ての表示ラインにつき同じ長さの黒挿入が行われ、画素値書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間の確保によるインパルス化によって動画像の表示品質を改善することができる。また、黒挿入のためにデータ信号線駆動回路等の動作速度を上げる必要もない。

[0018] 本発明の第2の局面によれば、有効走査期間に選択状態とされた走査信号線は、当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、黒信号挿入期間で選択状態とされる。これにより、インパルス化のための黒表示期間において表示輝度を十分な黒レベルとすることができる。

[0019] 本発明の第3の局面によれば、各データ信号線は黒信号挿入期間においてそれに隣接するデータ信号線に短絡することによって黒表示に相当する電圧となり、この電圧に基づいて黒挿入が行われる。したがって、消費電力低減のためにデータ信号の極性反転時に隣接データ信号線を短絡させるドット反転駆動方式の液晶表示装置において、簡易にインパルス化を実現することができる。

[0020] 本発明の第4の局面によれば、各データ信号線は黒信号挿入期間において共通電極に短絡することによって黒表示に相当する電圧となり、この電圧に基づいて黒挿入が行われる。したがって、消費電力低減のためにデータ信号の極性反転時に各データ信号を共通電極に短絡させる方式の液晶表示装置において、簡易にインパルス化を実現することができる。

[0021] 本発明の第5の局面によれば、既存のゲートドライバ用ICチップを部分回路として複数個使用し、画素値書込と黒電圧印加に応じたスタートパルス信号を適切に入力し、かつ、各部分回路毎に出力制御信号を適切に入力することで、黒挿入可能な走査信号線駆動回路を実現することができる。したがって、ゲートドライバ用ICチップを新たに用意することなく、簡易にインパルス駆動を行うことができる。

[0022] 本発明の第6の局面によれば、出力制御信号についても切換スイッチを含むゲートドライバ用ICチップを部分回路として複数個使用し、画素値書込と黒電圧印加に応じたスタートパルス信号を適切に入力し、2系統の出力制御信号を各部分回路に共

通に入力し、かつ切換スイッチを部分回路毎に個別に制御することで、黒挿入可能な走査信号線駆動回路を実現することができる。したがって、新たな回路を僅かに追加するのみで、簡易にインパルス駆動を行うことができる。

- [0023] 本発明の第7の局面によれば、1フレーム期間の50%～80%に相当する期間を画素値保持期間とし、残りの50%～20%に相当する期間を黒表示の期間とすることができる。これにより、インパルス化の効果が十分に得られるので、動画像の表示品質を確実に向上させることができる。

図面の簡単な説明

- [0024] [図1]本発明の一実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。
- [図2]上記実施形態におけるソースドライバの出力部の一構成例を示す回路図である。
- [図3]上記実施形態に係る液晶表示装置の動作を説明するための信号波形図(A～F)である。
- [図4]上記実施形態におけるゲートドライバの第1の構成例を示すブロック図(A, B)である。
- [図5]上記第1の構成例によるゲートドライバの動作を説明するための信号波形図(A～F)である。
- [図6]上記実施形態におけるゲートドライバの第2の構成例を示すブロック図(A, B)である。
- [図7]上記第2の構成例によるゲートドライバの動作を説明するための信号波形図(A～I)である。
- [図8]上記実施形態におけるソースドライバの出力部の他の構成例を示す回路図である。
- [図9]ホールド型表示装置での動画表示における課題を説明するための図である。

符号の説明

- [0025] 10 …TFT(スイッチング素子)
31 …バッファ(電圧ホロワ)

40	…シフトレジスタ
41, 43	…ANDゲート
45	…出力部
47	…切換スイッチ
100	…表示部
200	…表示制御回路
300	…ソースドライバ(データ信号線駆動回路)
400	…ゲートドライバ(走査信号線駆動回路)
411, 412, …, 41q	…ゲートドライバ用ICチップ
421, 422, …, 42q	…ゲートドライバ用ICチップ
Cp	…画素容量
Ec	…共通電極
SWa	…第1のMOSトランジスタ(スイッチング素子)
SWb	…第2のMOSトランジスタ(スイッチング素子)
SLi	…ソースライン(データ信号線) (i=1, 2, …, n)
GLj	…ゲートライン(走査信号線) (j=1, 2, …, m)
DA	…デジタル画像信号
SSP	…データスタートパルス信号
SCK	…データクロック信号
GSP	…ゲートスタートパルス信号
GCK	…ゲートクロック信号
Csh	…短絡制御信号
COE	…切換制御信号
GOE	…ゲートドライバ出力制御信号
GOEr	…ゲートドライバ出力制御信号(r=1, 2, …, q)
GOEa, GOEb	…ゲートドライバ出力制御信号
S(i)	…データ信号(i=1, 2, …, n)
G(j)	…走査信号(j=1, 2, …, m)

Pw	…画素データ書込パルス
Pb	…黒電圧印加パルス
Thd	…画素データ保持期間(画素値保持期間)
Tbk	…黒表示期間
Tsh	…短絡期間(黒信号挿入期間)

発明を実施するための最良の形態

[0026] 以下、添付図面を参照して本発明の実施形態について説明する。

<1. 全体の構成および動作>

図1は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、データ信号線駆動回路としてのソースドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、アクティブマトリクス形の表示部100と、ソースドライバ300およびゲートドライバ400を制御するための表示制御回路200とを備えている。

[0027] 本実施形態における表示部100は、複数本(m本)の走査信号線としてのゲートラインGL1～GLmと、それらのゲートラインGL1～GLmのそれぞれと交差する複数本(n本)のデータ信号線としてのソースラインSL1～SLnと、それらのゲートラインGL1～GLmとソースラインSL1～SLnとの交差点にそれぞれ対応して設けられた複数個(m×n個)の画素形成部とを含む。これらの画素形成部はマトリクス状に配置されて画素アレイを構成し、各画素形成部は、対応する交差点を通過するゲートラインGLjにゲート端子が接続される共に当該交差点を通過するソースラインSLiにソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される液晶容量により、画素容量Cpが構成される。なお通常、画素容量に確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0028] 各画素形成部における画素電極には、後述のように動作するソースドライバ300お

よびゲートドライバ400により、表示すべき画像に応じた電位が与えられ、共通電極Ecには、図示しない電源回路から所定電位(「共通電極電位」と呼ぶ) Vcomが与えられる。これにより、画素電極と共通電極Ecとの間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、本実施形態では、ノーマリブラックとなるように偏光板が配置されているものとする。

[0029] 表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取り、それらの信号Dv, HSY, VSY, Dcに基づき、そのデジタルビデオ信号Dvの表す画像を表示部100に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、短絡制御信号Cshと、表示すべき画像を表すデジタル画像信号DA(ビデオ信号Dvに相当する信号)と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成し出力する。より詳しくは、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路200から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル(Hレベル)となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間(1垂直走査期間)毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号Dcに基づき短絡制御信号Cshおよびゲートドライバ出力制御信号GOE(GOE1～GOEq)を生成する。

[0030] 上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号DAと短絡制御信号Cshとソースドライバ用のスタートパルス信号SSPおよびクロック信号SCKとは、ソースドライバ300に入力され、ゲートドライバ用のスタートパルス信号GSPおよびクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートド

ライバ400に入力される。

[0031] ソースドライバ300は、デジタル画像信号DAとソースドライバ用のスタートパルス信号SSPおよびクロック信号SCKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)～S(n)を1水平走査期間毎に順次生成し、これらのデータ信号S(1)～S(n)をソースラインSL1～SLnにそれぞれ印加する。本実施形態におけるソースドライバ300は、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内において1ゲートライン毎かつ1ソースライン毎にも反転されるようにデータ信号S(1)～S(n)が出力される駆動方式すなわちドット反転駆動方式が採用されている。したがって、ソースドライバ300は、ソースラインSL1～SLnへの印加電圧の極性をソースライン毎に反転させ、かつ、各ソースラインSLiに印加されるデータ信号S(i)の電圧極性を1水平走査期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号S(1)～S(n)の直流レベル(直流成分に相当する電位)であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部におけるTFTのゲート・ドレイン間の寄生容量Cgdによるレベルシフト(フィールドスルー電圧) ΔV_d だけ共通電極Ecの直流レベルと異なる。ただし、寄生容量Cgdによるレベルシフト ΔV_d が液晶の光学的しきい値電圧Vthに対して十分に小さい場合には、データ信号S(1)～S(n)の直流レベルは共通電極Ecの直流レベルに等しいとみなせるので、データ信号S(1)～S(n)の極性すなわちソースラインへの印加電圧の極性は共通電極Ecの電位を基準として1水平走査期間毎に反転すると考えてもよい。

[0032] また、このソースドライバ300では、消費電力を低減するためにデータ信号S(1)～S(n)の極性反転時に隣接ソースライン間が短絡されるチャージシェアリング方式が採用されている。このため、ソースドライバ300においてデータ信号S(1)～S(n)を出力する部分である出力部は、図2に示すように構成されている。すなわち、この出力部は、デジタル画像信号DAに基づき生成されたアナログ電圧信号d(1)～d(n)を受け取り、これらのアナログ電圧信号d(1)～d(n)をインピーダンス変換することによって、ソースラインSL1～SLnで伝達すべき映像信号としてデータ信号S(1)～S(n)

n)を生成するものであり、このインピーダンス変換のための電圧ホロワとしてn個のバッファ31を有している。各バッファ31の出力端子にはスイッチング素子としての第1のMOSTランジスタSWaが接続され、各バッファ31からのデータ信号S(i)は第1のMOSTランジスタSWaを介してソースドライバ300の出力端子から出力される($i=1, 2, \dots, n$)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSTランジスタSWbによって接続されている。そして、これらの出力端子間の第2のMOSTランジスタSWbのゲート端子には、短絡制御信号Cshが与えられ、各バッファ31の出力端子に接続された第1のMOSTランジスタSWaのゲート端子には、インバータ33の出力信号すなわち短絡制御信号Cshの論理反転信号が与えられる。したがって、短絡制御信号Cshが非アクティブ(ローレベル)のときには、第1のMOSTランジスタSWaがオンし、第2のMOSTランジスタSWbがオフするので、各バッファ31からのデータ信号は、第1のMOSTランジスタSWaを介してソースドライバ300から出力される。一方、短絡制御信号Cshがアクティブ(ハイレベル)のときには、第1のMOSTランジスタSWaがオフし、第2のMOSTランジスタSWbがオンするので、各バッファ31からのデータ信号は出力されず、表示部100における隣接ソースラインが、第2のMOSTランジスタSWbを介して短絡される。

- [0033] 本実施形態におけるソースドライバ300では、図3(A)に示すように、1水平走査期間(1H)毎に極性の反転する映像信号としてアナログ電圧信号d(i)が生成され、表示制御回路200では、図3(B)に示すように、各アナログ電圧信号d(i)の極性の反転時に所定期間(1水平ブランキング期間程度の短い期間)Tshだけハイレベル(Hレベル)となる短絡制御信号Cshが生成される(以下、短絡制御信号CshがHレベルとなる期間を「短絡期間」という)。上記のように、短絡制御信号Cshがローレベル(Lレベル)のときには各アナログ電圧信号d(i)がデータ信号S(i)として出力され、短絡制御信号CshがHレベルのときには隣接ソースラインが互いに短絡される。そして本実施形態では、ドット反転駆動が採用されていることから隣接ソースラインの電圧は互いに逆極性であって、しかも、その絶対値はほぼ等しい。したがって、各データ信号S(i)の値すなわち各ソースラインSLiの電圧は、短絡期間Tshにおいて、黒表示に相当する電圧(以下、単に「黒電圧」ともいう)となる。本実施形態では、各データ信

号S (i)は、データ信号S (i)の直流レベルVSdcを基準として極性が反転するので、図3 (C)に示すように短絡期間Tshにおいてデータ信号S (i)の直流レベルVSdcにほぼ等しくなる。なお、このようにデータ信号の極性反転時に隣接ソースラインを短絡することで各ソースラインの電圧を黒電圧(データ信号S (i)の直流レベルVSdcまたは共通電極電位Vcom)にほぼ等しくするという構成は、消費電力を低減するための手段として従来より提案されており(例えば日本の特開平9-212137号公報(特許文献1)、日本の特開平9-243998号公報(特許文献2)、日本の特開平11-30975号公報(特許文献3)参照)、図2に示した構成に限定されるものではない。

[0034] ゲートドライバ400は、ゲートドライバ用のスタートパルス信号GSPおよびクロック信号GCKと、ゲートドライバ出力制御信号GOEr($r=1, 2, \dots, q$)とに基づき、各データ信号S (1)~S (n)を各画素形成部(の画素容量)に書き込むために、デジタル画像信号DAの各フレーム期間(各垂直走査期間)においてゲートラインGL1~GLmをほぼ1水平走査期間ずつ順次選択すると共に、後述の黒挿入のために、データ信号S (i) ($i=1\sim n$)の極性反転時に所定期間だけゲートラインGLj ($j=1\sim m$)を選択する。すなわち、ゲートドライバ400は、図3 (D)および図3 (E)に示すような画素データ書込パルスPwと黒電圧印加パルスPbとを含む走査信号G (1)~G (m)をゲートラインGL1~GLmにそれぞれ印加し、これらのパルスPw, Pbが印加されているゲートラインGLjは選択状態となり、選択状態のゲートラインGLjに接続されたTFT10がオン状態となる(非選択状態のゲートラインに接続されたTFT10はオフ状態となる)。ここで、画素データ書込パルスPwは水平走査期間(1H)のうち表示期間に相当する有効走査期間でHレベルとなるのに対し、黒電圧印加パルスPbは水平走査期間(1H)のうちブランキング期間に相当する短絡期間Tsh内でHレベルとなる。本実施形態では図3 (D)および図3 (E)に示すように、各走査信号G (j)において、画素データ書込パルスPwと当該画素データ書込パルスPwの後に最初に現れる黒電圧印加パルスPbとの間は2/3フレーム期間であり、黒電圧印加パルスPbは、1フレーム期間(1V)において1水平走査期間(1H)の間隔で続いて3個現れる。

[0035] 次に図3を参照しつつ、上記のソースドライバ300およびゲートドライバ400による表示部100(図1参照)の駆動について説明する。表示部100における各画素形成

部では、それに含まれるTFT10のゲート端子に接続されるゲートラインGLjに画素データ書込パルスPwが印加されることにより、当該TFT10がオンし、当該TFT10のソース端子に接続されるソースラインSLiの電圧がデータ信号S(i)の値として当該画素形成部に書き込まれる。すなわちソースラインSLiの電圧が画素容量Cpに保持される。その後、当該ゲートラインGLjは黒電圧印加パルスPbが現れるまでの期間Thdは非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。黒電圧印加パルスPbは、その非選択状態の期間(以下「画素データ保持期間」という)Thdの後の短絡期間TshにゲートラインGLjに印加される。既述のように短絡期間Tshでは、各データ信号S(i)の値すなわち各ソースラインSLiの電圧は、データ信号S(i)の直流レベルにほぼ等しくなる(すなわち黒電圧となる)。したがって、当該ゲートラインGLjへの黒電圧印加パルスPbの印加により、当該画素形成部の画素容量Cpに保持される電圧は黒電圧に向かって変化する。しかし、黒電圧印加パルスPbのパルス幅は短いので、画素容量Cpにおける保持電圧を確実に黒電圧にするために、図3(D)および図3(E)に示すように、各フレーム期間において1水平走査期間(1H)間隔で3個の黒電圧印加パルスPbが続けて当該ゲートラインGLjに印加される。これにより、当該ゲートラインGLjに接続される画素形成部によって形成される画素の輝度(画素容量での保持電圧によって決まる透過光量)L(j, i)は、図3(F)に示すように変化する。したがって、各ゲートラインGLjに接続される画素形成部に対応する1表示ラインにおいて、画素データ保持期間Thdではデジタル画像信号DAに基づく表示が行われ、その後に上記3個の黒電圧印加パルスPbが印加されてから次に当該ゲートラインGLjに画素データ書込パルスPwが印加される時点までの期間Tbkでは黒表示が行われる。このようにして、黒表示の行われる期間(以下「黒表示期間」という)Tbkが各フレーム期間に挿入されることにより、液晶表示装置による表示のインパルス化が行われる。

[0036] 図3(D)および図3(E)からもわかるように、画素データ書込パルスPwの現れる時点は走査信号G(j)毎に1水平走査期間(1H)ずつずれているので、黒電圧印加パルスPbの現れる時点も走査信号G(j)毎に1水平走査期間(1H)ずつずれている。したがって、黒表示期間Tbkも1表示ライン毎に1水平走査期間(1H)ずつずれて、全

ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量 C_p での充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ300等の動作速度を上げる必要もない。

[0037] <2. ゲートドライバの構成>

<2.1 第1の構成例>

図4(A)および図4(B)は、図3(D)および図3(E)に示すように動作するゲートドライバ400の第1の構成例を示すブロック図である。この構成例によるゲートドライバ400は、シフトレジスタを含む複数個(q 個)の部分回路としてのゲートドライバ用IC(Integrated Circuit)チップ411, 412, ..., 41 q からなる。

[0038] 各ゲートドライバ用ICチップは、図4(B)に示すように、シフトレジスタ40と、当該シフトレジスタ40の各段に対応して設けられた第1および第2のANDゲート41, 43と、第2のANDゲート43の出力信号 $g_1 \sim g_p$ に基づき走査信号 $G_1 \sim G_p$ を出力する出力部45とを備え、外部からスタートパルス信号 SP_i 、クロック信号 CK および出力制御信号 OE を受け取る。スタートパルス信号 SP_i はシフトレジスタ40の入力端に与えられ、シフトレジスタ40の出力端からは、後続のゲートドライバ用ICチップに入力されるべきスタートパルス信号 SP_o を出力する。また、第1のANDゲート41のそれぞれにはクロック信号 CK の論理反転信号が入力され、第2のANDゲート43のそれぞれには出力制御信号 OE の論理反転信号が入力される。そして、シフトレジスタ40の各段の出力信号 Q_k ($k=1 \sim p$)は、当該段に対応する第1のANDゲート41に入力され、当該第1のANDゲート41の出力信号は当該段に対応する第2のANDゲート43に入力される。

[0039] 本構成例によるゲートドライバ400は、図4(A)に示すように、上記構成の複数(q 個)のゲートドライバ用ICチップ411~41 q が縦続接続されることによって実現される。すなわち、ゲートドライバ用ICチップ411~41 q 内のシフトレジスタ40が1つのシフトレジスタを形成するように(以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という)、各ゲートドライバ用ICチップ内のシフトレジスタの出力端(スタートパルス信号 SP_o の出力端子)が次のゲートドライバ用ICチップ内のシ

フトレジスタの入力端(スタートパルス信号SPiの入力端子)に接続される。ただし、先頭のゲートドライバ用ICチップ411内のシフトレジスタの入力端には、表示制御回路200からゲートスタートパルス信号GSPが入力され、最後尾のゲートドライバ用ICチップ41q内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路200からのゲートクロック信号GCKは、各ゲートドライバ用ICチップ411~41qにクロック信号CKとして共通に入力される。一方、表示制御回路200において生成されるゲートドライバ出力制御信号GOEは第1~第qのゲートドライバ出力制御信号GOE1~GOEqからなり、これらのゲートドライバ出力制御信号GOE1~GOEqは、ゲートドライバ用ICチップ411~41qに出力制御信号OEとしてそれぞれ個別に入力される。

[0040] 次に、図5を参照しつつ上記第1の構成例によるゲートドライバ400の動作について説明する。表示制御回路200は、図5(A)に示すように、画素データ書込パルスPwに対応する期間Tspwと3個の黒電圧印加パルスPbに対応する期間TspbwだけHレベル(アクティブ)となる信号をゲートスタートパルス信号GSPとして生成するとともに、図5(B)に示すように、1水平走査期間(1H)毎に所定期間だけHレベルとなるゲートクロック信号GCKを生成する。このようなゲートスタートパルス信号GSPおよびゲートクロック信号GCKが図4のゲートドライバ400に入力されると、先頭のゲートドライバ用ICチップ411のシフトレジスタ40の初段の出力信号Q1として、図5(C)に示すような信号が出力される。この出力信号Q1は、各フレーム期間において、画素データ書込パルスPwに対応する1個のパルスPqwと、3個の黒電圧印加パルスPbに対応する1個のパルスPqbwとを含み、これらの2個のパルスPqwとPqbwとの間はほぼ画素データ保持期間Thdだけ離れている。このような2個のパルスPqwおよびPqbwがゲートクロック信号GCKに従ってゲートドライバ400内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図5(C)に示すような波形の信号が1水平走査期間(1H)ずつ順次ずれて出力される。

[0041] また、表示制御回路200は、既述のように、ゲートドライバ400を構成するゲートドライバ用ICチップ411~41qに与えるべきゲートドライバ出力制御信号GOE1~GOEqを生成する。ここで、r番目のゲートドライバ用ICチップ41rに与えるべきゲートドライ

バ出力制御信号GOErは、当該ゲートドライバ用ICチップ41r内のシフトレジスタ40のいずれかの段から画素データ書込パルスPwに対応するパルスPqwが出力されている期間では、画素データ書込パルスPwの調整のためにゲートクロック信号GCKのパルス近傍の所定期間でHレベルとなることを除きLレベルとなり、それ以外の期間では、ゲートクロック信号GCKがHレベルからLレベルに変化した直後の所定期間Toe(この所定期間Toeは短絡期間Tshに含まれるように設定される)だけLレベルとなることを除きHレベルとなる。例えば、先頭のゲートドライバ用ICチップ411には、図5(D)に示すようなゲートドライバ出力制御信号GOE1が与えられる。なお、画素データ書込パルスPwの調整のためにゲートドライバ出力制御信号GOE1～GOEqに含まれるパルス(これは上記所定期間でHレベルとなることに相当し、以下「書込期間調整パルス」という)は、必要な画素データ書込パルスPwに応じて、ゲートクロック信号GCKの立ち上がりよりも早く立ち上がったり、ゲートクロック信号GCKの立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号GCKのパルスだけで画素データ書込パルスPwを調整するようにしてもよい。

- [0042] 各ゲートドライバ用ICチップ41r(r=1～q)では、上記のようなシフトレジスタ40各段の出力信号Qk(k=1～p)、ゲートクロック信号GCKおよびゲートドライバ出力制御信号GOErに基づき、第1および第2のANDゲート41, 43により、内部走査信号g1～gpが生成され、それらの内部走査信号g1～gpが出力部45でレベル変換されて、ゲートラインに印加すべき走査信号G1～Gpが出力される。これにより、図5(E)および図5(F)に示すように、ゲートラインGL1～GLmには、順次画素データ書込パルスPwが印加されると共に、各ゲートラインGLj(j=1～m)では、画素データ書込パルスの印加時点から画素データ保持期間Thdだけ経過した時点で、黒電圧印加パルスPbが印加され、その後、1水平走査期間(1H)間隔で2個の黒電圧印加パルスPbが印加される。このようにして3個の黒電圧印加パルスPbが印加された後は、次のフレーム期間の画素データ書込パルスPwが印加されるまでLレベルが維持される。すなわち、上記3個の黒電圧印加パルスPbが印加されてから次の画素データ書込パルスPwが印加されるまでは黒表示期間Tbkとなる。

[0043] 上記のようにして、図4(A)および図4(B)に示した構成のゲートドライバ400により、液晶表示装置において図3(C)～図3(F)に示したようなインパルス化駆動を実現することができる。

[0044] <2.2 第2の構成例>

図6(A)および図6(B)は、図3(D)および図3(E)に示すように動作するゲートドライバ400の第2の構成例を示すブロック図である。この構成例によるゲートドライバ400も、シフトレジスタを含む複数個(q 個)の部分回路としてのゲートドライバ用ICチップ421, 422, ..., 42 q からなる。

[0045] 各ゲートドライバ用ICチップは、図6(B)に示すように構成されている。本構成例では、1つの出力制御信号OEを外部から受け取る第1の構成例とは異なり、第1の出力制御信号OEaと第2の出力制御信号OEbとからなる2系統の出力制御信号を外部から受け取る。本構成例によるゲートドライバ用ICチップは切換スイッチ47を備えており、第1および第2の出力制御信号OEa, OEbは切換スイッチ47に入力される。この切換スイッチ47は、所定の切換制御信号COEに基づき、当該ゲートドライバ用ICチップについて予め決められた第1および第2の期間に第1および第2の出力制御信号OEa, OEbをそれぞれ選択して出力制御信号OEとして出力し、その出力制御信号OEの論理反転信号が第1の構成例と同様に第2のANDゲート43のそれぞれに入力される。切換制御信号COEは、各ゲートドライバ用ICチップ42 r 内で他の内部信号に基づき生成されるか、または、表示制御回路200においてゲートドライバ用ICチップ42 r 毎の制御信号として生成され($r=1\sim q$)、その具体的な信号波形については後述する。本構成例によるゲートドライバ用ICチップにおける他の構成については、図4(B)に示した第1の構成例によるゲートドライバ用ICチップと同様であるので、同一の部分には同一の参照符号を付して説明を省略する。

[0046] 本構成例によるゲートドライバ400も、図6(A)に示すように、上記構成の複数(q 個)のゲートドライバ用ICチップ421～42 q が縦続接続されることによって実現されており、ゲートドライバ用ICチップ421～42 q 内のシフトレジスタは縦続接続されて1つのシフトレジスタ(以下、第1の構成例の場合と同様「結合シフトレジスタ」という)を形成する。また、本構成例では、表示制御回路200からのゲートクロック信号GCKは各ゲ

ートドライバ用ICチップ421～42qにクロック信号CKとして共通に入力される。しかし、本構成例の場合、第1の構成例の場合とは異なり、表示制御回路200ではゲートドライバ出力制御信号GOEとして、図7(D)に示すような第1のゲートドライバ出力制御信号GOEaと図7(E)に示すような第2のゲートドライバ出力制御信号GOEbとが表示制御回路200で生成され、これら2系統のゲートドライバ出力制御信号GOEa, GOEbが各ゲートドライバ用ICチップ421～42qに出力制御信号OEa, OEbとして共通に入力される。本構成例によるゲートドライバ400の他の構成については、第1の構成例と同様であるので詳しい説明を省略する。

[0047] 次に、図7を参照しつつ上記第2の構成例によるゲートドライバ400の動作について説明する。本構成例においても、第1の構成例と同様、図7(A)および図7(B)に示すようなゲートスタートパルス信号GSPおよびゲートクロック信号GCKがゲートドライバ400に与えられ、各ゲートドライバ用ICチップ42r(r=1～q)内のシフトレジスタ40の縦続接続によって形成される結合シフトレジスタの各段の出力信号も第1の構成例の場合と同様となる。例えば、先頭のゲートドライバ用ICチップ421のシフトレジスタ40の初段の出力信号Q1は、図7(C)に示すような信号となる。

[0048] ここで、第1のゲートドライバ出力制御信号GOEaは、画素データ書込パルスPwの調整のためにゲートクロック信号GCKのパルス近傍の所定期間でHレベルとなり、他の期間ではLレベルとなる信号である。これに対し、第2のゲートドライバ出力制御信号GOEbは、ゲートクロック信号GCKがHレベルからLレベルに変化した直後の所定期間Toe(この所定期間Toeは短絡期間Tshに含まれるように設定される)だけLレベルとなり、その他の期間ではHレベルとなる信号である。したがって、各ゲートドライバ用ICチップ42rの切換スイッチ47で第1のゲートドライバ出力制御信号GOEaが内部の出力制御信号OEとして選択される場合には、図6(B)に示す構成より、シフトレジスタ40の各段の出力信号Q1～QpのうちHレベルとなる出力信号Qkに対応する走査信号Gkとして、ほぼ1水平走査期間(1H)に等しい幅のパルスである画素データ書込パルスPwが生成される。一方、第2のゲートドライバ出力制御信号GOEbが内部の出力制御信号OEとして選択される場合には、シフトレジスタ40の各段の出力信号Q1～QpのうちHレベルとなる出力信号Qkに対応する走査信号Gkとして、上記

所定期間 T_{oe} に等しい幅のパルスである黒電圧印加パルス P_b が生成される。なお、画素データ書込パルス P_w の調整のために第1のゲートドライバ出力制御信号 GOE_a に含まれるパルス(これは上記所定期間でHレベルとなることに相当し、以下「書込期間調整パルス」という)は、必要な画素データ書込パルス P_w に応じて、ゲートクロック信号 GCK の立ち上がりよりも早く立ち上がったり、ゲートクロック信号 GCK の立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに第1のゲートドライバ出力制御信号 GOE_a をLレベルに固定し、ゲートクロック信号 GCK のパルスだけで画素データ書込パルス P_w を調整するようにしてもよい。

[0049] 各ゲートドライバ用ICチップ42r($r=1\sim q$)の切換スイッチ47は、切換制御信号 COE がLレベルのときには第1のゲートドライバ出力制御信号 GOE_a を選択して出力し、切換制御信号 COE がHレベルのときには第2のゲートドライバ出力制御信号 GOE_b を選択して出力する。そして、各ゲートドライバ用ICチップ42r($r=1\sim q$)の切換スイッチ47に与えられる切換制御信号 COE は、当該ゲートドライバ用ICチップ42r内のシフトレジスタ40のいずれかの段から画素データ書込パルス P_w に対応するパルス P_{qw} が出力されている期間ではLレベルとなり、それ以外の期間ではHレベルとなる。したがって、切換制御信号 COE はゲートドライバ用ICチップ毎に異なり、例えば、先頭のゲートドライバ用ICチップ421の切換スイッチ47に与えられる切換制御信号 COE は、図7(F)に示すような信号である。一方、図7(C)に示すように各ゲートドライバ用ICチップ42rのシフトレジスタ40の各段の出力信号 Q_k ($k=1\sim p$)は、各フレーム期間において、画素データ書込パルス P_w に対応する1個のパルス P_{qw} と、3個の黒電圧印加パルス P_b に対応する1個のパルス P_{qbw} とを含み、これらの2個のパルス P_{qw} と P_{qbw} との間はほぼ画素データ保持期間 T_{hd} だけ離れている。このような2個のパルス P_{qw} および P_{qbw} がゲートクロック信号 GCK に従ってゲートドライバ400内の結合シフトレジスタを順次転送されていく。それに応じて、結合シフトレジスタの各段から図7(C)に示すような波形の信号が1水平走査期間ずつ順次ずれて出力される。

[0050] 各ゲートドライバ用ICチップ42r($r=1\sim q$)では、上記のようなシフトレジスタ40各段の出力信号 Q_k ($k=1\sim p$)、ゲートクロック信号 GCK 、および切換スイッチ47によ

って選択された出力制御信号OEに基づき、第1および第2のANDゲート41, 43により、内部走査信号 $g1 \sim gp$ が生成され、それらの内部走査信号 $g1 \sim gp$ が出力部45でレベル変換されて、ゲートラインに印加すべき走査信号 $G1 \sim Gp$ が出力される。これにより、第1の構成例と同様、図7(h) および図7(i)に示すように、ゲートライン $GL1 \sim GLm$ には、順次画素データ書込パルス Pw が印加されると共に、各ゲートライン GLj ($j=1 \sim m$) では、画素データ書込パルス Pw の印加時点から画素データ保持期間 Thd が経過した時点で、黒電圧印加パルス Pb が印加され、その後、1水平走査期間間隔で2個の黒電圧印加パルス Pb が印加される。このようにして3個の黒電圧印加パルス Pb が印加された後は、次のフレーム期間の画素データ書込パルス Pw が印加されるまで L レベルが維持される。すなわち、上記3個の黒電圧印加パルス Pb が印加されてから次の画素データ書込パルス Pw が印加されるまでは黒表示期間 Tbk となる。

[0051] 上記のようにして、図6(A) および図6(B)に示した構成のゲートドライバ400によっても、液晶表示装置において図3(C)～図3(F)に示したようなインパルス化駆動を実現することができる。

[0052] <3. 効果>

以上のように本実施形態によれば、データ信号 $S(i)$ の極性反転時の各短絡期間 Tsh には各ソースライン SLi の電圧は黒表示に相当する値となっており(図3(C))、各ゲートライン GLj には、画素データ書込パルス Pw が印加されてから2/3フレーム期間の長さの画素データ保持期間 Thd が経過した後に、1水平走査期間間隔で3個の黒電圧印加パルス Pb がそれぞれ短絡期間 Tsh 内に印加される(図3(D) および図3(E))。これにより、次に画素データ書込パルス Pw が印加されるまでは黒表示の期間 Tbk となるので、各フレームにつき、ほぼ1/3フレーム期間程度の黒挿入が行われる。すなわち、インパルス化駆動のための黒表示期間 Tbk が1表示ライン毎に1水平走査期間(1H)ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる(図3(D) および図3(E))。これにより、画素データ書込のための画素容量 Cp での充電期間を短縮することなく、十分な黒挿入期間が確保され、しかも、黒挿入のためにソースドライバ300等の動作速度を上げる必要もない。

[0053] 上記実施形態では、各ゲートライン GLj には1フレーム期間毎に3個の黒電圧印加

パルスPbが印加されるが、1フレーム期間における黒電圧印加パルスPbの個数は3個に限定されるものではなく、表示を黒レベルとすることができるような個数であればよい。また、図3(F)からわかるように、1フレーム期間における黒電圧印加パルスPbの個数を変えることにより黒表示期間Tbkにおける黒レベル(表示輝度)を所望の値に設定することができる。なお、1フレーム期間における黒電圧印加パルスPbの個数は、ゲートスタートパルス信号GSPにおける期間Tspbwの設定を変えることにより容易に調整することができる(図5(A)、図7(A))。

[0054] 上記実施形態では、各ゲートラインGLjに対し、画素データ書込パルスPwが印加されてから2/3フレーム期間の長さの画素データ保持期間Thdが経過した時点で黒電圧印加パルスPbが印加され(図3(D)および図3(E))、各フレームにつき、ほぼ1/3フレーム期間程度の黒挿入が行われるが、黒表示期間Tbkは1/3フレーム期間に限定されるものではない。黒表示期間Tbkを長くすればインパルス化の効果が大きくなり動画の表示品質の改善(尾引残像の抑制等)には有効であるが、表示輝度が低下することになるので、インパルス化の効果と表示輝度とを勘案して適切な黒表示期間Tbkが設定されることになる。ただし、インパルス化の効果を十分に得るためには1フレーム期間の50%~20%を黒挿入の期間とするのが好ましい。上記実施形態によれば、ゲートスタートパルス信号GSPの設定によって画素データ保持期間Thdを変えることで、黒電圧印加パルスの現れるタイミングを変化させることにより、黒表示期間Tbkを容易に調整することができる(図5、図7)。

[0055] 上記実施形態において第1の構成例によるゲートドライバ400を採用する場合には、図4(A)からわかるように、既存のゲートドライバ用ICチップを複数個使い、各ゲートドライバ用ICチップに入力すべきゲートドライバ出力制御信号GOEr(r=1~q)を適切に設定するだけで、インパルス化駆動を実現することができる。また、第2の構成例によるゲートドライバ400を採用する場合には、図6(A)および図6(B)からわかるように、既存のゲートドライバ用ICチップを複数個使い、2系統のゲートドライバ出力制御信号GOEa, GOEbを用意すると共に各ゲートドライバ用ICチップに切換スイッチ47等の少量の回路を追加するのみで、インパルス化駆動を実現することができる。

[0056] <4. 変形例>

上記実施形態では、データ信号 $S(1) \sim S(n)$ の極性反転時に隣接ソースラインを短絡させることにより各ソースライン $SL_i (i=1 \sim n)$ が黒表示に相当する電圧となるように構成されている。しかし、これに代えて、データ信号 $S(1) \sim S(n)$ の極性反転時に各ソースライン SL_i を共通電極 Ec に短絡させる構成であってもよい(例えば日本の特開平11-30975号公報(特許文献3)参照)。すなわち、図2に示した構成において隣接ソースライン間を接続する第2のMOSTランジスタ SW_b に代えて、図8に示すように、ソースドライバ300において各ソースラインに接続される出力端子と共通電極 Ec との間を接続するスイッチング素子として第3のMOSTランジスタ SW_c を設け、それら第3のMOSTランジスタ SW_c のゲート端子に短絡制御信号 Csh を与える構成としてもよい。

[0057] 各ソースライン SL_i の電位は、当該ソースライン SL_i を共通電極 Ec に短絡させると、共通電極電位 V_{com} となり、オン状態のTFT10を介して画素電極に与えられる。その後、当該TFT10がオフ状態に変化すると、その画素電極の電位は、当該TFT10の寄生容量 C_{gd} に起因して共通電極電位 V_{com} からフィールドスルー電圧 ΔV_d だけ変化する(画素電極電位にレベルシフト ΔV_d が生じる)。しかし、寄生容量 C_{gd} によるレベルシフト ΔV_d が液晶の光学的しきい値電圧 V_{th} に対して十分に小さい場合には、次に当該TFT10がオン状態になるまでは黒表示が行われることになる。よって、この場合、出力部が図8に示すように構成されたソースドライバ300を備える液晶表示装置において、ゲートドライバを図4(A)および図4(B)または図6(A)および図6(B)に示すような構成とし、図5または図7に示すように動作させることにより、上記実施形態と同様の効果を得ることができる。

[0058] より一般的には、本発明は、データ信号 $S(1) \sim S(n)$ の極性反転時に各ソースライン SL_i が黒表示に相当する電圧になるようにソースドライバ300等が構成されていれば適用可能である。すなわち、水平表示ラインの切り替わり時に上記短絡期間 T_{sh} 相当の期間だけデータ信号 $S(1) \sim S(n)$ に黒信号(黒表示に相当する信号)が挿入される構成であれば、本発明の適用が可能である。

[0059] なお上記実施形態では、第1および第2のMOSTランジスタ SW_a , SW_b とインバータ33とによって、黒信号挿入期間としての短絡期間 T_{sh} に各ソースライン $SL_i (i=1$

～n)を黒電圧(黒表示に相当する電圧)とする回路、すなわち黒信号挿入回路が実現され、上記変形例では、第1および第3のMOSTランジスタSWa, SWcとインバータ33とによって、黒信号挿入期間としての短絡期間Tshに各ソースラインSLi(i=1～n)を黒電圧とする黒信号挿入回路が実現される。上記実施形態および変形例では、このような黒信号挿入回路がソースドライバ300内に設けられているが、このような黒信号挿入回路をソースドライバ300の外部、例えばTFTを用いて表示部100内に画素アレイと一体化して設ける構成としてもよい。

産業上の利用可能性

- [0060] 本発明は、ホールド型の表示装置に適用されるものであり、特に、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の液晶表示装置に適している。

請求の範囲

- [1] アクティブマトリクス型の表示装置であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部であって、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部と、
前記複数の画素形成部に共通的に設けられた共通電極と、
表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加し、かつ前記複数のデータ信号の極性を各フレーム期間内で所定周期毎に反転させるデータ信号線駆動回路と、
前記データ信号線駆動回路の内部または外部に設けられ、前記複数のデータ信号の極性が反転する時に所定の黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とする黒信号挿入回路と、
前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、各走査信号線に走査信号を印加する走査信号線駆動回路とを備えることを特徴とする、表示装置。
- [2] 前記走査信号線駆動回路は、前記有効走査期間に選択状態とされた走査信号線を、当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記黒信号挿入期間で選択状態とすることを特徴とする、請求項1に記載の表示装置。
- [3] 前記データ信号線駆動回路は、互いに隣接するデータ信号線にそれぞれ印加さ

れるべきデータ信号の極性が互いに異なるように前記複数のデータ信号を生成し、
前記黒信号挿入回路は、前記黒信号挿入期間において各データ信号線をそれに隣接するデータ信号線に短絡させることを特徴とする、請求項1に記載の表示装置。

[4] 前記黒信号挿入回路は、前記黒信号挿入期間において各データ信号線を前記共通電極に短絡させることを特徴とする、請求項1に記載の表示装置。

[5] 前記走査信号線駆動回路に与えるべき信号を生成する表示制御回路を更に備え

、

前記走査信号線駆動回路は、複数の部分回路からなり、
各部分回路は、

入力端および出力端を有し、当該入力端に与えられるパルスを順次出力端に向かって転送するシフトレジスタと、

前記シフトレジスタに供給すべきクロック信号のためのクロック用入力端子と、

当該部分回路から出力すべき走査信号の出力を制御するための出力制御信号のための出力制御用入力端子と、

前記シフトレジスタの各段の出力信号と、前記クロック用入力端子に与えられるクロック信号と、前記出力制御用入力端子に与えられる出力制御信号とに基づき、当該部分回路から出力すべき走査信号に対応するパルス信号を生成する組合せ論理回路と

を含み、

前記複数の部分回路は、異なる部分回路におけるシフトレジスタの入力端とシフトレジスタの出力端とを繋ぐことによって縦続接続されており、

前記表示制御回路は、

前記複数の部分回路のクロック用入力端子には共通に所定のクロック信号を与え

、

前記複数の部分回路の出力制御用入力端子にはそれぞれ個別の出力制御信号を与えることを特徴とする、請求項1に記載の表示装置。

[6] 前記走査信号線駆動回路に与えるべき信号を生成する表示制御回路を更に備え

、

- 前記走査信号線駆動回路は、複数個の部分回路からなり、
各部分回路は、
入力端および出力端を有し、当該入力端に与えられるパルスを順次出力端に向かって転送するシフトレジスタと、
前記シフトレジスタに供給すべきクロック信号のためのクロック用入力端子と、
当該部分回路から出力すべき走査信号の出力を制御するための出力制御信号のための第1および第2の出力制御用入力端子と、
前記第1および第2の出力制御用入力端子に与えられる2つの出力制御信号のうちいずれかを選択する切換スイッチと、
前記シフトレジスタの各段の出力信号と、前記クロック用入力端子に与えられるクロック信号と、前記切換スイッチによって選択された出力制御信号とに基づき、当該部分回路から出力すべき走査信号に対応するパルス信号を生成する組合せ論理回路と
を含み、
前記複数個の部分回路は、異なる部分回路におけるシフトレジスタの入力端とシフトレジスタの出力端とを繋ぐことによって縦続接続されており、
前記表示制御回路は、
前記複数の部分回路のクロック用入力端子には共通に所定のクロック信号を与え、
前記複数の部分回路の第1の出力制御用入力端子には共通に所定の第1の出力制御信号を与えると共に、前記複数の部分回路の第2の出力制御用入力端子には共通に所定の第2の出力制御信号を与えることを特徴とする、請求項1に記載の表示装置。
- [7] 前記画素値保持期間は、1フレーム期間の50%～80%に相当する期間であることを特徴とする、請求項1に記載の表示装置。
- [8] 表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され

た複数の画素形成部とを備え、各画素形成部は対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込むアクティブマトリクス型表示装置の走査信号線駆動回路であって、

前記複数の走査信号線のそれぞれは、各フレーム期間において少なくとも1回は前記画像の1ラインに対応する水平走査期間において選択状態となり、当該水平走査期間に選択状態となった走査信号線は当該水平走査期間から所定の画素値保持期間が経過した後であって当該走査信号線が次のフレーム期間において選択状態となる水平走査期間よりも前に少なくとも1回は水平走査期間の切り換え時に所定期間だけ選択状態となるように、各走査信号線に走査信号を印加することを特徴とする走査信号線駆動回路。

- [9] 複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備え、各画素形成部は対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込むアクティブマトリクス型表示装置の駆動方法であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加し、かつ前記複数のデータ信号の極性を各フレーム期間内で所定周期毎に反転させるデータ信号線駆動ステップと、

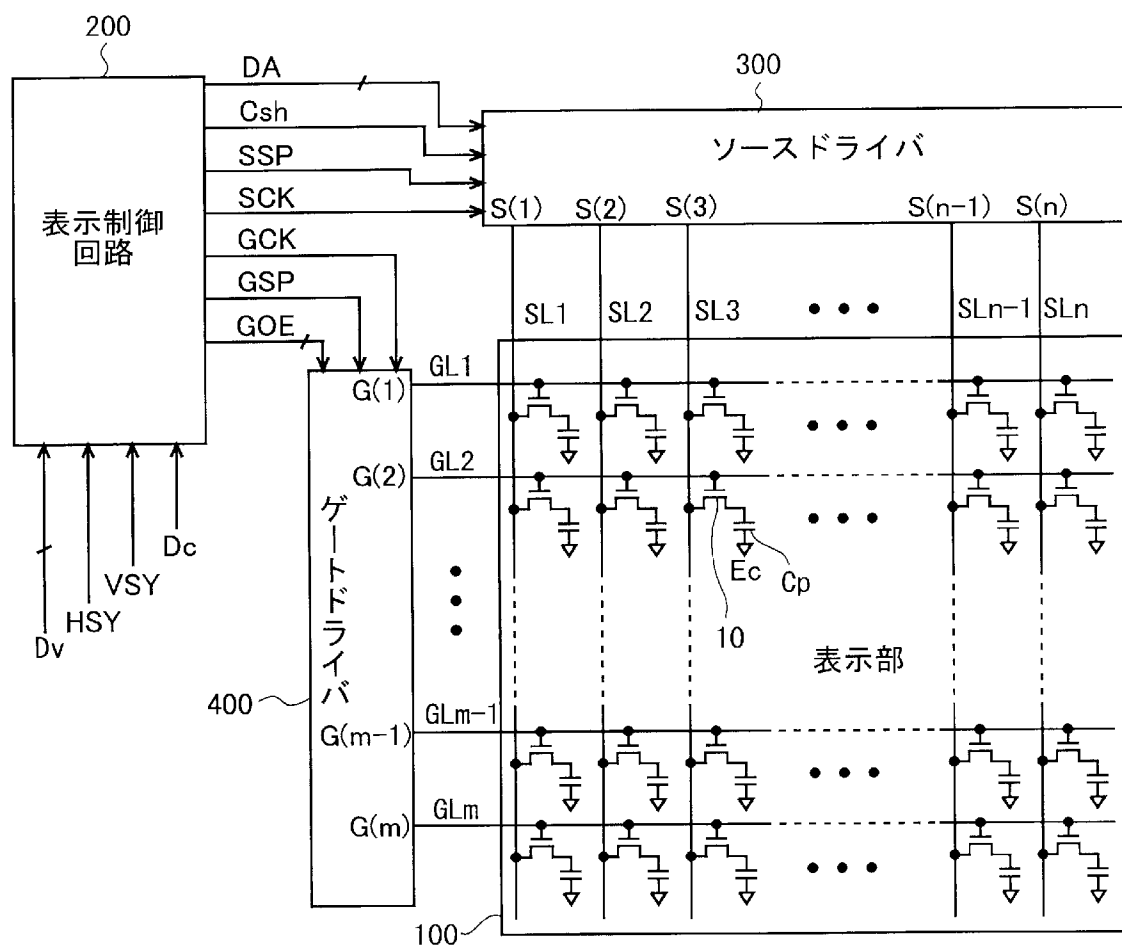
前記複数のデータ信号の極性が反転する時に所定の黒信号挿入期間だけ各データ信号線の電圧を黒表示に相当する電圧とする黒信号挿入ステップと、

前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、各走査信号線に走査信号を印加する走査信号線駆動ステップとを備えることを特徴とする、駆動方法。

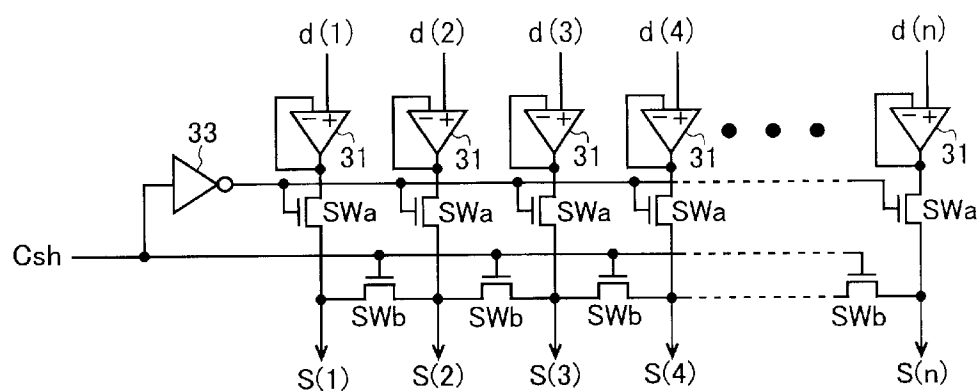
[10] 前記データ信号線駆動ステップでは、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なるように前記複数のデータ信号が生成され、

前記黒信号挿入ステップでは、前記黒信号挿入期間において各データ信号線はそれに隣接するデータ信号線に短絡されることを特徴とする、請求項9に記載の駆動方法。

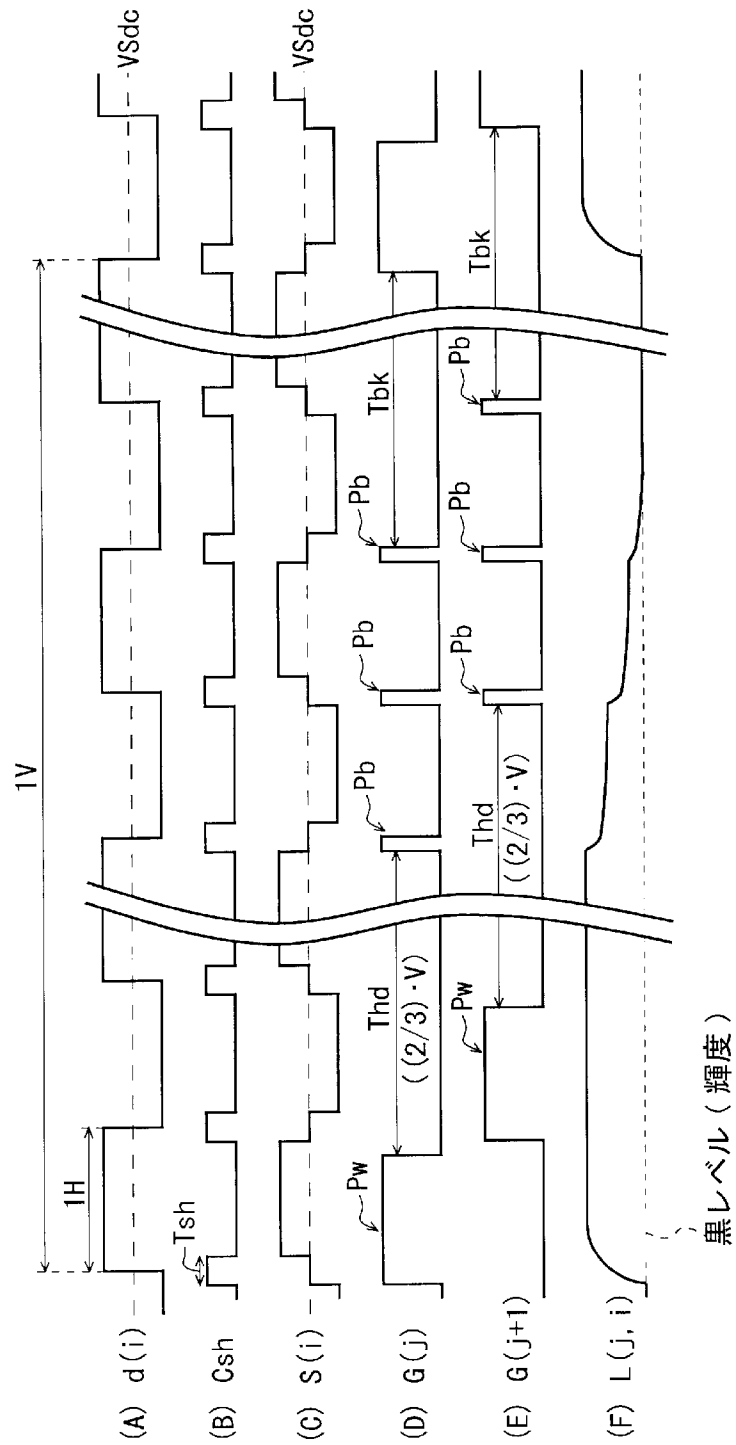
[図1]



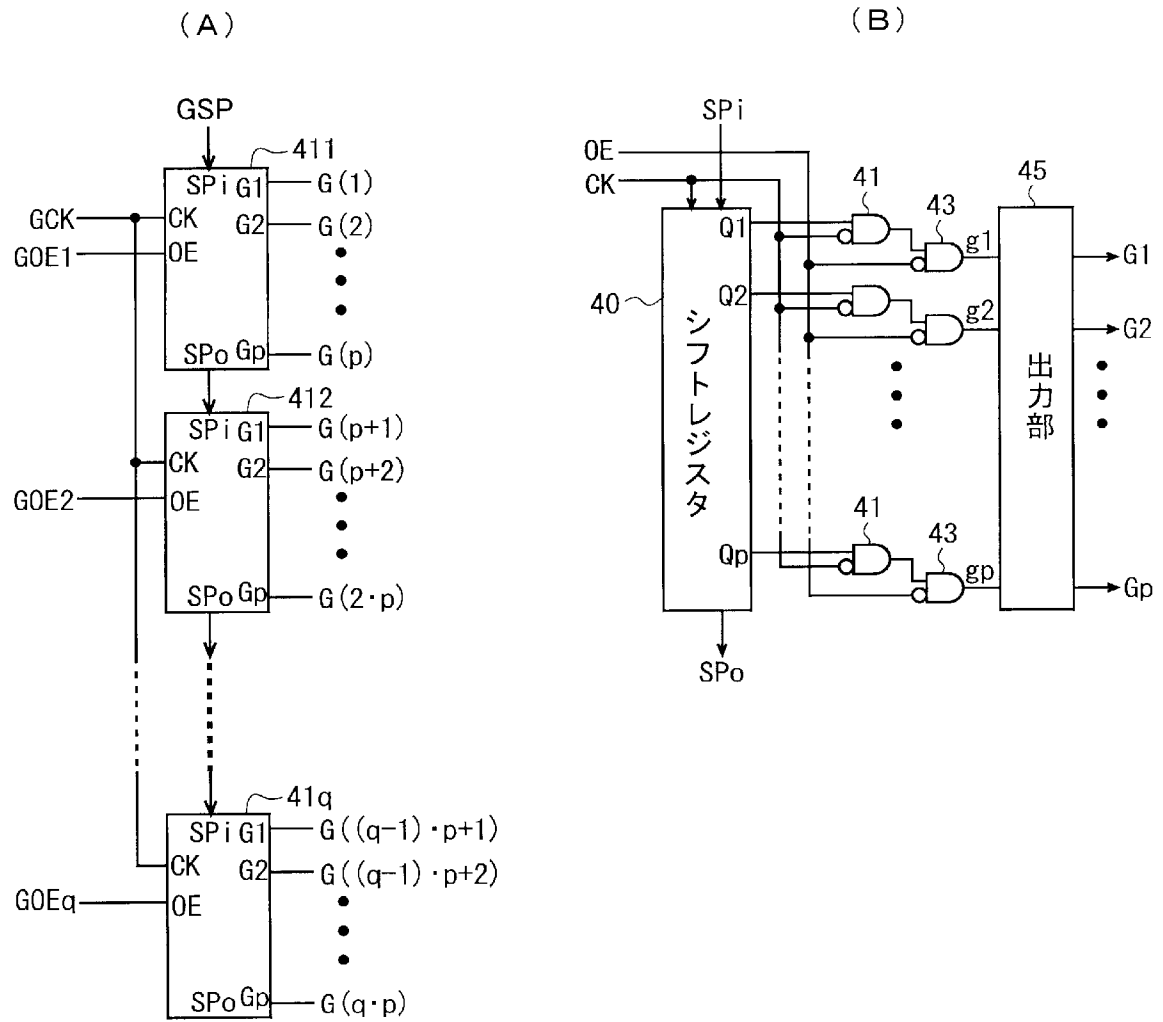
[図2]



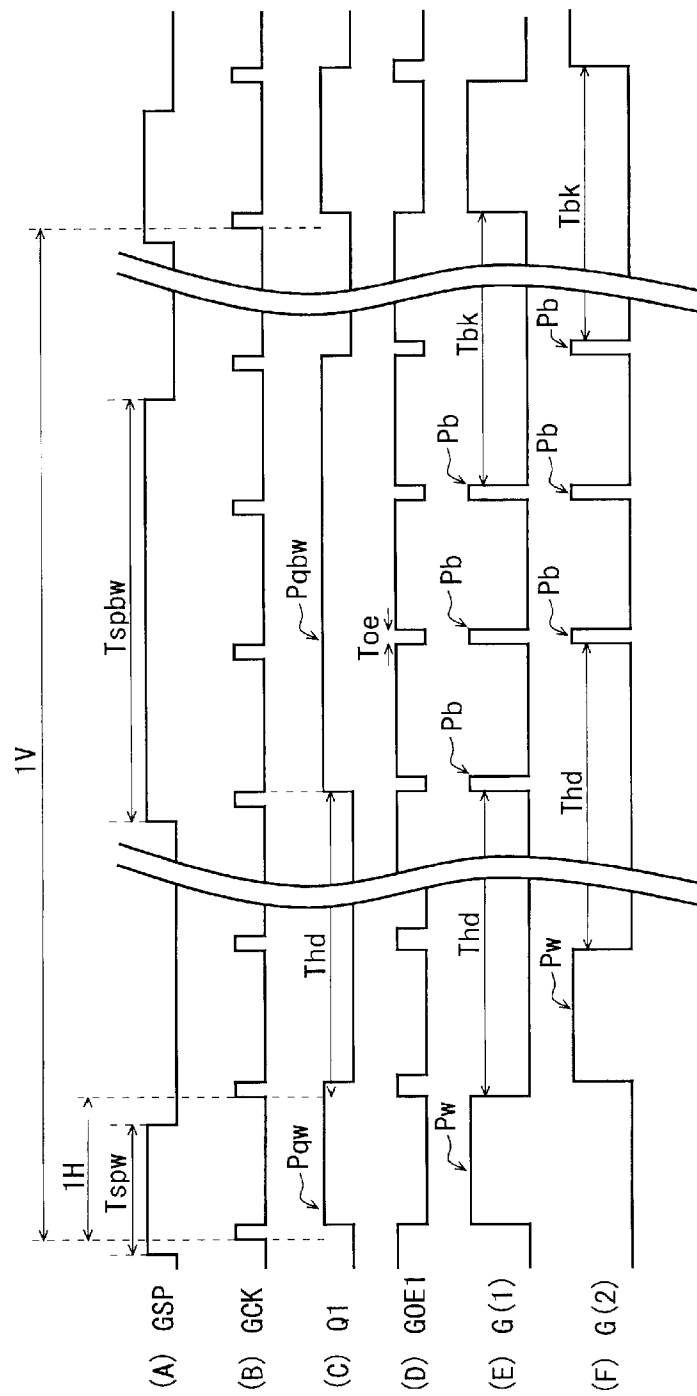
[図3]



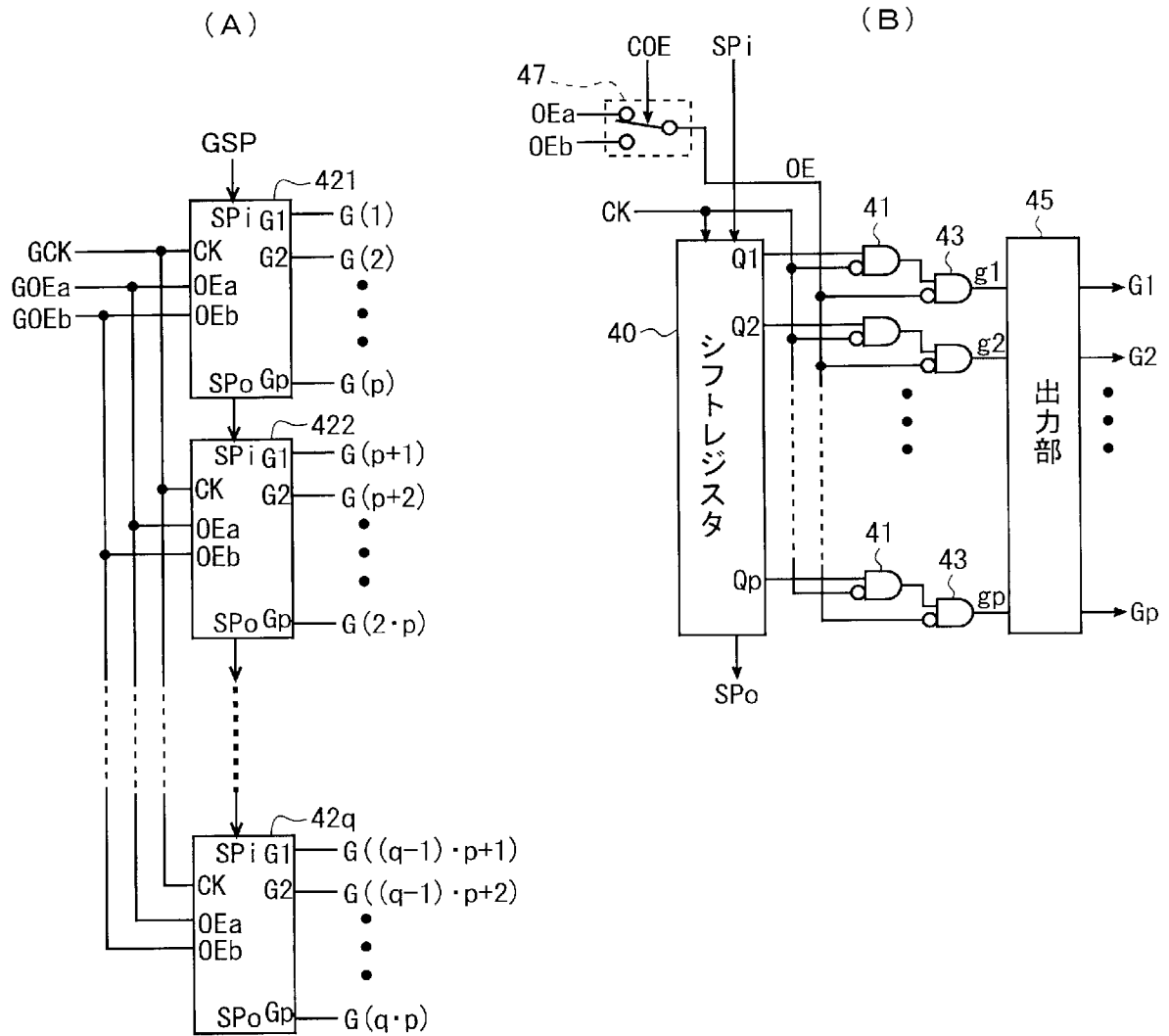
[図4]



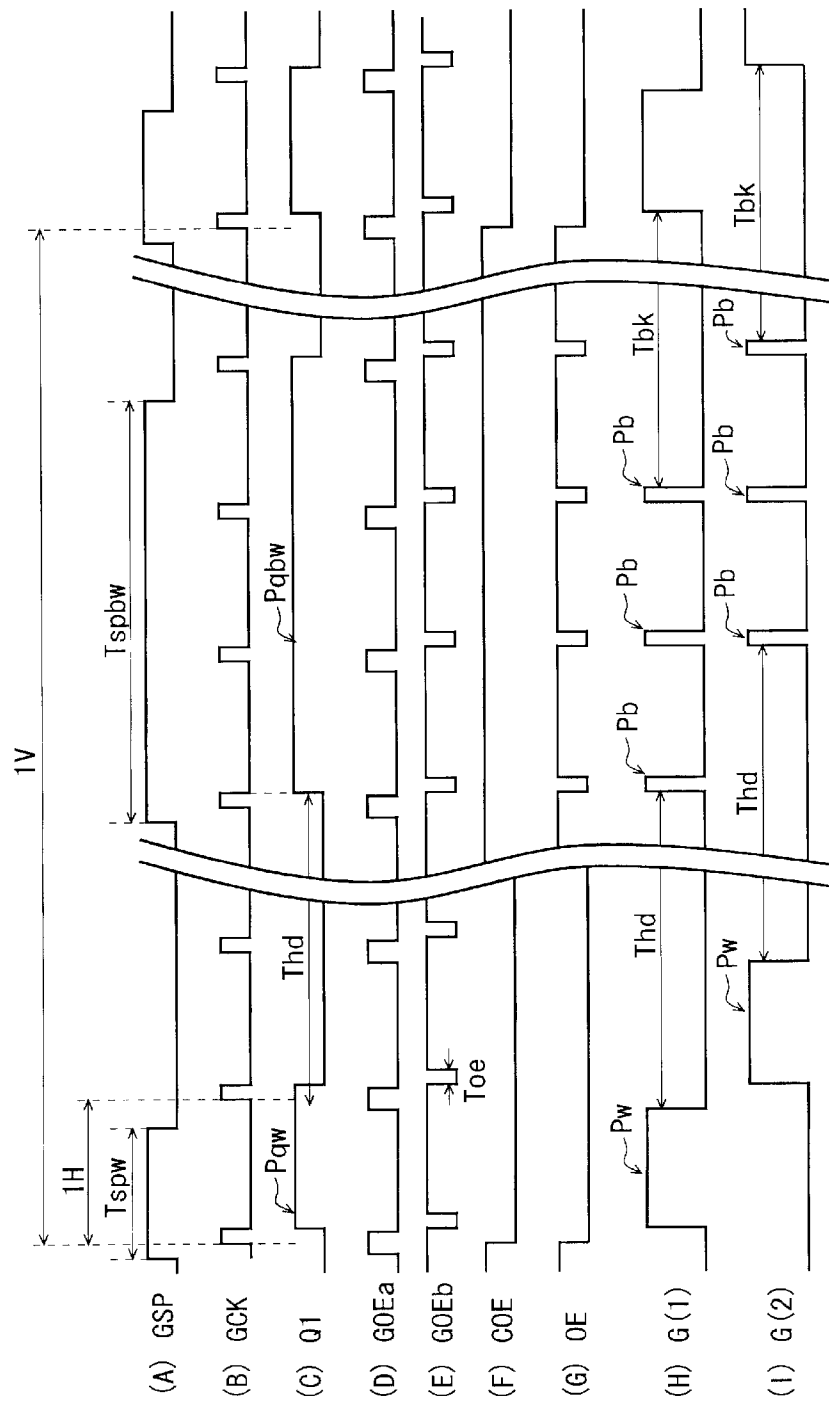
[図5]



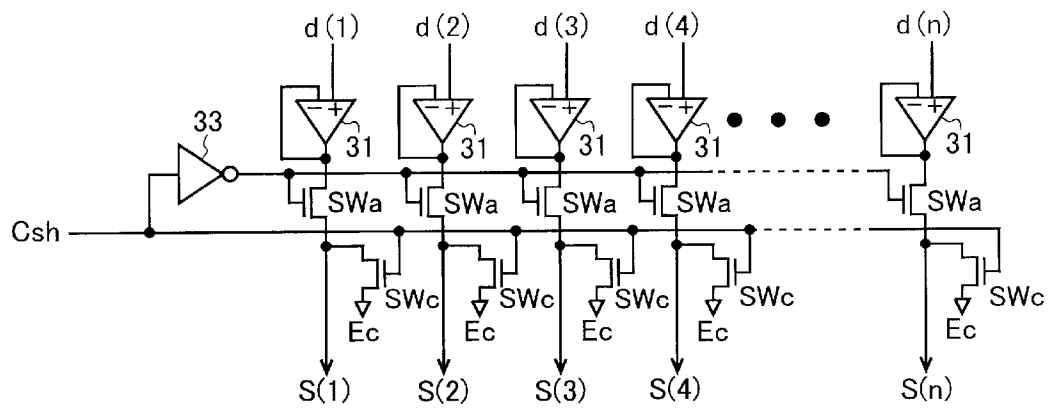
[図6]



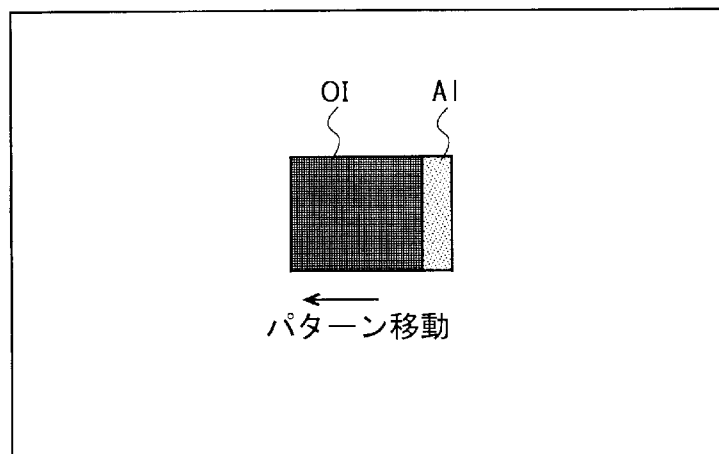
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313313

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-61552 A (Victor Company Of Japan, Ltd.), 26 February, 2004 (26.02.04), Full text; all drawings & US 2004/0104881 A1	1, 7-9 3-4, 10
X Y	JP 2003-140624 A (Victor Company Of Japan, Ltd.), 16 May, 2003 (16.05.03), Full text; all drawings (Family: none)	1-2, 7-9 3-4, 10
Y	JP 2-204718 A (Sony Corp.), 14 August, 1990 (14.08.90), Full text; all drawings (Family: none)	3-4, 10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August, 2006 (14.08.06)

Date of mailing of the international search report
22 August, 2006 (22.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2 0 0 4 - 6 1 5 5 2 A (日本ビクター株式会社) 2 0 0 4 . 0 2 . 2 6 , 全文全図 & U S 2 0 0 4 / 0 1 0 4 8 8 1 A 1	1, 7-9 3-4, 10
X Y	J P 2 0 0 3 - 1 4 0 6 2 4 A (日本ビクター株式会社) 2 0 0 3 . 0 5 . 1 6 , 全文全図 (ファミリーなし)	1-2, 7-9 3-4, 10
Y	J P 2 - 2 0 4 7 1 8 A (ソニー株式会社) 1 9 9 0 . 0 8 . 1 4 , 全文全図 (ファミリーなし)	3-4, 10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 8 . 2 0 0 6

国際調査報告の発送日

2 2 . 0 8 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

濱本 慎広

2 G

9 5 0 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6