(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 695 34 581 T2** 2006.08.10

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 669 658 B1**
(21) Deutsches Aktenzeichen: **695 34 581.8**
(96) Europäisches Aktenzeichen: **95 102 678.0**
(96) Europäischer Anmeldetag: **24.02.1995**
(97) Erstveröffentlichung durch das EPA: **30.08.1995**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **09.11.2005**
(47) Veröffentlichungstag im Patentblatt: **10.08.2006**

(51) Int Cl.[8]: ***H01L 29/739*** (2006.01)
H01L 27/06 (2006.01)
H01L 27/02 (2006.01)
H01L 21/8222 (2006.01)
H01L 27/07 (2006.01)

(30) Unionspriorität:
2951694 **28.02.1994** **JP**

(73) Patentinhaber:
Mitsubishi Denki K.K., Tokyo, JP

(74) Vertreter:
WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS, KAISER, POLTE, Partnerschaft, 85354 Freising

(84) Benannte Vertragsstaaten:
DE, FR, GB

(72) Erfinder:
Tomomatsu,Yoshifumi,, Fukuoka-shi, Fukuoka 819-01, JP; Ishimura,Youichi,, Fukuoka-shi, Fukuoka 819-01, JP

(54) Bezeichnung: **Feld-Effekt-Halbleiterbauelement und sein Herstellungsverfahren**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

Gegenstand der Erfindung

[0001] Die vorliegende Erfindung betrifft Halbleitervorrichtungen des Feldeffekttyps einschließlich Sensierungsschaltkreisen und insbesondere eine Verbesserung bei der Unterdrückung eines Stoßstroms, der bei der Einschaltperiode im Sensierungsschaltkreis auftritt.

Beschreibung des Standes der Technik

[0002] Halbleitervorrichtungen des Feldeffekttyps sind Halbleitervorrichtungen mit Gateelektroden zum Anlegen eines elektrischen Felds an Halbleiterschichten zusammen mit Hauptelektroden zur Lieferung eines Hauptstroms an die Halbleiterschichten, wobei der Hauptstrom durch die Spannung gesteuert wird, die an die Gateelektroden angelegt wird. Typische Beispiele hiervon umfassen MOS-Transistoren und bipolare Transistoren mit isoliertem Gate (nachfolgend einfach als IGBT bezeichnet). Insbesondere Halbleitervorrichtungen des Feldeffekttyps für elektrische Leistung haben allgemein Aufbauten, bei denen eine große Anzahl von Elementen (nachfolgend als Zelleneinheit bezeichnet) parallel verbunden ist.

[0003] Bei solchen Halbleitervorrichtungen des Feldeffekttyps mit einer großen Anzahl von Zelleneinheiten sind Vorrichtungen bekannt, welche Sensierungsschaltkreise haben, die teilweise aus den Zelleneinheiten bestehen, um den Hauptstrom zu erkennen, so dass ein Durchbruch der Vorrichtungen aufgrund von Überstrom verhindert ist. Eine herkömmliche Vorrichtung mit einem derartigen Sensierungsschaltkreis wird nun nachfolgend beschrieben.

<Aufbau der herkömmlichen Vorrichtung>

[0004] Fig. 41 ist eine ausschnittsweise Vertikalschnittdarstellung eines IGBT mit einem herkömmlichen Sensierungsschaltkreis (nachfolgend einfach als CS-IGBT bezeichnet). Fig. 41 zeigt einen Abschnitt, bei dem eine von IGBT-Zelleneinheiten **51**, die einen Hauptschaltkreis bildet (nachfolgend einfach als Haupt-IGBT-Zelle bezeichnet) und eine IGBT-Zelleneinheit **52**, die einen Sensierungsschaltkreis bildet (nachfolgend einfach als Sensierungs-IGBT-Zelle bezeichnet) einander benachbart ausgebildet sind. Die Haupt-IGBT-Zelle **51** und die Sensierungs-IGBT-Zelle **52** haben den gleichen Aufbau.

[0005] Bei diesem CS-IGBT **50** wird eine n-Halbleiterschicht **2** mit Störstellen des n-Typs durch epitaxiales Wachstum auf einem Halbleitersubstrat ausgebildet, die eine p-Kollektorschicht **1** mit Störstellen des p-Typs bildet. Die p-Kollektorschicht **1** und die n-Halbleiterschicht **2** bilden einen Halbleiterkörper **40** ähnlich einer flachen Karte. Auf der oberen Hauptoberfläche des Halbleiterkörpers **40**, d.h. auf der oberen Oberfläche der n-Halbleiterschicht **2** werden p-Basisschichten **3** selektiv durch selektives Diffundieren der Störstellen des p-Typs ausgebildet.

[0006] Weiterhin werden auf den oberen Oberflächen der p-Basisschichten **3** klein p^+-Halbleiterschichten **11** selektiv ausgebildet, indem Störstellen des p-Typs mit einer hohen Konzentration selektiv eingebracht wird. Weiterhin werden auf den oberen Oberflächen der p-Basisschichten **3** und der p^+-Halbleiterschichten **11** n-Emitterschichten **5** selektiv durch selektives Eindiffundieren von Störstellen des n-Typs ausgebildet. Die p^+-Halbleiterschicht **11** ist innerhalb der p-Basisschicht **3** ausgebildet, welche die n-Emitterschicht **5** umgibt. Eine Gateelektrode **7** liegt oberhalb der oberen Oberfläche der p-Basisschichten **3** zwischen der n-Halbleiterschicht **2** und der n-Emitterschicht **5**, d.h. oberhalb von Kanalbereichen **21** mit einem dazwischen liegenden Gateisolationsfilm **6**. Der Gateisolationsfilm **6** und die Gateelektrode **7** sind auf der oberen Hauptoberfläche des Halbleiterkörpers **40** ausgebildet, um zwischen benachbarten IGBT-Zelleneinheiten zu liegen. Oberhalb der oberen Hauptoberfläche des Halbleiterkörpers **40** sind weiterhin Emitterelektroden **8** und **9** so ausgebildet, dass sie mit den n-Emitterschichten **5** und den p^+-Halbleiterschichten **11** elektrisch verbunden sind. Die Gateelektrode **7** und die Emitterelektroden **8** und **9** sind elektrisch voneinander durch einen Isolationszwischenfilm **10** isoliert, der zwischen ihnen angeordnet ist.

[0007] Die Gateelektrode **7** ist mit allen Haupt-IGBT-Zellen **51** und Sensierungs-IGBT-Zellen **52** verbunden. Auch ist die Emitterelektrode **8** einstückig durch alle Haupt-IGBT-Zellen **51** hindurch ausgebildet. Weiterhin ist eine Kollektorelektrode **12** auf die untere Hauptoberfläche des Halbleiterkörpers **40**, d.h. auf die untere Oberfläche der p-Kollektorschicht **1** aufgebracht. Die Kollektorelektrode **12** ist einstückig über alle Haupt-IGBT-Zellen **51** und Sensierungs-IGBT-Zellen **52** ausgebildet.

[0008] Die Anzahl der Haupt-IGBT-Zellen **51** in der gesamten Vorrichtung ist bei weitem größer als diejenige der Sensierungs-IGBT-Zellen **52**. Infolgedessen ist die Kanalbreite (Wm) der Haupt-IGBT-Zellen **51** im Vergleich zur Kanalbreite (Ws) der Sensierungs-IGBT-Zellen **52** über den gesamten CS-IGBT **50** hinweg ausreichend größer. Mit anderen Worten, der CS-IGBT **50** ist so ausgebildet, dass Wm > Ws.

[0009] Die Emitterelektrode **9** der Sensierungs-IGBT-Zelle **52** wird insbesondere "Sensierungselektrode" genannt und der durch die Sensierungs-IGBT-Zelle **52** fließende Hauptstrom wird insbesondere nachfolgend bei Bedarf "Sensierungsstrom" genannt.

Auch wird die Emitterelektrode der Haupt-IGBT-Zelle **51** speziell "Hauptschaltkreisemitterelektrode" genannt und der Hauptstrom, der durch die Haupt-IGBT-Zelle **51** fließt, wird speziell "Hauptschaltkreisstrom" genannt.

<Normaler Betrieb der herkömmlichen Vorrichtung>

[0010] Nachfolgend wird der normale Betrieb des CS-IGBT **50** beschrieben. Da die Haupt-IGBT-Zelle **51** und den Sensierungs-IGBT-Zelle **52** den gleichen Aufbau haben, sind ihre Arbeitsweisen ebenfalls gemeinsam.

[0011] Wenn der CS-IGBT **50** verwendet wird, wird zunächst die externe Energieversorgung angeschlossen, um eine positive Kollektorspannung V_{GE} zwischen die Kollektorelektrode **12** und die Emitterelektroden **8** und **9** anzulegen. In diesem Zustand wird eine positive Gatespannung V_{GE}, welche eine bestimmte Gateschwellenspannung $V_{GE(th)}$ übersteigt, zwischen die Gateelektrode **7** und die Emitterelektroden **8** und **9** angelegt, d.h., das Gate wird eingeschaltet, und dann wird der Kanalbereich **21** des p-Typs in einen n-Typ umgewandelt, um im Kanalbereich **21** einen Kanal des n-Typs zu bilden.

[0012] Im Ergebnis werden von den Emitterelektroden **8** und **9** über die n-Emitterschichten **5** Elektronen in die n-Halbleiterschicht **2** eingebracht. Diese eingebrachten Elektronen spannen die p-Kollektorschicht **1** und die n-Halbleiterschicht **2** in Vorwärtsrichtung vor und dann werden von der p-Kollektorschicht **1** in die n-Halbleiterschicht **2** Löcher eingebracht. Im Ergebnis nimmt der Widerstand der n-Halbleiterschicht **2** stark ab und dann fließt ein großer Kollektorstrom (Hauptstrom) von der Kollektorelektrode **12** zu den Emitterelektroden **8** und **9**. Mit anderen Worten, der CS-IGBT **50** geht in den leitfähigen Zustand.

[0013] Nachfolgend wird die Gatespannung V_{GE} auf Null oder einen Minuswert (Umkehrvorspannung) gebracht (d.h., das Gate wird gesperrt) und dann verschwindet der im Kanalbereich **21** ausgebildete Kanal und der Kanalbereich **21** kehrt in seine ursprüngliche p-Leitfähigkeitstypform zurück. Im Ergebnis wird die Einbringung von Elektroden von den Emitterelektroden **8** und **9** gestoppt und dann wird die Einbringung von Löchern von der p-Kollektorschicht **1** ebenfalls gestoppt. Infolgedessen kehren die in der n-Halbleiterschicht **2** verbleibenden Elektronen und Löcher in die Kollektorelektrode **12** bzw. die Emitterelektroden **8** und **9** zurück oder rekombinieren wieder. D.h., der CS-IGBT **50** geht in den gesperrten Zustand.

<Überstrom-Schutzbetrieb der herkömmlichen Vorrichtung>

[0014] Fig. 42 ist ein Schaltkreisdiagramm, welches den CS-IGBT **50** und einen externen Schaltkreis in Verbindung hiermit zeigt. Der Betrieb des CS-IGBT **50** wird weiter unter Bezugnahme auf Fig. 42 beschrieben. In Verbindung mit der Emitterelektrode **8(E)** ist der Ausgang auf der negativen Potentialseite einer externen Energieversorgungsvorrichtung und in Verbindung mit der Kollektorelektrode **12(C)** ist der Ausgang auf der positiven Potentialseite der externen Energieversorgungsvorrichtung mit einer zwischengeschalteten Last **61**. Somit wird die positive Kollektorspannung V_{CE} wie oben beschrieben zwischen der Kollektorelektrode **12** und die Emitterelektroden **8** und **9** angelegt.

[0015] Mit der Gateelektrode **7** ist ein Steuerausgang OUT eines Steuerschaltkreises **60** verbunden. Somit wird die Gatespannung V_{GE} wie oben erläutert an die Gateelektrode **7** angelegt. Der Steuerschaltkreis **60** liefert die Gatespannung V_{GE} an die Gateelektrode **7**, um den leitfähigen Zustand und gesperrten Zustand des CS-IGBT **50** zu realisieren.

[0016] Ein Gatewiderstand Rg gemäß Fig. 42 stellt gleichermaßen den elektrischen Widerstand entlang der Gatezwischenverbindung und der Gateelektrode **7** in CS-IGBT **50** dar. Weiterhin sind zwei Sensierungswiderstände Rso und Rss in Serienschaltung zwischen die Sensierungselektrode **9** und die Emitterelektrode **8** geschaltet. Der Sensierungsstrom der Sensierungs-IGBT-Zelle **52** fließt zu diesem Sensierungswiderständen Rso und Rss. Eine Spannung proportional zum Sensierungsstrom wird entsprechend in den Sensierungswiderständen Rso und Rss erzeugt. Die beiden Eingänge des Steuerschaltkreises **60** sind entsprechend mit diesen Sensierungswiderständen Rso und Rss verbunden.

[0017] Der Steuerschaltkreis **60** erkennt die in den Sensierungswiderständen Rso und Rss erzeugte Spannung, um eine Schutzfunktion zu bewerkstelligen, mit der verhindert wird, dass ein überhoher Hauptstrom durch den CS-IGBT **50** fließt. Wie oben beschrieben arbeiten die Haupt-IGBT-Zelle **51** und die Sensierungs-IGBT-Zelle **52** auf gleiche Weise, so dass der Hauptstrom, der durch die Emitterelektrode **8** fließt und der Sensierungsstrom, der durch die Sensierungselektrode **9** fließt, proportional zueinander sind. Infolgedessen werden Spannungen proportional zu dem durch die Emitterelektrode **8** fließenden Strom in den Sensierungswiderständen Rso und Rss erzeugt. Mit anderen Worten, der Steuerschaltkreis **60** erkennt die Spannungen, um indirekt den durch die Emitterelektrode **8** fließenden Hauptstrom zu erkennen.

[0018] Der Steuerschaltkreis **60** ist mit zwei Schutzschaltkreisen versehen, nämlich einem nicht gezeigten Überstromschutzschaltkreis und einem Kurzschlussschutzschaltkreis, welche die Gatespannung V_{GE} auf der Basis der Spannungen steuern, die in

dem Sensierungswiderstand Rso bzw. dem Sensierungswiderstand Rss erzeugt werden. Beide dieser Schutzschaltkreise ziehen die Gatespannung V_{GE} herunter, wenn die jeweils hiervon erkannte Spannung eine bestimmte Referenzspannung übersteigt, um den durch den CS-IGBT **50** fließenden Hauptstrom zu steuern.

[0019] Die Referenzspannung in dem Überstromschutzschaltkreis wird typischerweise auf 1,7 mal den Nennstrom der Vorrichtung gesetzt. Die Referenzspannung in dem Kurzschlussschutzschaltkreis wird höher als diejenige im Überstromschutzschaltkreis gesetzt, welche typischerweise auf ungefähr 1,5 mal gesetzt ist. D.h., der Überstromschutzschaltkreis arbeitet mit einer Eingangsspannung niedriger als der Kurzschlussschutzschaltkreis oder mit anderen Worten auf einem niedrigeren Pegel des Hauptstroms.

[0020] Andererseits spricht der Überstromschutzschaltkreis beim Auftreten einer Spannung in ungefähr 10 µsec an und der Kurzschlussschutzschaltkreis spricht in einer Zeit von ungefähr 1 bis 2 µsec an. D.h., die Ansprechzeit auf die Spannungserzeugung bis zum Beginn des Betriebs ist im Kurzschlussschutzschaltkreis kürzer gesetzt. Im Ergebnis arbeitet, während der Überstromschutzschaltkreis dahingehend wirkt, einen überhohen Hauptstrom im Normalbetrieb zu verhindern, der Kurzschlussschutzschaltkreis dahingehend, das Auftreten eines überhohen Hauptstroms aufgrund des Auftretens einer anormalen Bedingung zu verhindern, beispielsweise aufgrund eines Kurzschlusses, d.h. das Fließen eines Kurzschlussstroms zu verhindern.

[0021] Der CS-IGBT **50** hat ein Problem, dass ein Stoßstrom in dem Sensierungsstrom während der Zeitdauer des Übergangs vom gesperrten Zustand zum leitfähigen Zustand auftritt, d.h., in der Einschaltperiode. Fig. 43 ist ein Zeitdiagramm, um dieses Problem klar darzustellen, welches Änderungen der Gatespannung V_{GE}, des Hauptstroms Ic der gesamten Vorrichtung und des Sensierungsstroms Is über die Zeit hinweg zeigt.

[0022] Wie in Fig. 43 gezeigt, steigt die Gatespannung V_{GE} während der Einschaltperiode Ton an. Die Anstiegsrate der Gatespannung V_{GE} ist im Anstieg aufgrund der sog. Miller-Kapazität einmal verlangsamt. Der Hauptstrom Ic und der Sensierungsstrom Is steigen beide mit ansteigender Gatespannung V_{GE} an. D.h., der CS-IGBT **50** bewegt sich in den leitfähigen Zustand. In diesem Prozess tritt ein Stoßstrom ΔIsp im Sensierungsstrom Is auf. Ein ähnlicher Stoßstrom ΔIsp wird in der Übergangsperiode erzeugt, in der sich die Vorrichtung vom leitfähigen Zustand in den gesperrten Zustand ändert, d.h., in der Abschaltperiode Toff.

[0023] Wenn der Stoßstrom ΔIsp dem Sensierungsstrom Is überlagert wird, kann die im Sensierungswiderstand Rss auftretende Spannung die Referenzspannung des Kurzschlussschutzschaltkreises übersteigen. Zu diesem Zeitpunkt arbeitet der Kurzschlussschutzschaltkreis, um den CS-IGBT **50** zwangsweise abzuschalten. D.h., es gibt das Problem, dass der Kurzschlussschutzschaltkreis unnötigerweise aufgrund des Stoßstroms ΔIsp arbeitet. Dieses Problem ist besonders bedeutsam während der Einschaltperiode Ton bei der Änderung in den leitfähigen Zustand dahingehend, als die ursprüngliche Änderung in den leitfähigen Zustand unterbrochen wird.

[0024] Zur Steuerung des unnötigen Betriebs muss die Referenzspannung im Kurzschlussschutzschaltkreis erhöht werden. Wenn jedoch die Referenzspannung erhöht wird, wird die Empfindlichkeit des Kurzschlussschutzschaltkreises verringert, so dass sich ein anderes Problem ergibt, nämlich, dass der Kurzschlussschutzschaltkreis nicht arbeitet, wenn er arbeiten sollte. Wenn die Empfindlichkeit des Kurzschlussschutzschaltkreises träge wird, kann der Betriebspunkt des CS-IGBT **50** den sog. Bereich des sicheren Betriebs (ASO) übersteigen und dann kann im Ergebnis der CS-IGBT **50** durchbrechen. D.h., ein herkömmlicher CS-IGBT **50** hat das Problem, dass es schwierig ist, sowohl den stabilen Betrieb der Schutzschaltkreise als auch eine Verhinderung eines Durchbruchs der Vorrichtung zu realisieren.

[0025] Als ein Grund des Auftretens des Stoßstroms ΔIsp hat der Erfinder folgende Überlegung auf der Grundlage dessen angestellt, was über einem Stoßstrom abgehandelt wird, der in einem Schaltkreis mit Schalt-Halbleitervorrichtungen äquivalent zueinander in Parallelverbindung erzeugt wird, nämlich in "PCI-Proceedings", Juni 1986, Seiten 218–234. Aus Gründen der Einfachheit in der Beschreibung sei, wie im Schaltkreisdiagramm von Fig. 44 gezeigt, eine imaginäre Vorrichtung betrachtet, die einen Aufbau hat, bei dem eine Haupt-IGBT-Zelle **51** und eine Sensierungs-IGBT-Zelle **52** parallel verbunden sind.

[0026] Bei dieser Vorrichtung sei angenommen, dass sich die Haupt-IGBT-Zelle **51** während der Einschaltperiode früher in den leitfähigen Zustand ändert als die Sensierungs-IGBT-Zelle **52**, und zwar aufgrund einer geringen Abweichung, die in den Charakteristiken der Haupt-IGBT-Zelle **51** und der Sensierungs-IGBT-Zelle **52** vorhanden ist. Sodann steigt der Sensierungsstrom Is, der durch die Sensierungs-IGBT-Zelle **52** fließt, früher als der Hauptschaltkreisstrom Im an, der durch die Haupt-IGBT-Zelle **51** fließt.

[0027] Zu diesem Zeitpunkt führt, wie in der oben genannten Literatur beschrieben, die Sensierungs-IGBT-Zelle **52** einen zusätzlichen Strom, so,

als ob der Sensierungsstrom Is die Verzögerung im Anstieg des Hauptschaltkreisstroms Im kompensiert. Im Ergebnis wird dem Sensierungsstrom Is der Stoßstrom ΔIsp überlagert.

[0028] Andererseits trägt bei der Abschaltperiode eine Zelleneinheit mit später fallendem Strom zwangsweise die zusätzliche Last. Fig. 45 zeigt ein Beispiel des Sensierungsstroms Is, der später als der Hauptschaltkreisstrom Im abfällt. Zu diesem Zeitpunkt wird der Stoßstrom Isp dem Sensierungsstrom Is überlagert.

[0029] Ein solches Phänomen tritt in allen IGBT-Zellen auf, die den CS-IGBT **50** bilden. Wie oben erläutert, ist die Anzahl von Haupt-IGBT-Zellen **51** erheblich größer im Vergleich zur Anzahl der Sensierungs-IGBT-Zellen **52**. Infolgedessen bewirkt schon eine geringe Differenz in den Änderungen des Schaltkreisstroms Im und des Sensierungsstroms Is einen großen Stoßstrom ΔIsp im Sensierungsstrom Is.

[0030] Es lässt sich abschätzen, dass dies das Überlagerungsphänomen des Stoßstroms ΔIsp auf den Sensierungsstrom Is bewirkt, wie unter Verwendung von Fig. 43 beschrieben. D.h., der Stoßstrom ΔIsp tritt in dem Sensierungsstrom Is aufgrund des unvermeidlichen Vorhandenseins geringer Abweichungen in der Struktur zwischen der Haupt-IGBT-Zelle **51** und der Sensierungs-IGBT-Zelle **52** auf. Diese strukturellen Abweichungen bewirken Abweichungen in den Charakteristika.

[0031] Druckschrift JP 05291913 A beschreibt eine Halbleitervorrichtung mit zwei unterschiedlichen IGBTs A und B, wobei A ein IGBT mit einer niedrigen Sättigungsspannung und einer langen Abfallzeit ist und B ein IGBT mit einer hohen Sättigungsspannung und einer kurzen Abfallzeit ist. Diese IGBTs werden wie bei der vorliegenden Erfindung parallel verbunden.

[0032] Druckschrift EP-A-0 565 179 A2 beschreibt eine Halbleitervorrichtung mit einer Schutzvorrichtung. Besagte Schutzvorrichtung ist wenigstens eine Überwachungszelle, welche im Vergleich zu sog. aktiven Vorrichtungszellen im Aufbau unterschiedlich ist. Aufgrund dieses Unterschieds im Aufbau ist die Überwachungszelle empfindlicher gegenüber Fehlfunktionen als die Mehrzahl der aktiven Zellen.

[0033] Druckschrift US 5,097,392 beschreibt eine Halbleitervorrichtung für eine Stromerkennung mittels eines externen Erkennungswiderstands. Aufgrund eines Leckstroms, der durch die Halbleitervorrichtung fließt, ist der externe Widerstand nicht in der Lage, korrekt zu erkennen. Daher wird ein parasitärer Widerstand in der Halbleitervorrichtung erhöht. Zur Beseitigung des Effekts des externen Erkennungswiderstands wird der EIN-Widerstand einer jeden Erkennungszelle verringert.

ZUSAMMENFASSUNG DER ERFINDUNG

[0034] Die vorliegende Erfindung ist in den Ansprüchen 1 und 3 definiert.

[0035] Die vorliegende Erfindung ist auf eine Halbleitervorrichtung des Feldeffekttyps gerichtet mit einem ersten Halbleiterelement des Feldeffekttyps, durch welches ein relativ hoher Hauptstrom fließt und einem zweiten Halbleiterelement des Feldeffekttyps, durch welches ein relativ kleiner Hauptstrom fließt, und die in dem gleichen Halbleiterkörper ausgebildet und miteinander parallel verbunden sind. Gemäß der vorliegenden Erfindung sind in der Halbleitervorrichtung des Feldeffekttyps die Strukturen der ersten und zweiten Halbleiterelemente des Feldeffekttyps zueinander unterschiedlich, so dass ein Anstieg im Hauptstrom des zweiten Halbleiterelements des Feldeffekttyps gegenüber einem Anstieg des Hauptstroms des ersten Halbleiterelements des Feldeffekttyps verzögert ist, wenn die Vorrichtung einschaltet.

[0036] Da bei der Vorrichtung der vorliegenden Erfindung ein Anstieg des Hauptstroms in dem zweiten Halbleiterelement des Feldeffekttyps gegenüber dem im ersten Halbleiterelement des Feldeffekttyps verzögert ist, tritt in dem Hauptstrom des zweiten Halbleiterelements des Feldeffekttyps kein Stoßstrom auf.

[0037] Wenn infolgedessen ein Schutzschaltkreis zum Schutz der Vorrichtung vor einem Durchbruch aufgrund des Überstroms unter Verwendung des zweiten Halbleiterelements des Feldeffekttyps als ein Sensierungselement zur Erkennung des Hauptstroms des ersten Halbleiterelements des Feldeffekttyps hinzugefügt wird, ergibt sich der Effekt einer durchgängigen Realisierung eines stabilen Betriebs des Schutzschaltkreises und eine sichere Verhinderung eines Durchbruchs der Vorrichtung.

[0038] Bei der Halbleitervorrichtung des Feldeffekttyps gemäß der Erfindung wird eine Gateschwellenspannung des zweiten Halbleiterelements des Feldeffekttyps höher als eine Gateschwellenwertspannung des ersten Halbleiterelements des Feldeffekttyps gesetzt.

[0039] Da bei der Vorrichtung der vorliegenden Erfindung die Gateschwellenwertspannung im zweiten Halbleiterelement des Feldeffekttyps höher als im ersten Halbleiterelement des Feldeffekttyps gesetzt ist, wird ein Anstieg des Hauptstroms in dem zweiten Halbleiterelement des Feldeffekttyps gegenüber dem ersten Halbleiterelement des Feldeffekttyps verzögert.

[0040] Folglich können ein stabiler Betrieb des

Schutzschaltkreises und eine zuverlässige Verhinderung eines Durchbruchs der Vorrichtung durchgängig realisiert werden.

[0041] Bevorzugt, jedoch nicht im Schutzumfang der vorliegenden Erfindung liegend, wird eine Anstiegszeit im Hauptstrom des zweiten Halbleiterelements des Feldeffekttyps größer als eine Anstiegszeit des Hauptstroms des ersten Halbleiterelements des Feldeffekttyps gesetzt.

[0042] Bei dieser Vorrichtung wird, da die Anstiegszeit des Hauptstroms im zweiten Halbleiterelement des Feldeffekttyps größer als im ersten Halbleiterelement des Feldeffekttyps gesetzt ist, der Anstieg des Hauptstroms in dem zweiten Halbleiterelement des Feldeffekttyps gegenüber demjenigen im ersten Halbleiterelement des Feldeffekttyps verzögert. Infolgedessen ist ein stabiler Betrieb des Schutzschaltkreises und eine sichergestellte Verhinderung eines Durchbruchs der Vorrichtung durchgängig realisierbar.

[0043] Bevorzugt, jedoch nicht im Schutzumfang der vorliegenden Erfindung liegend, wird der Gatewiderstand des zweiten Halbleiterelements des Feldeffekttyps höher als der Gatewiderstand des ersten Halbleiterelements des Feldeffekttyps gesetzt, so dass die Anstiegszeit im zweiten Halbleiterelement des Feldeffekttyps größer als die im ersten Halbleiterelement des Feldeffekttyps gemacht wird.

[0044] Bei dieser Vorrichtung kann, da die Anstiegszeit durch Einstellung des Gatewiderstands festgelegt wird, die Anstiegszeit einfach festgesetzt werden.

[0045] Bevorzugt, jedoch nicht innerhalb des Schutzumfangs der vorliegenden Erfindung liegend, wird die Gateeingangskapazität des zweiten Halbleiterelements des Feldeffekttyps größer als die Gateeingangskapazität des ersten Halbleiterelements des Feldeffekttyps gemacht, so dass die Anstiegszeit im zweiten Halbleiterelement des Feldeffekttyps größer als diejenige des ersten Halbleiterelements des Feldeffekttyps gemacht wird.

[0046] Da bei dieser Vorrichtung die Anstiegszeit durch Einstellung der Gateeingangskapazität festgesetzt wird, kann die Anstiegszeit einfach festgesetzt werden.

[0047] Bevorzugt, jedoch nicht im Schutzumfang der vorliegenden Erfindung liegend, wird die Kanallänge des zweiten Halbleiterelements des Feldeffekttyps größer als die Kanallänge des ersten Halbleiterelements des Feldeffekttyps gemacht, so dass die Gateeingangskapazität in dem zweiten Halbleiterelement des Feldeffekttyps größer als diejenige im ersten Halbleiterelement des Feldeffekttyps gemacht wird.

[0048] Da bei dieser Vorrichtung die Gateeingangskapazität durch Einstellung der Kanallänge festgesetzt wird, kann die Gateeingangskapazität einfach festgesetzt werden.

[0049] Bevorzugt, jedoch nicht im Schutzumfang der vorliegenden Erfindung liegend, ist zumindest ein Teil eines Gateisolationsfilms des ersten Halbleiterelements des Feldeffekttyps dicker als ein Gateisolationsfilm des zweiten Halbleiterelements des Feldeffekttyps, so dass die Gateeingangskapazität im zweiten Halbleiterelement des Feldeffekttyps größer als diejenige im ersten Halbleiterelement des Feldeffekttyps gemacht wird.

[0050] Da bei dieser Vorrichtung die Gateeingangskapazität durch unterschiedliches Ausbilden der Dicke des Gateisolationsfilms zumindest in einem Teil festgesetzt wird, kann die Gateeingangskapazität einfach festgesetzt werden.

[0051] Die vorliegende Erfindung ist auch auf ein Verfahren zur Herstellung einer Halbleitervorrichtung des Feldeffekttyps gerichtet, mit den folgenden Schritten (a) bis (p). Gemäß der vorliegenden Erfindung weist das Herstellungsverfahren die folgenden Schritte auf: (a) Erlangen eines Halbleiterkörpers mit einer ersten Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht in einer oberen Hauptoberfläche des Halbleiterkörpers offenliegt; (b) Ausbilden eines Oxidfilms auf der oberen Hauptoberfläche des Halbleiterkörpers; (c) Ausbilden einer leitfähigen Schicht auf dem Oxidfilm; (d) Ausbilden einer Gateelektrodenschicht mit einer Mehrzahl von ersten Öffnungen durch selektives Entfernen der leitfähigen Schicht; (e) selektives Einbauen von Störstellen eines zweiten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers durch die Mehrzahl von ersten Öffnungen unter Verwendung der Gateelektrodenschicht als Maske, um selektiv eine Mehrzahl von zweiten Halbleiterschichten des zweiten Leitfähigkeitstyps auf einem oberen Oberflächenabschnitt der ersten Halbleiterschicht auszubilden; (f) Ausbilden eines Abschirmfilms, der alle ersten Öffnungen mit Ausnahme wenigstens einer aus der Mehrzahl von ersten Öffnungen bedeckt; (g) selektives Einbauen von Störstellen des zweiten Leitfähigkeitstyps in der oberen Hauptoberfläche des Halbleiterkörpers unter Verwendung der Gateelektrodenschicht und des Abschirmfilms als Masken, um die Störstellenkonzentration in wenigstens einer der Mehrzahl von zweiten Halbleiterschichten zu verbessern; (h) Entfernen des Abschirmfilms nach dem Schritt (g); (i) Diffundieren der in den Schritten (e) und (g) eingebauten Störstellen in die erste Halbleiterschicht, um die zweiten Halbleiterschichten direkt unter der Gateelektrodenschicht aufzuweiten; (i1) Abscheiden einer Resistschicht auf der gesamten obe-

ren Oberfläche und Ausführen eines fotolithografischen Prozesses, um ein Resistmuster mit Öffnungen innerhalb der Öffnungen der Gateelektrodenschicht zu erhalten; (i2) Verwenden des Resistmusters und der Gateelektrodenschicht als eine Maske, um selektiv Störstellen des zweiten Leitfähigkeitstyps in die obere Oberfläche der Basisschichten einzubauen, wobei Halbleiterschichten mit einer höheren Konzentration des zweiten Leitfähigkeitstyps ausgebildet werden; (i3) Diffundieren der Störstellen mit einer höheren Konzentration, die im Schritt (i2) eingebaut wurden; (i4) Vorsehen einer Resistschicht auf der gesamten oberen Oberfläche; und (j) Mustern der Resistschicht, um selektiv den Oxidfilm, der in jeder der Mehrzahl von ersten Öffnungen existiert mit Ausnahme eines mittleren Bereichs einer jeden ersten Öffnung zu entfernen; (k) selektives Einbauen von Störstellen des ersten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers unter Verwendung des Oxidfilms, der in den mittleren Bereichen verbleibt und der Gateelektrodenschicht als Masken, um dritte Halbleiterschichten des ersten Leitfähigkeitstyps im oberen Oberflächenabschnitt der zweiten Halbleiterschichten zu bilden; (l) Entfernen des Oxidfilms, der in den mittleren Bereichen verbleibt; (m) Ausbilden eines Isolationsfilms mit zweiten Öffnungen, die sich innerhalb der ersten Öffnungen öffnen, wobei ihre Öffnungsenden außerhalb der mittleren Bereiche liegen und Seitenflächen und eine obere Oberfläche der Gateelektroden bedecken; (n) Ausbilden einer ersten Hauptelektrodenschicht, um elektrisch mit der oberen Hauptoberfläche des Halbleiterkörpers verbunden zu sein, die in den zweiten Öffnungen offen liegt; (o) Trennen der ersten Hauptelektrodenschicht in einen Abschnitt, der mit der oberen Hauptoberfläche des Halbleiterkörpers in der wenigstens einen der ersten Öffnungen verbunden ist, welche im Schritt (f) gewählt wurden, und in einen anderen Abschnitt; und (p) Ausbilden einer zweiten Hauptelektrodenschicht, um elektrisch mit einer unteren Hauptoberfläche des Halbleiterkörpers verbunden zu sein.

[0052] Gemäß der vorliegenden Erfindung ist das Herstellungsverfahren der Erfindung geeignet zur Herstellung einer Halbleitervorrichtung des Feldeffekttyps, bei der zwei Halbleiterelemente des Feldeffekttyps, welche unterschiedliche Gateschwellenwertspannungen haben, parallel miteinander auf einem einzelnen Halbleiterkörper verbunden sind.

[0053] Gemäß dem Herstellungsverfahren der Erfindung kann eine solche Halbleitervorrichtung des Feldeffekttyps, wie sie oben beschrieben wurde, einfach hergestellt werden.

[0054] Gemäß einem weiteren Aspekt, der nicht im Schutzumfang der vorliegenden Erfindung liegt, enthält ein Verfahren zur Herstellung einer Halbleitervorrichtung des Feldeffekttyps die folgenden Schritte (a) bis (p). Das Herstellungsverfahren weist die folgenden Schritte auf: (a) Erlangen eines Halbleiterkörpers mit einer ersten Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht auf einer oberen Hauptoberfläche offen liegt; (b) Ausbilden eines Oxidfilms auf der oberen Hauptoberfläche des Halbleiterkörpers; (c) Ausbilden einer leitfähigen Schicht auf dem Oxidfilm; (d) Ausbilden einer Gateelektrodenschicht mit einer Mehrzahl von ersten Öffnungen durch selektives Entfernen der leitfähigen Schicht; (e) selektives Einbauen von Störstellen eines zweiten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers durch die Mehrzahl der ersten Öffnungen unter Verwendung der Gateelektrode als eine Maske zum selektiven Ausbilden einer Mehrzahl von zweiten Halbleiterschichten des zweiten Leitfähigkeitstyps in einem oberen Oberflächenabschnitt der ersten Halbleiterschicht; (f) Diffundieren der Störstellen, die im Schritt (e) eingebaut wurden in die erste Halbleiterschicht, um die zweiten Halbleiterschichten direkt unter der Gateelektrode aufzuweiten; (g) selektives Entfernen des Oxidfilms, der in jeder der Mehrzahl von ersten Öffnungen existiert mit Ausnahme eines Mittenbereichs einer jeden ersten Öffnung; (h) selektives Einbauen von Störstellen des ersten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers unter Verwendung des Oxidfilms, der in den mittleren Bereichen verbleibt und der Gateelektroden als Masken, um dritte Halbleiterschichten des ersten Leitfähigkeitstyps in dem oberen Oberflächenabschnitt der zweiten Halbleiterschichten auszubilden; (i) Ausbilden eines Abschirmfilms, der selektiv einen Bereich der Gateelektrodenschicht entsprechend dem Nahbereich wenigstens einer aus der Mehrzahl der ersten Öffnungen und alle aus der Mehrzahl der ersten Öffnungen abdeckt; (j) selektives Einbauen von Störstellen des ersten Leitfähigkeitstyps in die Gateelektrodenschicht unter Verwendung des Abschirmfilms als eine Maske, um den elektrischen Widerstand in einem Abschnitt der Gateelektrodenschicht mit Ausnahme des Bereichs abzusenken, der von dem Abschirmfilm bedeckt ist; (k) Entfernen des Abschirmfilms nach dem Schritt (j); (l) Entfernen des Oxidfilms, der in den mittleren Bereichen verbleibt; (m) Ausbilden eines Isolationsfilms mit zweiten Öffnungen, welche sich innerhalb der ersten Öffnungen öffnen, wobei ihre Öffnungsenden außerhalb der mittleren Bereiche liegen und Seitenflächen und eine obere Oberfläche der Gateelektrodenschicht bedecken; (n) Ausbilden einer ersten Hauptelektrodenschicht, um elektrisch mit der oberen Hauptoberfläche des Halbleiterkörpers verbunden zu sein, die in den zweiten Öffnungen offenliegt; (o) Trennen der ersten Hauptelektrodenschicht in einen Abschnitt, der mit der oberen Hauptoberfläche des Halbleiterkörpers in wenigstens einer der ersten Öffnungen verbunden ist, die im Schritt (i) ausgewählt worden sind und in einen anderen Abschnitt; und (p) Ausbilden einer zweiten Hauptelektrodenschicht, um elektrisch mit einer unteren Hauptober-

fläche des Halbleiterkörpers verbunden zu sein.

[0055] Folglich ist dieses Herstellungsverfahren, welches nicht im Schutzumfang der vorliegenden Erfindung enthalten ist, geeignet zur Herstellung von Halbleitervorrichtungen des Feldeffekttyps, bei denen zwei Halbleiterelemente des Feldeffekttyps mit unterschiedlichen Gatewiderständen miteinander auf einem einzelnen Halbleiterkörper parallel verbunden sind.

[0056] Gemäß diesem Herstellungsverfahren können Halbleitervorrichtungen des Feldeffekttyps gemäß obiger Beschreibung einfach hergestellt werden.

[0057] In einem anderen Aspekt, der nicht im Schutzumfang der vorliegenden Erfindung liegt, enthält ein Verfahren zur Herstellung einer Halbleitervorrichtung des Feldeffekttyps die folgenden Schritte (a) bis (p): (a) Erlangen eines Halbleiterkörpers mit einer ersten Halbleiterschicht eines ersten Leitfähigkeitstyps, wobei die erste Halbleiterschicht an einer oberen Hauptoberfläche offenliegt; (b) Ausbilden eines ersten Oxidfilms auf der oberen Hauptoberfläche des Halbleiterkörpers; (c) Definieren einer Mehrzahl von imaginären Bereichen, welche voneinander getrennt sind, auf der oberen Hauptoberfläche des Halbleiterkörpers; (d) selektives Entfernen des ersten Oxidfilms, um den ersten Oxidfilm selektiv nur im Nahbereich außerhalb aller imaginären Bereiche mit Ausnahme wenigstens eines der Mehrzahl von imaginären Bereichen zu belassen; (e) Ausbilden eines zweiten Oxidfilms, der dünner als der erste Oxidfilm ist, auf der oberen Hauptoberfläche des Halbleiterkörpers; (f) Ausbilden einer leitfähigen Schicht auf den ersten und zweiten Oxidfilmen; (g) selektives Entfernen der leitfähigen Schicht, um eine Gateelektrodenschicht zu bilden, die die gleiche Anzahl von ersten Öffnungen in der Mehrzahl von imaginären Bereichen hat; (h) selektives Einbauen von Störstellen eines zweiten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers durch die Mehrzahl von ersten Öffnungen unter Verwendung der Gateelektroden als eine Maske, um selektiv eine Mehrzahl von zweiten Halbleiterschichten des zweiten Leitfähigkeitstyps auf dem oberen Oberflächenabschnitt der ersten Halbleiterschicht zu bilden; (i) Diffundieren der in Schritt (h) eingebauten Störstellen in die erste Halbleiterschicht, um die zweiten Halbleiterschichten direkt unter der Gateelektrodenschicht aufzuweiten; (j) selektives Entfernen des Oxidfilms, der in jeder der Mehrzahl von ersten Öffnungen existiert, mit Ausnahme eines Mittenbereichs einer jeden ersten Öffnung; (k) selektives Einbauen von Störstellen des ersten Leitfähigkeitstyps in die obere Hauptoberfläche des Halbleiterkörpers unter Verwendung des Oxidfilms, der in den Mittenbereichen verbleibt und der Gateelektrodenschicht als Masken, um dritte Halbleiterschichten des ersten Leitfähigkeitstyps in dem oberen Oberflächenabschnitt der zweiten Halbleiterschichten zu bilden; (l) Entfernen des Oxidfilms, der in den mittleren Bereichen verbleibt; (m) Ausbilden eines Isolationsfilms mit zweiten Öffnungen, welche sich in das Innere der ersten Öffnungen öffnen, wobei ihre Öffnungsenden außerhalb der mittleren Bereiche liegen und Seitenflächen und eine obere Oberfläche der Gateelektrodenschicht bedecken; (n) Ausbilden einer ersten Hauptelektrodenschicht, um elektrisch mit der oberen Hauptoberfläche des Halbleiterkörpers verbunden zu sein, die in den zweiten Öffnungen offenliegt; (o) Trennen der ersten Hauptelektrodenschicht in einen Abschnitt, der mit der oberen Hauptoberfläche des Halbleiterkörpers in der ersten Öffnung entsprechend wenigstens einem imaginären Bereich verbunden ist, der im Schritt (d) gewählt wurde, und in einen anderen Abschnitt; und (p) Ausbilden einer zweiten Hauptelektrodenschicht, um elektrisch mit einer unteren Hauptoberfläche des Halbleiterkörpers in Verbindung zu sein.

[0058] Folglich ist dieses Herstellungsverfahren, welches nicht im Schutzumfang der vorliegenden Erfindung liegt, zur Herstellung von Halbleitervorrichtung des Feldeffekttyps geeignet, bei denen zwei Halbleiterelemente des Feldeffekttyps mit zumindest teilweise unterschiedlichen Dicken der Gateisolationsfilme miteinander parallel auf einem einzelnen Halbleiterkörper verbunden sind.

[0059] Bei dem Herstellungsverfahren der Erfindung können Halbleitervorrichtung des Feldeffekttyps gemäß obiger Beschreibung einfach hergestellt werden.

[0060] Folglich ist es Gegenstand der vorliegenden Erfindung, einen Halbleitervorrichtung des Feldeffekttyps zu ermöglichen, welche durchgängig einen stabilen Betrieb eines Schutzschaltkreises und einen sichergestellten Schutz vor Durchbruch der Vorrichtung realisieren kann, wobei auch ein Verfahren geschaffen wird, welches zur Herstellung der Halbleitervorrichtung des Feldeffekttyps geeignet ist.

[0061] Diese und weitere Merkmale, Aspekte und Vorteile der vorliegenden Erfindung ergeben sich besser aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung in Zusammenschau mit der beigefügten Zeichnung.

KURZE BESCHREIBUNG DER ZEICHNUNG

[0062] Fig. 1 ist ein Zeitdiagramm, welches die Arbeitsweise einer Vorrichtung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0063] Fig. 2 ist ein Zeitdiagramm, welches das Prinzip von bevorzugten Ausführungsformen der vorliegenden Erfindung zeigt.

[0064] Fig. 3 ist ein Zeitdiagramm, welches das Prinzip bevorzugter Ausführungsformen der vorliegenden Erfindung zeigt.

[0065] Fig. 4 ist ein Zeitdiagramm, welches das Prinzip bevorzugter Ausführungsformen der vorliegenden Erfindung zeigt.

[0066] Fig. 5 ist eine Draufsicht auf eine Vorrichtung gemäß der ersten bevorzugten Ausführungsform der vorliegenden Erfindung.

[0067] Fig. 6 ist eine vergrößerte Teilansicht von Fig. 5.

[0068] Fig. 7 ist eine Schnittdarstellung entlang Linie A-A in Fig. 6.

[0069] Fig. 8 ist eine Schnittdarstellung entlang Linie B-B in Fig. 6.

[0070] Fig. 9 ist eine Grafik, welche Ergebnisse von Bestätigungstests an der Vorrichtung gemäß der ersten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0071] Fig. 10 ist eine Frontschnittdarstellung einer Vorrichtung gemäß einer zweiten bevorzugten Ausführungsform, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0072] Fig. 11 ist eine grafische Darstellung, welche den Betrieb der Vorrichtung gemäß der zweiten bevorzugten Ausführungsform zeigt, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0073] Fig. 12 ist ein Zeitdiagramm, welches den Betrieb der Vorrichtung gemäß der zweiten bevorzugten Ausführungsform zeigt, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0074] Fig. 13 ist eine Draufsicht auf eine Vorrichtung gemäß einer dritten bevorzugten Ausführungsform, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0075] Fig. 14 ist eine Schnittdarstellung entlang Linie C-C in Fig. 13.

[0076] **Fig.** 15 ist eine Schnittdarstellung entlang Linie D-D in Fig. 13.

[0077] Fig. 16 ist eine Frontschnittdarstellung einer Vorrichtung gemäß der vierten bevorzugten Ausführungsform, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0078] Fig. 17 ist eine Frontschnittdarstellung einer Vorrichtung gemäß der fünften bevorzugten Ausführungsform, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0079] Fig. 18 ist eine Frontschnittdarstellung einer Vorrichtung gemäß der sechsten bevorzugten Ausführungsform, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0080] **Fig.** 19 ist ein Prozessdiagramm, welches ein Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0081] Fig. 20 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0082] Fig. 21 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0083] Fig. 22 Fig. 20 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0084] Fig. 23 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0085] Fig. 24 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0086] Fig. 25 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0087] Fig. 26 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0088] Fig. 27 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0089] Fig. 28 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0090] Fig. 29 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevor-

zugten Ausführungsform der vorliegenden Erfindung zeigt.

[0091] Fig. 30 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0092] Fig. 31 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0093] Fig. 32 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0094] Fig. 33 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0095] Fig. 34 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0096] Fig. 35 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der siebten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

[0097] Fig. 36 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der achten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt, welches jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0098] Fig. 37 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der achten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt, welches jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt.

[0099] Fig. 38 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der neunten bevorzugten Ausführungsform der vorliegenden Erfindung zeigt, welches jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt ist.

[0100] Fig. 39 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der neunten bevorzugten Ausführungsform zeigt.

[0101] Fig. 40 ist ein Prozessdiagramm, welches das Herstellungsverfahren gemäß der neunten bevorzugten Ausführungsform zeigt.

[0102] Fig. 41 ist eine Frontschnittdarstellung einer herkömmlichen Vorrichtung.

[0103] Fig. 42 ist ein Schaltkreisdiagramm der herkömmlichen Vorrichtung und eines externen Schaltkreises hiervon.

[0104] Fig. 43 ist ein Zeitdiagramm, welches den Betrieb der herkömmlichen Vorrichtung zeigt.

[0105] Fig. 44 ist ein Schaltkreisdiagramm, welches den Betrieb der herkömmlichen Vorrichtung zeigt.

[0106] Fig. 45 ist ein Zeitdiagramm, welches die Arbeitsweise der herkömmlichen Vorrichtung zeigt.

BESCHREIBUNG BEVORZUGTER AUSFÜHRUNGSFORMEN

<Prinzip der bevorzugten Ausführungsformen>

[0107] Bevor die Beschreibung einer jeden bevorzugten Ausführungsform der vorliegenden Erfindung beginnt, wird nun das gemeinsame Prinzip beschreiben, welches bei jeder Ausführungsform angewendet wird. Fig. 2 ist ein Zeitdiagramm, welches das Prinzip zeigt. Mit anderen Worten, Fig. 2 zeigt die bevorzugte Beziehung zwischen dem Hauptschaltkreisstrom Im und dem Sensierungsstrom Is in einer Vorrichtung mit der Haupt-IGBT-Zelle **51** und der Sensierungs-IGBT-Zelle **52** mit der gleichen Stromkapazität, welche gemäß Fig. 44 parallel verbunden sind. Diese Beziehung basiert auf der oben erläuterten Betrachtung durch den Erfinder bezüglich des Grunds des Stoßstroms.

[0108] Wenn gemäß Fig. 2 der Sensierungsstrom Is später als der Hauptschaltkreisstrom Im in der Einschaltperiode ansteigt, tritt der Stoßstrom ΔIsp im Sensierungsstrom Is nicht auf; im Gegenteil, der Stoßstrom tritt in dem Hauptschaltkreisstrom Im auf. Wenn in der Abschaltperiode der Sensierungsstrom Is früher als der Hauptschaltkreisstrom Im abfällt, tritt der Stoßstrom ΔIsp nicht in dem Sensierungsstrom Is auf. Das heißt, wenn der Sensierungsstrom Is niedriger als der Hauptschaltkreisstrom Im ist, tritt der Stoßstrom ΔIsp nicht im Sensierungsstrom Is auf, sondern tritt in dem Hauptschaltkreisstrom Im auf.

[0109] In einer realistischen Vorrichtung, bei der die Anzahl der Haupt-IGBT-Zellen **41** viel größer als diejenige der Sensierungs-IGBT-Zellen **52** ist, d.h. wo die Stromkapazität der Haupt-IGBT-Zellen **51** viel höher als diejenige der Sensierungs-IGBT-Zellen **52** ist, was einen Unterschied zu der imaginären Vorrichtung von Fig. 44 darstellt, ist der Hauptschaltkreisstrom Im viel größer als der Sensierungsstrom Is, so dass der im Hauptschaltkreisstrom Im auftretende Stoßstrom ΔIsp nur eine Größe hat, welche praktisch vernachlässigbar ist.

[0110] Wie oben beschrieben ist der während der Einschaltperiode auftretende Stoßstrom ΔIsp insbesondere ein Problem und der in der Abschaltperiode auftretende Stoßstrom ΔIsp ist in der Praxis kein ernsthaftes Problem. Wenn damit die Vorrichtung so aufgebaut wird, dass der Sensierungsstrom Is verzögert gegenüber dem Hauptschaltkreisstrom Im zumindest in der Einschaltperiode ansteigt, wird die Aufgabe der vorliegenden Erfindung gelöst.

[0111] Es gibt beispielsweise zwei mögliche Annäherungen, den Anstieg des Sensierungsstromes Is gegenüber dem Hauptschaltkreisstrom Im verzögert zu machen. Fig. 3 und Fig. 4 zeigen Beispiele unterschiedlicher Vorgehensweisen, mit denen der Anstieg des Sensierungsstromes Is gegenüber dem Hauptschaltkreisstrom Im in der Einschaltperiode verzögert gemacht werden kann. Genauergesagt, in dem Beispiel der Vorrichtung von Fig. 3 steigt der Sensierungsstrom Is mit der gleichen Neigung wie der Hauptschaltkreisstrom Im an, d.h. er steigt mit der gleichen Anstiegsrate an, wird jedoch in seinem Anstiegsbeginn verzögert. Andererseits beginnt im Beispiel der Vorrichtung von Fig. 4 der Sensierungsstrom Is mit seinem Anstieg zur gleichen Zeit wie der Hauptschaltkreisstrom Im, wird jedoch so gesetzt, dass er mit einer niedrigeren Rate ansteigt.

[0112] In beiden Beispielen der Vorrichtung steigt der Sensierungsstrom Is später als der Hauptschaltkreisstrom Im an. Das heißt, bei einer Normalisierung mit der Stromkapazität und im Vergleich ist in der Einschaltperiode der Sensierungsstrom Is stets niedriger als der Hauptschaltkreisstrom Im. Folglich tritt der Stoßstrom ΔIsp niemals im Sensierungsstrom Is auf.

[0113] In den Vorrichtungen, welche nachfolgend in den ersten bis sechsten bevorzugten Ausführungsformen beschrieben werden, werden der Hauptschaltkreisstrom Im und der Sensierungsstrom Is so gesetzt, dass die Beziehung entweder von Fig. 3 oder von Fig. 4 vorliegt, oder die Beziehung einer Kombination dieser beiden. Auch werden Beispiele von Verfahren zur Herstellung dieser Vorrichtung in den siebten bis neunten bevorzugten Ausführungsformen beschrieben.

<1. Erste bevorzugte Ausführungsform>

[0114] Zuerst wird eine Vorrichtung gemäß einer ersten bevorzugten Ausführungsform beschrieben.

<1-1. Aufbau der Vorrichtung>

[0115] Fig. 5 ist eine Draufsicht auf einen CS-IGBT **100** gemäß dieser bevorzugten Ausführungsform, welche mit einer weggelassenen Emitterelektrode und einem Isolationszwischenfilm, welche später beschrieben werden, dargestellt ist. Gemäß Fig. 5 ist ein rechteckförmiges Gatekissen GP benachbart der Mitte auf einer Seite der oberen Hauptoberfläche eines Halbleiterkörpers **140** angeordnet und weiterhin ist eine Gateverbindung GL, welche einstückig ausgebildet ist, mit dem Gatekissen GP verbunden.

[0116] Die Gateverbindung GL ist entlang des Umfangs der oberen Oberfläche des CS-IGBT **100** angeordnet. Das Gatekissen GP und die Gateverbindung GL sind aus Metall mit guter elektrischer Leitfähigkeit, beispielsweise Aluminium gebildet. Mit dem Gatekissen GP ist ein externer Steuerausgang verbunden, der als Pfad zur Zufuhr eines Steuersignals dient. Das Gatekissen GP und die Gateverbindung GL sind gegenüber dem Halbleiterkörper **140** elektrisch isoliert.

[0117] Haupt-IGBT-Zellen **101**, die einen Hauptschaltkreis des CS-IGBT **100** bilden, sind in Streifenform in dem Bereich angeordnet, der von der Gateverbindung GL umgeben ist. Weiterhin ist ein Sensierungskissen SP in einem Teil des Bereichs angeordnet, der von der Gateverbindung GL umgeben ist. Eine Sensierungs-IGBT-Zelle **102**, welche einen Sensierungsschaltkreis bildet, ist benachbart dem Sensierungskissen SP angeordnet. Das Sensierungskissen SP ist aus einem Metall mit guter elektrischer Leitfähigkeit, beispielsweise Aluminium gebildet und wirkt als Pfad für den Durchlass des Sensierungsstromes Is, der der Hauptstrom der Sensierungs-IGBT-Zelle **102** ist. Die Gateelektrode **7**, welche elektrisch mit der Gateverbindung GL verbunden ist, ist sowohl für die Haupt-IGBT-Zellen **101** als auch die Sensierungs-IGBT-Zelle **102** vorgesehen.

[0118] Fig. 6 ist eine vergrößerte Teil-Draufsicht, welche den Nahbereich der Sensieruns-IGBT-Zelle **102** von Fig. 5 vergrößert darstellt. Gemäß Fig. 6 ist die Gateelektrode **7** äquivalent sowohl in dem Abschnitt angeordnet, der zu den Haupt-IGBT-Zellen **101** gehört, als auch in dem Abschnitt, der zu der Sensierungs-IGBT-Zelle **102** gehört.

[0119] Fig. 7 ist eine Schnittdarstellung entlang Linie A-A in Fig. 6. Der Isolationszwischenfilm **10** ist nicht weggelassen, sondern in Fig. 7 gezeigt. Gemäß Fig. 7 ist die Gateelektrode **7** entlang der oberen Hauptoberfläche des Halbleiterkörpers **140** angeordnet und ist weiterhin von dem Halbleiterkörper **140** durch den dazwischen liegenden Gateisolationsfilm **6** isoliert. Die Gateverbindung GL ist auf dem Isolationszwischenfilm **10**, der die Gateelektrode **7** bedeckt, angeordnet und ist elektrisch mit der oberen Oberfläche der Gateelektrode **7** über einen Graben verbunden, der in dem Isolationszwischenfilm **10** ausgebildet ist.

[0120] Fig. 8 ist eine Schnittansicht entlang Linie B-B in Fig. 6. In Fig. 8 sind die Emitterelektrode und der Isolationszwischenfilm beide nicht weggelassen, sondern dargestellt. In den folgenden Figuren sind

Abschnitte gleich denjenigen der herkömmlichen Vorrichtung **50** von Fig. 41 mit den gleichen Bezugszeichen versehen und detaillierte Beschreibungen hiervon werden nicht wiederholt.

[0121] In diesem CS-IGBT **100** ist der flache kartenartige Halbleiterkörper **140** aufgebaut aus der p-Kollektorschicht **1** und der m-Kollektorschicht (ersten Halbleiterschicht) **2**. Auf der oberen Hauptfläche des Halbleiterkörpers **140**, d. h. auf der oberen Oberfläche der n-Halbleiterschicht **2** ist eine p-Basisschicht (zweite Halbleiterschicht) **3a** selektiv in dem Bereich der Haupt-IGBT-Zelle **101** durch selektives Diffundieren von Störstellen des n-Typs ausgebildet und eine p-Basisschicht (zweite Halbleiterschicht) **3b** ist selektiv in dem Bereich der Sensierungs-IGBT-Zelle **102** ausgebildet.

[0122] Die Emitterelektrode **8** und die Sensierungselektrode **9**, die elektrisch mit den n-Emitterschichten (dritten Halbleiterschichten) **5** und den p^+-Halbleiterschichten **11** verbunden sind, sind beispielsweise aus Aluminium gefertigt. Die Gateelektrode (Gateelektrodenschicht) **7** ist so ausgebildet, dass sie zur oberen Oberfläche der p-Basisschicht **3a** zwischen der n-Halbleiterschicht **2** und der n-Emitterschicht **5a** weist, d. h. zu einem Kanalbereich **21b**. Diese Gateelektrode **7** ist beispielsweise aus Polysilizium gefertigt. Der Isolationszwischenfilm **10**, der die Gateelektrode **7** und die Emitterelektrode (erste Hauptelektrodenschicht) **8** und die Sensierungselektrode (erste Hauptelektrodenschicht) **9** isoliert, ist beispielsweise aus einem Oxidfilm gefertigt.

[0123] Die Emitterelektrode **8** ist durchgängig durch den gesamten Haupt-IGBT-Zellen **101** ausgebildet. Die Kollektorelektrode **12** ist ebenfalls durchgängig durch alle Haupt-IGBT-Zellen **101** und die Sensierungs-IGBT-Zelle **102** ausgebildet. Die Kollektorelektrode (zweite Hauptelektrodenschicht) **12** ist aus Metall, beispielsweise aus Al-Mo-Ni-Au.

[0124] In dem CS-IGBT **100** sind die Störstellenkonzentrationen in der p-Basisschicht **3a** und der p-Basisschicht **3b** auf zueinander unterschiedlich gesetzt. Das heißt, die Störstellenkonzentration in der p-Basischicht **3b** ist höher als diejenige in der p-Basisschicht **3a** gesetzt. Dieser Punkt ist ein wesentlicher Unterschied zu dem herkömmlichen CS-IGBT **50**. Die verbleibenden Merkmale im Aufbau zeigen keinen Unterschied zwischen der Haupt-IGBT-Zelle **101** und der Sensierungs-IGBT-Zelle **102**.

[0125] Weiterhin ist die Anzahl der Haupt-IGBT-Zellen **101** in der gesamten Vorrichtung wesentlich größer als diejenige der Sensierungs-IGBT-Zellen **102**, wie in Fig. 5 gezeigt. In Folge dessen ist Kanalbreite (Wm) der Haupt-IGBT Zellen **101** über den gesamten CS-IGBT **100** hinweg ausreichend größer als die Kanalbreite (Ws) der Sensierungs-IGBT-Zellen **102**. Das heißt, der CS-IGBT **100** ist so aufgebaut, dass Wm >> Ws.

<1-2. Charakteristische Arbeitsweise der Vorrichtung>

[0126] Bei dem CS-IGBT **100**, der gemäß obiger Beschreibung ausgebildet ist, ist der Betrieb hiervon wesentlich unterschiedlich zu demjenigen eines herkömmlichen CS-IGBT **50** in den folgenden Punkten: in dem CS-IGBT **100** ist, da die Störstellenkonzentration in der p-Basisschicht **3b** höher als diejenige der p-Basisschicht **3a** gesetzt ist, die Gateschwellenwertspannung Vge (th) der Sensierungs-IGBT-Zelle **102** höher als diejenige der Haupt-IGBT-Zelle **101**. Wenn daher der Cs-IGBT **100** einschaltet, steigt der Sensierungsstrom Is verzögert gegenüber dem Hauptschaltkreisstrom Im.

[0127] Fig. 1 ist ein Zeitdiagramm zur Beschreibung dieses Punkts. D. h., Fig. 1 zeigt schematisch die Änderung der Gatespannung VGE, des Hauptschaltkreisstroms Im und des Sensierungsstroms Is über die Zeit hinweg. Die Gateelektrode **7** ist elektrisch durch alle Haupt-IGBT-Zellen **101** und die Sensierungs-IGBT-Zellen **102** verbunden und hat einen äquivalenten Aufbau wie oben erwähnt. In Folge dessen ist die Gatespannung V_{GE} zwischen der Haupt-IGBT-Zelle **101** und der Sensierungs-IGBT-Zelle **102** gemeinsam. Die Kurve der Gatespannung V_{GE} in Fig. 1 zeigt dies. Das heißt, in Fig. 1 ist die Gatespannung V_{GE} die Gatespannung V_{GE} der Haupt-IGBT-Zelle **101** und auch die Gatespannung V_{GE} der Sensierungs-IGBT-Zelle **102**.

[0128] Da die Schwellenwertspannung $V_{GE(th)}$ in der Sensierungs-IGBT-Zelle **102** (als $V_{GE(th)S}$ bezeichnet) so festgelegt ist, dass sie einen Wert größer hat als die Gateschwellenwertspannung $V_{GE(th)}$ der Haupt-IGB-Zelle **101** (als $V_{GE(th)M}$ bezeichnet) hat, ist eine begrenzte Zeit Δt zwischen dem Erreichen der Gateschwellenwertspannung $V_{GE(th)M}$ durch die Gatespannung V_{GE} bis zum Erreichen der Gateschwellenwertspannung $V_{GE(th)S}$ hierdurch in der Einschaltperiode vorhanden.

[0129] In Folge dessen tritt eine Zeitverzögerung entsprechend der Zeit Δt zwischen dem Anstieg des Hauptschaltkreisstroms Im und dem Anstieg des Sensierungsstroms Is auf. Das heißt, in der Einschaltperiode wird die Zeitänderung im Sensierungsstrom Is dargestellt als die Kurve, welche um die Zeit Δt gegenüber dem Hauptschaltkreisstrom Im nach hinten verschoben ist. Daher ist der Anstieg des Sensierungsstroms Is gegenüber dem Hauptschaltkreisstrom Im verzögert. Mit anderen Worten, nach einer Normalisierung auf die Stromkapazität und im Vergleich hat der Sensierungsstrom Is einen Wert, der immer niedriger als derjenige des Hauptschaltkreisstroms Im ist. Das heißt, im Sensierungsstrom Is tritt

kein Stoßstrom ΔIsp auf.

[0130] Andererseits ist bei der Abschaltperiode im Gegensatz hierzu die begrenzte Zeit Δ notwendig von dem Erreichen der Gateschwellenwertspannung $V_{GE(th)S}$ durch die Gatespannung V_{GE} bis zum Erreichen der Gateschwellenwertspannung $V_{GE(th)M}$ hierdurch. In Folge dessen tritt eine Zeitverzögerung entsprechend der Zeit Δt zwischen dem Abfall des Sensierungsstromes Is und dem Abfall des Hauptschaltkreisstroms Im auf. Das heißt, bei der Abschaltperiode ist die Zeitänderung des Sensierungsstroms Is als eine Kurve dargestellt, welche um die Zeit Δt gegenüber dem Hauptschaltkreisstrom Im nach vorne verschoben ist. Somit ist in der Abschaltperiode nach einer Normalisierung und im Vergleich der Sensierungsstrom Is stets auf einem Wert niederiger als der Hauptschaltkreisstrom Im, so dass im Sensierungsstrom Is der Stoßstrom ΔIsp nicht auftritt.

[0131] Das heißt, in der Vorrichtung **100** dieser bevorzugten Ausführungsform wird der Stoßstrom ΔIsp, der den Sensierungsstrom Is überlagert ist, sowohl in der Einschaltperiode als auch der Ausschaltperiode unterdrückt.

<1-3. Bestätigungstest>

[0132] Nachfolgend wird ein Experiment zur Bestätigung der oben beschriebenen charakteristischen Arbeitsweise der Vorrichtung **100** dieser bevorzugten Ausführungsform und der sich hieraus ergebenden Ergebnisse beschrieben. Im Experiment wird die Änderung des Stoßstroms ΔIsp mit verschiedentlich geänderten Störstellenkonzentrationen in der p-Basisschicht **3a** und der p-Basisschicht **3b** des CS-IGBT **100** gemessen.

[0133] Fig. 9 ist eine Grafik, welche die experimentellen Ergebnisse in der Einschaltperiode zeigt. In Fig. 9 gibt die Abszisse eine Differenz zwischen den beiden Gateschwellenwertspannungen $V_{GE(th)}$, d. h. $\Delta Vth = V_{GE(th)S} - V_{GE(th)M}$ wieder und die Ordinate gibt die Größe des Stoßstroms ΔIsp wieder, welcher im Sensierungsstrom Is auftritt. Wie klar aus Fig. 9 erkennbar ist, verschwindet der Stoßstrom ΔIsp, wenn die Einstellung so erfolgt, dass ΔVth positiv ist, mit anderen Worten, dass die Gateschwellenwertspannung $V_{GE(th)S}$ höher als die Gateschwellenwertspannung $V_{GE(th)M}$ ist. Das gleiche Ergebnis wird auch in der Ausschaltperiode erhalten.

[0134] Das heißt, die experimentellen Ergebnisse bestätigen die charakteristische Arbeitsweise des CS-IGBT **100** gemäß obiger Beschreibung. Gleichzeitig trägt dies auch die Beobachtungen seitens des Erfinders bezüglich des Grundes, warum der Stoßstrom ΔIsp auftritt.

<2. Zweite bevorzugte Ausführungsform>

[0135] Nachfolgend wird eine Vorrichtung gemäß einer zweiten bevorzugten Ausführungsform beschrieben, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Der Aufbau der oberen Oberfläche eines CS-IGBT **200**, der eine Vorrichtung dieser bevorzugten Ausführungsform ist, ist, wie in den Fig. 5 bis Fig. 7 gezeigt, gleich wie bei dem CS-IGBT **100**. Fig. 10 ist eine Schnittdarstellung des CS-IGBT entlang Linie B-B in Fig. 6. Das heißt, Fig. 10 zeigt einen Abschnitt, in welchem eine Haupt-IGBT-Zelle **201**, welche den Hauptschaltkreis des CS-IGBT **200** bildet und eine Sensierungs-IGBT-Zelle **202**, welche einen Sensierungsschaltkreis bildet, einander benachbart ausgebildet sind.

[0136] Dieser CS-IGBT **200** unterscheidet sich in seinen Eigenschaften von dem herkömmlichen CS-IGBT **50** dahingehend, dass die Leitfähigkeit zwischen der Gateelektrode **7a**, die zu der Haupt-IGBT-Zelle **201** gehört und der Gateelektrode **7b**, welche zu der Sensierungs-IGBT-Zelle **202** gehört, unterschiedlich ist. Das heißt, die Störstellenkonzentration, welche in die Gatelektrode **7a** aus Polysilizium eingebaut wird, ist höher gewählt, als diejenige, die in der Gateelektrode **7b** eingebaut wird, welche ebenfalls aus Polysilizium ist.

[0137] Folglich ist in der Gatelektrode **7a** die Leitfähigkeit größer als in der Gatelektrode **7b**. Mit anderen Worten, der Schichtwiderstand ist in der Gatelektrode **7b** größer als in der Gatelektrode **7a** gesetzt. Im übrigen Aufbau haben die Haupt-IGBT-Zelle **201** und die Sensierungs-IGBT-Zelle **202** keinen Unterschied.

[0138] Der CS-IGBT **200** wird auf diese Weise gebildet und seine Arbeitsweise ist im folgenden Punkt unterscheidbar unterschiedlich zu derjenigen eines herkömmlichen CS-IGBT **50**. Das heißt, da es keinen merklichen Unterschied zwischen der Haupt-IGBT-Zelle **201** und der Sensierungs-IGBT-Zelle **202** mit der Ausnahme gibt, dass die Leitfähigkeit zwischen der Gatelektrode **7a** und der Gateelektrode **7b** unterschiedlich ist, ist die Anstiegszeit t_{rise} zwischen der Haupt-IGBT-Zelle **201** und der Sensierungs-IGBT-Zelle **202** unterschiedlich.

[0139] Fig. 11 ist eine Grafik, um die Definition der Anstiegszeit t_{rise} zu erläutern. Wie in der Grafik gezeigt, ist die Anstiegszeit t_{rise} als Zeit definiert, die die Gatespannung V_{GE} benötigt, um von 10% auf 90% anzusteigen. Das heißt, die Anstiegszeit t_{rise} ist ein Index, der die Anstiegsrate der Gatespannung V_{GE} wiedergibt.

[0140] Diese Anstiegszeit t_{rise} ergibt sich durch die Gleichung (1) unter Verwendung des Gatewiderstandes Rg und der Gateeingangskapazität Cies:

$t_{rise} = 2{,}2 \times Rg \times Cies$ (1)

[0141] Die Gateeingangskapazität Cies besteht aus zwei Komponenten, wie durch den Ausdruck (2) dargestellt:

$Cies = Cge + Cgc$ (2)

[0142] Das heißt, die Gateeingangskapazität Cies wird dargestellt durch eine Summe der Gate-Emitter-Kapazität Cge und der Gate-Kollektor-Kapazität Cgc.

[0143] Im CS-IGBT **200** ist gemäß obiger Erläuterung der Schichtwiderstand zwischen der Gateelektrode **7a** und der Gateelektrode **7b** unterschiedlich und weiterhin ist der Schichtwiderstand der Gateelektrode **7b** größer. Daher gilt die Beziehung Rgm < Rgs zwischen dem Gatewiderstand Rg der Haupt-IGBT-Zelle **201** (als Rgm bezeichnet) und dem Gatewiderstand Rg der Sensierungs-IGBT-Zelle **202** (als Rgs bezeichnet).

[0144] Da es keine weiteren Unterschied um Aufbau zwischen der Haupt-IGBT-Zelle **201** und der Sensierungs-IGBT-Zelle **202** gibt, haben sowohl die Gate-Emitter-Kapazität Cge als auch die Gate-Kollektor-Kapazität Cgc keine besondere Differenz zwischen den beiden Arten der IGBT-Zellen. Daher ist aus der Beziehung der Gleichung (1) die Anstiegszeit t_{rise} in der Sensierungs-IGBT-Zelle **202** größer als in der Haupt-IGBT-Zelle **201**. Im Ergebnis steigt der Sensierungsstrom Is langsamer an als der Hauptschaltkreisstrom Im.

[0145] Fig. 12 ist ein Zeitdiagramm, welches dies erläutert. Das heißt, Fig. 12 zeigt schematisch die Änderungen der Gatespannung V_{GE} der Haupt-IGBT-Zelle **201** (als V_{GEM} dargestellt) in der Einschaltperiode, der Gatespannung V_{GE} der Sensierungs-IGBT-Zelle **202** (als V_{GES} dargestellt), des Hauptschaltkreisstromes Im und des Sensierungsstromes In über die Zeit.

[0146] Wie in Fig. 12 gezeigt ist, da die Anstiegszeit t_{rice} der Haupt-IGBT-Zelle **201** (als t_{riseM} bezeichnet) und die Anstiegszeit t_{rice} der Sensierungs-IGBT-Zelle **202** (als t_{riseS} bezeichnet) die Beziehung $t_{riseM} < t_{riceS}$ haben, die Zeit, zu der die Gatespannung V_{GES} die Gateschwellenwertspannung $V_{GE(th)S}$ übersteigt, gegenüber der Zeit verzögert, zu der die Gatespannung V_{GEM} die Gateschwellenwertspannung $V_{GE(th)M}$ übersteigt. Gemäß hiermit beginnt der Sensierungsstrom In später um die begrenzte Zeit Δt_1 anzusteigen als der Hauptschaltkreisstrom Im.

[0147] Weiterhin ist, da die Anstiegsrate der Gatespannung V_{Gs} langsamer als die der Gatespannung V_{GEM} ist, die Anstiegsrate des Sensierungsstroms Is ebenfalls kleiner als diejenige des Hauptschaltkreisstroms Im. Folglich erreicht der Sensierungsstrom In den eingependelten Wert, der gegenüber dem Hauptschaltkreisstrom Im um Δt_2 ($> \Delta t_1$) verzögert ist. Das heißt, der Sensierungsstrom In steigt mit Verzögerung gegenüber dem Hauptschaltkreisstrom Im an. Mit anderen Worten, in der Einschaltperiode ist nach einer Normalisierung mit der Stromkapazität und im Vergleich der Sensierungsstrom In stets niedriger als der Hauptschaltkreisstrom Im. Somit tritt der Stoßstrom ΔIsp im Sensierungsstrom In nicht auf.

[0148] Allgemein gesagt hat die Anstiegszeit t_{rise} bevorzugt ein Verhältnis im Bereich von ungefähr 0,5 bis 0,9 zwischen der Haupt-IGBT-Zelle und der Sensierungs-IGBT-Zelle. Das heißt, es ist bevorzugt, dass eine Einstellung derart erfolgt, dass $0{,}5 \leq t_{riseM}/t_{riseS} \leq 0{,}9$. Folglich ist es bevorzugt, dass eine Einstellung so erfolgt, dass im CS-IGBT **200** das Verhältnis von Rgm und Rgs $0{,}5 \leq Rgm/Rgs \leq 0{,}9$ beträgt.

<3. Dritte bevorzugte Ausführungsform>

[0149] Nachfolgend wird eine Vorrichtung gemäß einer dritten bevorzugten Ausführungsform beschrieben, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Fig. 13 ist eine geschnittene vergrößerte Teilansicht eines CS-IGBT **300**, der eine Vorrichtung dieser bevorzugten Ausführungsform ist. Der CS-IGBT **300** ist mit Haupt-IGBT-Zellen **300** versehen, die einen Hauptschaltkreis bilden und mit einer Sensierungs-IGBT-Zelle **302**, die einen Sensierungsschaltkreis bildet. Fig. 13 zeigt den Nahbereich der Sensierungs-IGBT-Zelle **302** vergrößert, wobei die Emitterelektrode und der Isolationszwischenfilm weggelassen und nicht gezeigt sind.

[0150] Wie in Fig. 13 gezeigt, sind eine Gateelektrode **307a**, die zur Haupt-IGBT-Zelle **301** gehört und eine Gateelektrode **307b**, die zur Sensierungs-IGBT-Zelle **302** gehört, in charakteristisch unterschiedlichen Formen ausgebildet. Das heißt, die Gateelektrode **307a** ist so angeordnet, dass sie die Gateverbindung GL und die Haupt-IGBT-Zellen **301** auf kürzestem Weg ähnlich beispielsweise zur Gateelektrode **7** im CS-IGBT **100** verbindet. Andererseits ist die Gateelektrode **307b** so angeordnet, dass sie eine Verbindung zwischen der Sensierungs-IGBT-Zelle **302** und der Gateverbindung GL auf einem Umweg bildet. Weiterhin hat die Gateelektrode **307b** eine geringere Breite als die Gateelektrode **307a**. Das heißt, die Gateelektrode **307b** hat einen Gatewiderstand Rg, der im Vergleich zur Gateelektrode **307a** ausreichend größer ist.

[0151] Fig. 14 ist eine Schnittdarstellung entlang Linie C-C in Fig. 13. In Fig. 14 ist der Isolationszwischenfilm **310** nicht weggelassen, sondern gezeigt. Wie in Fig. 14 gezeigt, ist die Gateelektrode **307b** entlang der oberen Hauptfläche eines Halbleiterkörpers **340** angeordnet und von dem Halbleiterkörper

340 durch einen dazwischen liegenden Gateisolationsfilm **306** elektrisch isoliert. Die Gateverbindung GL ist auf dem Isolationszwischenfilm **310** angeordnet, der die Gateelektrode **307b** abdeckt und ist elektrisch mit der oberen Oberfläche der Gateelektrode **307b** über einen Graben verbunden, der in dem Isolationszwischenfilm **310** angeordnet ist.

[0152] **Fig.** 15 ist eine Schnittdarstellung entlang Linie D-D in Fig. 13. In **Fig.** 15 sind die Emitterelektrode und der Isolationszwischenfilm nicht weggelassen, sondern gezeigt. Gemäß **Fig.** 15 sind die Gateelektrode **307a**, die zu der Hauptzelle **301** gehört und die Emitterelektrode **308** und die Gateelektrode **307b**, welche zu der Sensierungs-IGBT-Zelle **302** gehören und die Sensierungselektrode **309** elektrisch durch den Isolationszwischenfilm **310** isoliert, der aus einem Oxid oder dergleichen gebildet ist.

[0153] Wie oben erwähnt gibt es im CS-IGBT **300** keine charakteristischen Unterschiede zwischen der Haupt-IGBT-Zelle **301** und der Sensierungs-IGBT-Zelle **302** mit der Ausnahme, dass der Gatewiderstand Rg der Gateelektrode **307a** und derjenige der Gateelektrode **307b** zueinander unterschiedlich sind. Infolgedessen gibt es in der Gateeingangskapazität Cies, die durch die Gleichung (2) gegeben ist, keinen besonderen Unterschied zwischen den beiden IGBT-Zellen. Daher unterscheidet sich gemäß der Gleichung (1) die Anstiegszeit t_{rise} zwischen den beiden IGBT-Zellen. Das heißt, die Anstiegszeit t_{rise} der Sensierungs-IGBT-Zelle **302** ist größer als diejenige der Haupt-IGBT-Zelle **301**.

[0154] Im Ergebnis steigt der Sensierungsstrom Is langsamer im Vergleich zum Hauptschaltkreisstrom Im. Das heißt, in der Einschaltperiode sind Änderungen der Gatespannung V_{GEM} der Haupt-IGBT-Zelle **301**, der Gatespannung V_{GES} der Sensierungs-IGBT-Zelle **302**, des Hauptschaltkreisstroms Im und des Sensierungsstroms Is wie im Zeitdiagramm von Fig. 12 gezeigt. Infolgedessen tritt der Stoßstrom ΔIsp nicht in dem Sensierungsstrom Is auf.

[0155] Im CS-IGBT **300** ist basierend auf dem gleichen Grund wie bezüglich des CS-IGBTs **200** beschrieben, das Verhältnis von Rgm und Rgs bevorzugt so gesetzt, dass $0{,}5 \leq Rgm/Rgs \leq 0{,}9$.

<4. Vierte bevorzugte Ausführungsform>

[0156] Nachfolgend wird eine Vorrichtung der vierten bevorzugten Ausführungsform beschrieben, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Der Aufbau der oberen Oberfläche eines CS-IGBT **400**, der eine Vorrichtung gemäß der vierten Ausführungsform ist, ist wie in den Fig. 5 bis Fig. 7 gezeigt gleich wie beim CS-IGBT **100**. Fig. 16 ist eine Schnittdarstellung des CS-IGBT **400** entlang Linie B-B in Fig. 6. Das heißt, Fig. 16 zeigt den Abschnitt, bei dem eine Haupt-IGBT-Zelle **401**, die einen Hauptschaltkreis bildet und eine Sensierungs-IGBT-Zelle **402**, die einen Sensierungsschaltkreis in dem CS-IGBT **400** bildet, einander benachbart ausgebildet sind.

[0157] In diesem CS-IGBT **400** bilden die p-Kollektorschicht **1** und die n-Halbleiterschicht **2** einen flachen kartenförmigen Halbleiterkörper **414**. Auf der oberen Hauptfläche des Halbleiterkörpers **440**, d. h. auf der oberen Oberfläche der m-Halbleiterschicht **2** ist eine p-Basisschicht **403a** selektiv im Bereich der Haupt-IGBT-Zelle **401** ausgebildet, indem selektiv Störstellen des p-Typs diffundiert werden. Eine p-Basisschicht **403b** ist selektiv im Bereich der Sensierungs-IGBT-Zelle **402** gebildet.

[0158] Die p-Basisschicht **403a** und die p-Basisschicht **403b** sind zueinander unterschiedlich in der Diffusionstiefe der Störstellen des p-Typs, welche diese Halbleiterschichten bilden. Das heißt, in der p-Basisschicht **403b** sind die Störstellen des p-Typs tiefer diffundiert als in der p-Basisschicht **403a**. Folglich ist die Länge eines Kanalbereichs **421b**, der in der p-Basisschicht **403b** ausgebildet ist, d. h. die Kanallänge LCHS in der Sensierungs-IGBT-Zelle **402** länger als die Länge eines Kanalbereichs **421a** in der p-Basisschicht **403a**, d. h. als eine Kanallänge Lchm in der Haupt-IGBT-Zelle **401**.

[0159] Damit ist die Gate-Emitter-Kapazität Cde in der Sensierungs-IGBT-Zelle **402** größer als in der Haupt-IGBT-Zelle **401**. Die verbleibenden Merkmale des Aufbaus sind beispielsweise gleich wie beim CS-IGBT **100**. Folglich gibt es mit Ausnahme der Differenz in der Kanallänge keine charakteristische Differenz im Aufbau zwischen der Haupt-IGBT-Zelle **401** und der Sensierungs-IGBT-Zelle **402**. Daher haben sowohl die Gate-Kollektor-Kapazität Cgc und Gatewiderstand Rg zwischen den beiden IGBT-Zellen keine besondere Differenz.

[0160] Im Ergebnis ist gemäß Gleichung (2) die Gateeingangskapazität Cies in der Sensierungs-IGBT-Zelle **402** größer als in der Haupt-IGBT-Zelle **401**. Da es keine Differenz im Gatewiderstand Rg gibt, ist somit gemäß Gleichung (1) die Anstiegszeit t_{rise} zwischen den beiden IGBT-Zellen unterschiedlich. Das heißt, die Anstiegszeit t_{rise} ist in der Sensierungs-IGBT-Zelle **402** größer als in der Haupt-IGBT-Zelle **401**.

[0161] Im Ergebnis steigt der Sensierungsstrom Is im Vergleich zu dem Hauptschaltkreisstrom Im langsam an. Das heißt, in der Einschaltperiode sind Änderungen der Gatespannung V_{GEM} der Haupt-IGBT-Zelle **401**, der Gatespannung V_{GES} der Sensierungs-IGBT-Zelle **402**, des Hauptschaltkreisstroms Im und des Sensierungsstroms Is über die Zeit hinweg wie im Zeitdiagramm von Fig. 12 gezeigt. Folglich tritt der Stoßstrom ΔIsp in dem Sensierungsstrom

Is nicht auf.

[0162] Wie oben beschrieben ist die Anstiegszeit t_{rise} bevorzugt SO gesetzt, dass $0,5 \leq t_{rise}/t_{rise} \leq 0,9$. Folglich ist es bevorzugt, dass das Verhältnis der Gateeingangskapazität Ciesm der Haupt-IGBT-Zelle **401** und der Gateeingangskapazität Ciess der Sensierungs-IGBT-Zelle **402** so gesetzt ist, dass $0,5 \leq$ Ciesm/Ciess $\leq 0,9$.

[0163] Hieraus lässt sich schließen, dass das bevorzugte Verhältnis zwischen der Gate-Emitter-Kapazität Cgem der Haupt-IGBT-Zelle **401** und der Gate-Emitter-Kapazität Cges der Sensierungs-IGBT-Zelle **402** $0.5 \leq$ Cgem/Cges $\leq 0,9$ ist. Dies bedeutet weiterhin, dass das bevorzugte Verhältnis zwischen der Kanallänge Lchm und der Kanallänge Lchs $0,5 \leq$ Lchm/Lchs $\leq 0,9$ ist.

<5. Fünfte bevorzugte Ausführungsform>

[0164] Nachfolgend wird eine Vorrichtung der fünften bevorzugten Ausführungsform beschrieben, welche jedoch nicht in den Schutzumfang der vorliegenden Erfindung fällt. Der Aufbau der oberen Fläche eines CS-IGBT **500**, also einer Vorrichtung gemäß dieser bevorzugten Ausführungsform, ist wie der CS-IGBT **100** gemäß den Fig. 5 bis Fig. 7. Fig. ist eine Schnittdarstellung des CS-IGBT **500** entlang Linie B-B in Fig. 6. Das heißt, Fig. 17 zeigt den Abschnitt, in welchem eine Haupt-IGBT-Zelle **501**, die einen Hauptschaltkreis bildet und eine Sensierungs-IGBT-Zelle **502**, die einen Sensierungsschaltkreis in dem CS-IGBT **500** bildet, einander benachbart ausgebildet sind.

[0165] Gemäß Fig. 17 haben eine Gateelektrode **507a**, die zu der Haupt-IGBT-Zelle **501** gehört und eine Gateelektrode **507b**, die zu der Sensierungs-IGBT-Zelle **502** gehört, unterschiedliche Abstände von der oberen Hauptoberfläche des Halbleiterkörpers **40**. Das heißt, die Gateelektrode **507b** liegt näher an der oberen Hauptfläche des Halbleiterkörpers **40** als die Gateelektrode **507a**. Mit anderen Worten, ein Gateisolationsfilm **506**, der diese Gateelektroden und den Halbleiterkörper **40** elektrisch isoliert, ist in der Haupt-IGBT-Zelle **501** dicker und in der Sensierungs-IGBT-Zelle **502** dünner. Damit ist die Gate-Emitterkapazität Cge und ist die Gate-Kollektor-Kapazität Cgc in der Sensierungs-IGBT-Zelle **502** größer als in der Haupt-IGBT-Zelle **501**. Der Gateisolationsfilm **506** ist beispielsweise aus einem Oxid gebildet.

[0166] Die Emitterelektrode **508** und die Gateelektrode **507a** und die Sensierungselektrode **509** und Gateelektrode **507b** sind beide elektrisch durch den Isolationszwischenfilm **510** isoliert, der aus einem Oxid oder dergleichen ist. Somit gibt es in dem CS-IGBT **500** keinen besonderen Unterschied zwischen der Haupt-IGBT-Zelle **501** und der Sensierungs-IGBT-Zelle **502** mit der Ausnahme, dass die Abstände zwischen den beiden Arten von Gateelektroden **507a** und **507b** und dem Halbleiterkörper **40** zueinander unterschiedlich sind. Somit hat der Gatewiderstand Rg zwischen den beiden IGBT-Zellen keine besondere Differenz.

[0167] Wie durch Gleichung (2) gezeigt, ist im Ergebnis die Gateeingangskapazität Cies in der Sensierungs-IGBT-Zelle **502** größer als in der Haupt-IGBT-Zelle **501**. Da es keine Differenz im Gatewiderstand Rg gibt, unterscheidet sich die Anstiegszeit t_{rise} zwischen den beiden IGBT-Zellen, wie in Gleichung (1) angegeben. Das heißt, die Anstiegszeit t_{rise} ist in der Sensierungs-IGBT-Zelle **502** größer als in der Haupt-IGBT-Zelle **501**.

[0168] Im Ergebnis steigt der Sensierungsstrom Is im Vergleich zum Hauptschaltkreisstrom Im langsam an. Das heißt, in der Einschaltperiode sind Änderungen der Gatespannung V_{GEM} der Haupt-IGBT-Zelle **501**, der Gatespannung V_{GES} der Sensierungs-IGBT-Zelle **502**, des Hauptschaltkreisstroms Im und des Sensierungsstroms Is über die Zeit hinweg wie im Zeitdiagramm von Fig. 12 gezeigt. Folglich tritt der Stoßstrom ΔIsp im Sensierungsstrom Is nicht auf.

[0169] Wie oben erläutert ist es bevorzugt, dass das Verhältnis der Gateeingangskapazität Ciesm und der Gateeingangskapazität Ciess so gesetzt ist, dass $0,5 \leq$ Ciesm/Ciess $\leq 0,9$. Folglich lässt sich schließen, dass das bevorzugte Verhältnis zwischen der Dicke t_{OXGM} des Gateisolationsfilms **506** in der Haupt-IGBT-Zelle **501** und der Dicke t_{OXGS} in der Sensierungs-IGBT $0,5 \leq t_{OXGM}/t_{OXGS} \leq 0,9$.

<6. Sechste bevorzugte Ausführungsform>

[0170] Nachfolgend wird eine Vorrichtung der sechsten bevorzugten Ausführungsform beschrieben, welche jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Der Aufbau der oberen Fläche eines CS-IGBT **600**, der die Vorrichtung gemäß dieser bevorzugten Ausführungsform ist, ist wie der CS-IGBT **100** in den Fig. 5 bis Fig. 7. Fig. 18 ist eine Schnittdarstellung des CS-IGBT **600** entlang der Linie B-B in Fig. 6. Das heißt, Fig. 18 zeigt den Abschnitt, bei dem eine Haupt-IGBT-Zelle **601**, die einen Hauptschaltkreis bildet und eine Sensierungs-IGBT-Zelle **602**, die einen Sensierungsschaltkreis in dem CS-IGBT **600** bildet, einander benachbart ausgebildet sind.

[0171] Wie in Fig. 18 gezeigt, haben eine Gateelektrode **607a**, die zur Haupt-IGBT-Zelle **601** gehört und eine Gateelektrode **607b**, die zu der Sensierungs-IGBT-Zelle **602** gehört, unterschiedliche Abstände von der oberen Fläche der n-Halbleiterschicht **2** zumindest in einem Teil des Abschnitts, der zur oberen

Oberfläche hiervon weist. Das heißt, die Gateelektrode **607b** liegt näher an der oberen Hauptoberfläche der n-Halbleiterschicht **2** als die Gateelektrode **607a**.

[0172] Mit anderen Worten, ein Gateisolationsfilm **606**, der diese Gateelektroden und den Halbleiterkörper **40** elektrisch isoliert, ist auf der oberen Oberfläche der n-Halbleiterschicht **2**, die zu der Haupt-IGBT-Zelle **601** gehört, dicker und ist auf der oberen Oberfläche der n-Halbleiterschicht **2**, die zu der Sensierungs-IGBT-Zelle **602** gehört, dünner. Das heißt, die Dicke t_{OXM} des Abschnittes, der zur oberen Oberfläche der n-Halbleiterschicht **2** im Gateisolationsfilm **606** weist, der zur Haupt-IGBT-Zelle **601** gehört und die Dicke t_{OXS} des Abschnittes, der zur oberen Oberfläche der n-Halbleiterschicht **2** in dem Gateisolationsfilm **606** weist, der zu der Sensierungs-IGBT-Zelle **602** gehört, haben die Beziehung $t_{OXM} > t_{OXS}$. Damit ist die Gate-Kollektor-Kapazität Cgc in der Sensierungs-IGBT-Zelle **602** größer als in der Haupt-IGBT-Zelle **601**. Der Gateisolationsfilm **606** ist beispielsweise aus einem Oxid gebildet.

[0173] Die Emitterelektrode **608** und die Gateelektrode **607a** und die Sensierungselektrode **609** und die Gateelektrode **607b** sind beide elektrisch durch einen Isolationszwischenfilm **610** aus einem Oxid oder dergleichen isoliert. Damit gibt es in dem CS-IGBT **600** keinen charakteristischen Unterschied zwischen der Haupt-IGBT-Zelle **601** und der Sensierungs-IGBT-Zelle **602** mit Ausnahme, dass die Abstände zwischen den beiden Arten von Gateelektroden **607a** und **607b** und der n-Halbleiterschicht **2** unterschiedlich sind. Folglich haben sowohl die Gate-Emitter-Kapazitäten Cge als auch die Gatewiderstände Rg zwischen den beiden IGBT-Zellen keinen besonderen Unterschied.

[0174] Im Ergebnis ist gemäß Gleichung (2) die Gateeingangskapazität Cies in der Sensierungs-IGBT-Zelle **602** größer als in der Haupt-IGBT-Zelle **601**. Da es keine Differenz im Gatewiderstand Rg gibt, unterscheidet sich daher die Anstiegszeit t_{rise} zwischen den beiden IGBT-Zellen, wie in Gleichung (1) ausgedrückt. Das heißt, die Anstiegszeit t_{rise} ist in der Sensierungs-IGBT-Zelle **602** länger als in der Haupt-IGBT-Zelle **601**.

[0175] Im Ergebnis steigt der Sensierungsstrom Is im Vergleich zum Hauptschaltkreisstrom Im langsamer an. Das heißt, in der Einschaltperiode sind Änderungen der Gatespannung V_{GEM} der Haupt-IGBT-Zelle **601**, der Gatespannung V_{GES} der Sensierungs-IGBT-Zelle **602**, des Hauptschaltkreisstroms Im und des Sensierungsstroms Is über die Zeit hinweg wie im Zeitdiagramm von Fig. 12 gezeigt. Folglich tritt auch der Stoßstrom ΔIsp im Sensierungsstrom Is nicht auf.

[0176] Es ist bevorzugt, dass das Verhältnis der Gate-Kollektor-Kapazität Cgcm in der Haupt-IGBT-Zelle **601** und der Gate-Kollektor-Kapazität Cgcs in der Sensierungs-IGBT-Zelle **602** $0{,}5 \leq Cgcm/Cgcs \leq 0{,}9$ beträgt. Folglich kann gesagt werden, dass das bevorzugte Verhältnis zwischen der Dicke des Gateisolationsfilms **601** in dem Abschnitt, der zur oberen Oberfläche der n-Halbleiterschicht **2** weist, $0{,}5 \leq t_{OXS}/t_{OXM} \leq 0{,}9$ beträgt.

<7. Siebte bevorzugte Ausführungsform>

[0177] In den folgenden bevorzugten Ausführungsformen erfolgt eine Beschreibung von bevorzugten Verfahren zur Herstellung der Vorrichtungen der oben beschriebenen bevorzugten Ausführungsformen. Das Herstellungsverfahren der siebten bevorzugten Ausführungsform ist ein Verfahren, das zur Herstellung der Vorrichtung **100** gemäß der ersten bevorzugten Ausführungsform der vorliegenden Erfindung geeignet ist. Die **Fig.** 19 bis Fig. 35 sind Herstellungsprozessdarstellungen, welche das Verfahren dieser bevorzugten Ausführungsform erläutern. Bezugnehmend auf diese Figuren wird das Verfahren dieser bevorzugten Ausführungsform nun beschrieben.

[0178] Bei der Herstellung des CS-IGBT **100** wird zunächst gemäß Fig. 19A ein Siliziumsubstrat des p-Typs entsprechend der p-Kollektorschicht **1** vorbereitet. Nachfolgend wird gemäß Fig. 19B die n-Halbleiterschicht **2** durch epitaxiales Wachstum auf der p-Kollektorschicht **1** gebildet. Diese p-Kollektorschicht **1** und die n-Halbleiterschicht **2** bilden den Halbleiterkörper **140**. Es sei festzuhalten, dass nur die Epitaxialschicht des n-Typs und der Abschnitt oberhalb hiervon in den folgenden Fig. 20 bis Fig. 29 gezeigt sind.

[0179] Nachfolgend wird gemäß Fig. 20 ein Siliziumoxidfilm (Oxidfilm) **751** auf der n-Halbleiterschicht **2**, d.h. auf der oberen Hauptfläche des Halbleiterkörpers **114** ausgebildet.

[0180] Danach wird gemäß Fig. 21 eine Polysiliziumschicht (leitfähige Schicht) **752** auf dem Siliziumoxidfilm **751** gebildet und weiterhin wird eine Resistschicht **753** über der gesamten Polysiliziumschicht **752** gebildet.

[0181] Nachfolgend wird gemäß Fig. 22 unter Verwendung einer Maske **757**, die ein Maskenmuster **756** definiert, an der Resistschicht **753** ein fotolithografischer Prozess durchgeführt, um ein Resistmuster **754** entsprechend dem Maskenmuster **756** zu erhalten. Dann wird unter Verwendung des Resistmusters **754** als Maske die Polysiliziumschicht **752** selektiv geätzt. Die Gateelektrode **7** mit Öffnungen (ersten Öffnungen) entsprechend dem Resistmuster **754** wird somit auf dem Siliziumoxidfilm **751** gebildet.

[0182] Nachfolgend wird unter Verwendung des Resistmusters **754** und der Gateelektrode **7** als Masken Bor selektiv in die n-Halbleiterschicht **2** von oberhalb ihrer oberen Oberfläche her implantiert. Das heißt, Bor wird durch die Öffnungen selektiv eingebaut. Dies bildet selektiv Halbleiterbereiche **755** des p-Typs in der oberen Oberfläche der Halbleiterschicht **2**. Diese Halbleiterbereiche **755** des p-Typs werden in den Bereichen entsprechend sowohl der Haupt-IGBT-Zelle als auch der Sensierungs-IGBT-Zelle zur gleichen Zeit gebildet.

[0183] Danach wird gemäß Fig. 23 mit dem verbleibenden Resistmuster **754** eine Resistschicht **758** über das gesamte Resistmuster **754** und den Halbleiterkörper **140** aufgebracht.

[0184] Danach wird gemäß Fig. 24 unter Verwendung einer Maske **761**, die ein Maskenmuster **760** definiert, ein fotolithografischer Prozess an der Resistschicht **758** durchgeführt, um ein Resistmuster (Abschirmfilm) **759** entsprechend dem Maskenmuster **760** zu erhalten. Das Maskenmuster **760** wird so gebildet, dass nur die Öffnung der Gateelektrode **7** in dem Bereich entsprechend der Sensierungs-IGBT-Zelle (der Öffnung auf der rechten Seite in Fig. 24) abgedeckt wird. Folglich öffnet sich das Resistmuster **759** nur in der Öffnung der Gateelektrode **7** im Bereich entsprechend der Sensierungs-IGBT-Zelle.

[0185] Danach wird wieder auf die obere Oberfläche der n-Halbleiterschicht **2** unter Verwendung des Resistmusters **759** als Maske Bor selektiv eingebaut. Im Ergebnis wird, da das Bor wieder nur in den Halbleiterbereich **755** des p-Typs im Bereich entsprechend der Sensierungs-IGBT-Zelle eingebaut wird, ein Halbleiterbereich **762** des p-Typs mit einer Störstellenkonzentration höher als derjenigen des Halbleiterbereichs **755** des p-Typs in dem Bereich entsprechend der Sensierungs-IGBT-Zelle gebildet.

[0186] Danach wird gemäß Fig. 25 das Resistmuster **754** und das Resistmuster **759** entfernt **759** entfernt und das Bor im Halbleiterbereich **755** des p-Typs und im Halbleiterbereich **762** des p-Typs wird diffundiert, um unterhalb der Gateelektrode **7** durch einen Treiberprozess einzudringen, um die p-Basisschicht **3a** und die p-Basisschicht **3b** zu erhalten.

[0187] Danach wird gemäß Fig. 26 eine Resistschicht **764** auf der gesamten Oberfläche der Gateelektrode **7** und des Siliziumoxidfilms **754** angeordnet.

[0188] Nachfolgend wird gemäß Fig. 27 der fotolithografische Prozess der Resistschicht **764** unter Verwendung einer Maske **767** durchgeführt, welche ein Maskenmuster **766** definiert, um ein Resistmuster **768** mit Öffnungen entsprechend dem Maskenmuster **766** zu erhalten. Diese Öffnungen liegen innerhalb der Öffnungen der Gateelektrode **7**.

[0189] Nachfolgend wird unter Verwendung des Resistmusters **768** und der Gatelektrode **7** als Masken Bor mit hoher Konzentration selektiv in die p-Basisschicht **3a** und die p-Basisschicht **3b** von oben her implantiert, um selektiv p^+-Halbleiterschichten **770** in den oberen Oberflächen der p-Basisschicht **3a** und der p-Basisschicht **3b** zu bilden.

[0190] Danach wird gemäß Fig. 28 nach Entfernung des Resistmusters **768** das Bor in den p^+-Halbleiterschichten **770** durch einen Treiberprozess diffundiert, um die p^+-Halbleiterschichten **11** zu erhalten. Gemäß Fig. 28 wird der Fortschritt des Treiberprozesses so eingestellt, dass die p^+-Halbleiterschicht **11** nicht nach außen über die Öffnung der Gateelektrode **7** hinaus vordringt.

[0191] Nachfolgend wird gemäß Fig. 29 eine Resistschicht **772** auf der gesamten oberen Oberfläche der Gateelektrode **7** und des Siliziumoxidfilms **751** angeordnet.

[0192] Nachfolgend wird gemäß Fig. 30 der fotolithografische Prozess der Resistschicht **772** durchgeführt, in dem eine Maske **778**, die ein Maskenmuster **777** verwendet, um ein Resistmuster **775** entsprechend dem Maskenmuster **777** zu erhalten. Dieses Resistmuster **775** existiert nur in den mittleren Bereichen der Öffnungen der Gateelektrode **7**.

[0193] Nachfolgend wird der Siliziumoxidfilm **751** selektiv unter Verwendung des Resistmusters **775** und der Gateelektrode **7** als Maske geätzt. Somit werden der Gateisolationsfilm **6** mit Öffnungen gleich denjenigen der Gateelektrode **7** und ein Oxidfilmmuster **774**, welches in den mittleren Bereichen der Öffnungen liegt, erhalten.

[0194] Danach wird gemäß Fig. 31 nach Entfernung des Resistmusters **775** unter Verwendung des Oxidmusters **774**, des Gateisolationsfilmes **6** und der Gateelektrode **7** als Masken Arsen selektiv in die obere Oberfläche der p^+-Halbleiterschichten **11** implantiert. Dies bildet selektiv die n-Emitterschichten **5** in den oberen Oberflächen der p-Basisschichten **3a** und **3b**. Das heißt, die n-Emitterschicht **5** wird in der Öffnung der Gateelektrode **7** unter Ausschluss des Oxidfilmmusters **774** oder in einem etwas breiteren Bereich gebildet.

[0195] Nachfolgend wird gemäß Fig. 32 ein relativ dicker Siliziumoxidfilm **780** über der gesamten oberen Fläche der Struktur angeordnet, die erhalten wird, nachdem der voranstehende Prozess abgeschlossen ist. Danach wird eine Resistschicht **781** über der gesamten oberen Oberfläche des Siliziumoxidfilms **780** angeordnet.

[0196] Danach wird gemäß Fig. 33 der fotolithografische Prozess der Resistschicht **781** unter Verwendung einer Maske **748**, die ein Maskenmuster **783** definiert, durchgeführt, um ein Resistmuster **786** entsprechend dem Maskenmuster **783** zu erhalten. Danach wird Ätzen unter Verwendung des Resistmusters **786** als Maske durchgeführt, um den Siliziumoxidfilm **780** selektiv zu entfernen und auch, um den Oxidfilm **774** zu entfernen. Somit wird der Isolationszwischenfilm **10** erhalten. Der Siliziumoxidfilm **10** hat Öffnungen (zweite Öffnungen) entsprechend dem Resistmuster **786**. Diese Öffnungen liegen innerhalb der Öffnung in der Gateelektrode **7**, wobei ihre Öffnungsenden auf den n-Emitterschichten **5** liegen.

[0197] Nachfolgend wird gemäß Fig. 34 nach Entfernung des Resistmusters **786** eine Aluminiumschicht **787** gebildet, welche die gesamte obere Fläche der erhaltenen Struktur abdeckt, mit anderen Worten, welche die freiliegende Oberfläche des Isolationszwischenfilms **10** und des Halbleiterkörpers **140** abdeckt. Nachfolgend wird eine Resistschicht **788** über der gesamten oberen Fläche der Aluminiumschicht **787** ausgebildet.

[0198] Nachfolgend wird gemäß Fig. 35 der fotolithografische Prozess der Resistschicht **788** durchgeführt, wobei eine Maske **791**, die ein Maskenmuster **790** definiert, verwendet wird, um ein Resistmuster **789** entsprechend dem Maskenmuster **790** zu erhalten. Die Aluminiumschicht **787** wird selektiv geätzt, wobei das Resistmuster **789** als Maske verwendet wird, um die Emitterelektrode **8** und die Sensierungselektrode **9** zu erhalten.

[0199] Das heißt, die Emitterelektrode **8**, welche zu der Haupt-IGBT-Zelle gehört und die Sensierungselektrode **9**, welche zu dem Sensierungs-IGBT gehört, werden durch diesen Prozess getrennt. Sowohl die Emitterelektrode **8** als auch die Sensierungselektrode **9** sind in Kontakt mit den p^+-Halbleiterschichten **11** und den Emitterschichten **5**, um elektrisch hiermit verbunden zu sein.

[0200] Nachfolgend wird nach Entfernung des Resistmusters **789** und zurückkehrend zu Fig. 8 ein Al-Mo-Ni-Au-Film auf der gesamten unteren Oberfläche des Halbleiterkörpers **140** gebildet, d. h. über die gesamte untere Oberfläche der p-Kollektorschicht **1**, um die Kollektorelektrode **12** zu erhalten.

[0201] Durch den oben beschriebenen Prozessablauf wird der CS-IGBT **100** gemäß Fig. 8 erhalten.

<8. Achte bevorzugte Ausführungsform>

[0202] Nachfolgend wird ein Herstellungsverfahren gemäß der achten bevorzugten Ausführungsform beschrieben, welches jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Dieses Herstellungsverfahren ist geeignet zur Herstellung der Vorrichtung **200** der zweiten bevorzugten Ausführungsform.

[0203] Bei der Herstellung des CS-IGBT **200** werden zuerst die Prozesse der **Fig.** 19 bis Fig. 22 durchgeführt. Nachfolgend geht man ohne Durchführung der Prozesse der Fig. 23 und Fig. 24 zu dem Prozess gemäß Fig. 25. Das heißt, die p-Basisschicht **3a** und die p-Basisschicht **3b** werden als p-Basisschichten **3** mit gleichem Aufbau gebildet.

[0204] Danach werden die Prozesse der Fig. 26 bis Fig. 31 durchgeführt, um die p^+-Halbleiterschichten **11** und die n-Emitterschichten **5** zu erhalten. Danach wird gemäß Fig. 36 eine Resistschicht **810** über der gesamten erhaltenen Struktur ausgebildet.

[0205] Nachfolgend wird gemäß Fig. 37 der fotolithografische Prozess der Resistschicht **810** durchgeführt, wobei eine Maske **813**, die ein Maskenmuster **812** definiert, verwendet wird, um ein Resistmuster **814** entsprechend dem Maskenmuster **812** zu erhalten. Dieses Resistmuster **814** wird so gebildet, dass es selektiv den gesamten Bereich entsprechend der Sensierungs-IGBT-Zelle und die Zelle der Gateelektrode **7** in dem Bereich entsprechend der Haupt-IGBT-Zelle bedeckt.

[0206] Danach werden Störstellen des n-Typs eingebaut, wobei das Resistmuster **814** als Maske verwendet wird, um die Störstellenkonzentration der Gateelektrode **7** selektiv zu erhöhen, welche zu dem Bereich entsprechend der Haupt-IGBT-Zelle gehört. Dies senkt selektiv den Schichtwiderstand der Gateelektrode **7**, die zur Haupt-IGBT-Zelle gehört.

[0207] Danach wird das Resistmuster **814** entfernt und dann werden die Prozesse nach Fig. 32 der siebten Ausführungsform durchgeführt, um den CS-IGBT **200** von Fig. 10 zu erhalten.

<9. Neunte bevorzugte Ausführungsform>

[0208] Nachfolgend wird ein Herstellungsverfahren gemäß der neunten bevorzugten Ausführungsform beschrieben, welches jedoch nicht im Schutzumfang der vorliegenden Erfindung liegt. Dieses Herstellungsverfahren ist geeignet zur Herstellung der Vorrichtung **600** der sechsten bevorzugten Ausführungsform.

[0209] Bei der Herstellung des CS-IGBT **600** wird zunächst der Prozess von **Fig.** 19 durchgeführt, um den Halbleiterkörper **40** zu erhalten. Danach wird gemäß Fig. 38 ein Siliziumoxidfilm **910** auf der oberen Hauptfläche des erhaltenen Halbleiterkörpers **40** ausgebildet. Dieser Siliziumoxidfilm **910** wird bevorzugt dicker gemacht als der Siliziumoxidfilm **751** von Fig. 20. Danach wird eine Resistschicht **911** auf der

gesamten oberen Oberfläche des Siliziumoxidfilms **910** ausgebildet.

[0210] Danach wird gemäß Fig. 39 der fotolithografische Prozess der Resistschicht **911** unter Verwendung einer Maske **914**, die ein Maskenmuster **913** definiert, durchgeführt, um ein Resistmuster (Abschirmfilm) **915** entsprechend dem Maskenmuster **913** zu erhalten. Dieses Resistmuster **915** wird so gebildet, dass es selektiv den Bereich abdeckt, in welchem die p-Basisschicht **3** in dem folgenden Prozess im Bereich entsprechend der Haupt-IGBT-Zelle nicht gebildet wird.

[0211] Nachfolgend wird Ätzen durchgeführt, wobei das Resistmuster **915** als Maske verwendet wird, um den Siliziumoxidfilm **910** selektiv zu entfernen. Somit verbleibt der Siliziumoxidfilm **910** selektiv als Siliziumoxidfilm (erster Oxidfilm) **916** genau unter dem Resistmuster **915**.

[0212] Nachfolgend wird gemäß Fig. 40 ein Siliziumoxidfilm (zweiter Oxidfilm) **917** dünner als der Siliziumoxidfilm **916** auf der oberen Hauptfläche des Halbleiterkörpers **40** gebildet. Danach werden diese Siliziumoxidfilme **916** und **917** wie der Siliziumoxidfilm **715** behandelt und der Halbleiter **40** wird wie der Halbleiterkörper **140** behandelt, um die Prozesse der Fig. 21 und Fig. 22 durchzuführen.

[0213] Nachfolgend werden die Prozesse der Fig. 23 und Fig. 24 nicht durchgeführt und man geht weiter zum Prozess von Fig. 25. Das heißt, die p-Basisschicht **3a** und die p-Basisschicht **3b** werden als p-Basisschichten **3** mit gleichem Aufbau gebildet. Danach werden die Prozesse nach Fig. 26 in der siebten bevorzugten Ausführungsform durchgeführt, um den CS-IGBT **600** von Fig. 18 zu erhalten.

[0214] Im Schritt gemäß Fig. 38 kann die Position, wo der Siliziumoxidfilm **910** selektiv verbleibt, auf der Grundlage eines Bereichs (imaginären Bereichs) bestimmt werden, wo die Öffnung der Gateelektrode **7** anzuordnen ist und der vorab angenommen wird. Das heißt, es wird geeignet um die Öffnung herum eine Bestimmung gemacht, welche zu dem Haupt-IGBT **601** gehört, wobei die Diffusionstiefe der p-Basisschicht **3** von dem offenen Ende der Öffnung her, d. h., wobei die Kanallänge berücksichtigt wird.

<10. Abwandlungsbeispiele>

(1) Obgleich die Beschreibung an IGBTs des n-Kanaltyps in bevorzugten obigen Ausführungsformen gemacht wurde, lässt sich das gleiche ähnlich bei IGBTs des p-Kanaltys anwenden, um die gleichen Effekte zu erzielen.
(2) Obgleich die Beschreibung anhand von IGBTs der bevorzugten obigen Ausführungsformen gemacht wurde, lässt sich das gleiche auf gleiche Weise bei anderen Feldeffekt-Halbleitervorrichtungen anwenden, beispielsweise MOS-Transistoren, Thyristoren etc., um die gleichen Effekte zu erzeugen.

Patentansprüche

1. Eine IGBT Halbleitervorrichtung mit einem ersten IGBT Feldeffekthalbleiterelement (**101**) mit einer Kanalbreite (Wm), die größer ist als die Kanalbreite (Ws) eines zweiten IGBT Feldeffekthalbleiterelements (**102**), die in dem gleichen Halbleitersubstrat ausgebildet sind und parallel geschaltet sind, **dadurch gekennzeichnet**, dass eine Störstellenkonzentration eines Leitfähigkeitstyps in einer Basisschicht (**3b**) des zweiten IGBT Feldeffekthalbleiterelements (**1C2**) höher eingestellt ist als eine Konzentration der Störstellen des ersten Leitfähigkeitstyps in einer Basisschicht (**3a**) des ersten IGBT Feldeffekthalbleiterelements (**101**) zum Einstellen einer Gateschwellenspannung ($V_{GE}(th)_S$) des zweiten IGBT Feldeffekthalbleiterelements (**102**) auf einen Wert, der höher ist als eine Gateschwellenspannung ($V_{GE}(th)_M$) des ersten IGBT Feldeffekthalbleiterelements (**101**).

2. Die Feldeffekthalbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass eine Steuereinrichtung zum Erfassen eines Hauptstroms vorgesehen ist, der in dem zweiten IGBT Feldeffekthalbleiterelement (**102**) fließt und das erste IGBT Feldeffekthalbleiterelement (**101**) abschaltet, wenn der Hauptstrom einen vorbestimmten Referenzwert überschreitet.

3. Verfahren zur Herstellung einer IGBT Halbleitervorrichtung mit einem ersten IGBT Feldeffekthalbleiterelement (**101**) mit einer Kanalbreite (Wm), die größer ist als eine Kanalbreite (Ws) eines zweiten IGBT Feldeffekthalbleiterelements (**102**), die in dem selben Halbleitersubstrat ausgebildet sind und parallel geschaltet sind, wobei
eine Störstellenkonzentration eines Leitfähigkeitstyps in einer Basisschicht (**3b**) des zweiten IGBT Feldeffekthalbleiterelements (**102**) so eingestellt wird, dass sie höher ist als eine Störstellenkonzentration dieses einen Leitfähigkeitstyps in einer Basisschicht (**3a**) des ersten IGBT Feldeffekthalbleiterelements (**101**), zum Einstellen einer Gateschwellenspannung ($V_{GE}(th)_S$) des zweiten IGBT Feldeffekthalbleiterelements (**102**) auf einen Wert, der höher ist als eine Gateschwellenspannung ($V_{GE}(th)_M$) des ersten IGBT Feldeffekthalbleiterelements (**101**) mit den Schritten (a)–(p) in folgender Reihenfolge:
(a) Erlangen eines Halbleitersubstrats (**1**, **2**) mit einer ersten Halbleiterschicht (**2**) eines ersten Leitfähigkeitstyps mit der ersten Halbleiterschicht offenliegend in einer oberen Hauptfläche des Halbleitersubstrats;
(b) Ausbilden eines Oxidfilms (**751**) auf der oberen Hauptfläche des Halbleitersubstrats;

(c) Ausbilden einer leitenden Schicht (**752**) auf dem Oxidfilm (**751**);
(d) Ausbilden einer Gateelektrodeschicht (**7**) mit einer Mehrzahl von ersten Öffnungen durch selektives Entfernen der leitenden Schicht;
(e) selektives Einbauen von Störstellen eines zweiten Leitfähigkeitstyps in die obere Hauptfläche des Halbleitersubstrats durch die Mehrzahl von ersten Öffnungen unter Verwendung der Gateelektrodeschicht (**7**) als eine Maske, um selektiv eine Mehrzahl von zweiten Halbleiterschichten (**755**) des zweiten Leitfähigkeitstyps in einem oberen Flächenabschnitt der ersten Halbleiterschicht (**2**) auszubilden;
(f) Ausbilden eines Abschirmfilms (**759**), der alle ersten Öffnungen bedeckt mit Ausnahme mindestens einer der Mehrzahl von ersten Öffnungen, wobei eine Basisschicht (**3b**) des zweiten IGBT Feldeffekthalbleiters ausgebildet wird;
(g) selektives Einbauen der Störstellen des zweiten Leitfähigkeitstyps in die obere Hauptfläche des Halbleitersubstrats (**1**, **2**) durch Verwenden der Gateelektrodeschicht (**7**) und des Abschirmfilms (**759**) als Masken, um die Störstellenkonzentration in mindestens einer (**762**) der Mehrzahl von zweiten Halbleiterschichten (**755**) zu verbessern;
(h) Entfernen des Abschirmfilms (**759**) nach dem Schritt (g);
(i) Diffundieren der in den Schritten (e) und (g) in die erste Halbleiterschicht (**2**) eingebauten Störstellen, um die zweiten Halbleiterschichten (**755**, **762**) direkt unter die Gateelektrodeschicht (**7**) auszuweiten;
(i1) Abscheiden einer Resistschicht (**764**) auf die gesamte obere Fläche und Ausführen eines photolithographischen Verfahrens, um ein Resistmuster (**768**) mit Öffnungen innerhalb der Öffnungen der Gateelektrodeschicht (**7**) zu erhalten;
(i2) Verwenden der Resistschicht (**768**) und der Gateelektrodeschicht (**7**) als Maske um selektiv Störstellen des zweiten Leitfähigkeitstyps in die obere Fläche der Basisschichten (**3a**, **3b**) einzubauen, wobei Halbleiterschichten (**770**) mit einer höheren Konzentration des zweiten Leitfähigkeitstyps ausgebildet werden;
(i3) Diffundieren der Störstellen mit einer höheren Konzentration, die in Schritt (i2) eingebaut wurden;
(i4) Vorsehen einer Resistschicht (**772**) auf der gesamten oberen Fläche (**7**, **751**), und
(j) Strukturieren der Resistschicht (**772**), um selektiv den Oxidfilm (**751**), der in jeder der mehreren von ersten Öffnungen existiert, mit Ausnahme eines mittleren Bereiches (**774**) jeder ersten Öffnung, zu entfernen;
(k) selektives Einbauen der Störstellen des ersten Leitfähigkeitstyps in die obere Hauptfläche des Halbleitersubstrats (**1**, **2**) durch Verwenden des Oxidfilms (**751**), der in den mittleren Bereichen verbleibt und der Gateelektrodeschicht (**7**) als Masken, um dritte Halbleiterschichten (**5**) des ersten Leitfähigkeitstyps in dem oberen Flächenabschnitt der zweiten Halbleiterschichten auszubilden;
(l) Entfernen des Oxidfilms, der in den mittleren Bereichen (**774**) verbleibt;
(m) Ausbilden eines Isolationsfilms (**10**, **780**) mit zweiten Öffnungen, die innerhalb der ersten Öffnungen öffnen, wobei deren Öffnungsenden außerhalb der mittleren Bereiche liegen und Seitenflächen und eine obere Fläche der Gateelektrodeschicht (**7**) bedecken;
(n) Ausbilden einer ersten Hauptelektrodeschicht (**787**) um elektrisch mit der oberen Hauptfläche des Halbleitersubstrats (**1**, **2**) verbunden zu sein, das in den zweiten Öffnungen offen liegt;
(o) Trennen der ersten Hauptelektrodeschicht (**787**) in einen Abschnitt (**9**), der mit der oberen Hauptfläche des Halbleitersubstrats in dem mindestens einen der ersten Öffnungen, die in Schritt (f) ausgebildet wurden, verbunden ist, und einen anderen Abschnitt (**8**); und
(p) Ausbilden einer zweiten Hauptelektrodeschicht (**12**) um elektrisch mit einer unteren Hauptfläche des Halbleitersubstrats verbunden zu sein.

Es folgen 43 Blatt Zeichnungen

Anhängende Zeichnungen

F I G. 1

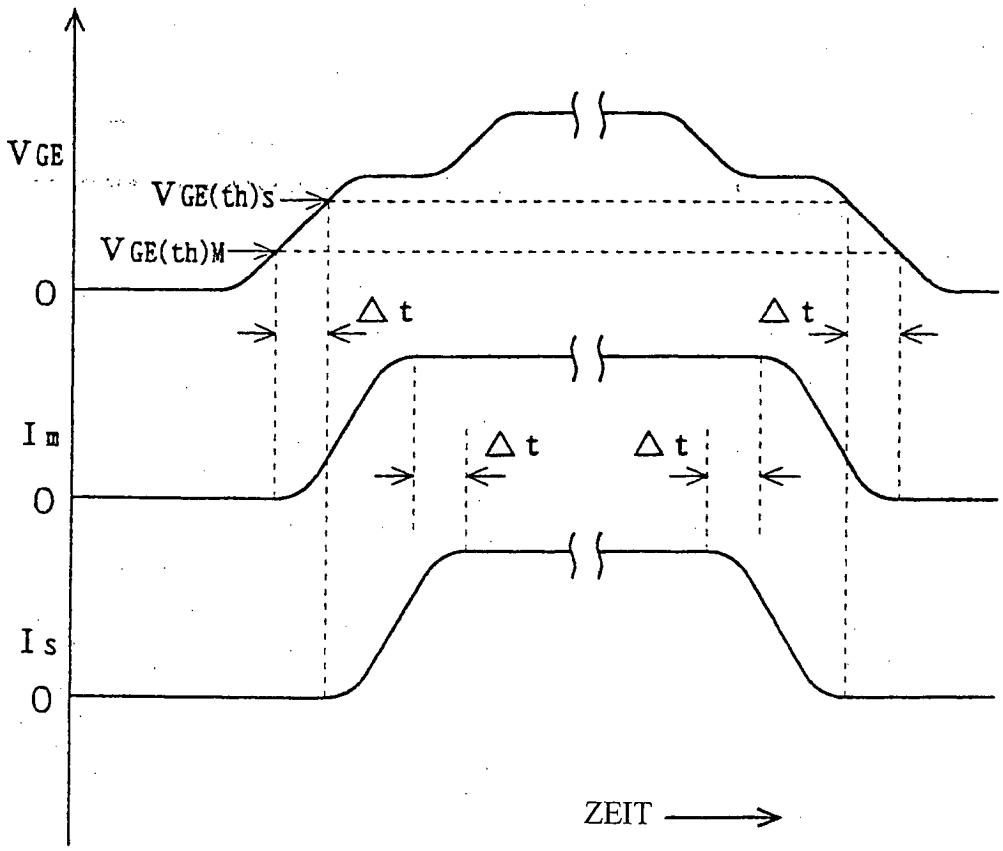


FIG. 2

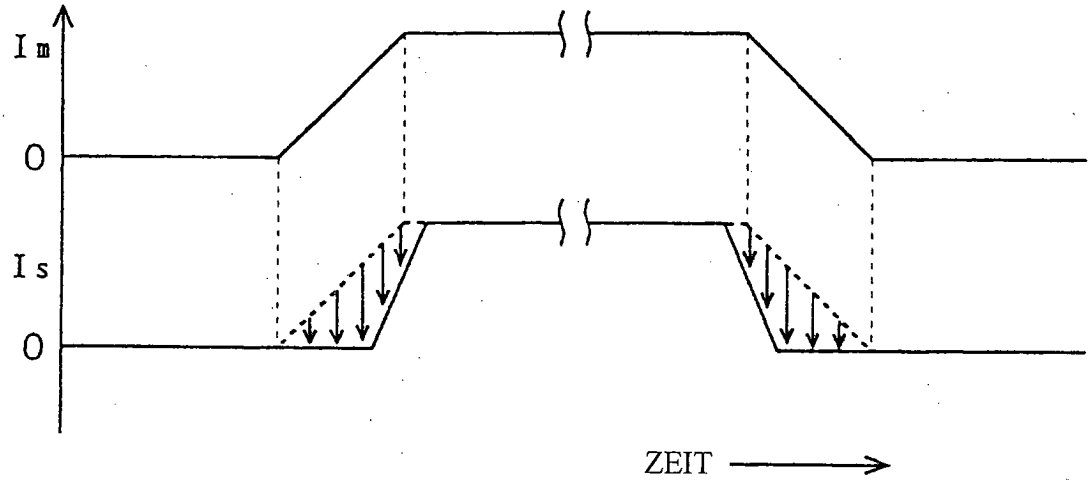


FIG. 3

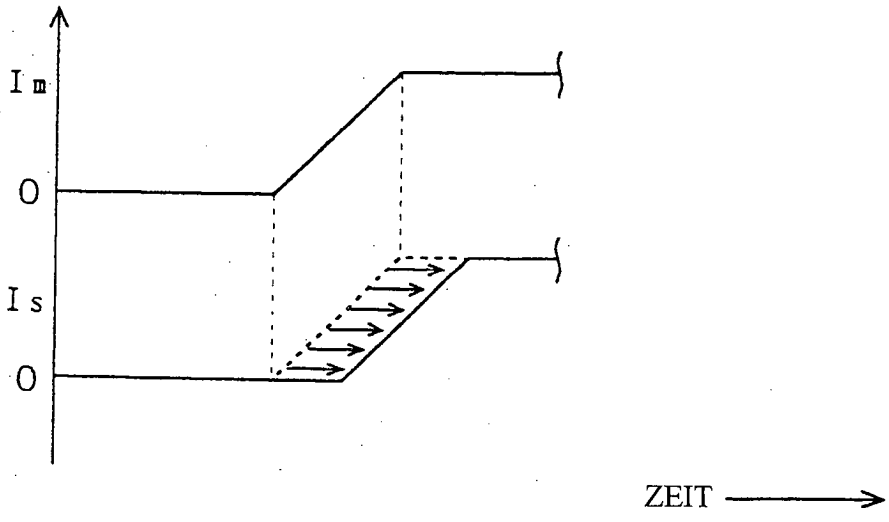


FIG. 4

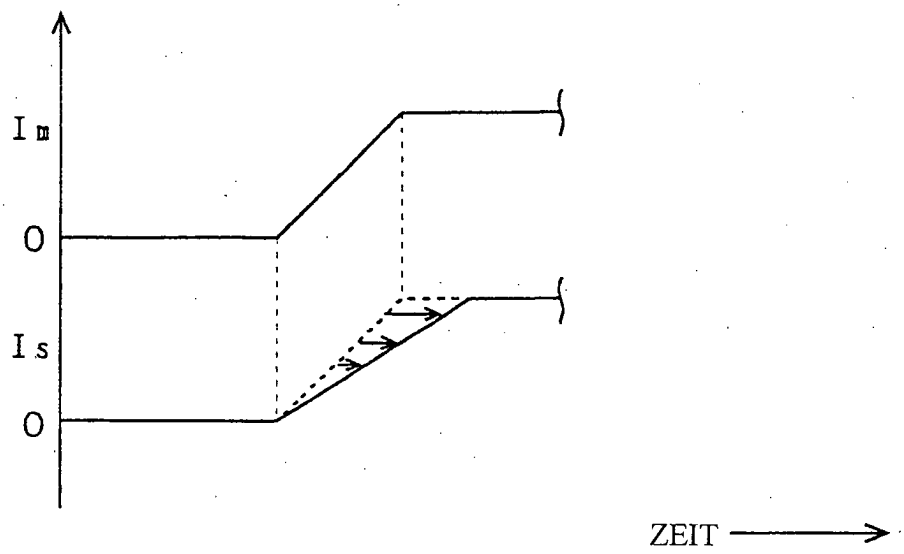


FIG. 5

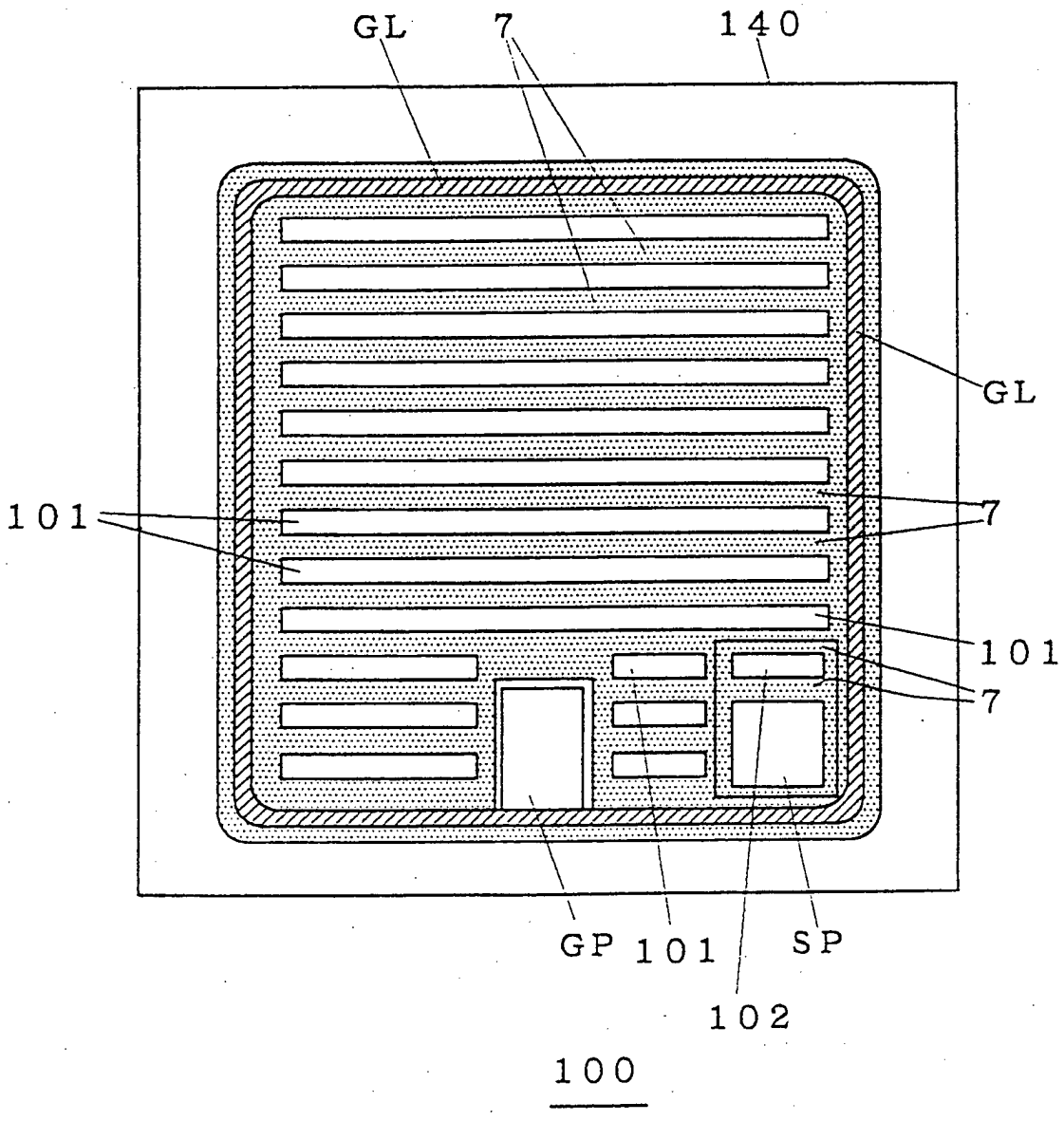


FIG. 6

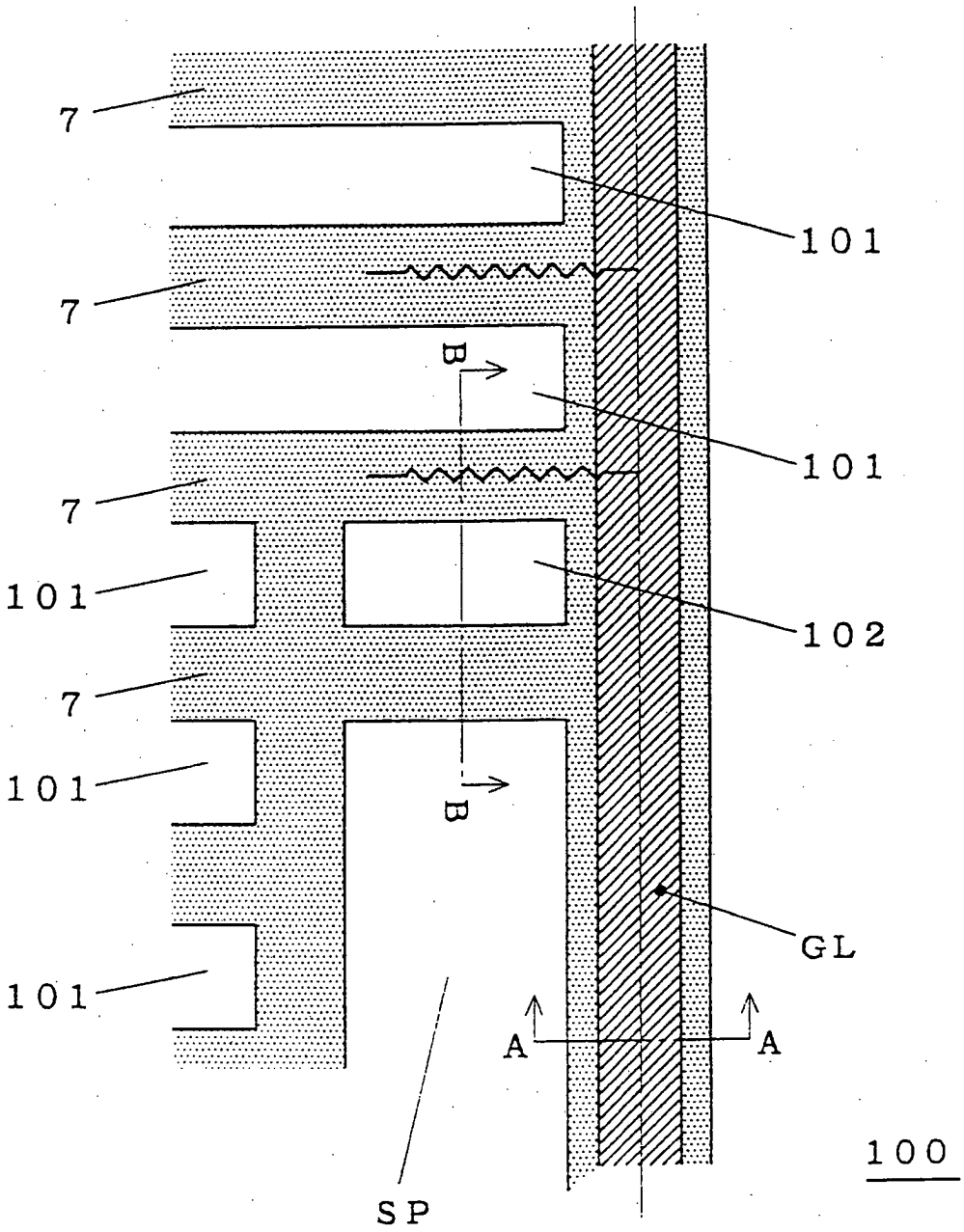


FIG. 7

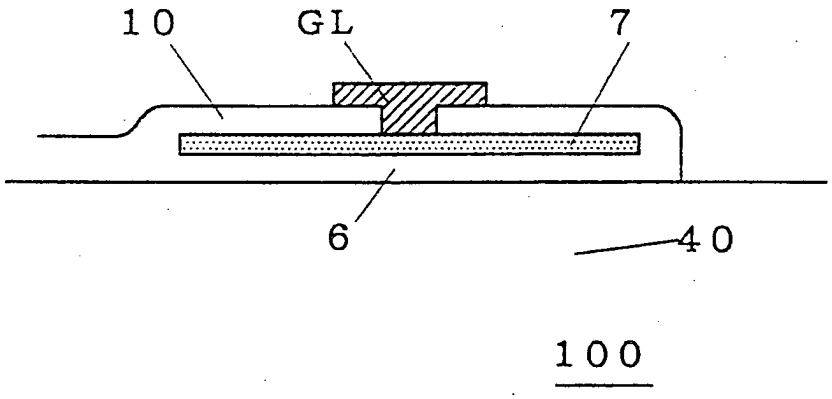


FIG. 8

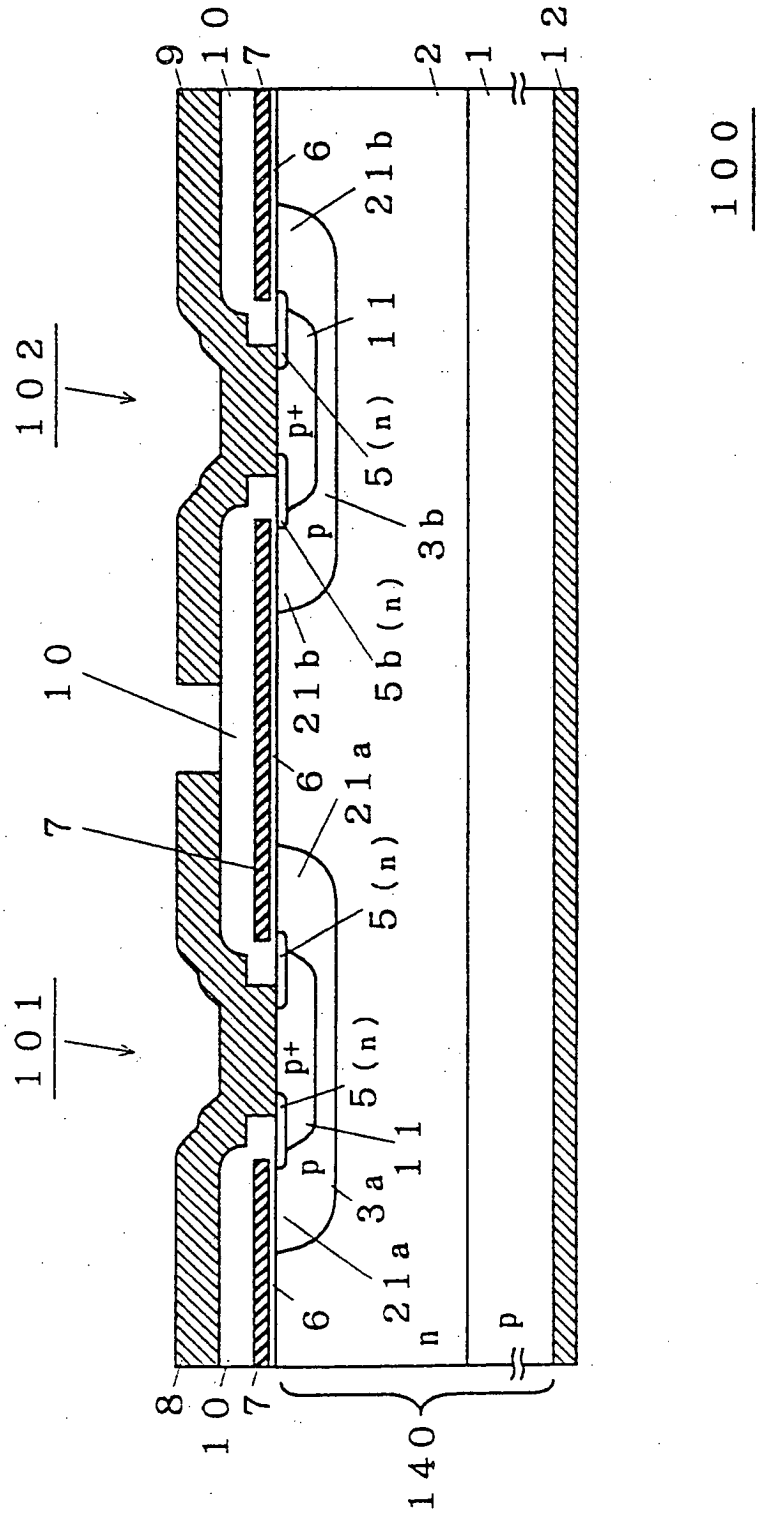

100
101
102
10
7
9
10
7
2
1
12
6
21b
11
5(n)
p+
p
3b
5b(n)
21b
6
21a
5(n)
5(n)
p+
11
p
3a
21a
6
n
p
8
10
7
140

FIG. 9

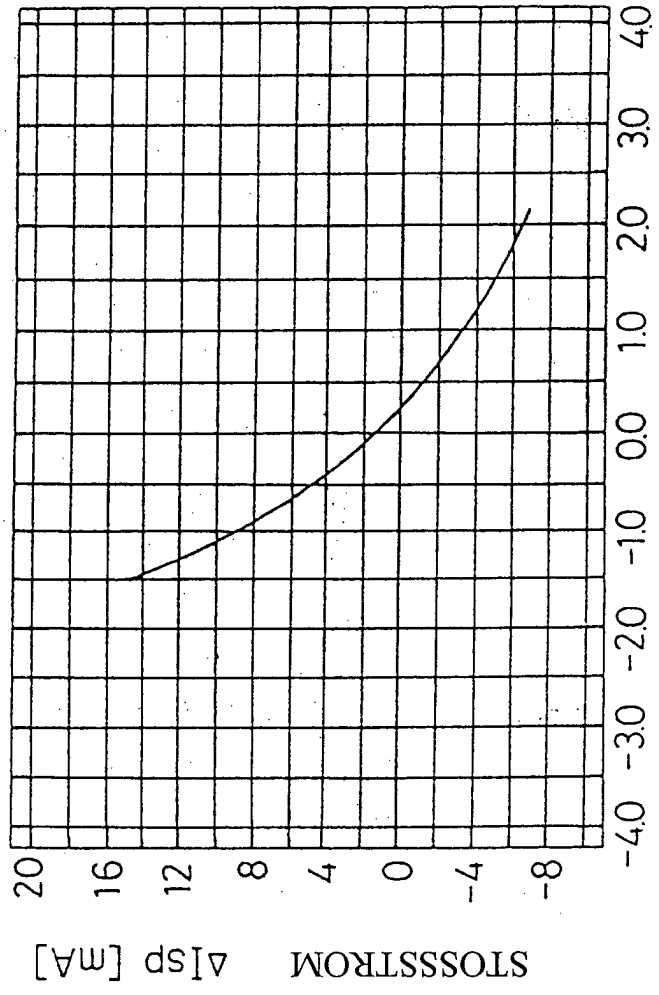

STOSSSTROM ΔIsp [mA]
20
16
12
8
4
0
-4
-8
-4.0
-3.0
-2.0
-1.0
0.0
1.0
2.0
3.0
4.0
DIFFERENZ IN GATESCHWELLWERTSPANNUNG $V_{GE(th)}$: $V_{GE(th)S} - V_{GE(th)M}$ [V]

FIG. 10

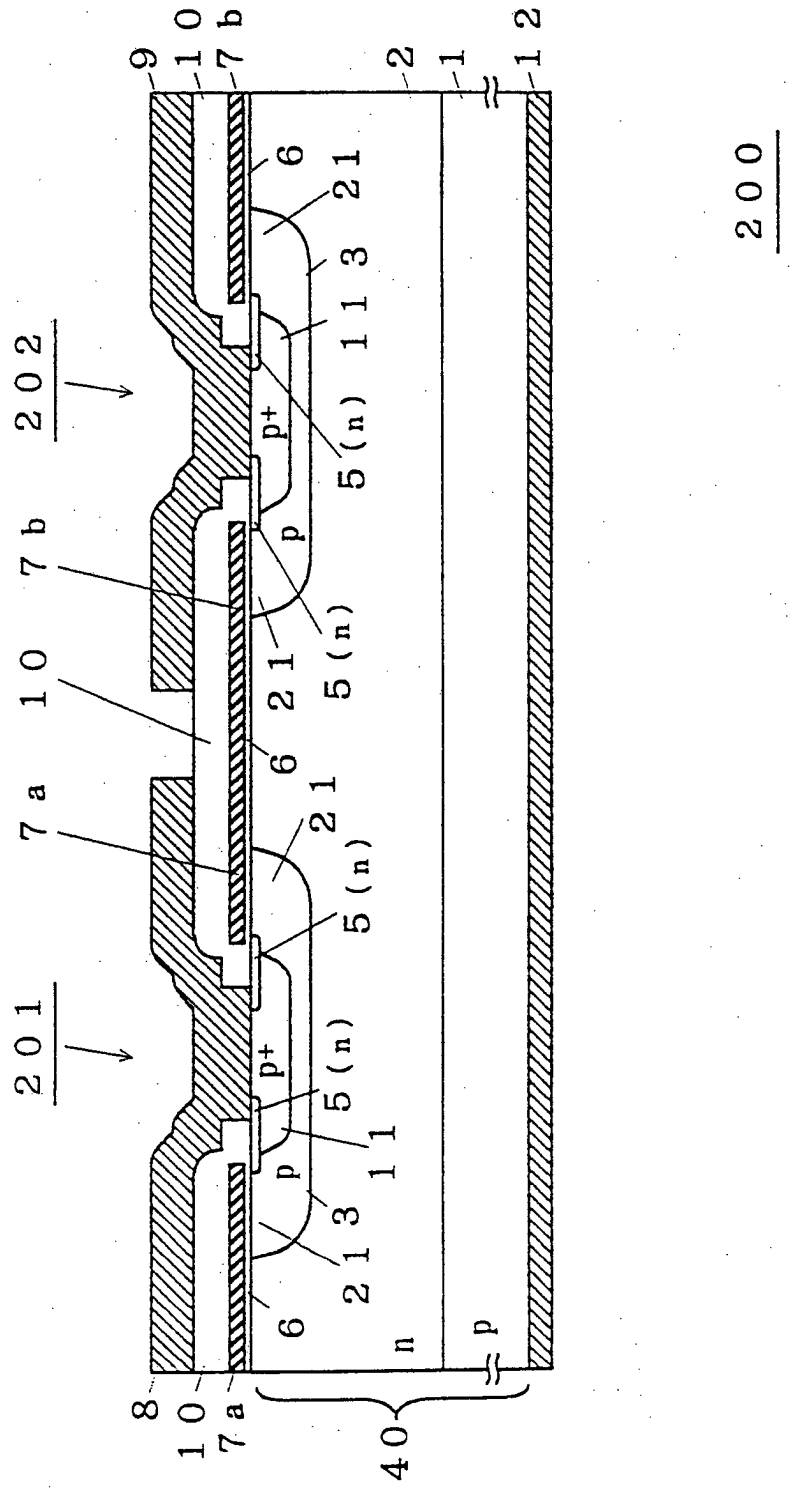


FIG. 11

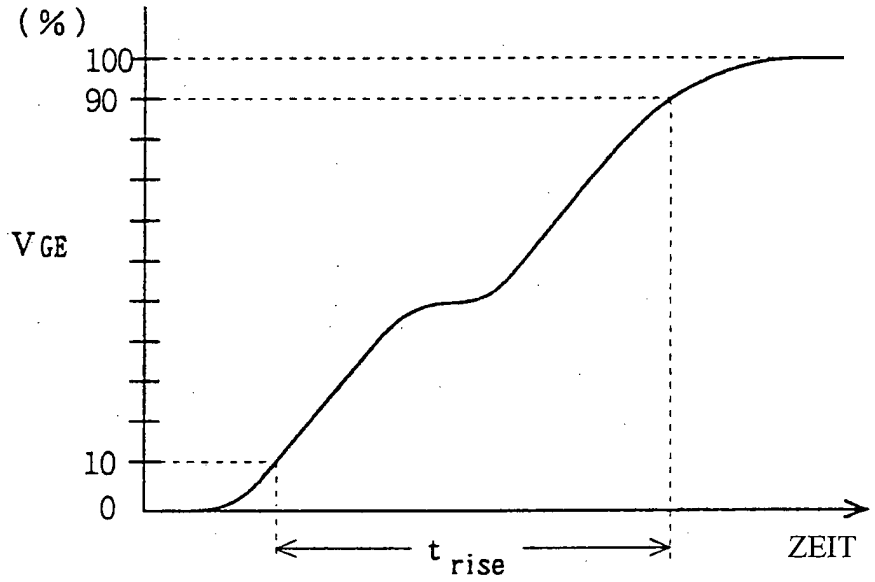


FIG. 12

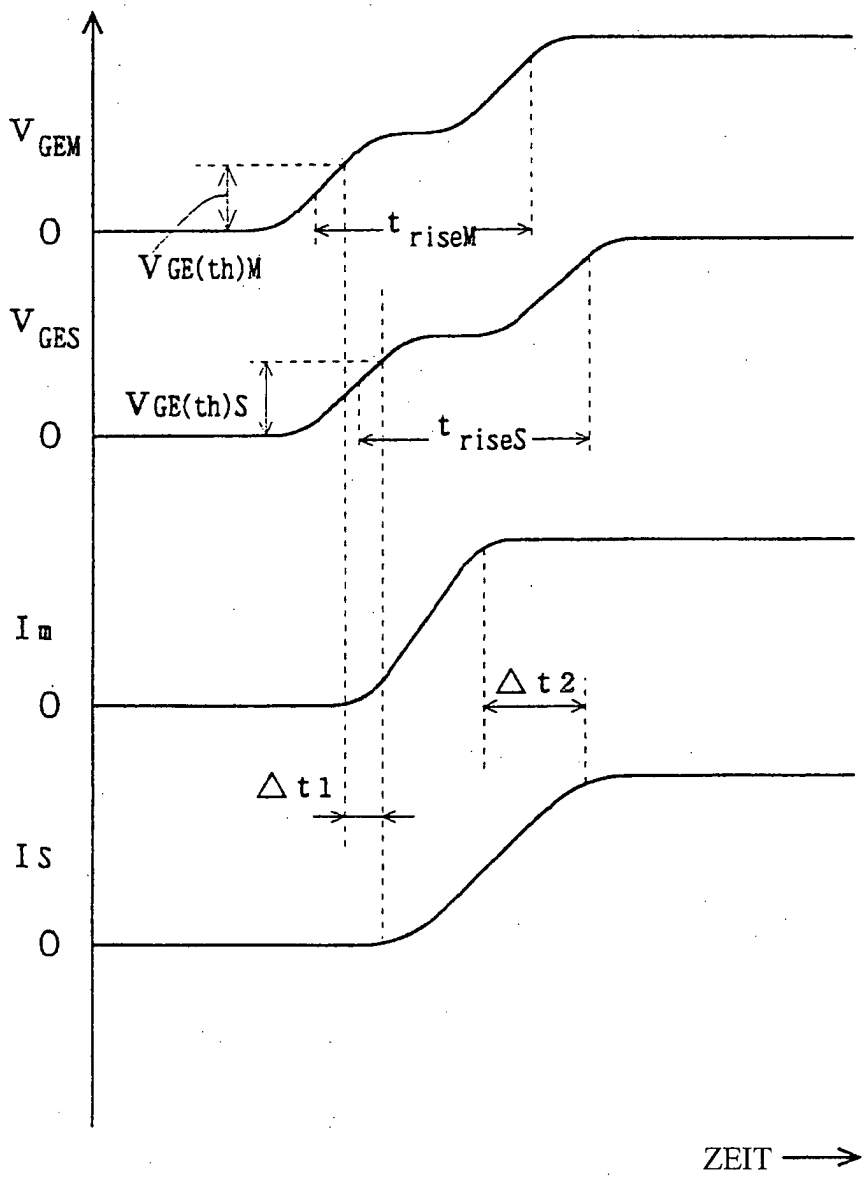


FIG. 13

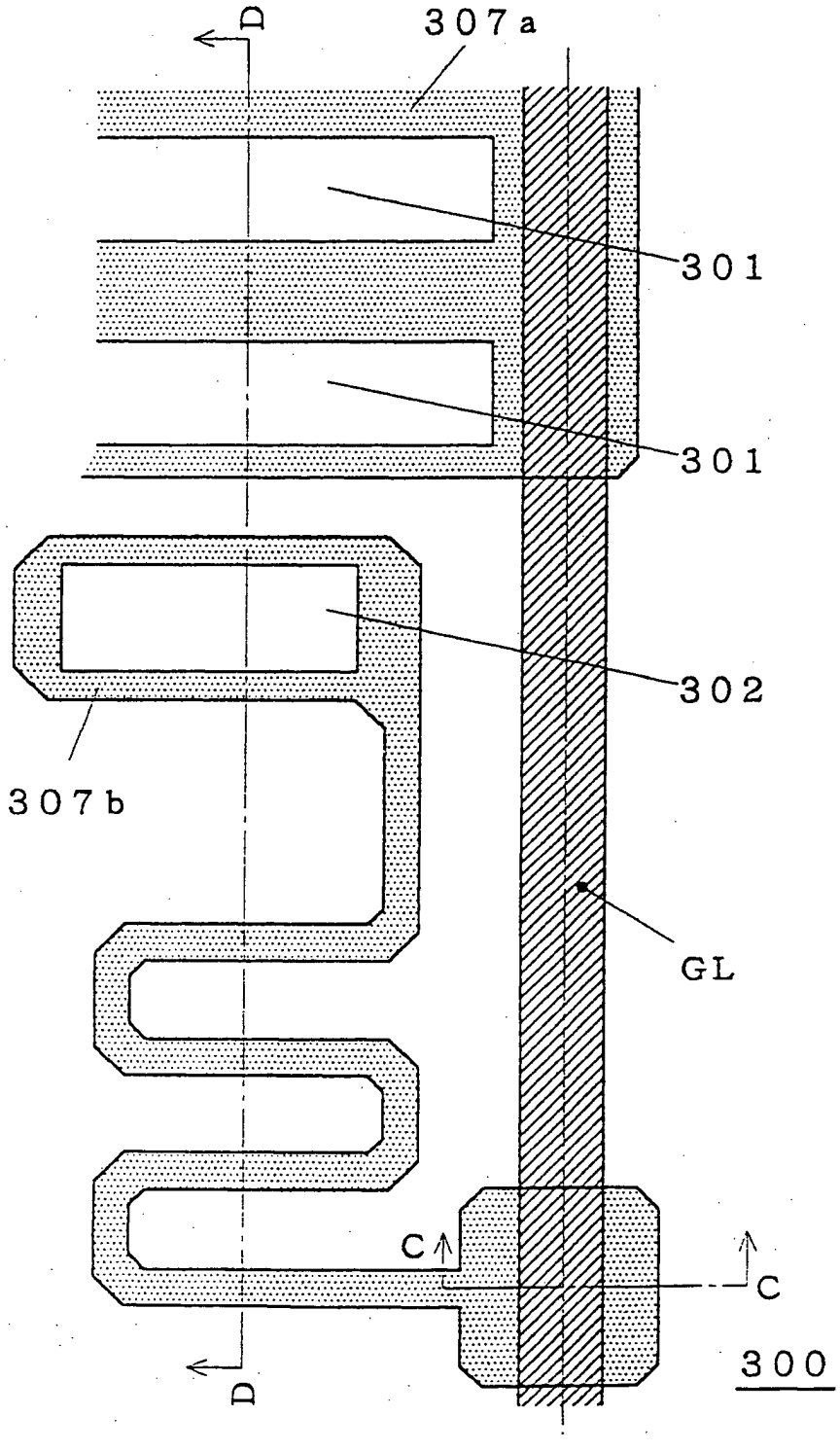
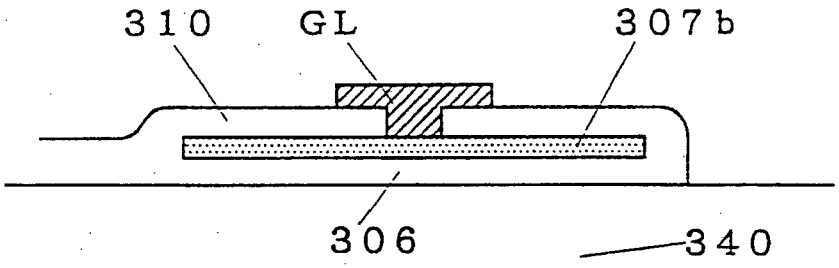


FIG. 14



300

FIG. 16

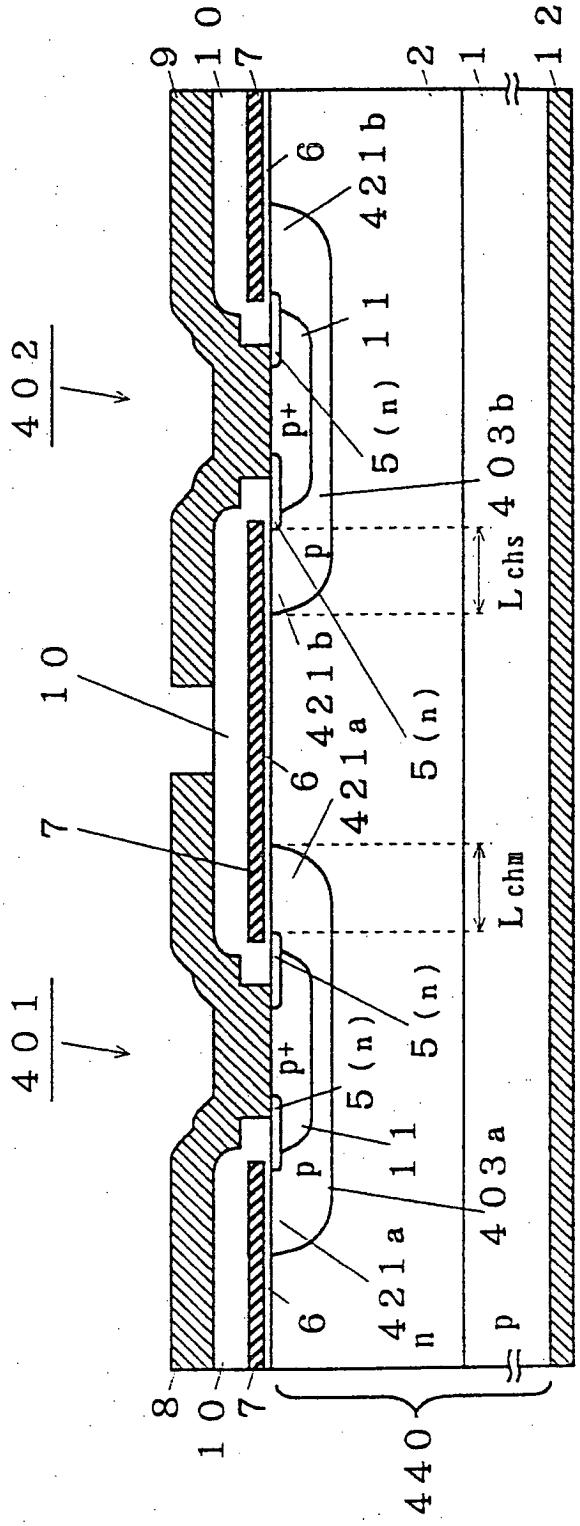


FIG. 16

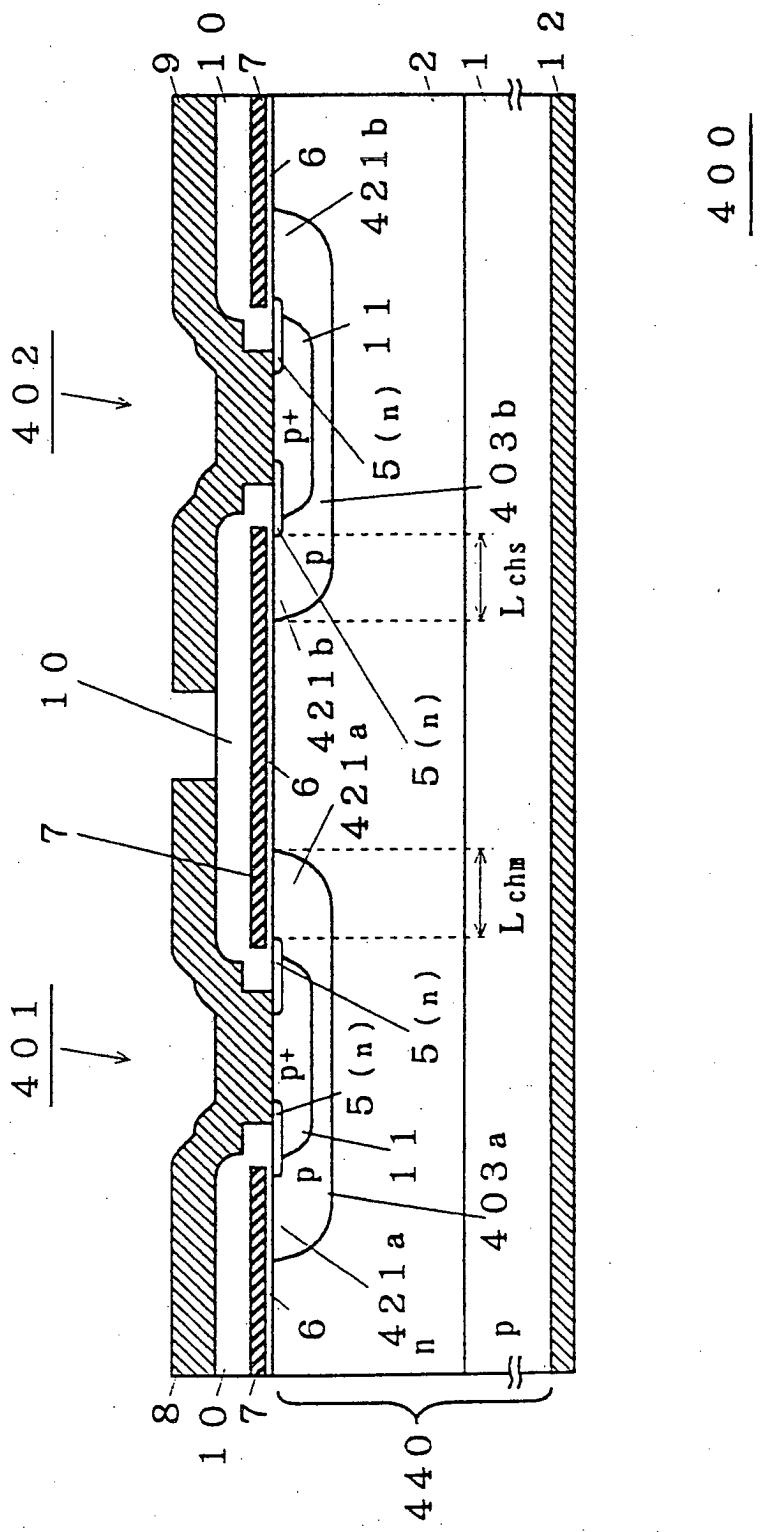

400
401
402
403a
403b
421a
421b
5(n)
6
7
8
9
10
11
12
1
2
p
p+
n
Lchm
Lchs
440

FIG. 17

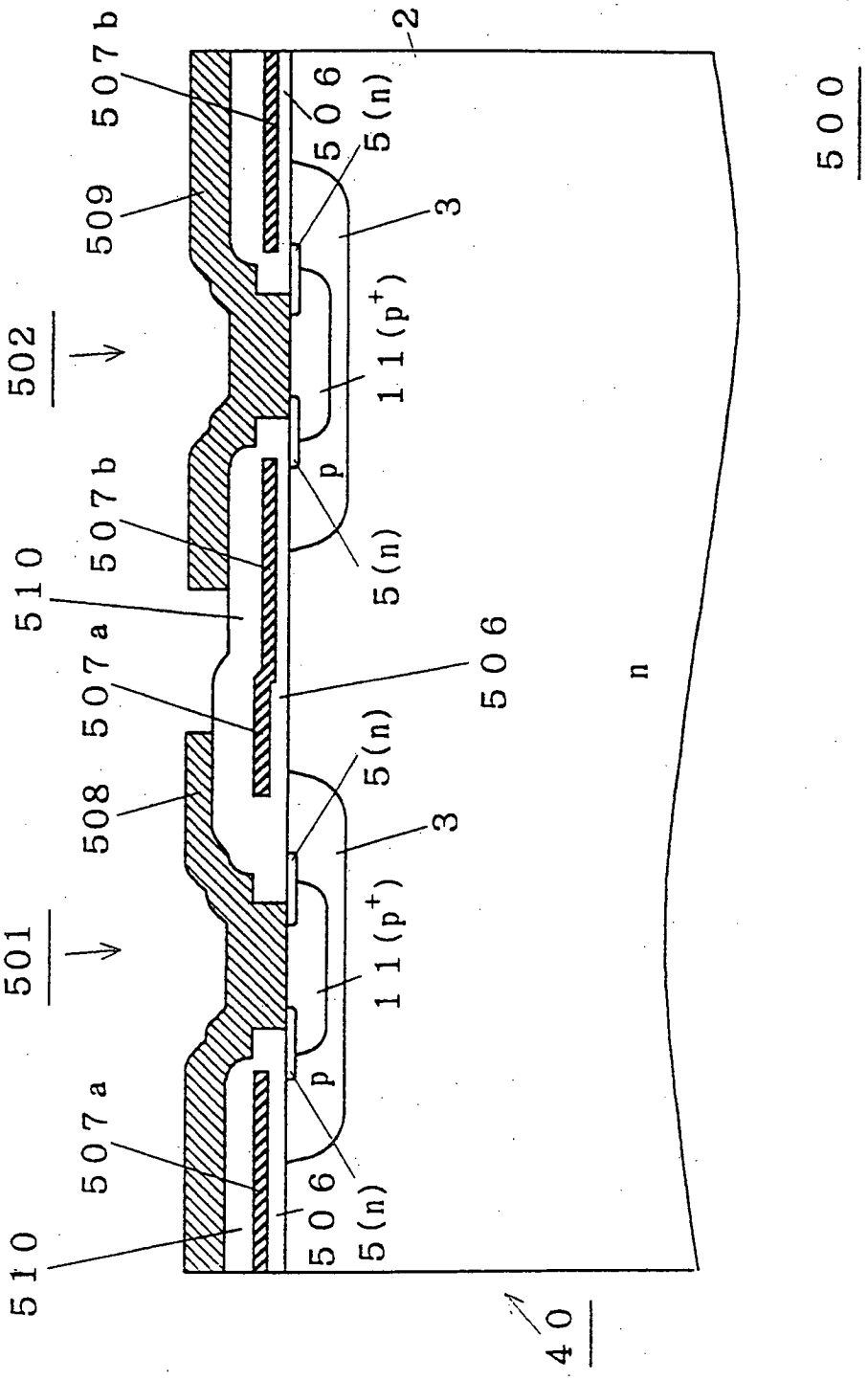


FIG. 18

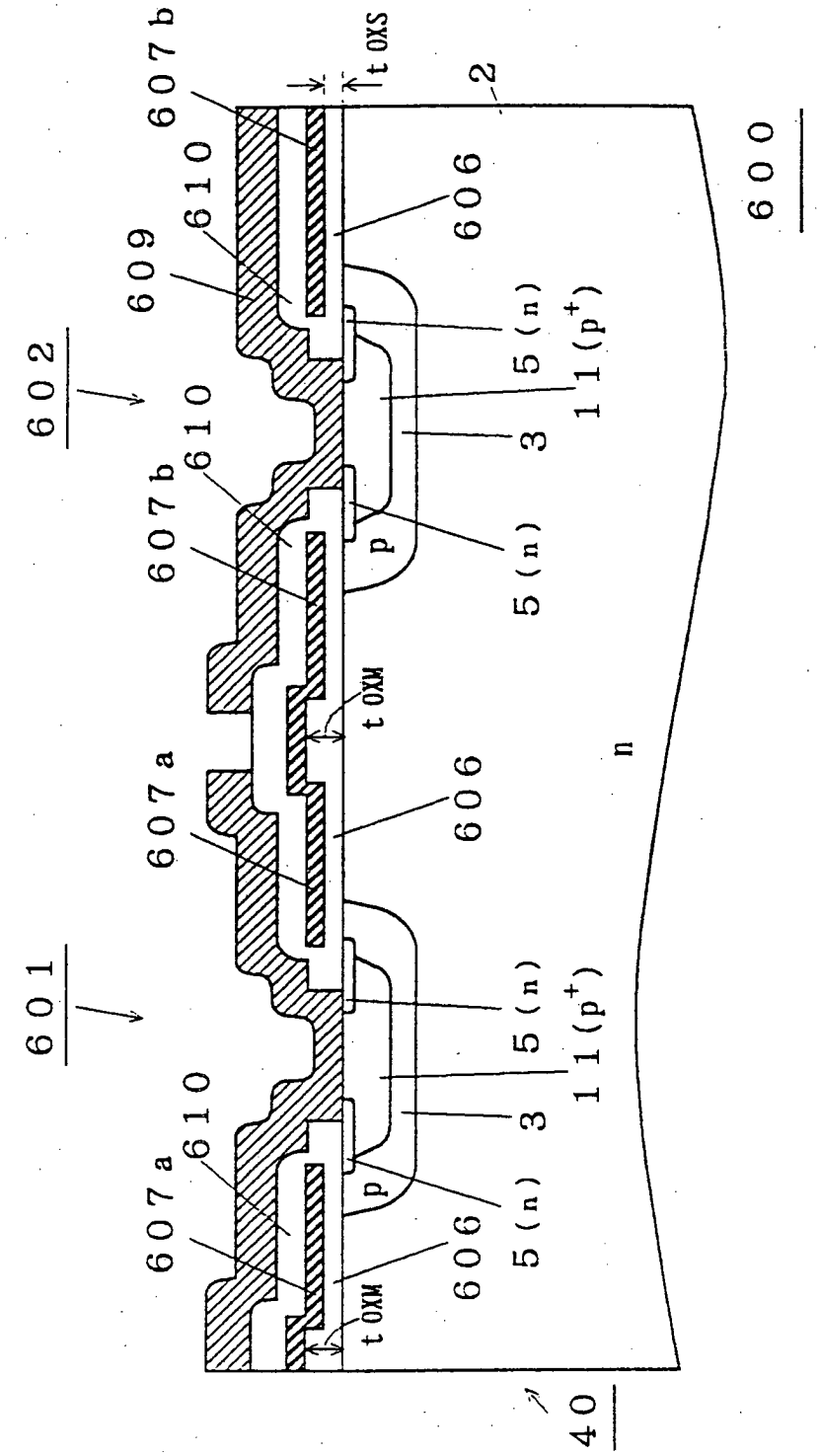

607b
610
609
602
610
607b
607a
601
610
607a
t OXS
2
606
5(n)
11(p+)
3
p
5(n)
t OXM
606
n
5(n)
11(p+)
3
p
5(n)
606
t OXM
600
40

FIG. 19A

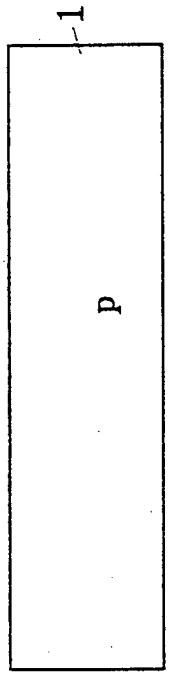


FIG. 19B

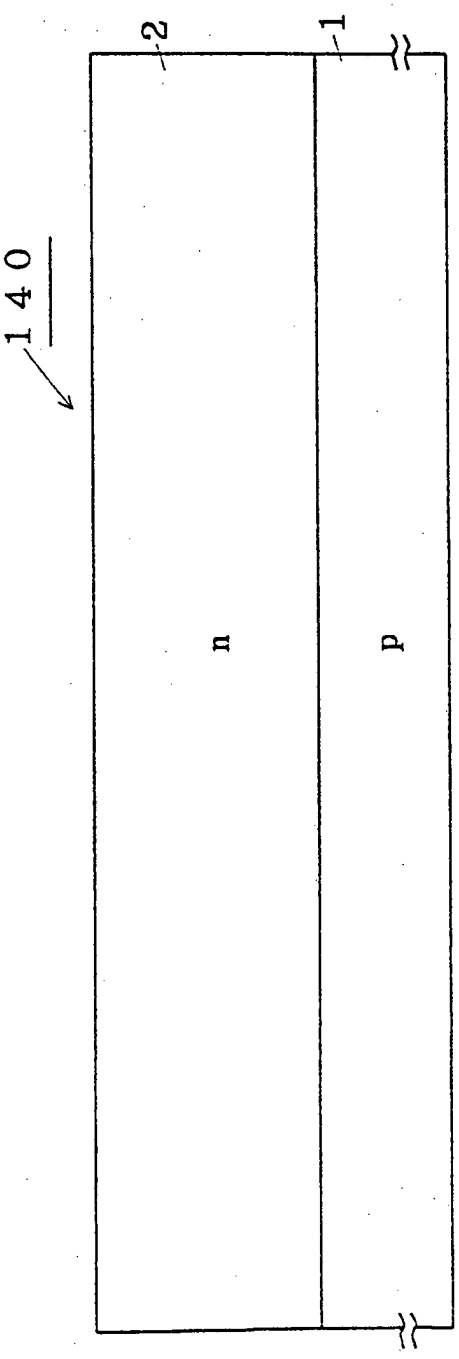


FIG. 20

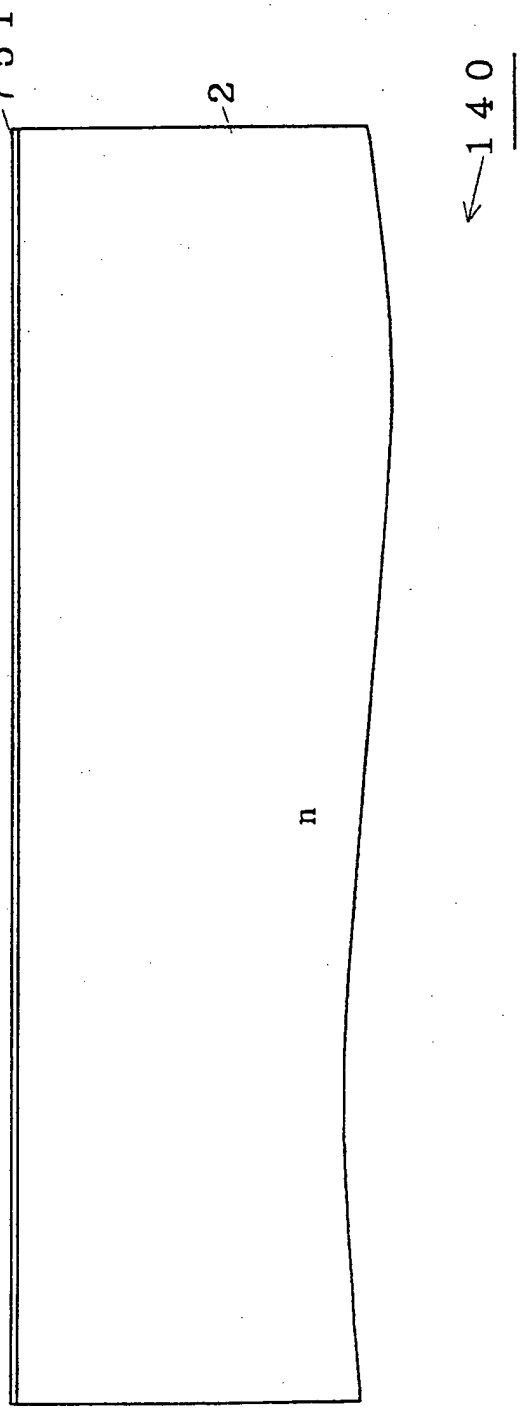


FIG. 21

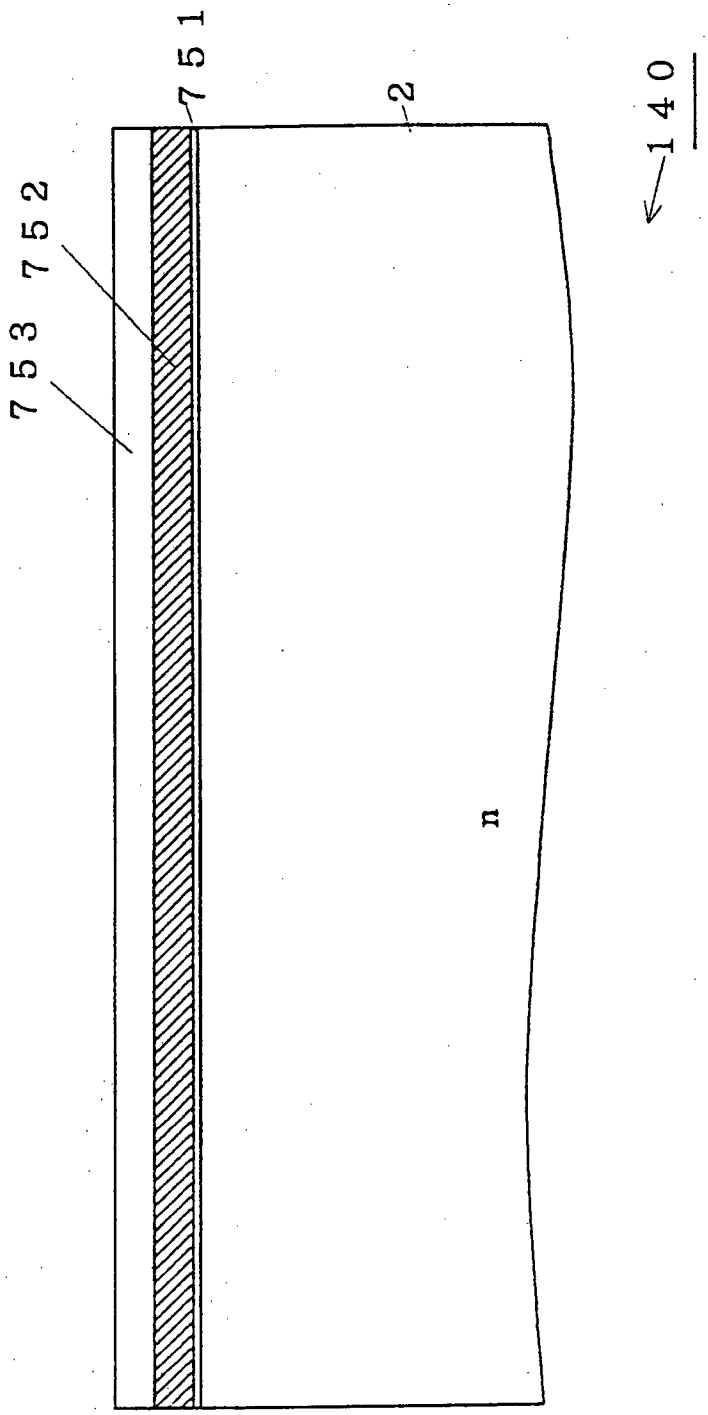


FIG. 22

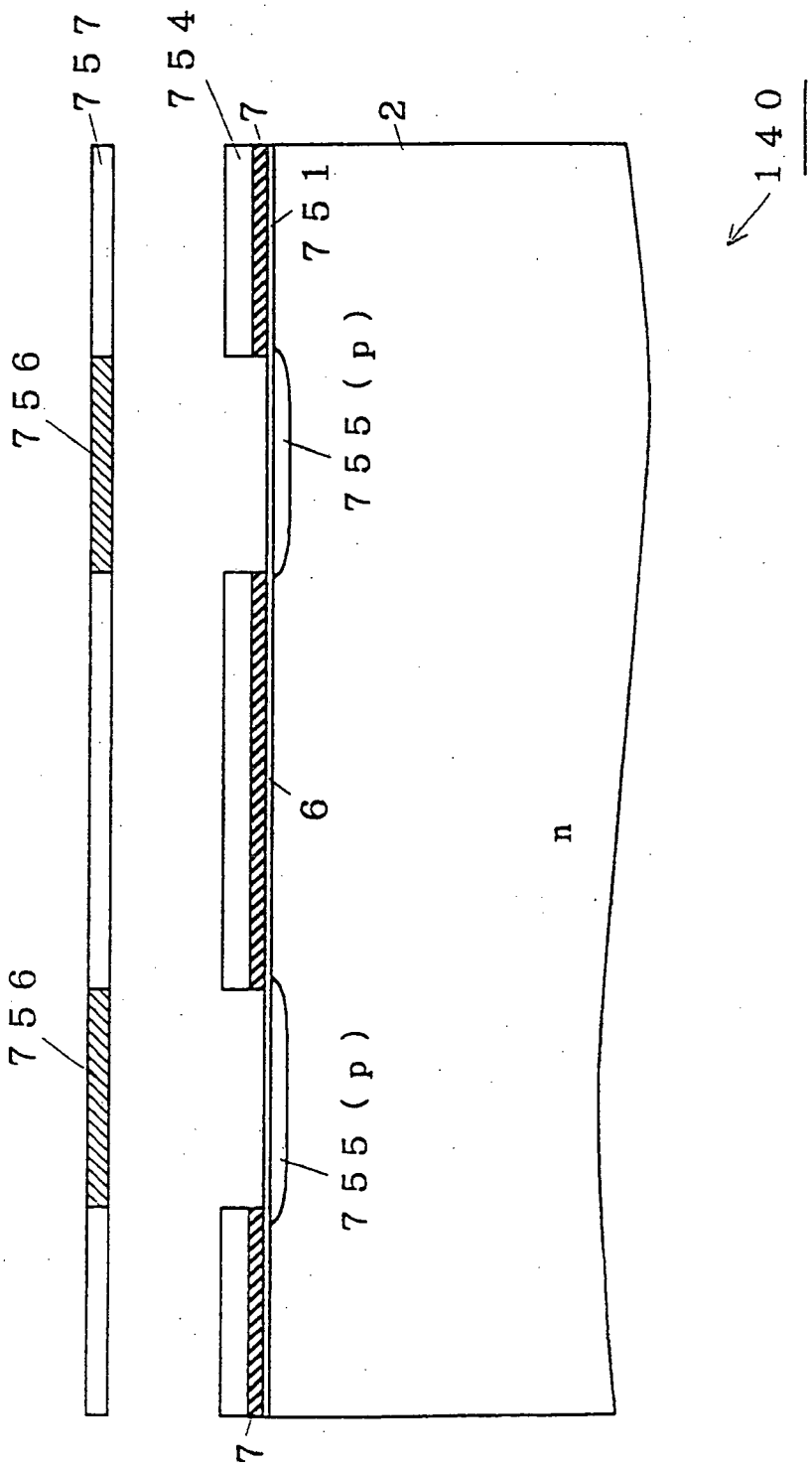


FIG. 23

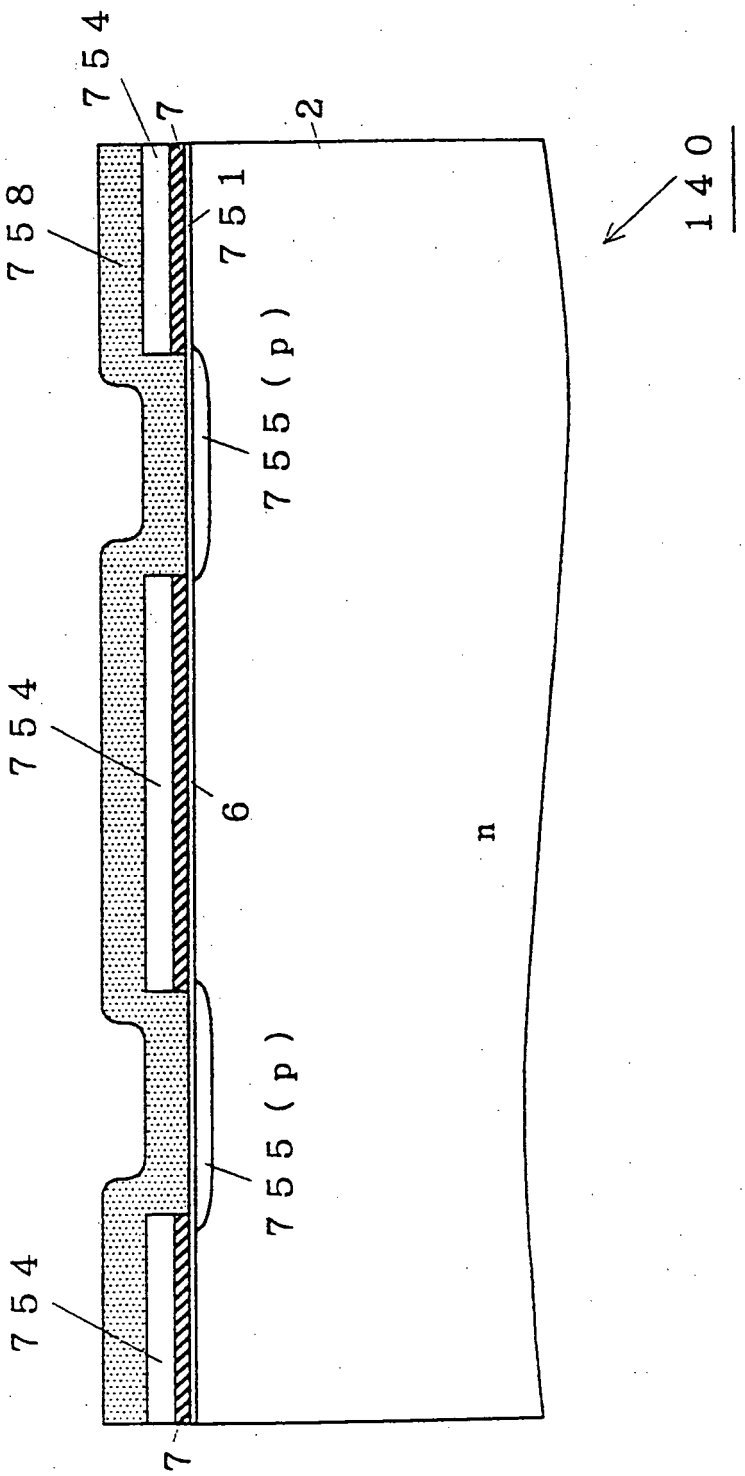


FIG. 24

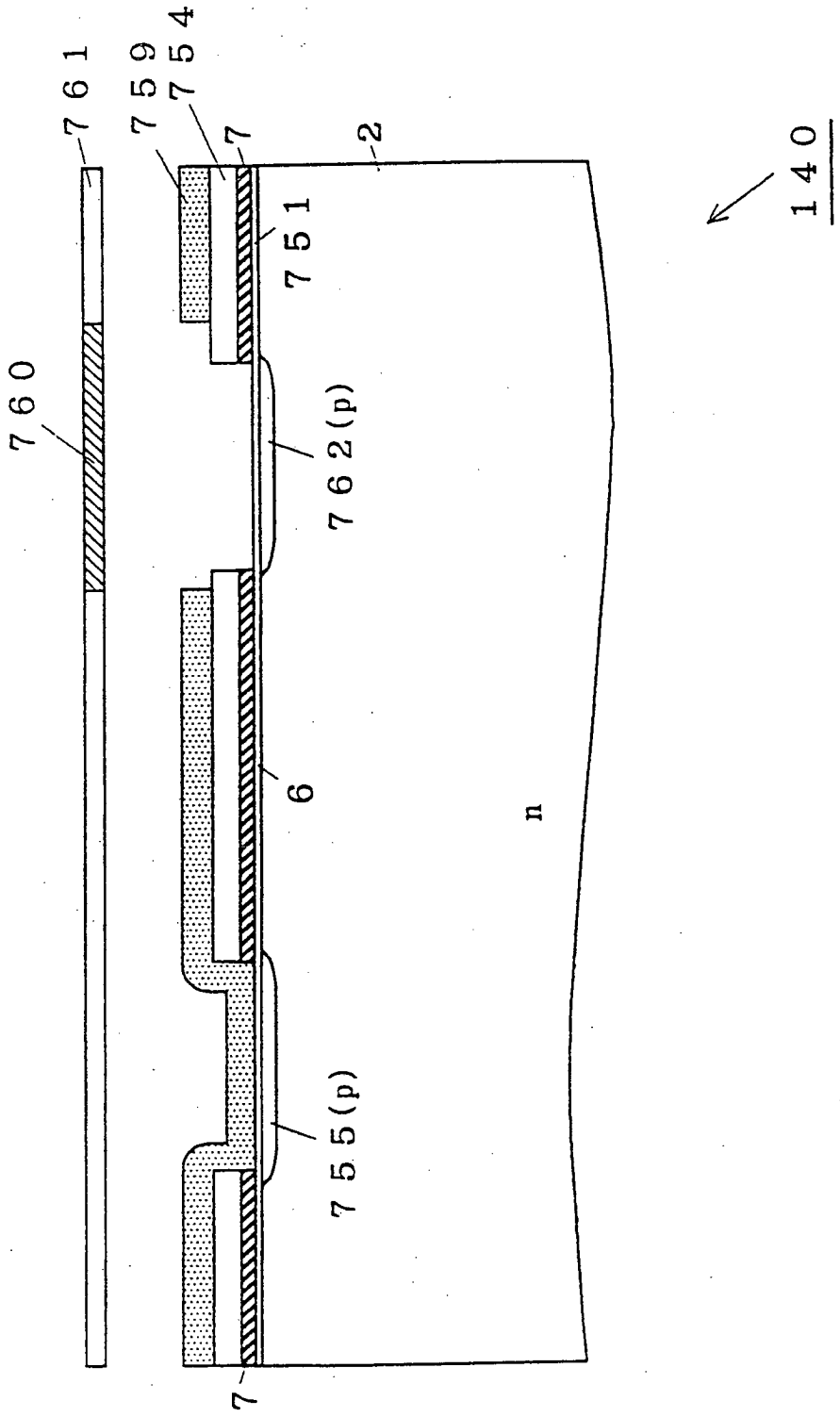


FIG. 25

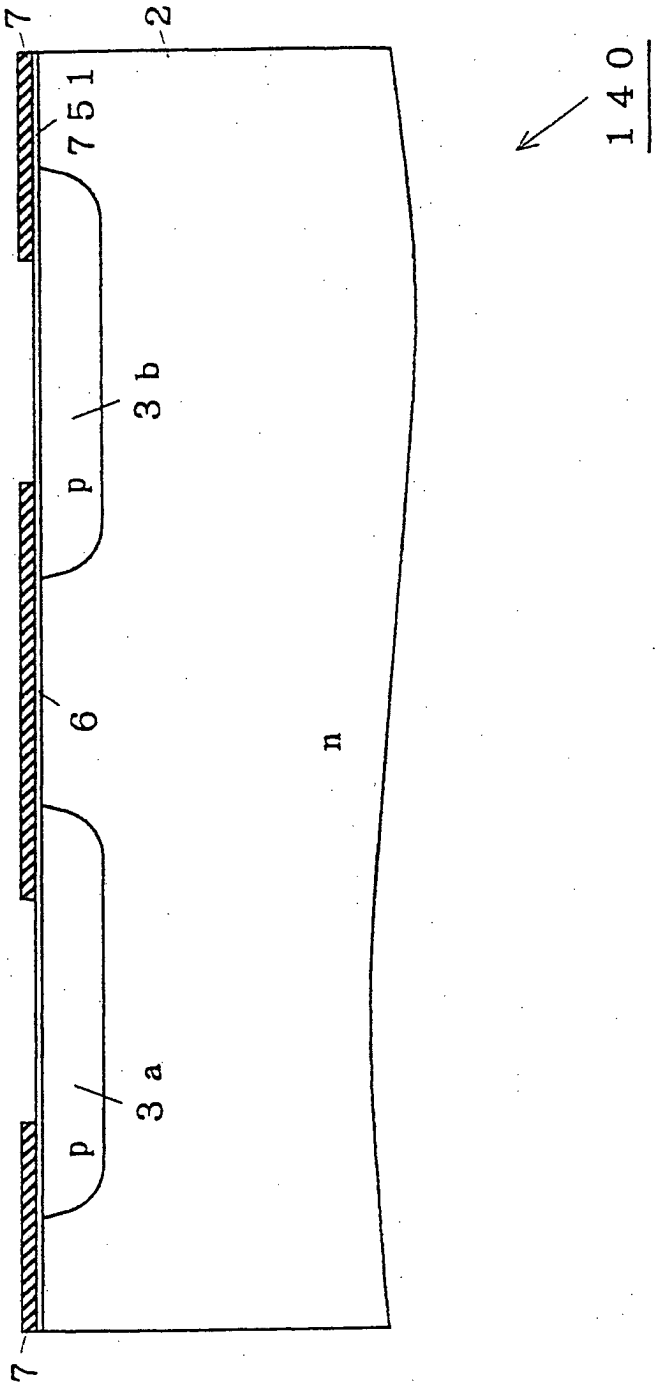


FIG. 26

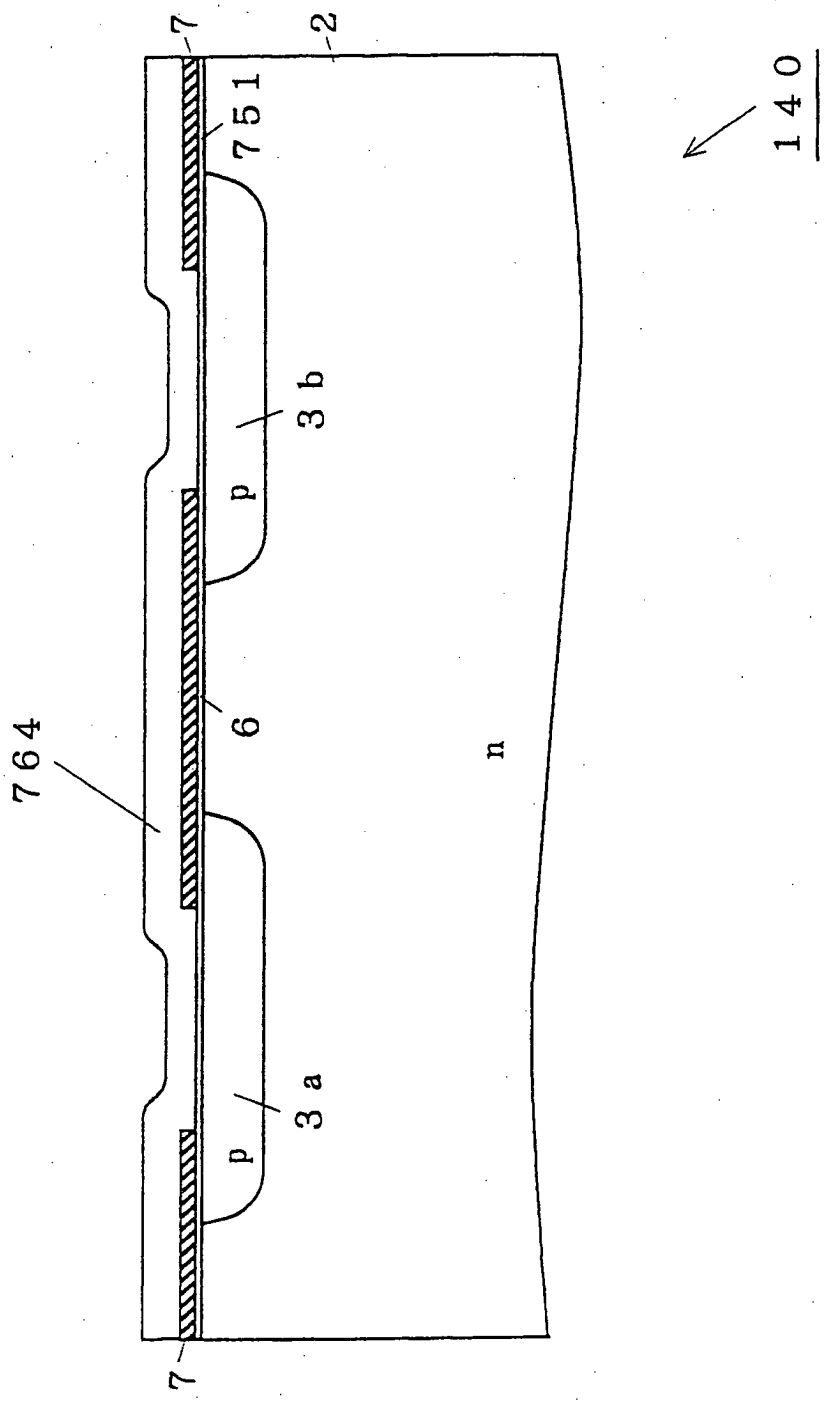


FIG. 27

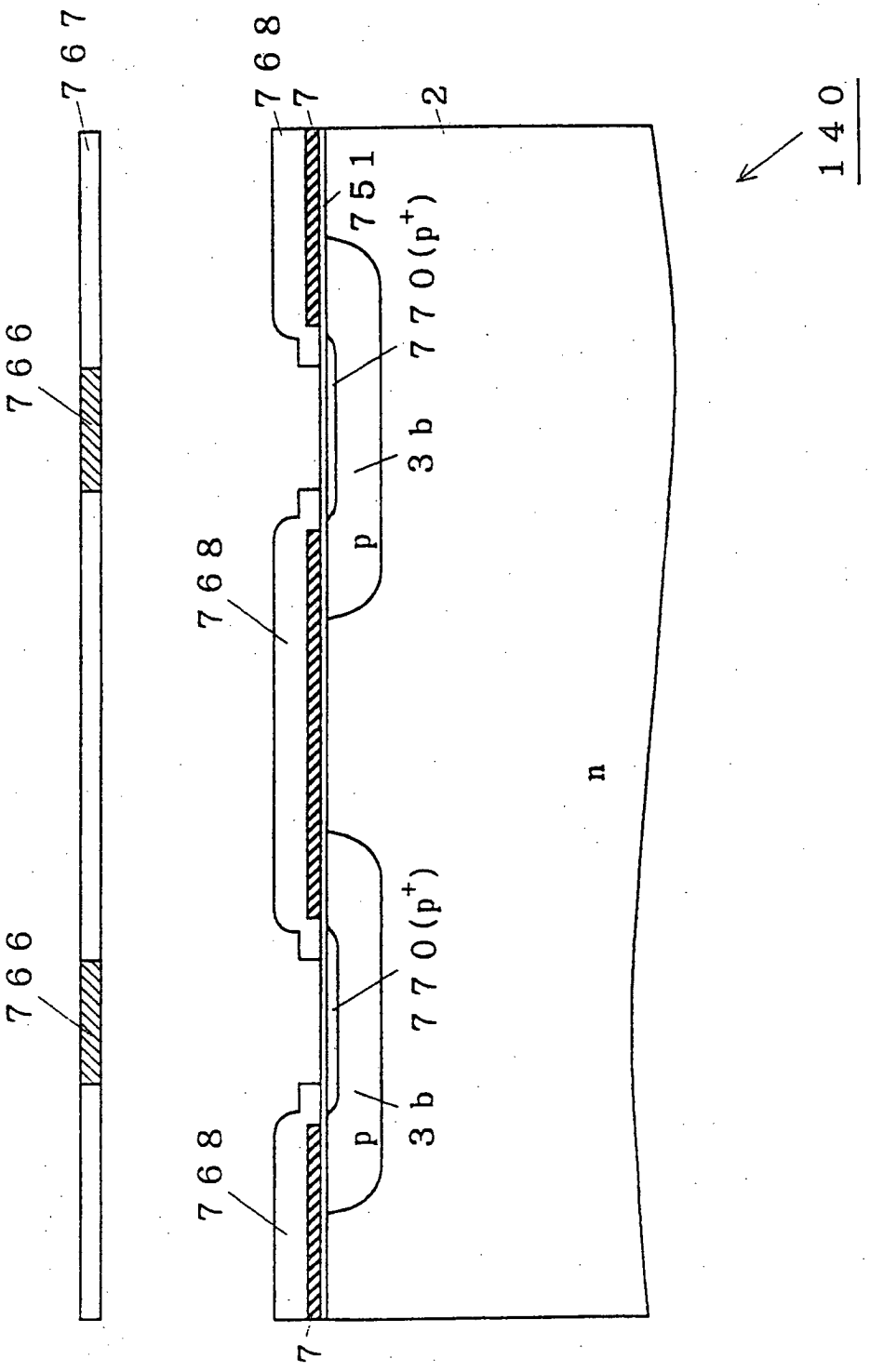


FIG. 28

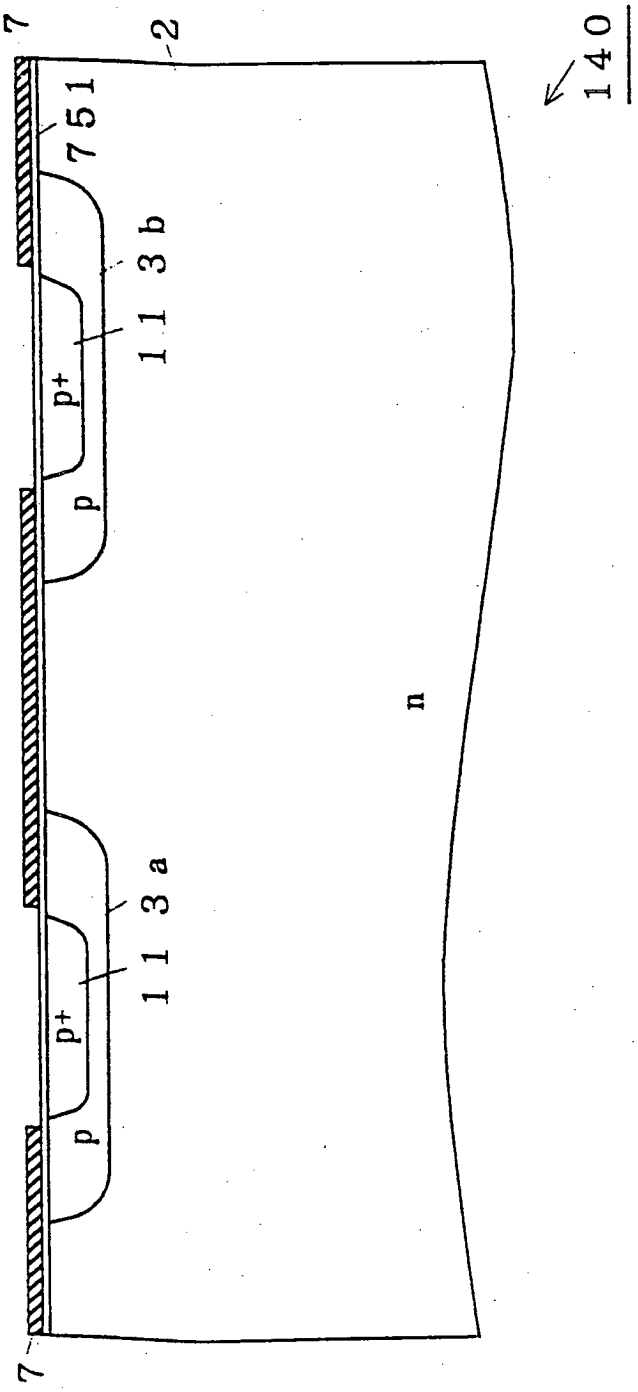


FIG. 29

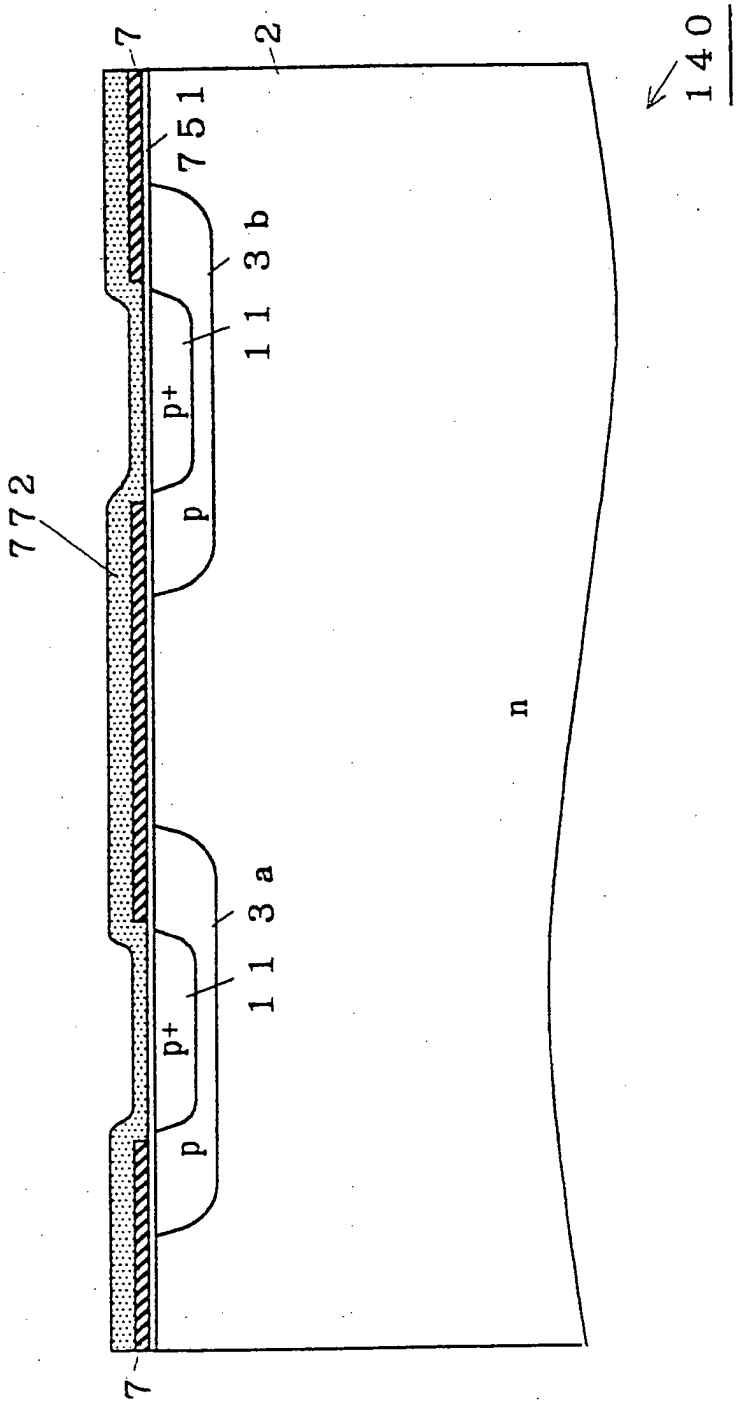


FIG. 30

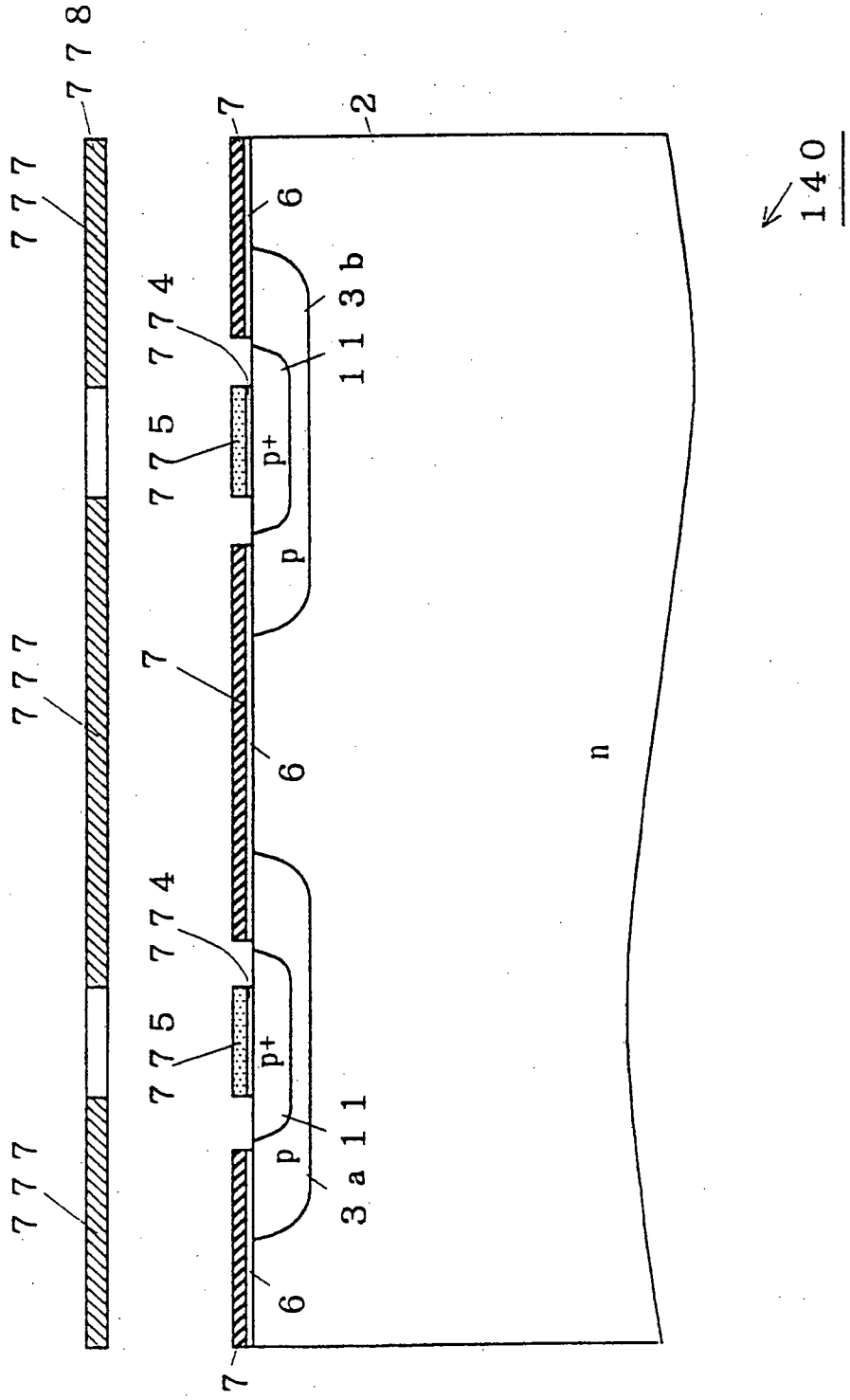


FIG. 31

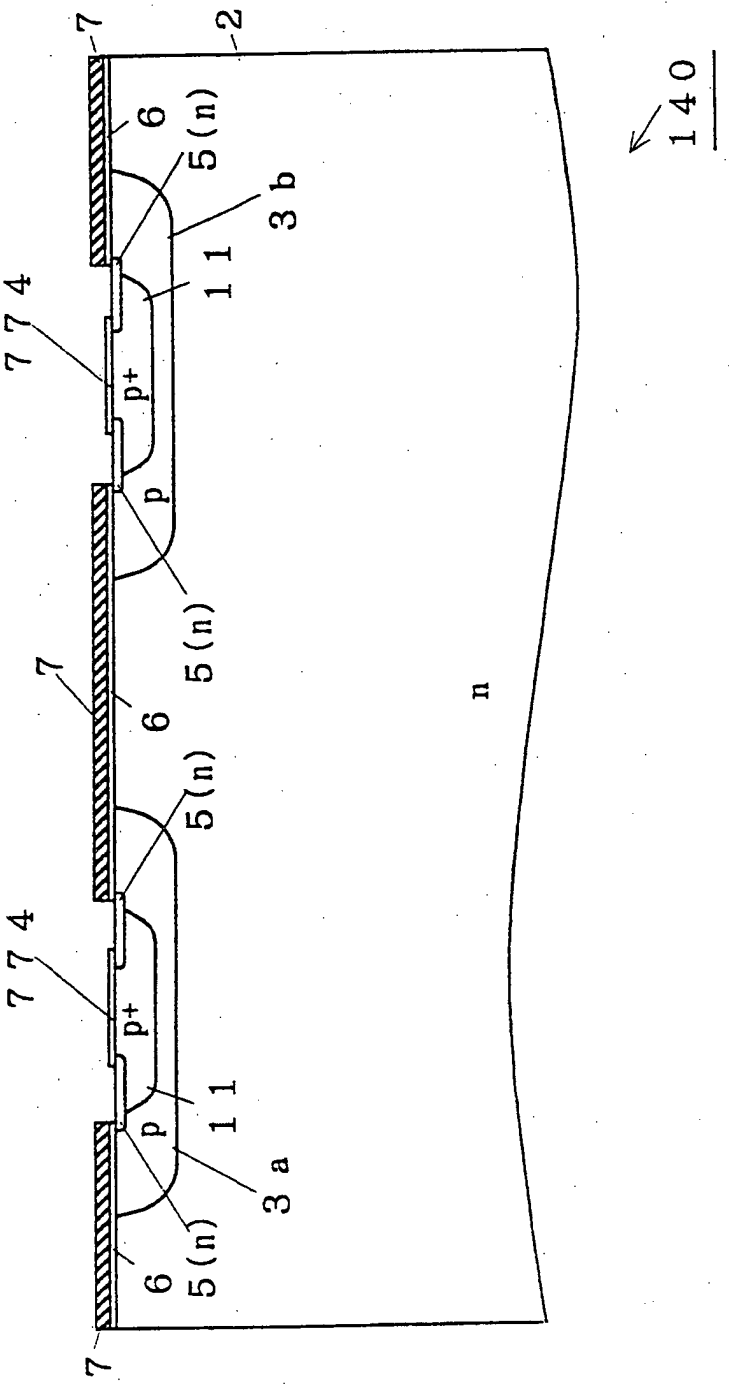


FIG. 32

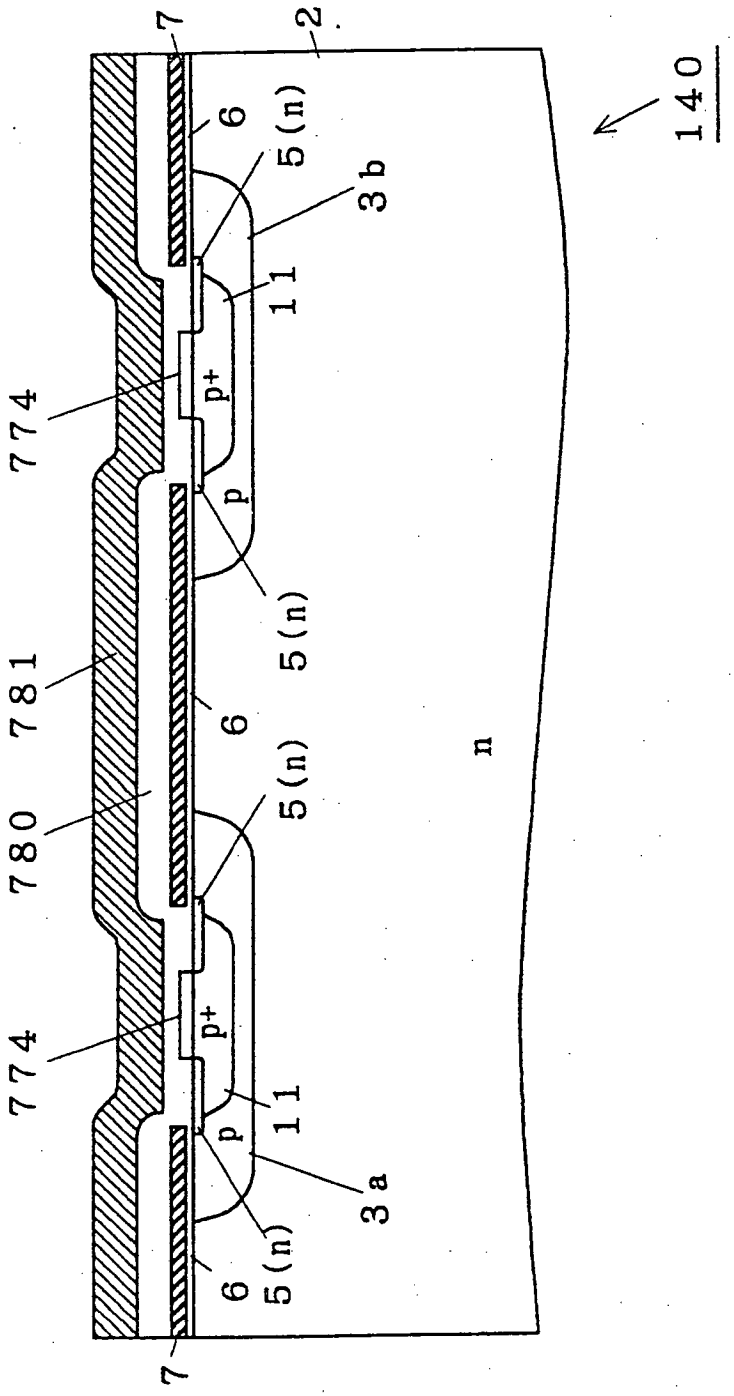


FIG. 33

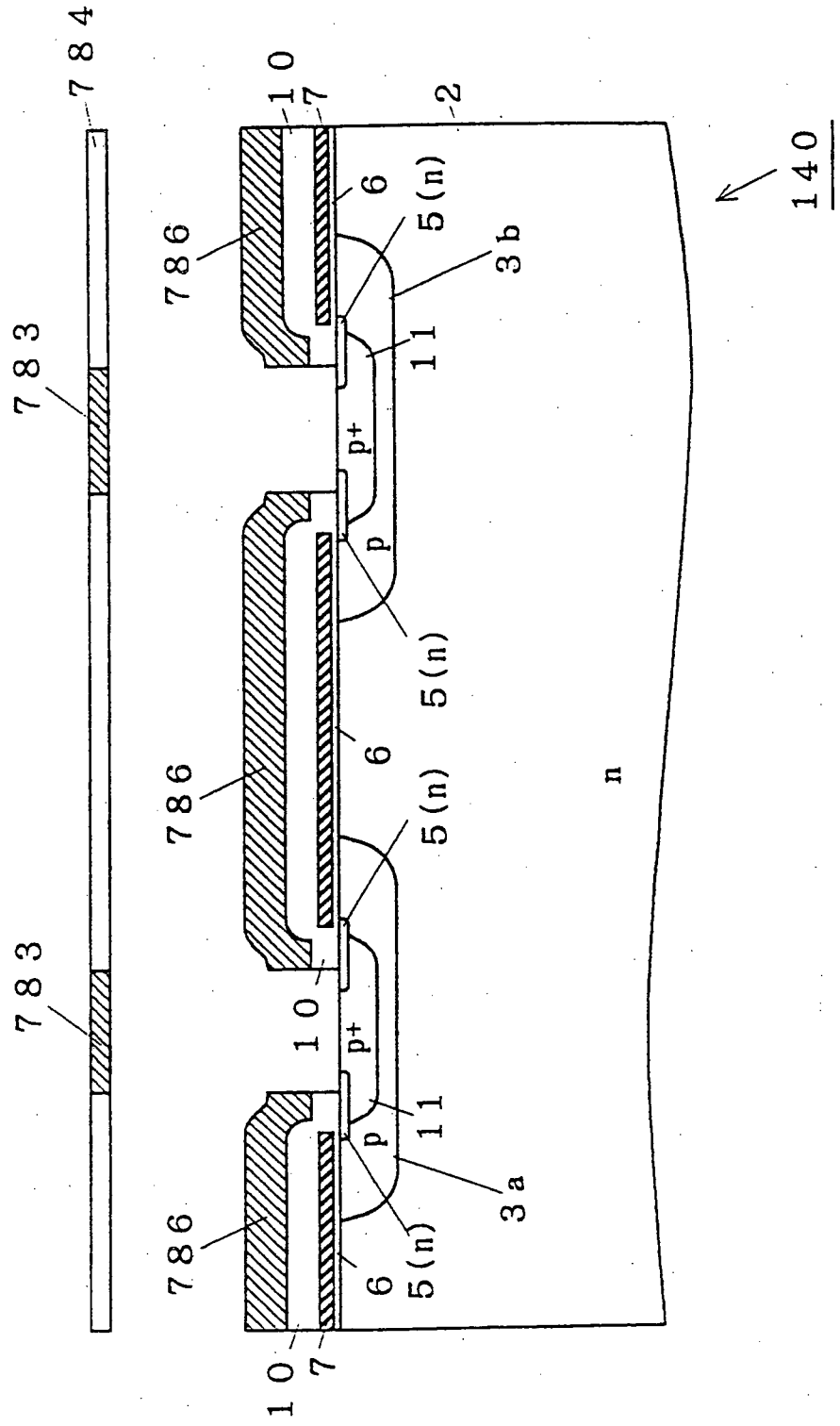

784
783
783
786
786
786
10
7
2
6
5(n)
3b
11
p+
p
5(n)
6
5(n)
n
140
10
p+
p
11
3a
5(n)
6
10
7

FIG. 34

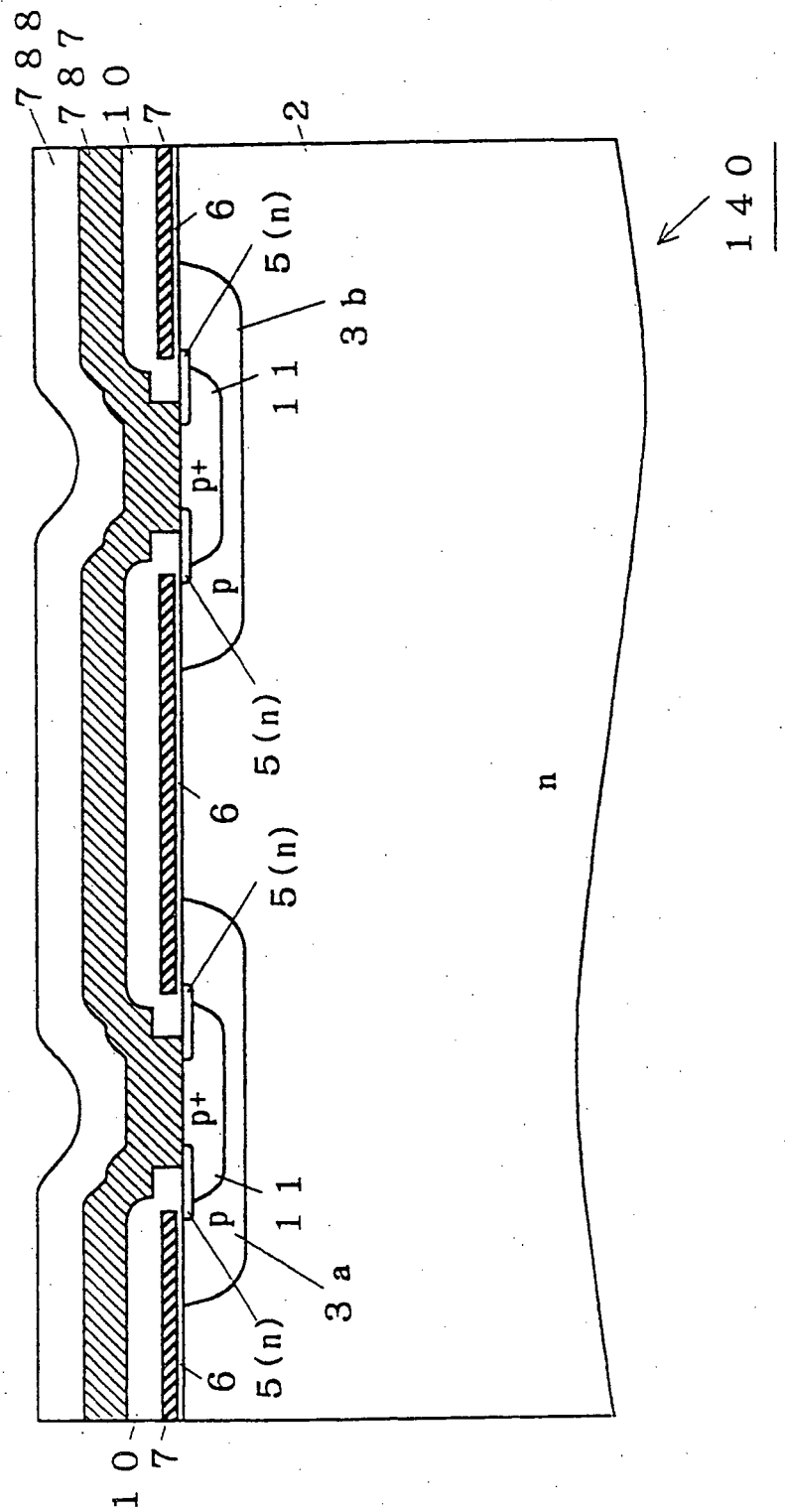


FIG. 35

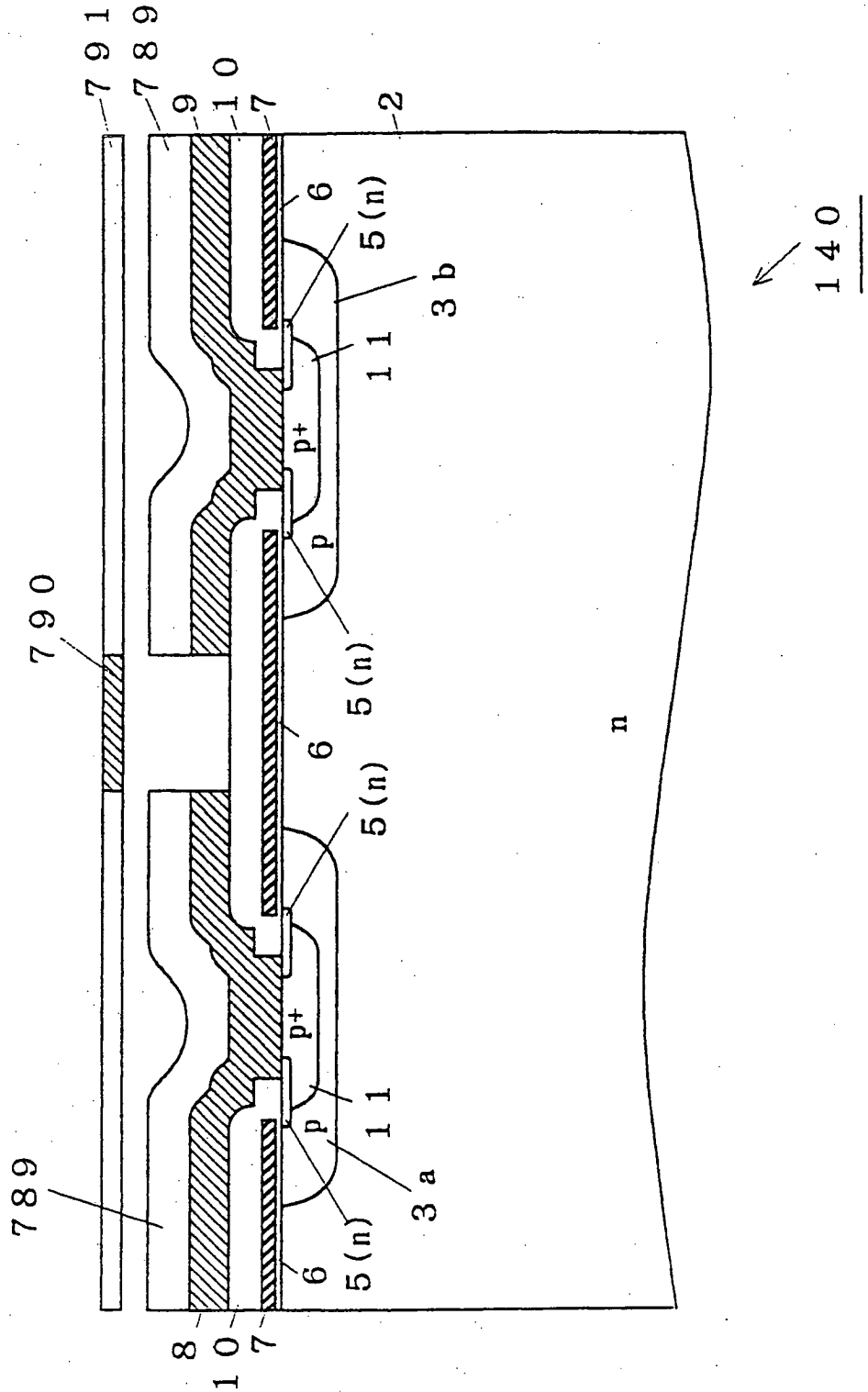


FIG. 36

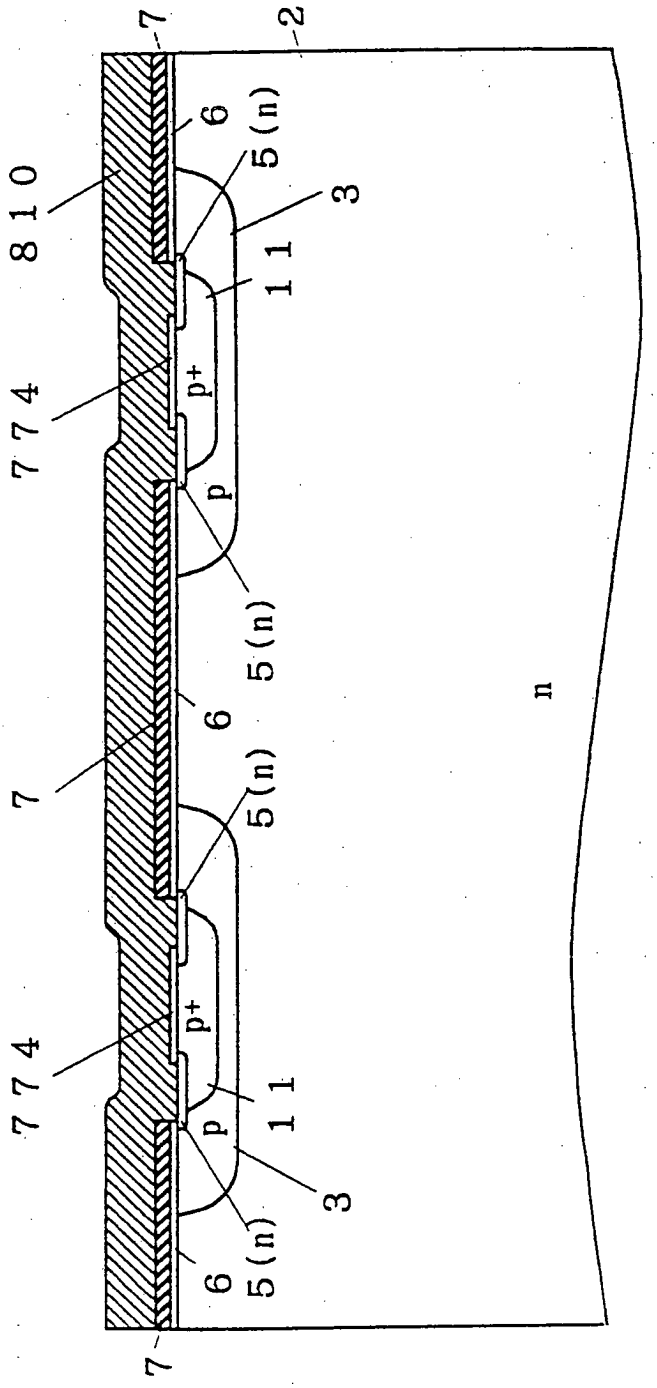


FIG. 37

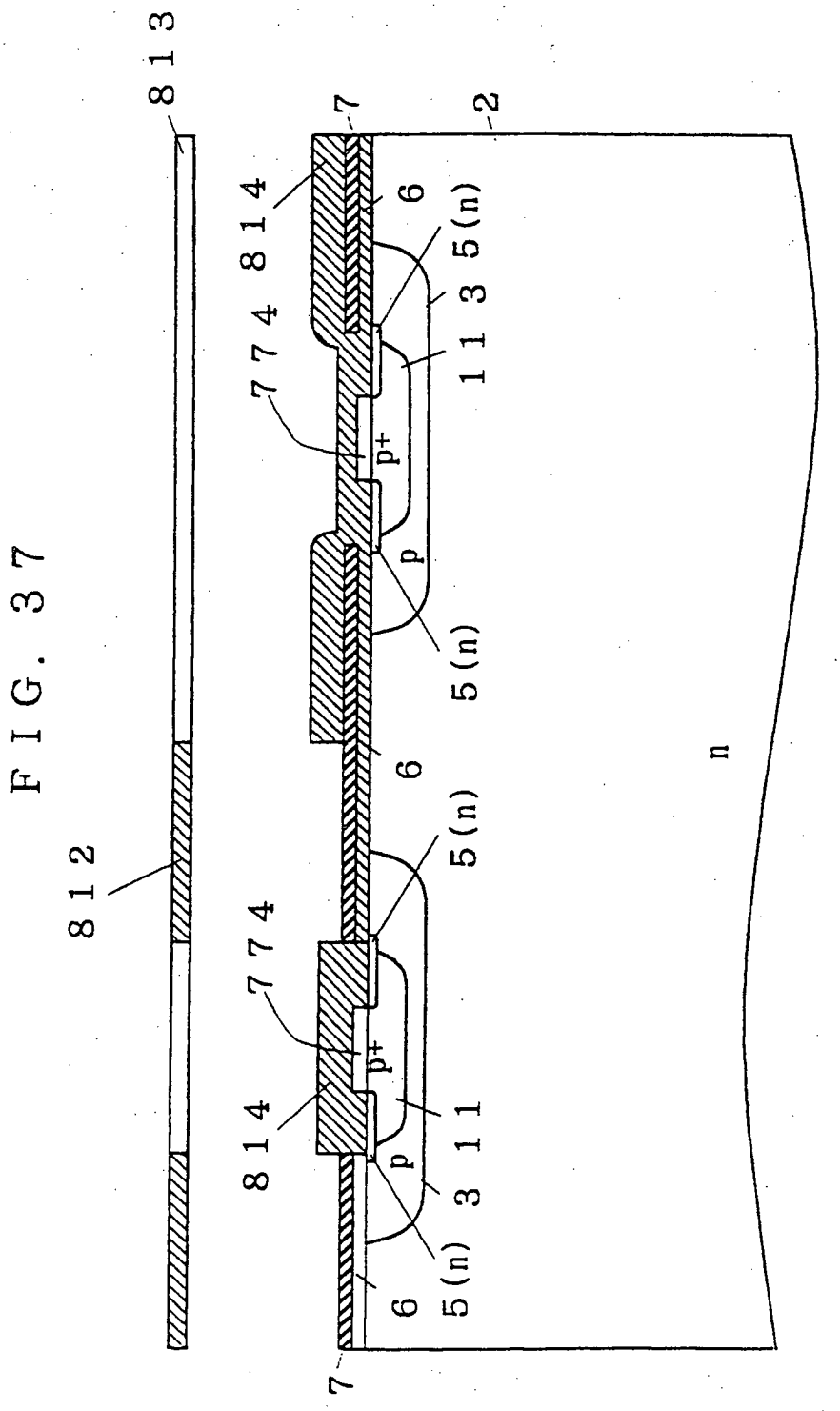


FIG. 38

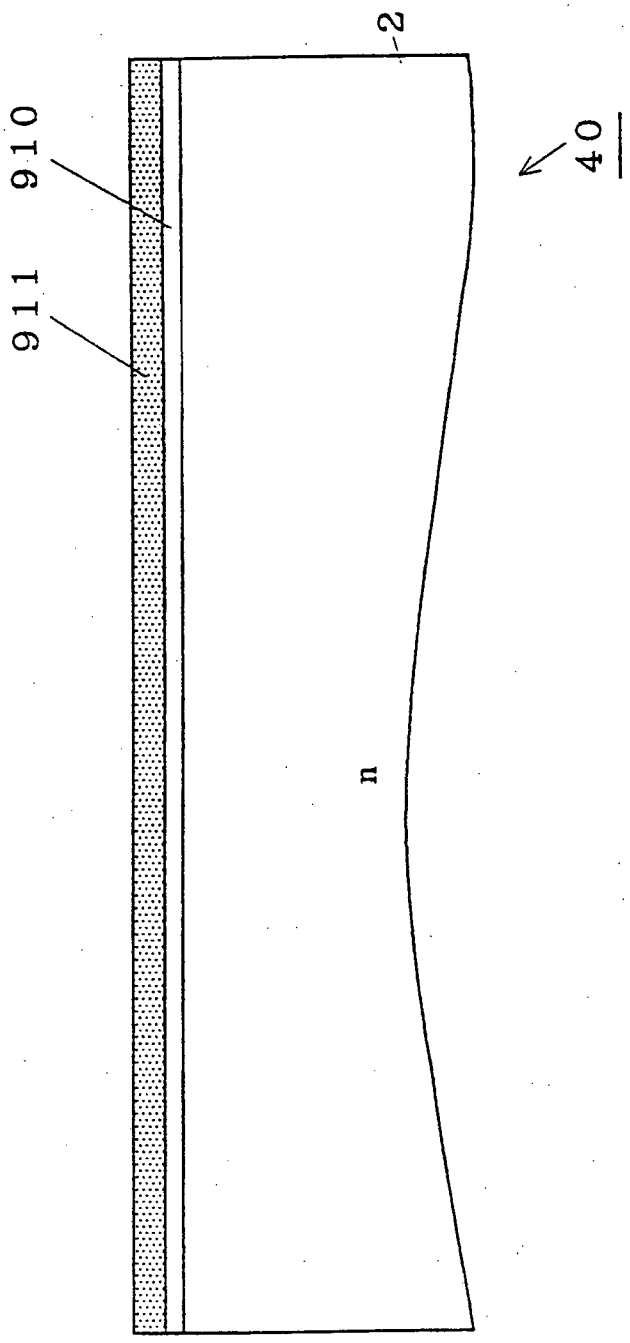


FIG. 39

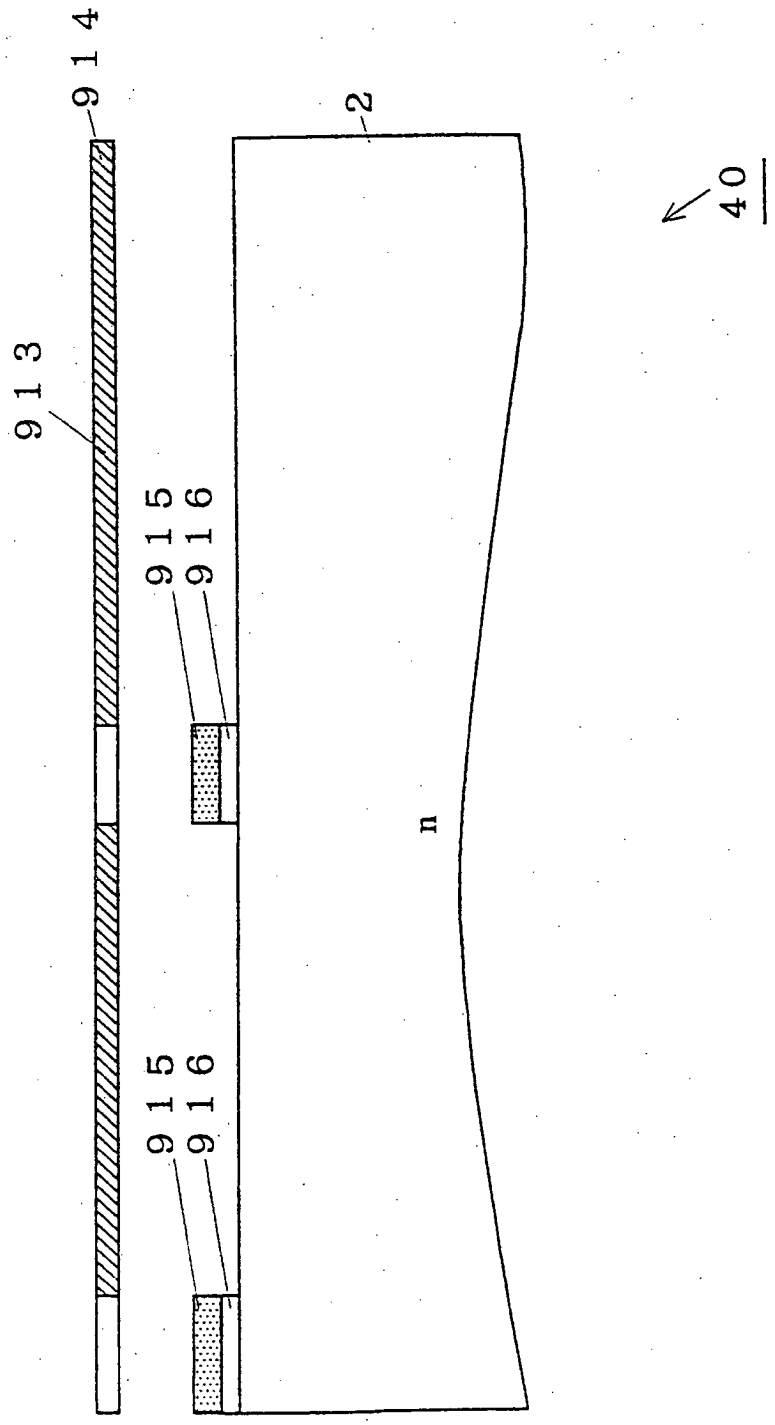


FIG. 40

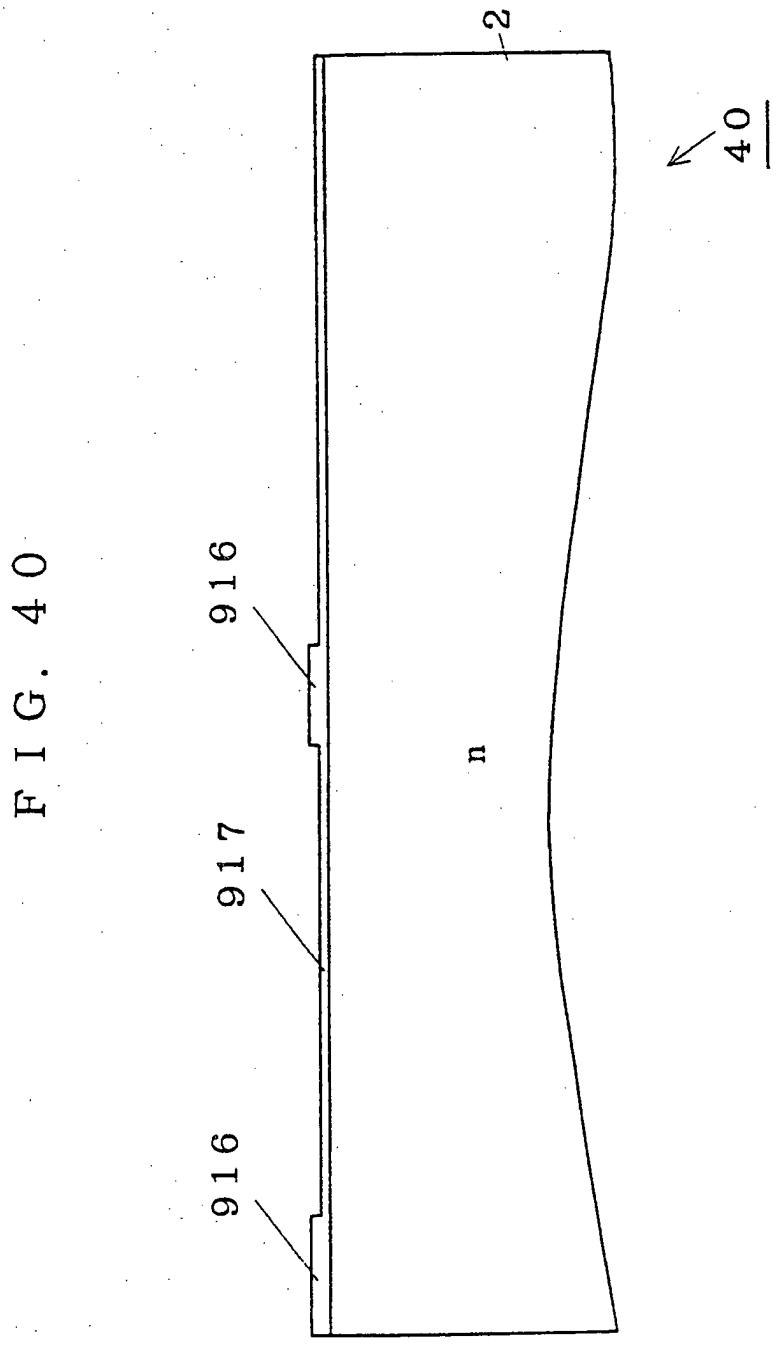


FIG. 41

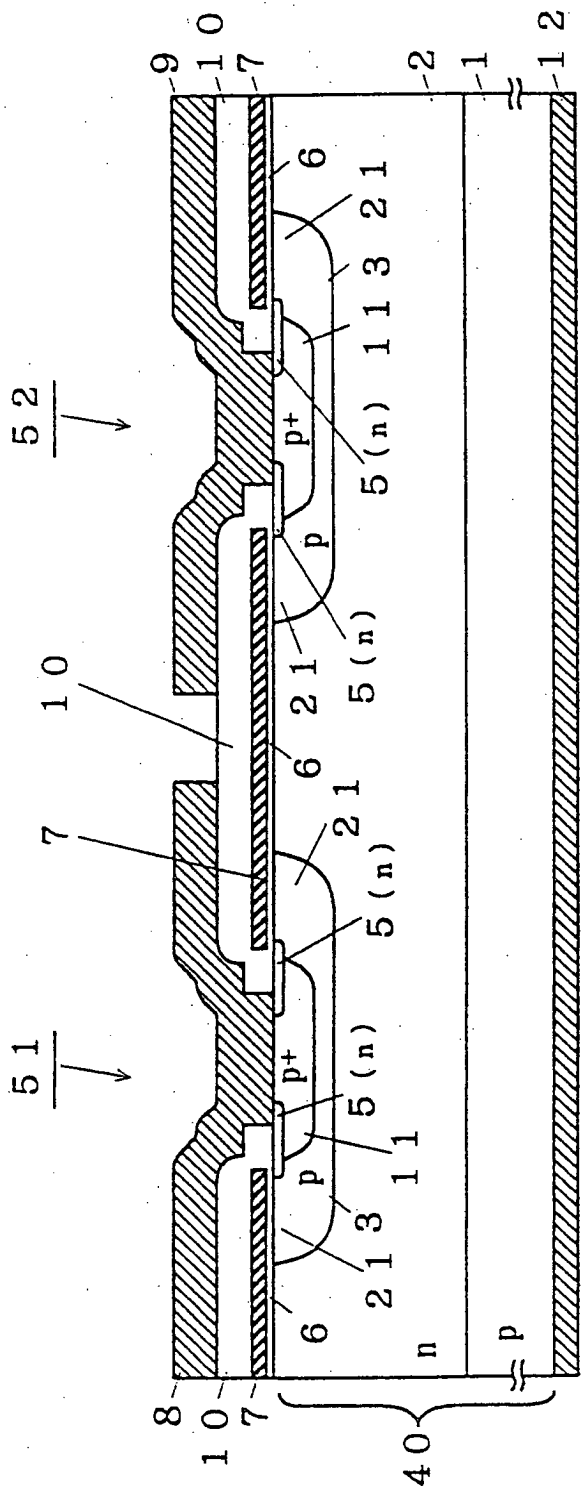


FIG. 42

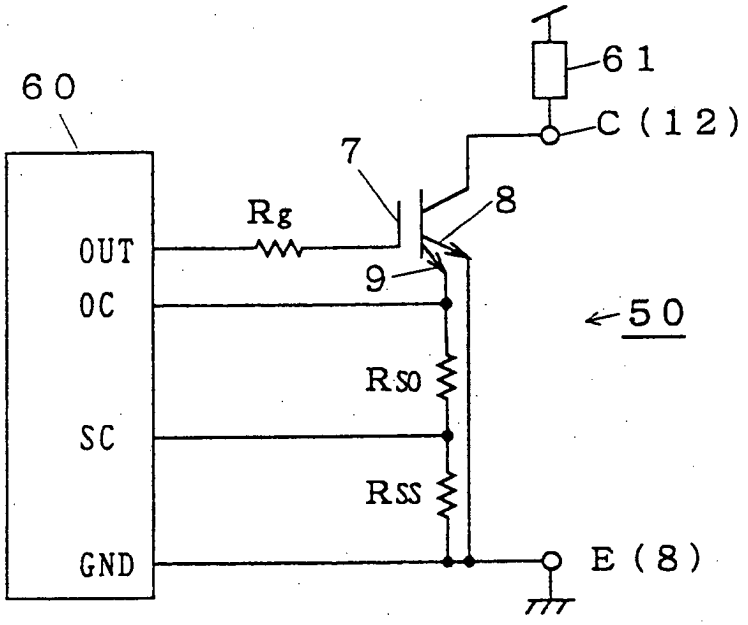


FIG. 43

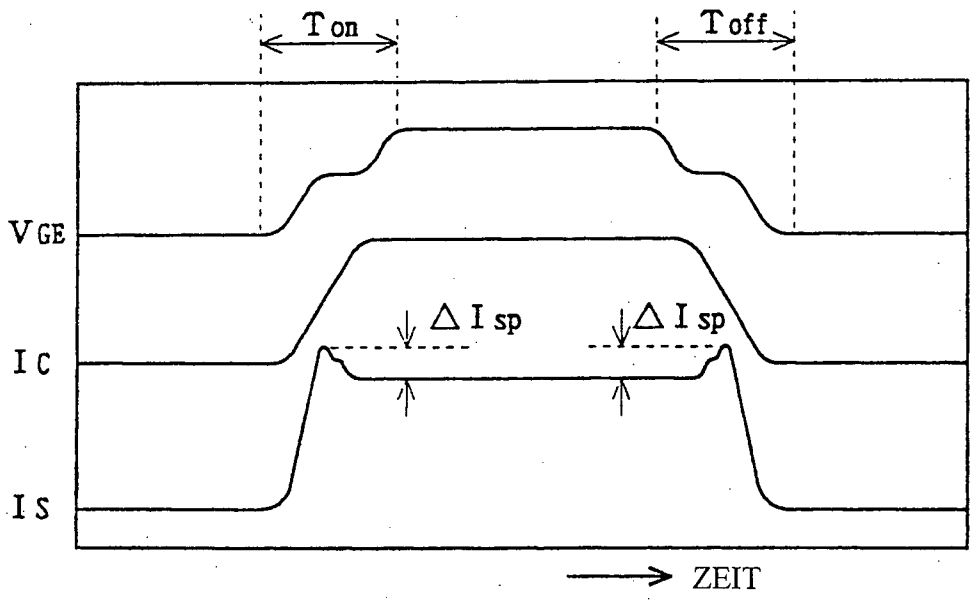


FIG. 44

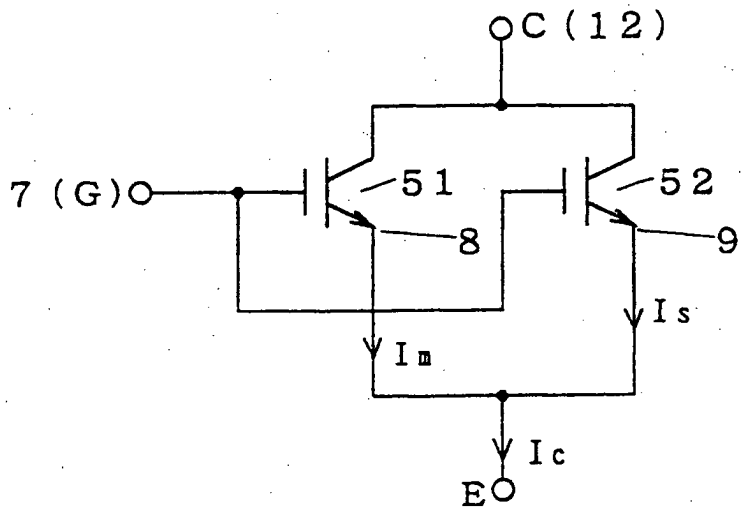


FIG. 45

