



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I576758 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：104137602

(22)申請日：中華民國 104 (2015) 年 11 月 13 日

(51)Int. Cl. : G06F3/06 (2006.01)

G06F12/02 (2006.01)

(30)優先權：2014/11/13 美國

14/540,968

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：方塔那 馬可 吉凡尼 FONTANA, MARCO GIOVANNI (IT) ; 蒙塔羅 瑪西莫
MONTANARO, MASSIMO (IT)

(74)代理人：陳長文

(56)參考文獻：

US 2004/0177212A1

US 2014/0192583A1

審查人員：李惟任

申請專利範圍項數：30 項 圖式數：10 共 31 頁

(54)名稱

記憶體耗損平均

MEMORY WEAR LEVELING

(57)摘要

用於區段內重新排序之耗損平均之系統(10)及方法(50、70、110)包含：在一記憶體裝置(14)中偵測(52)具有一高耗損平均之一高耗損子區段(32)，該子區段(32)駐存於一第一區段(30)中；判定(54)具有一低耗損平均之記憶體裝置(14)之一第二區段(30)；利用第二區段(30)調換(56)第一區段(30)；且重新排序該第一區段(30)、該第二區段(30)或兩者之至少一子區段(32)之一位置。

Systems (10) and methods (50, 70, 110) for intra-sector re-ordered wear leveling include: detecting (52), in a memory device (14), a high wear sub-sector (32) having a high wear level, the sub-sector (32) residing in a first sector (30); determining (54) a second sector (30) of the memory device (14) having a low wear level; swapping (56) the first sector (30) with the second sector (30); and re-ordering a position of at least one sub-sector (32) of the first sector (30), the second sector (30), or both.

指定代表圖：

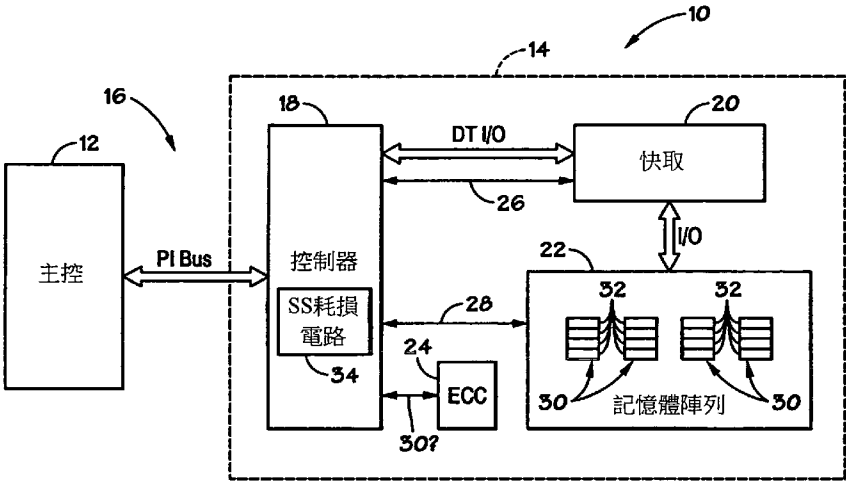


圖 1

符號簡單說明：

- 10 . . . 記憶體系統
- 12 . . . 主控裝置
- 14 . . . 受控裝置
- 16 . . . PI 匯流排
- 18 . . . 控制器
- 20 . . . 快取
- 22 . . . 記憶體陣列
- 24 . . . ECC 狀態暫存器
- 26 . . . 控制線
- 28 . . . 控制線
- 30 . . . 控制線/區段
- 32 . . . 子區段

發明摘要

公告本

※ 申請案號：104/37602

※ 申請日：104.11.13

※IPC 分類：

G06F 3/06 (2006.01)
12/02 (2006.01)

【發明名稱】

記憶體耗損平均

MEMORY WEAR LEVELING

【中文】

用於區段內重新排序之耗損平均之系統(10)及方法(50、70、110)包含：在一記憶體裝置(14)中偵測(52)具有一高耗損平均之一高耗損子區段(32)，該子區段(32)駐存於一第一區段(30)中；判定(54)具有一低耗損平均之記憶體裝置(14)之一第二區段(30)；利用第二區段(30)調換(56)第一區段(30)；且重新排序該第一區段(30)、該第二區段(30)或兩者之至少一子區段(32)之一位置。

【英文】

Systems (10) and methods (50, 70, 110) for intra-sector re-ordered wear leveling include: detecting (52), in a memory device (14), a high wear sub-sector (32) having a high wear level, the sub-sector (32) residing in a first sector (30); determining (54) a second sector (30) of the memory device (14) having a low wear level; swapping (56) the first sector (30) with the second sector (30); and re-ordering a position of at least one sub-sector (32) of the first sector (30), the second sector (30), or both.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

10	記憶體系統
12	主控裝置
14	受控裝置
16	PI匯流排
18	控制器
20	快取
22	記憶體陣列
24	ECC狀態暫存器
26	控制線
28	控制線
30	控制線/區段
32	子區段

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體耗損平均

MEMORY WEAR LEVELING

【技術領域】

本發明之實施例大體上係關於記憶體裝置之領域，且更具體言之，本發明係關於用於記憶體裝置之耗損平均之系統及方法。

【先前技術】

電腦系統及其他電系統通常包含一或多個記憶體裝置。例如，電腦通常採用NOR快閃記憶體及NAND快閃記憶體。NOR及NAND快閃記憶體相較於其他記憶體各具有特定優勢。例如，NOR快閃記憶體之寫入及擦除速度通常比NAND快閃之速度更慢。此外，NAND快閃記憶體通常比NOR快閃記憶體更具有持久性。然而，NOR快閃記憶體通常能夠隨機存取儲存於記憶體裝置內之資料，但是，NAND快閃記憶體通常需要存取及寫入較大群組之資料。例如，NAND快閃記憶體通常包含複數個區塊，其等各包含複數個頁，其中各頁包含資料之大量位元組。在操作中，一次擦除一個區塊之資料且一次寫入一頁。

先進之記憶體技術已導致減少增加之矽區域，且同時獲取增加之儲存容量。不幸地係，矽結構上之此指數縮減已產生嚴重干擾，影響記憶體胞循環持久性。隨著時間之推移，資料操作(例如，讀取/寫入操作)之一彙總可使得一記憶體胞降級。例如，NAND記憶體胞具有有限數目個寫入/擦除循環(例如，100000程式/擦除循環)。

為了延長此等記憶體裝置之壽命，「耗損平均」可應用於跨記憶體之各種實體區段傳播資料。耗損平均通常包含將資料寫入至各種區

段以確保均等使用胞而防止記憶體陣列之特定部分過早失效。耗損平均可包含最初將資料寫入至記憶體陣列之各種區段之一者，或可包含自該記憶體陣列內之一個實體區段移動資料且將該相同資料寫入至該記憶體陣列中之另一實體區段。

一些記憶體技術(例如，頁快閃記憶體)以各區段(稱為子區段)內之粒化之一額外等級為特徵。子區段係一記憶體之區段內之記憶體之片段。可單獨存取(例如，程式化及/或擦除)該等子區段。據此，該等子區段具有分離循環且因此具有不同於該記憶體內之其他子區段之耗損。不幸地係傳統耗損平均技術已不能有效考量子區段耗損，尤其係在高資料循環應用(例如，頁快閃實施)中，其中循環數目可達數十萬。

【圖式簡單說明】

圖1係根據一實施例描繪具有執行一區段內調換之子區段耗損電路之一記憶體系統之一方塊圖；

圖2係根據一實施例繪示用於子區段調換程序之區段之一流程圖；

圖3係根據一實施例繪示用於其中可發生過度循環之子區段調換之一區段之一示意圖；

圖4係根據一實施例繪示此一區段內調換程序之一流程圖；

圖5係根據一實施例繪示使用圖4之程序之區段內調換之一示意圖；

圖6係根據一實施例繪示一中間區段內集束調換程序之一流程圖；

圖7係根據一實施例繪示使用圖6之程序之區段內調換之一示意圖；

圖8係根據一實施例繪示具有再混碼電路之一系統之一示意圖；

圖9係根據一實施例繪示具有使用一多工器(MUX)之再混碼電路之一系統之一示意圖；且

圖10係根據一實施例繪示具有使用一組合邏輯之再混碼電路之一系統之一示意圖。

【實施方式】

圖1係描繪一記憶體系統(通常標示為元件符號10)之一方塊圖。記憶體系統10可為各種類型之任何一者，諸如在一電腦、傳呼器、蜂巢式電話、個人記事本、控制電路等等中使用之類型之任一者。例如，記憶體裝置可為NAND或NOR類型快閃記憶體。系統10包含一主控裝置12及一受控裝置14。在一項實施例中，主控裝置12可包含一微控制器且受控裝置14可包含一記憶體裝置。

主控裝置12經由各種傳輸線與受控裝置14通信。在所繪示之實施例中，主控裝置12及受控裝置14經由一周邊介面(PI)發送及接收信號。在所繪示之實施例中，PI包含一PI匯流排16。在一些實施例中，PI匯流排16係在完整雙工模式中操作之一同步連續資料鏈接標準。PI匯流排16上之裝置可在使得主控裝置12將資料訊框初始化至一或多個受控裝置14之一主控/受控模式中操作。主控裝置12及受控裝置14通常包含使得其等交換且儲存資料值之轉存暫存器。在操作中，主控裝置12及受控裝置14可利用儲存於該等暫存器中之資料進行各種事情，諸如將資料保存至記憶體。

在所繪示之實施例中，受控裝置14 (例如，記憶體裝置)包含一控制器18、一快取20、一記憶體陣列22及一ECC狀態暫存器24。控制器18經由PI匯流排16接收且傳輸資料。由控制器18之輸入接收傳輸通過PI匯流排16之資料。控制器18亦經由資料傳遞輸入/輸出線(DT I/O)及記憶體裝置14內部之控制線26、28及30傳輸且接收信號。DT I/O線能夠與快取20通信。控制線26使得控制器18將控制信號傳輸至快取20且

自快取20接收控制信號。控制線28使得PI控制器將控制信號傳輸至記憶體陣列22且自記憶體陣列22接收控制信號。控制線30使得PI控制器將控制信號傳輸至錯誤校正編碼(ECC)狀態暫存器24且自錯誤校正編碼(ECC)狀態暫存器24接收控制信號。

在操作中，控制器18經由PI匯流排16接收傳輸之資料，且同步資料流(DT I/O)且控制記憶體14之其他組件之間之信號。例如，PI控制器18可經由匯流排16接收一序列化格式之資料及命令，且剖析資料及命令之傳入序列化信號。控制器18可包含提供由控制器18傳輸及接收之信號之合適時序之轉存暫存器。此外，控制器18可包含機載運行之演算法以解譯包含命令、位址、資料及類似者之傳入信號。該等演算法亦可包含判定控制器18之合適輸出之路徑，其亦包含記憶體陣列22內之位址方案、錯誤校正、資料之移動及類似者。如將在以下更詳細地討論，在一些實施例中，控制器18可移動所儲存之資料以防止由資料循環引起之過度耗損。類似地，控制器18可包含同步資料經由匯流排16自控制器18至主控裝置12之傳輸之電路。

在操作中，將資料(DT I/O)逐位元組地通過快取20傳遞至記憶體陣列22或自記憶體陣列22逐位元組地通過快取20傳遞資料(DT I/O)。快取20充當為用於將資料自控制器18傳遞至記憶體陣列22之一資料緩衝器。可將資料寫入至快取20且隨後寫入至記憶體陣列22內。類似地，資料可自記憶體陣列22讀取至快取20內，且隨後經由控制器18及匯流排16自快取20傳輸至主控裝置12。快取20可為各種尺寸。例如，快取20可包含2048位元組、4096位元組、8192位元組或其等之倍數之位元組。快取20亦可為較小尺寸，諸如256位元組或512位元組。應注意，在特定實施例中，一資料暫存器可駐存於快取20或記憶體陣列22中以為快取20與記憶體陣列22之間之資料傳遞提供一路徑。換言之，複數個資料位元可在寫入至記憶體陣列22之一位址之前轉存於資料暫

存器中。

ECC狀態暫存器24用於偵測及/或校正可在正常操作期間發生之位元錯誤以及由於隨著時間之推移而發展之電荷損失/增益而發生之位元錯誤。例如，ECC狀態暫存器24可包含用於當自記憶體陣列22讀回資料時偵測及校正錯誤之電路。ECC狀態暫存器24可增補在控制器18上採用之演算法。ECC狀態暫存器24亦可包含一組子暫存器。此等子暫存器可包含：一ECC啟用/停用暫存器，其啟用記憶體裝置資料之選用ECC；一ECC類型暫存器，其儲存發現之錯誤之總數目；一ECC定位暫存器，其儲存任何未校正之錯誤之位置；一ECC NAND記憶體結果暫存器，其儲存關於記憶體陣列22上之任何錯誤校正程序之結果之資訊；或一ECC快取記憶體結果暫存器，其儲存關於快取20上之任何錯誤校正程序之結果之資訊。ECC狀態暫存器24可包含所有先前ECC子暫存器或其前置子暫存器之任何組合。儘管ECC狀態暫存器24展示為在控制器18之外部，但ECC狀態暫存器24可整合至控制器18。

記憶體陣列22包含分割為區段30之一記憶體胞陣列。各區段包含固定數目之子區段32。記憶體陣列22可包含任何數目個及任何尺寸的區段30及子區段32。記憶體陣列22可在區段30及/或子區段32層級上經程式化及/或擦除。

如以上所提及，特定記憶體胞具有有限數目個寫入/擦除循環(例如，100000程式/擦除循環)。為了延長記憶體裝置14之壽命，「耗損平均」可應用於跨該記憶體之各種實體位置傳播資料。耗損平均通常包含將資料寫入至各種位置以確保均等使用胞而防止記憶體陣列22之特定部分過早失效。耗損平均可包含最初將資料寫入至記憶體陣列22中各種位置之一者，或可包含自記憶體陣列22內之一個實體位置(例如，一位址)移動資料且將該相同資料寫入至NAND記憶體陣列22中

之另一實體位置。控制器18可管理用於判定資料寫入何處之耗損平均路徑。例如，控制器18上之演算法及/或電路可監測記憶體使用且判定一合適位址以將資料寫入至記憶體陣列22內。例如，控制器18（或記憶體系統10之其他組件）可包含基於記憶體陣列22內之單獨子區段32之耗損量提供耗損平均之子區段耗損電路34，如以下將詳細討論。一區塊映射單元(BMU)可對追蹤調換歷史以及再映射區段及/或子區段負責(例如，更新待再映射之區段及/或子區段之位址)。

儘管子區段耗損電路34繪示為圖1之實施例中之控制器18之一部分，但可在記憶體系統10之其他組件上部分或全部實施子區段耗損電路34。例如，在一些實施例中，主控裝置12可包含組成電路34之一部分耗損平均路徑。此外，受控裝置14可包含組成電路34之另一部分耗損平均路徑。

可使用數個不同方法實施子區段耗損電路34。在一項實施例中，可實施一分層耗損平均方法。該分層耗損平均方法可實施各區段30內之子區段32之耗損平均。換言之，可在一區段30內基於區段30內之子區段32之相對耗損平均而調換子區段32。用於一分層耗損平均方法之一折衷係存在用於此一方法之增加之硬體額外耗用。例如，各區段內可需要指派單獨位址再映射硬體來獲取此方法。

在另一實施例中，可單獨調換子區段只要該等子區段係單獨區段。基本上，此用於使得子區段分層變平，從而使得調換及調換集區之數目增加。此方法之一折衷係增加之調換集區可導致對調換之十分複雜之管理，尤其係在區段層級。

在一第三實施例中，當一子區段達到一臨限耗損級時可出現一區段30調換，被稱為用於子區段調換之一區段。圖2係根據一實施例繪示用於子區段調換程序50之區段之一流程圖。系統10可偵測區段30之任何者是否具有一高耗損級(判定區塊52)。如上所提及，區段耗損

級可基於關於區段30內之一或多個子區段32之資訊。例如，可基於區段30內之一子區段32之最高循環數、一給定區段30內之所有子區段32之子區段32循環數之一總和、一給定區段30內之所有子區段32之子區段32循環數之一平均等等而判定耗損。在一項實施例中，當突破一預定臨限循環數(例如，當一循環數超過100000循環)時可找出一高耗損級。

若區段30不具有一高耗損級，則系統10繼續監測具有一高耗損級之區段30。一旦找到具有一高耗損級之一區段30，則可觸發一調換，其中具有該高耗損級之區段30係用於調換一目的區段30之目標區段。據此，此高耗損級區段30可被稱為「目標區段」。

最佳目的區段30可為具有最少耗損之區段30。此區段可被稱為「最小區段」。一旦觸發一調換即判定該最小區段(區塊54)。如上所提及，耗損級可基於區段30內之一子區段32之最高循環數、一給定區段30內之所有子區段32之子區段32循環數之一總和、一給定區段30內之所有子區段32之子區段32循環數之一平均等等。據此，可藉由基於循環數準確指出具有最低耗損級之區段而判定最小區段。一旦判定目標區段及最小區段即發生自目標區段至最小區段之一調換(區塊56)。

例如，調換可包含將記憶體陣列22內之資料移動至記憶體陣列22中之替代位置。此過程通常可包含將資料自記憶體陣列22中之一第一位址載入至一快取內。經快取之資料接著可寫入至陣列22內之一新目的位置。

在此方法中，藉由將調換拓寬至區段級且同時基於子區段耗損級觸發調換，可使得調換級變得更可管理。其中定位耗損之子區段之區段30中之經傳遞之子區段32保持在具有較少耗損之一替代區段30中之其等子區段位置。此方法之一折衷可為過度循環。例如，當觸發一區段30調換以定址區段30內之一個或一些子區段32之耗損時，區段30

調換可導致一子區段32傳遞至新區段30位置處之一相對較高耗損子區段32。據此，此等傳遞可導致目標子區段32之增加之耗損。圖3係繪示其中可發生過度循環之子區段調換60之一區段之一示意圖。

如上所提及，用於自目標區段62傳遞至最小區段64之子區段32保持在最小區段64處之其等相對位置。據此，目標區段62之子區段SS4在傳遞之後仍然為最小區段64中之SS4。如所繪示，最小區段64中之SS4可為最小區段64中之相對最高耗損級子區段。據此，此調換可導致循環之一累積及最小區段64之一過度循環。

為了對治此問題，在一項實施例中，額外邏輯/電路可經實施以延伸用於子區段調換之區段而減少子區段32耗損。特定言之，不論何時在圖2之用於子區段調換程序50之區段中觸發一區段30調換，額外邏輯/電路可嵌入一子區段32之一區段內調換。圖4係繪示此一區段內調換程序70之一流程圖。

如圖2中所示，系統10可偵測區段30之任何者是否具有一高耗損級(判定區塊52)。此外，該區段耗損級可基於關於區段30內之一或多個子區段32之資訊，諸如區段30內之一子區段32之最高循環數、一給定區段30內之所有子區段32之子區段32循環數之一總和、一給定區段30內之所有子區段32之子區段32循環數之一平均等等。如上所提及，當突破一預定臨限循環數(例如，當一循環數超過100000循環)時可找出一高耗損級。

若區段30不具有一高耗損級，則系統10繼續監測具有一高耗損級之區段30。一旦找到具有一高耗損級之一區段30，則可觸發自目標區段62至最小區段64之一調換。一旦觸發一調換即判定最小區段64(區塊54)。如上所提及，可藉由基於子區段循環數準確指出具有最低耗損級之區段而判定最小區段64。

一旦判定目標區段62及最小區段64即發生具有一嵌入之子區段

調換程序72之一調換(區塊74)。嵌入之子區段調換程序72包含判定最小區段64之最小子區段(具有最低耗損級之子區段)(區塊76)。接著，利用最小子區段調換目標子區段(例如，具有目標區段62中之高耗損之子區段)(區塊78)。

在程序70之結束處，類似於用於子區段調換之區段，最小區段64含有目標區段62之所有資料。然而，目標子區段及最小子區段具有經調換之位置。圖5係根據圖4之程序70繪示區段內調換90之一示意圖。

如圖5中所繪示，子區段SS4係目標區段62之最大子區段92。換言之，SS4係待擦除之子區段。藉由使用嵌入於目標區段62中之子區段調換至最小區段64調換，可利用最小子區段94調換最大子區段92。據此，可藉由確保在具有最小區段64中相對最高耗損之子區段96中不替換最大子區段92而減少過度循環。

如可明白，最大子區段92及最小子區段94之區段內調換可導致減少循環累積。在圖5描繪之案例中，例如，各區段30包含16個子區段32。據此，藉由實施最大子區段92及最小子區段94調換，循環數可比不使用此調換之一程序之循環數少16倍。此外，由於該調換係一區段內調換，所以可忽略任何處理時間之增加。

除了循環數及最小時序成本有大幅改良，程序70亦可使用一增加之矽區域。例如，為了調換子區段，區塊映射單元(BMU)可需要追蹤各子區段之位址而非僅追蹤區段位址。

據此，可實施一中間區段內調換解決方法以減少使用增加之矽區域。圖6係根據一實施例繪示一中間區段內集束調換程序110之一流程圖。

為了減輕使用需用於追蹤區段內調換程序70中之各子區段之記憶體位址之一些增加之矽區域，可集束子區段(區塊112)使得可替代

地使用複數個子區段之一較少組粒狀位址。如將參考圖7之討論之詳細描述，由於位址可為較少組粒狀，所以資料之較少位元可用於界定經集束之子區段之一位址。因此，可使用較少矽區域。

系統10可偵測區段30之任何者是否具有一高耗損級(判定區塊52)。如上所提及，區段耗損級可基於區段30內之一或多個子區段32之資訊，諸如區段30內之一子區段32之最高循環數、一給定區段30內之所有子區段32之子區段32循環數之一總和、一給定區段30內之所有子區段32之子區段32循環數之一平均等等。此外，當突破一預定臨限循環數(例如，當一循環數超過100000循環)時可找出一高耗損級。

若區段30不具有一高耗損級，則系統10繼續監測具有一高耗損級之區段30。一旦找到具有一高耗損級之一區段30，即可觸發自目標區段62至最小區段64之一調換。一旦觸發一調換即判定最小區段(區塊54)。如上所提及，可藉由基於子區段循環數準確指出具有最低耗損級之區段而判定最小區段64。

一旦判定目標區段62及最小區段64即發生具有一嵌入之集束子區段調換程序114之一調換(區塊116)。嵌入之集束子區段調換程序114包含判定最小區段64之最小集束(含有具有最低耗損級之子區段之集束及/或具有耗損級之集束)(區塊118)。接著，利用最小集束調換目標集束(例如，含有具有目標區段62中之高耗損之子區段之集束)(區塊120)。

儘管程序110提供之循環數減輕程度不如程序70提供之減輕程度，但其減少用於子區段調換方法之一標準區段上之循環數目。此外，由於調換涉及子區段之集束而非單獨子區段，所以可減少管理複雜性及矽區域之使用。例如，區塊映射單元可保持且管理比程序70少之一組粒狀級上之調換。因此，可減少處理複雜性及矽區域，且仍然減輕發生於區段至子區段調換方法(不包含一區段內調換)中的一些不

必要之循環。

圖7係根據圖6之程序110繪示區段內調換140之一示意圖。如圖7中所繪示，將子區段32集束至可定址集束142內。例如，在其中區段30包含16個子區段32之所繪示之實施例中，將子區段集束至四個子區段32之四位字節內。此外，如所繪示，以比當單獨定址各子區段32時可能出現之組粒狀更少之一組粒狀方式定址集束之各者。例如，由於所繪示之實施例中之各區段30被分為四個經集束之子區段32之四位字節，所以可使用兩位元144定址該等集束。相對地，單獨定址各子區段32可使用增加之矽區域。例如，在16個子區段32之所繪示之實施例中，至少4位元之資料將專用於識別子區段32位址。

如所指示，子區段SS4係目標區段62之最大子區段92。換言之，SS4係待擦除之子區段。此外，具有位址「10」之集束146係最大集束146，因為其含有最大子區段92。使用嵌入於目標區段62中之經集束之子區段調換至最小區段64調換，可利用最小集束148（含有最小子區段94之集束142）調換最大集束146。

據此，可藉由確保在含有具有最小區段64中相對最高耗損之子區段96之集束中不替換最大集束146而減少過度循環。

如可明白，最大集束146及最小集束148之區段內集束子區段調換可導致減少循環累積。在圖7描繪之案例中，例如，各區段30包含4個集束142。據此，藉由實施最大集束146及最小集束148調換，循環數目可比不使用此調換之一程序之循環數目少4倍。另外，處理及矽區域使用可少於程序70之處理及矽區域使用。此外，如上所述，由於該調換係一區段內調換，所以可忽略處理時間之增加。

在一些實施例中，可期望降低矽區域之使用，此期望降低之矽區域甚至比在區段內集束調換程序110中使用之區域更大。實現此目的之一個方法係藉由將子區段32之一全域位址再映射分別實施為圖4

及圖6之區段內調換72及/或114之一替換。此可通過在用於子區段調換之區段期間修改區段內位址之再混碼電路進行。圖8係繪示一系統160之一示意圖，該系統160具有可全域地再映射子區段之位址、子區段之集束等等以沖淡最大子區段92及/或最大集束146放置於具有最小區段64之最高耗損之最小區段64中之一子區段32位置處之再混碼電路162。

如所繪示，區塊映射單元(BMU) 164接收其中將發生再混碼之一區段30之邏輯區段位址166。接著，BMU 164可藉由輸出區段30之一實體區段位址168及使得發生一邏輯區段內位址172之一特定再映射之一或多個組態位元170而引起一全域位址再映射。在再混碼電路162處接收該組態位元，其中基於組態位元170及邏輯區段內位址172輸出一再映射實體區段內位址174。

在一項實施例中，再混碼電路162可包含一多工器(MUX)解決方法，如圖9中所繪示。在此一實施例中，組態位元170可包含多重組位元190，其中該等組位元190代表調換之位址。例如，在圖7之實施例中，該等組位元190之各者代表四個四位字節集束之一者。因此，4 (可被調換之品項數目) $\times$ 2 (需要代表品項調換之位址之位元數目)通過再混碼電路162。自此，多工器(例如，再混碼電路162)選擇該等組位元190之一者再映射，如虛線192所指示。由接收為再混碼電路162之輸入之邏輯區段內位址172控制多工器選擇。基於所選擇組之位元190 (例如，一組位元194)輸出一再映射之實體區段內位址174。

如可明白，此再混碼解決方法可需要比執行一區段內調換(例如，根據程序70及/或110)之電路更少之矽區域。然而，此程序可包含一些另外之額外耗用，因為一組位元190之數目可為龐大的。據此，在一些實施例中，使用一替代解決方法(使用較少組態位元170)係有利的。圖10繪示一系統160之一實施例，其中結合組態位元170之

一單一組210及邏輯區段內位址172使用組合邏輯200（例如，總和邏輯202及/或互斥或(XOR)邏輯204)以輸出一再映射實體區段內位址174。

如先前所討論，區塊映射單元(BMU) 164將邏輯區段位址166接收為輸入。BMU 164將實體區段位址168及可結合組合邏輯200使用以再映射邏輯區段內位址172之組態位元170之一組210提供為輸出。在此實施例中，由再混碼邏輯提供之再映射可藉由避免子區段之一高耗損至高耗損替代而稀釋區段內循環。然而，不像本文所討論之其他解決方法，此解決方法無需提供一最高耗損至最低耗損解決方法。

為了再映射，再混碼電路使用邏輯區段內位址172與組210之間之組合邏輯200來輸出再映射之實體區段內位址。例如，為了使用總和邏輯202將具有位址「01」之一集束四位字節再映射至具有位址「10」之一集束四位字節，自BMU 164提供之組態位元170之組210係「01」。替代地，為了使用XOR邏輯204獲取相同再映射，組態位元170之組210係「11」。

使用本文所描述之區段內調換系統及技術，可大幅改良子區段耗損平均之時間效能。此外，可藉由用再混碼邏輯替代一區段內調換而減少硬體及軟體邏輯額外耗用。

儘管本發明可接受各種修改及替代形式，但特定實施例在圖式中僅供例示且在本文中已詳細描述。然而，應瞭解，本發明不意欲限制於所揭示之特定形式。相反地，本發明將涵蓋落於由以下隨附申請專利範圍界定之本發明之精神及範疇內之所有修改、等效物及替代物。

【符號說明】

- 10 記憶體系統
- 12 主控裝置

14	受控裝置
16	PI匯流排
18	控制器
20	快取
22	記憶體陣列
24	ECC狀態暫存器
26	控制線
28	控制線
30	控制線/區段
32	子區段
50	子區段調換程序
52	區塊
54	區塊
56	區塊
60	子區段調換
62	目標區段
64	最小區段
70	區段內調換程序
72	嵌入之子區段調換程序
74	區塊
76	區塊
78	區塊
90	區段內調換
92	最大子區段
94	最小子區段
96	子區段

- 110 中間區段內集束調換程序
- 112 區塊
- 114 嵌入之集束子區段調換程序
- 116 區塊
- 120 區塊
- 140 區段內調換
- 142 可定址集束
- 144 兩位元
- 146 最大集束
- 148 最小集束
- 160 系統
- 162 再混碼電路
- 164 區塊映射單元(BMU)
- 166 邏輯區段位址
- 168 實體區段位址
- 170 組態位元
- 172 邏輯區段內位址
- 174 再映射實體區段內位址
- 190 位元組
- 192 虛線
- 194 位元組
- 200 組合邏輯
- 202 總和邏輯
- 204 互斥或(XOR)邏輯
- 210 組
- SS4 子區段

申請專利範圍

1. 一種記憶體裝置，其包括：

區段之一記憶體陣列，其具有一或多個子區段；

一控制器，其經組態以經由一周邊介面匯流排接收、傳輸或接收且傳輸資料，其中該控制器包括耗損平均邏輯，其經組態以：

偵測具有一高耗損級之該記憶體裝置之一高耗損子區段，該子區段駐存於一第一區段中；

判定具有一低耗損級之該記憶體裝置之一第二區段；

利用該第二區段調換該第一區段；且

重新排序該第一區段、該第二區段或兩者之至少一子區段之一位置。

2. 如請求項1之記憶體裝置，其中該耗損平均邏輯經組態以重新排序該至少一子區段之該位置且同時利用該第二區段調換該第一區段。

3. 如請求項1之記憶體裝置，其中該耗損平均邏輯經組態以：

判定具有一最小耗損級之該第二區段之一最小子區段；

藉由利用該最小子區段之一位置調換該高耗損子區段之該位置而重新排序該高耗損子區段之該位置。

4. 如請求項1之記憶體裝置，其中該耗損平均邏輯經組態以：

將該第一區段之所有子區段集束至子區段集束之一第一組內；

將該第二區段之所有子區段集束至子區段集束之一第二組內；且

利用含有該最小子區段之一第二集束之一位置調換含有該高

耗損子區段之一第一集束之一位置。

5. 如請求項1之記憶體裝置，其中該記憶體裝置包括一NAND類型快閃記憶體裝置。
6. 如請求項1之記憶體裝置，其中該記憶體裝置包括一NOR類型快閃記憶體裝置。
7. 如請求項1之記憶體裝置，其包括：

再混碼邏輯，其經組態以修改該記憶體陣列之一或多個區段內位址；及

一區塊映射單元，其經組態以再映射一或多個區段、一或多個子區段或記憶體陣列兩者，其中該區塊映射單元經組態以將組態位元提供至該再混碼邏輯以使得能修改該一或多個區段內位址；

其中該再混碼邏輯用於重新排序該第一區段、該第二區段或兩者之該至少一子區段之該位置。

8. 如請求項7之記憶體裝置，其中該再混碼邏輯包括一多工器(MUX)；

其中該組態位元包括複數組位元，各組位元代表一位址修改；且

其中該MUX經組態以選擇該複數組位元之一者，該選擇導致由該複數組位元之該所選擇之一者代表之一位址修改。

9. 如請求項7之記憶體裝置，其中該再混碼邏輯包括組合邏輯；

其中該組態位元包括一單一組組態位元；且

其中該組合邏輯影響使用該單一組組態位元對一區段內位址之一修改。

10. 如請求項9之記憶體裝置，其中該組合邏輯包括總和組合邏輯。
11. 如請求項9之記憶體裝置，其中該組合邏輯包括互斥或(XOR)組

合邏輯。

12. 一種方法，其包括：

在一記憶體裝置中偵測具有一高耗損級之一高耗損子區段，
該子區段駐存於一第一區段中；

判定具有一低耗損級之該記憶體裝置之一第二區段；

利用該第二區段調換該第一區段；且

重新排序該第一區段、該第二區段或兩者之至少一子區段之一位置。

13. 如請求項12之方法，其包括：

判定具有一最小耗損級之該第二區段之一最小子區段；且

藉由利用該最小子區段之一位置調換該高耗損子區段之該位置而重新排序該高耗損子區段之該位置。

14. 如請求項12之方法，其包括：

將該第一區段之所有子區段集束至子區段集束之一第一組內；

將該第二區段之所有子區段集束至子區段集束之一第二組內；且

利用含有該最小子區段之一第二集束之一位置調換含有該高耗損子區段之一第一集束之一位置。

15. 如請求項12之方法，其包括：

修改該記憶體陣列之一或多個區段內位址以重新排序該第一區段、該第二區段或兩者之該至少一子區段之該位置。

16. 如請求項15之方法，其包括使用一多工器修改該記憶體陣列之該一或多個區段內位址。

17. 如請求項15之方法，其包括：使用包括總和邏輯、互斥或(XOR)邏輯或兩者之組合邏輯修改該記憶體陣列之該一或多個區段內

位址。

18. 一種有形之非暫時性機器可讀媒體，其包括指令以：

在一記憶體裝置中偵測具有一高耗損級之一高耗損子區段，
該子區段駐存於一第一區段中；

判定具有一低耗損級之該記憶體裝置之一第二區段；

利用該第二區段調換該第一區段；且

藉由以下所述重新排序該第一區段、該第二區段或兩者之至少一子區段之一位置：

在該第二區段中利用一低耗損子區段之一位置調換該高耗損子區段之一位置；

修改該第一區段、該第二區段或兩者之一或多個區段內位址；或

以上兩者。

19. 如請求項18之機器可讀媒體，其包括指令以藉由以下所述在該最小子區段中利用該低耗損子區段之該位置調換該高耗損子區段之該位置：

將該第一區段之所有子區段集束至子區段集束之一第一組內；

將該第二區段之所有子區段集束至子區段集束之一第二組內；且

利用含有該低耗損子區段之該第二區段中之一第二集束之一位置調換含有該高耗損子區段之一第一集束之一位置。

20. 如請求項18之機器可讀媒體，其包括指令以藉由以下所述修改該第一區段、該第二區段或兩者之該一或多個區段內位址：

使用一多工器來選擇對該一或多個區段內位址之一或多個修改；

使用組合邏輯來進行對該一或多個區段內位址之一或多個修改；或

以上兩者。

21. 一種記憶體控制器，其包括：

電路，其經組態以：

偵測具有一高耗損級之一記憶體裝置之一高耗損子區段，該子區段駐存於一第一區段中；

判定具有一低耗損級之該記憶體裝置之一第二區段；

利用該第二區段調換該第一區段；且

重新排序該第一區段、該第二區段或兩者之至少一子區段之一位置。

22. 如請求項21之記憶體控制器，其中該電路經組態以重新排序該至少一子區段之該位置且同時利用該第二區段調換該第一區段。

23. 如請求項21之記憶體控制器，其中該電路經組態以：

判定具有一最小耗損級之該第二區段之一最小子區段；

藉由利用該最小子區段之一位置調換該高耗損子區段之該位置而重新排序該高耗損子區段之該位置。

24. 如請求項21之記憶體控制器，其中該電路經組態以：

將該第一區段之所有子區段集束至子區段集束之一第一組內；

將該第二區段之所有子區段集束至子區段集束之一第二組內；且

利用含有該最小子區段之一第二集束之一位置調換含有該高耗損子區段之一第一集束之一位置。

25. 如請求項21之記憶體控制器，其中該電路經組態以：

修改一記憶體陣列之一或多個區段內位址以重新排序該第一區段、該第二區段或兩者之該至少一子區段之該位置。

26. 一種記憶體系統，其包括：

一受控裝置，其經組態以管理、儲存或管理且儲存資料；

一主控裝置，其經組態以將資料訊框提供至該受控裝置以促進該資料之該管理、儲存或該管理及儲存；

一周邊介面，其經組態以將該主控裝置與該受控裝置通信地耦合，其中該資料訊框自該主控裝置經由該周邊介面提供至該受控裝置；

耗損邏輯，其經組態以：

在該受控裝置中偵測具有一高耗損級之一高耗損子區段，該子區段駐存於一第一區段中；

在該受控裝置中判定具有一低耗損級之一第二區段；

利用該第二區段調換該第一區段；且

重新排序該第一區段、該第二區段或兩者之至少一子區段之一位置。

27. 如請求項26之記憶體系統，其中該耗損邏輯容納於該受控裝置之一控制器內。

28. 如請求項26之記憶體系統，其中該耗損邏輯容納於該主控裝置之至少部分中。

29. 如請求項26之記憶體系統，其中該耗損邏輯經組態以：

將該第一區段之所有子區段集束至子區段集束之一第一組內；

將該第二區段之所有子區段集束至子區段集束之一第二組內；且

利用含有該最小子區段之一第二集束之一位置調換含有該高

耗損子區段之一第一集束之一位置。

30. 如請求項26之記憶體系統，其中該耗損邏輯經組態以：

修改一記憶體陣列之一或多個區段內位址以重新排序該第一區段、該第二區段或兩者之該至少一子區段之該位置。

圖式

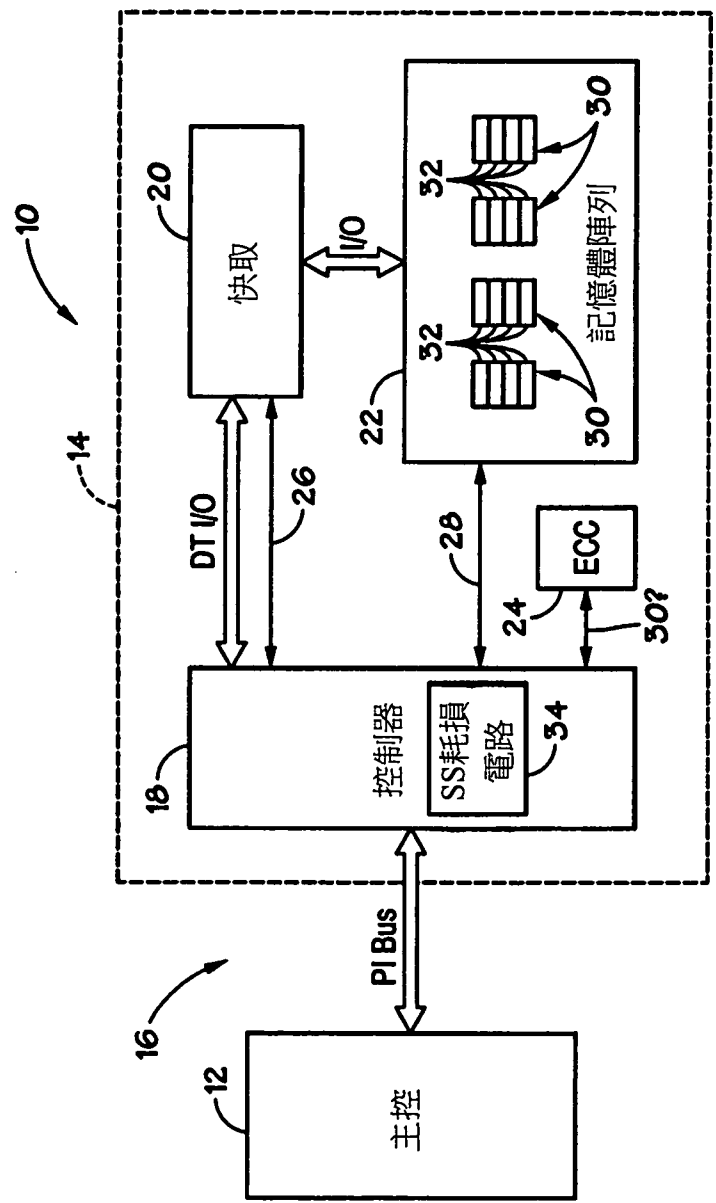


圖 1

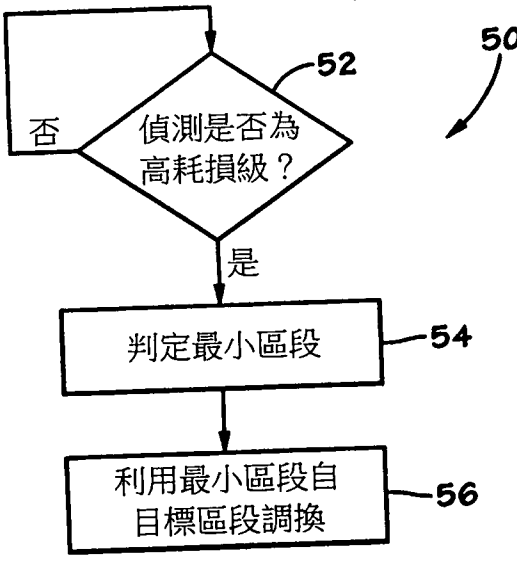


圖 2

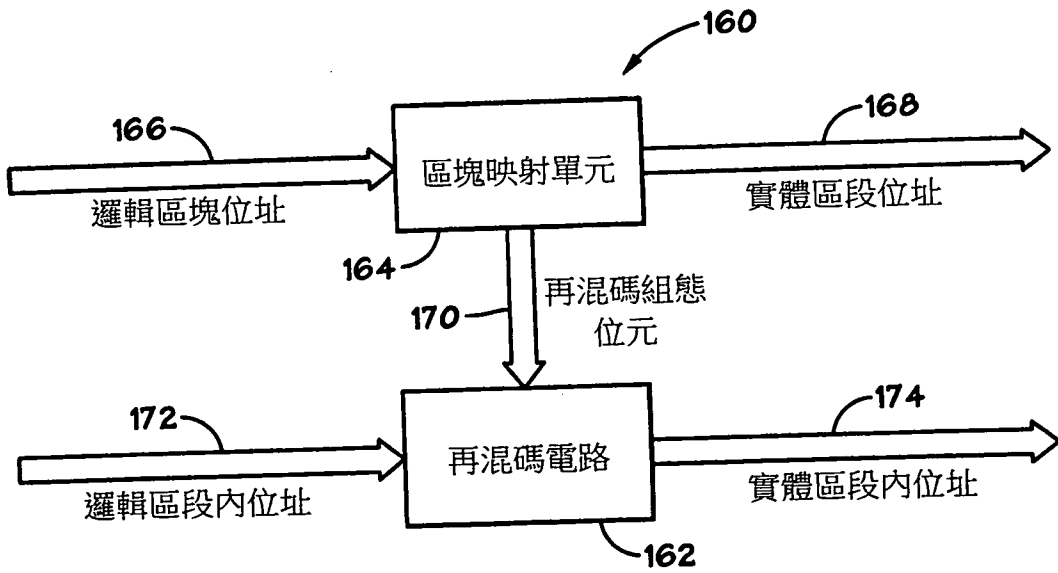
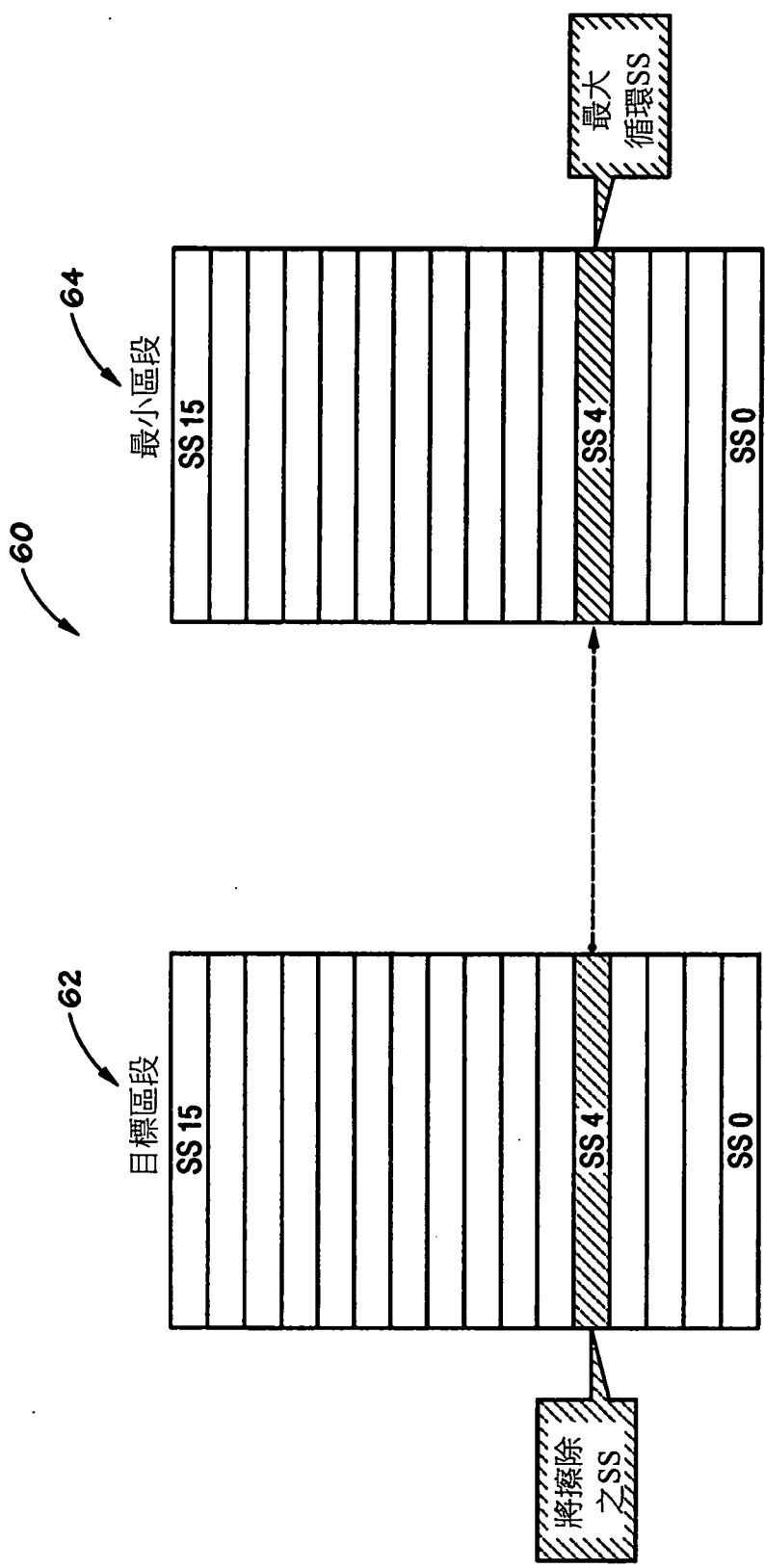


圖 8



子區段調換之標準區段

圖 3

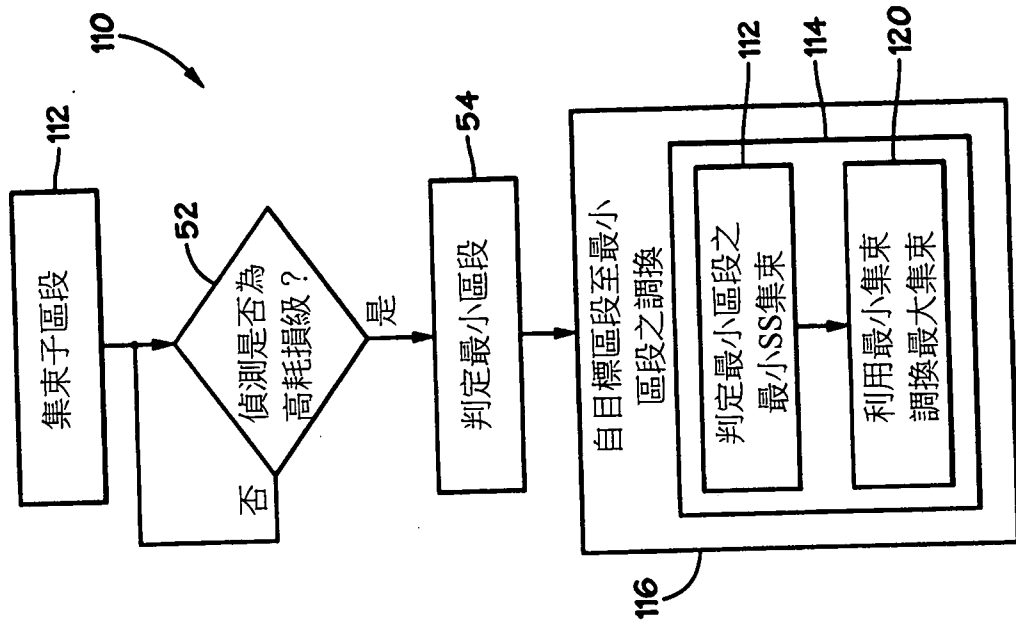


圖 6

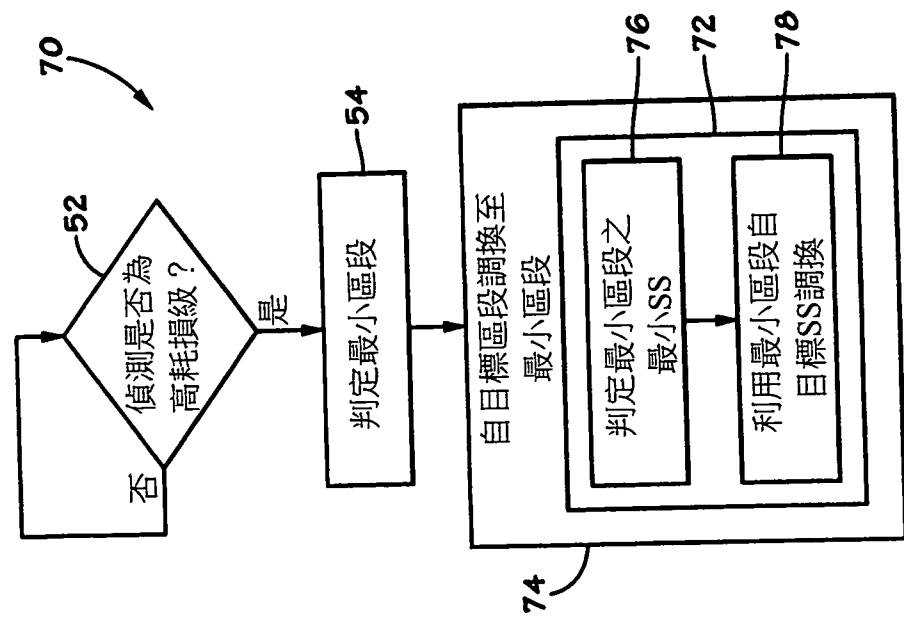


圖 4

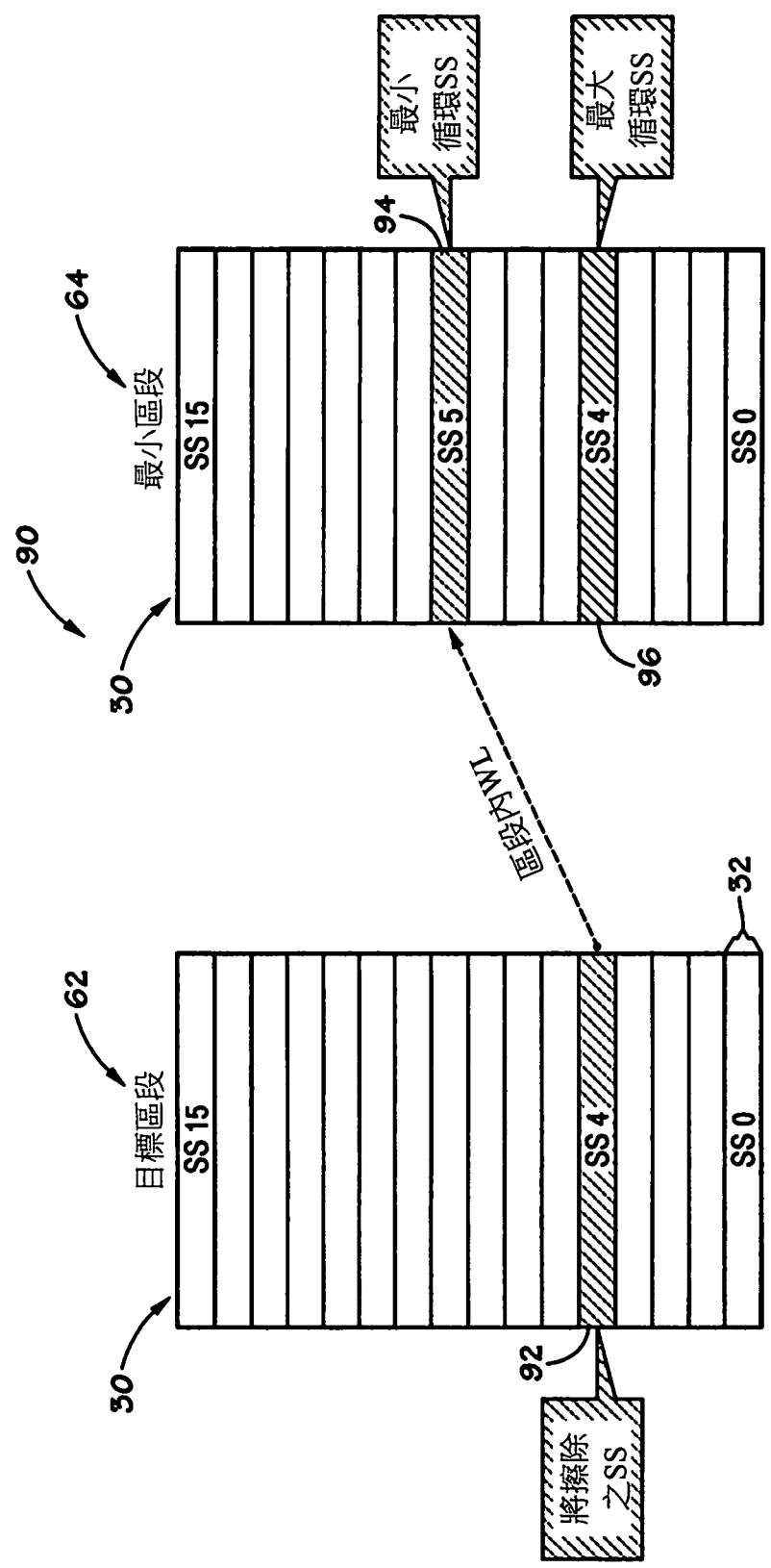


圖 5

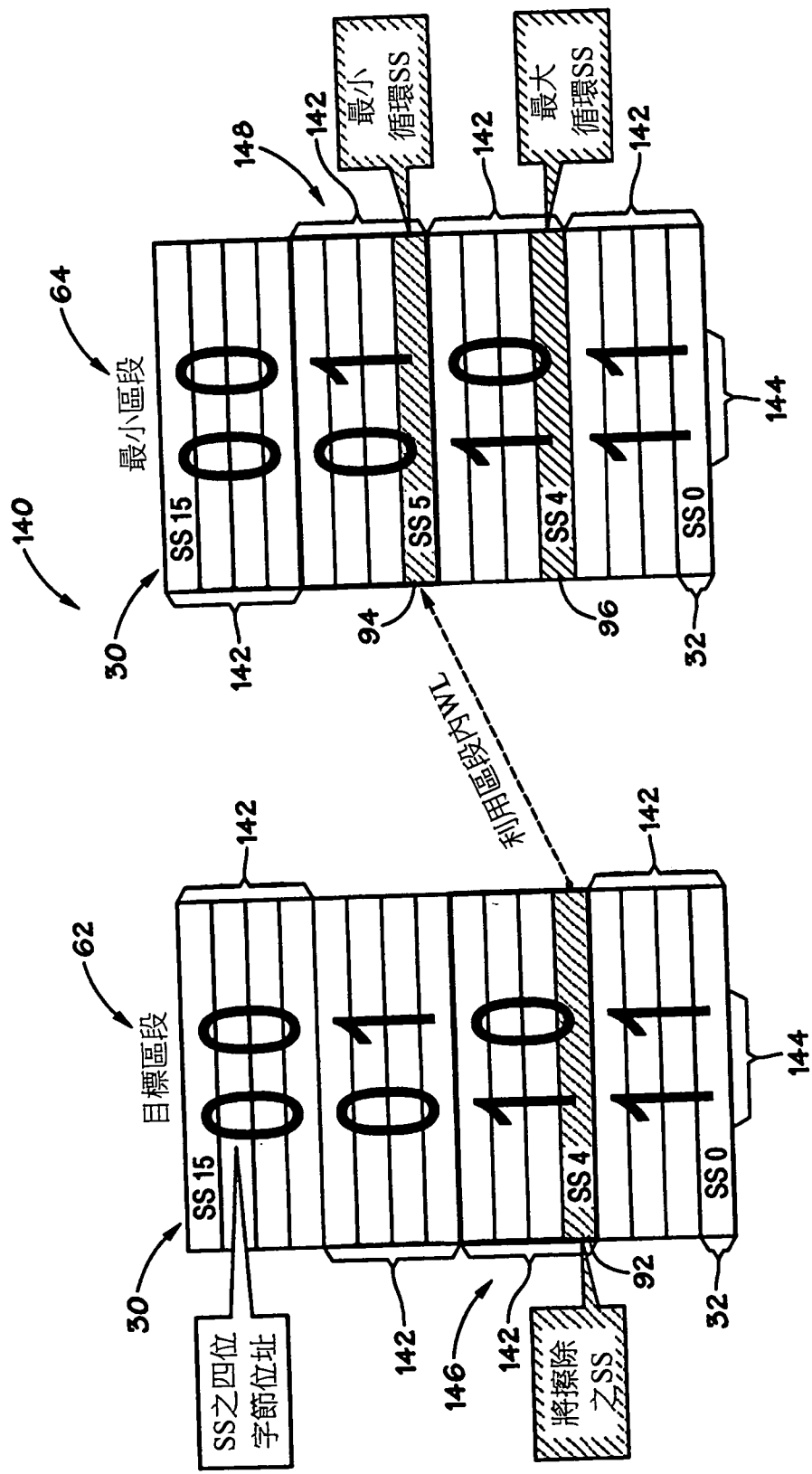


圖 7

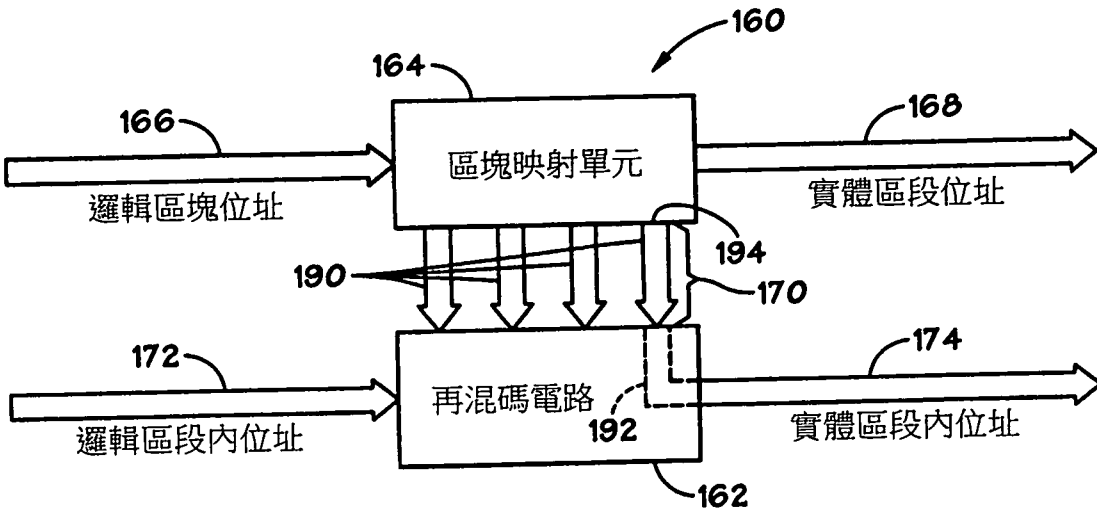


圖 9

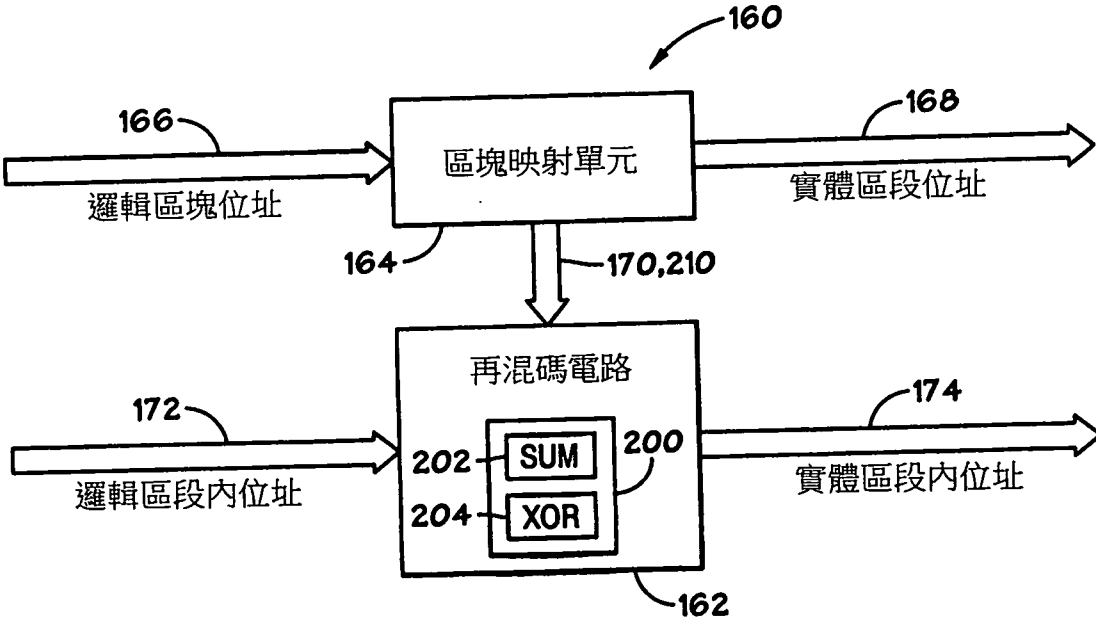


圖 10