(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月30日(30.04.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/085016 A1

(51) 国際特許分類:
H04N 5/378 (2011.01) *H03M 1/38* (2006.01)
H03M 1/12 (2006.01) *H04N 5/365* (2011.01)

(21) 国際出願番号： PCT/JP2019/038839

(22) 国際出願日： 2019年10月2日(02.10.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

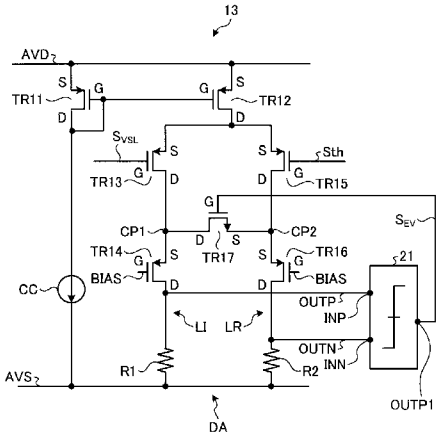
(30) 優先権データ：
特願 2018-200376 2018年10月24日(24.10.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 日野 康史(**HINO, Yasufumi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 池田 裕介(**IKEDA, Yusuke**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 江藤 慎一郎(**ETOU, Shinichirou**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 冨田 和寿(**TOMITA, Kazutoshi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) **Title:** A/D CONVERTER AND ELECTRONIC DEVICE

(54) 発明の名称： Ａ／Ｄ変換器及び電子機器



(57) **Abstract:** An A/D converter (10) according to the present disclosure is provided with: a comparator circuit (21) which performs a comparison of a threshold voltage (V_{th}) to determine whether an excessive input of pixel signal (S_{VSL}) has been input; and a first transistor (TR17) the control terminal of which receives the comparison result and which constitutes a clamp circuit, wherein turning the clamp circuit (TR17) on (or closed) equalizes currents flowing through a first predetermined position (CP1) and a second predetermined position (CP2) connected to each other by the first transistor (TR17) during clamping or equalizes voltages at the first predetermined position (CP1) and the second predetermined position (CP2), so that streaking can be suppressed when the excessive input is applied to a pixel signal line side (TR13, TR14, R1).

(57) 要約：本開示のＡ／Ｄ変換器（１０）は、画素信号（S_{VSL}）の過大入力が入力されたかどうか判断する閾値電圧（V_{th}）の比較を行う比較器回路（２１）と、その比較結果が制御端子に入力され、クランプ回路を構成する第１のトランジスタ（ＴＲ１７）と、を備え、クランプ回路（ＴＲ１７）をオン状態(閉状態)とすることで第１のトランジスタ（ＴＲ１７）によりクランプ時に接続される第１の所定位置（ＣＰ１）と第２の所定位置（ＣＰ２）に流れる電流を等しくする、もしくは第１の所定位置（ＣＰ１）と第２の所定位置（ＣＰ２）の電圧を等しくするので、画素信号ライン側（ＴＲ１３、ＴＲ１４，Ｒ１）に過大入力が印加された場合にストリーキングを抑制することができる。

WO 2020/085016 A1

［続葉有］

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明　細　書

発明の名称 ： Ａ／Ｄ変換器及び電子機器

技術分野

[0001] 本開示は、Ａ／Ｄ変換器及び電子機器に関する。

背景技術

[0002] 近年、半導体微細加工技術を応用したＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサ等の撮像素子がディジタルカメラやスマートフォン等において広く採用されている。

[0003] これらの撮像素子においては、各画素内に設けられた光電変換素子としてのフォトダイオードにおいて、被写体から入射した光が光電変換され、得られた電荷の量に対応する電圧信号が増幅トランジスタ及び垂直信号線を介して読み出されてコンパレータを有するＡ／Ｄ変換器によりアナログ／ディジタル（Ａ／Ｄ）変換されて撮像データとして出力される。

[0004] ＣＭＯＳ等の撮像素子を用いた撮像装置では、高輝度な被写体を撮像した場合、Ａ／Ｄ変換部の一斉反転による電源ノイズの影響によって、撮像画像上で左右方向に延びる帯状のラインノイズ、いわゆるストリーキングが発生することがあり、これを抑制するための技術が提案されている（例えば、特許文献１参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開２００５－２５２５２９号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、ＣＭＯＳ等の撮像素子を用いた撮像装置において、逐次変換型のＡ／Ｄ変換器を用いて、高輝度な被写体を撮像した場合、すなわち、画素信号ライン側に過大入力が印加されている場合には、Ａ／Ｄ変換部を構成しているプリアンプ部の差動対トランジスタのそれぞれに流れる電流が大きく

異なる。

[0007] このため、下位ビットの変換時においても差動対トランジスタに流れる電流は大きく異なった状態となっており、コンパレータの比較時間は入力信号に対して指数関数で変わるために、この入力差分による比較時間差がストリーキングとなって表れる虞があった。

[0008] 本開示は、このような状況に鑑みてなされたものであり、画素信号ライン側に過大入力が印加された場合にストリーキングを抑制することができるＡ／Ｄ変換器及び電子機器を提供することを目的としている。

課題を解決するための手段

[0009] 上記目的を達成するために、本開示のＡ／Ｄ変換器は、画素信号の過大入力が入力されたかどうか判断する閾値電圧の比較を行う比較器回路と、その比較結果が制御端子に入力され、クランプ回路を構成する第１のトランジスタと、を備える。

[0010] クランプ回路をオン状態(閉状態)とすることで第１のトランジスタによりクランプ時に接続される第１の所定位置と第２の所定位置に流れる電流を等しくする、もしくは第１の所定位置と第２の所定位置の電圧を等しくする、ことでストリーキングを抑制することができる。

発明の効果

[0011] 本開示によれば、差動アンプ出力に発生する電圧差を抑制してストリーキングを抑制することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0012] [図1]実施形態における固体撮像素子の一構成例を示すブロック図である。

[図2]本技術を適用したＡ／Ｄ変換器の一実施形態の構成例を説明する図である。

[図3]７ビットＡ／Ｄ変換器を例とした、画素信号の電圧と閾値電圧信号の電圧との関係説明図である。

[図4]第１実施形態のプリアンプ部の詳細構成図である。

[図5]閾値判定回路の回路構成例の説明図である。

[図6]閾値判定回路（閾値判定用経路）の処理フローチャートである。

[図7]第１実施形態の第２変形例のプリアンプ部の詳細構成図である。

[図8]第１実施形態の第３変形例のプリアンプ部の詳細構成図である。

[図9]第２実施形態のプリアンプ部の詳細構成図である。

[図10]第２実施形態の第１変形例のプリアンプ部の詳細構成図である。

[図11]第３実施形態のプリアンプ部の詳細構成図である。

[図12]第３実施形態の第１変形例のプリアンプ部の詳細構成図である。

[図13]初期電圧設定回路の一例の説明図である。

[図14]第４実施形態の信号処理部の概要構成ブロック図である。

[図15]本技術を適用した間接光飛行時間型距離センサの一例のブロック図である。

[図16]本技術の形態における画素の一構成例を示す回路図である。

発明を実施するための形態

[0013] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0014] （１）第１実施形態

［固体撮像素子の構成例］

図１は、実施形態における固体撮像素子の一構成例を示すブロック図である。

固体撮像素子１は、画素アレイ部２、行走査回路３、信号処理部４、タイミング制御部５、列走査回路６及び画像処理部７を備えている。

[0015] 上記構成において、画素アレイ部２は、複数の走査線と、複数の信号線とが設けられており、各走査線と各信号線の交差部には、それぞれ画素回路が配置されて、二次元格子状に複数の画素回路が設けられている。

[0016] 行走査回路３は、タイミング制御部５の制御下で、複数の走査線のうちい

ずれかの走査線をアクティブ状態とし、当該アクティブ状態とした走査線に対応する画素アレイ部２を構成している一行分の画素回路を駆動して画素信号を出力させるものである。

[0017] 信号処理部４は、複数の後述するＡ／Ｄ変換器を有し、入力された画素信号のＡ／Ｄ変換等の信号処理を行って画素データを生成する。

タイミング制御部５は、行走査回路３、信号処理部４および列走査回路６のそれぞれが動作するタイミングを制御する。

[0018] 列走査回路６は、タイミング制御部５の制御下で、行走査回路３及び信号処理部４の動作に同期して動作し、信号処理部４において信号線ごとに信号処理された信号を画素データとして順次画像処理部７に転送する。

[0019] 画像処理部７は、複数の画素データから構成される画像データに対し、様々な画像処理を実行する。

この画像処理においては、例えば、デモザイク処理やホワイトバランス処理などが実行される。

そして、画像処理後の画像データは、外部の画像メモリ等の記録装置に送信される。

[0020] 以上の説明においては、画像処理部７を固体撮像素子１内に配置していたが、この画像処理部７を固体撮像素子１の外部に別体に設けることも可能である。

[0021] また、固体撮像素子１内の回路のそれぞれは、単一の半導体基板に配置してもよいし、積層した複数の半導体基板に分散して配置してもよい。

[0022] ［Ａ／Ｄ変換器の構成例］

図２は、本技術を適用したＡ／Ｄ変換器の一実施形態の構成例を説明する図である。

Ａ／Ｄ変換器１０は、図２に示すように、ローカル参照電圧生成部１１、ＤＡ変換部１２、プリアンプ部１３、コンパレータ部１４、逐次変換ロジック部１５及びローテーションロジック部１６を備えている。

[0023] ローカル参照電圧生成部１１は、信号処理部４に複数設けられており、参

照電圧生成部５Ａから供給された基準参照信号（基準参照電圧）ＳＴｒｅｆに基づいて、当該Ａ／Ｄ変換器１０において用いる複数種類のローカル基準参照信号（ローカル基準参照電圧）Ｓｒｅｆを生成し、出力する。

[0024] ＤＡ変換部１２は、ローカル参照電圧生成部１１が生成した複数種類のローカル基準参照信号Ｓｒｅｆを用い、後述の逐次変換ロジック部及びローテーションロジック部の制御下で制御データD_{CNT}のディジタル／アナログ（Ｄ／Ａ）変換を行って閾値電圧信号S_{th}を出力する。

[0025] プリアンプ部１３は、画素アレイ部２の画素信号入力端子T_{VSL}から入力された画素信号S_{VSL}及び閾値電圧信号S_{th}を増幅し、差動信号ＯＵＴＰ、ＯＵＴＮを出力する。

[0026] コンパレータ部１４は、プリアンプ部から出力された差動信号ＯＵＴＰ、ＯＵＴＮを比較し、比較結果D_{CMP}を出力する。

[0027] 逐次変換ロジック部１５は、比較結果データD_{CMP}から閾値電圧信号S_{th}生成用のディジタル制御データD_{SAR}（例えば、１３ビット）を出力する。また、逐次変換ロジック部１５は、入力された比較結果データD_{CMP}を記憶し、記憶した比較結果データD_{CMP}に基づいて画素信号S_{VSL}のアナログ／ディジタル（Ａ／Ｄ）変換結果である画素データD_{VSL}を出力端子TD_{OUT}から出力する。

[0028] ローテーションロジック部１６は、信号処理部５に設けられた疑似乱数生成部４Ｂから供給された疑似乱数データD_{PN}に基づいてデータD_{ROT}を生成して出力する。

[0029] ［Ａ／Ｄ変換器の概要動作］

ここで、Ａ／Ｄ変換器１０の概要動作について説明する。

[0030] Ａ／Ｄ変換器１０は、Ａ／Ｄ変換結果となる画素データD_{VSL}の最上位ビットから最下位ビットまで逐次比較を行うことにより、全ビットの値（“１”又は“０”）を設定している。

[0031] まず、逐次変換ロジック部１５は、初期値としてすべてのビットをセンター電圧(Vrc)に設定する。

[0032] これと並行して疑似乱数生成部４Ｂはローテーションロジック部１６に、疑似乱数データD_{PN}を供給する。

[0033] プリアンプ部１３は、入力された画素信号S_{VSL}及び閾値電圧信号S_{th}の差分を増幅し、差動信号ＯＵＴＰ、ＯＵＴＮを生成し、コンパレータ部１４に出力する。

コンパレータ部１４は、差動信号ＯＵＴＰ、ＯＵＴＮの電圧を比較し、比較結果データD_{CMP}として逐次変換ロジック部１５に出力する。

[0034] 逐次変換ロジック部１５は、比較結果データD_{CMP}の結果に応じてＤＡ変換部１２の制御データD_{SAR}、D_{ROT}の生成および比較結果データD_{CMP}のデータを記憶する。

[0035] ＤＡ変換部１２は、ローカル参照電圧生成部１１が生成した複数種類のローカル基準参照信号Ｓｒｅｆを用い、入力された制御データD_{CNT}のディジタル／アナログ（Ｄ／Ａ）変換を行って閾値電圧信号S_{th}をプリアンプ部１３に出力する。

[0036] 以下、同様にして最上位ビット（ＭＳＢ）～最下位ビット（ＬＳＢ）まで逐次比較を行い、逐次変換ロジック部１５は、各ビットの値を確定し記憶することとなる。

そして、全てのビットの値が確定すると、記憶したデータをＡ／Ｄ変換結果データとして出力端子TD_{OUT}から出力することとなる。

[0037] ［従来のＡ／Ｄ変換器の問題点］

ここで、Ａ／Ｄ変換器における従来技術の問題点について説明する。

図３は、７ビットＡ／Ｄ変換器を例とした、画素信号の電圧と閾値電圧信号の電圧との関係説明図である。

[0038] 図３の画素信号S_{VSL}においては、下側が電圧が低い状態（白色側）であり、上側が電圧が高い状態（黒色側）である。横軸は、時間である。

図３において、Ａ／Ｄ変換時の第ｘビットは（ｘ）と表示するものとする。例えば、ＭＳＢ変換時の入力信号は（７）に対応し、ＬＳＢは（１）に対応している。

[0039] 図３（ａ）は、比較開始時点において画素信号S_{VSL}の電圧と閾値電圧信号S_{th}電圧の電圧との差が大きいがＡ／Ｄ変換のレンジ内の場合、図３（ｂ）は、比較開始時点において、画素信号S_{VSL}の電圧と閾値電圧信号S_{th}の電圧との差が小さくＡ／Ｄ変換のレンジ内の場合、図３（ｃ）は、画素信号S_{VSL}の電圧と閾値電圧信号S_{th}の電圧差が非常に大きく（過大振幅）Ａ／Ｄ変換のレンジ外の場合である。

[0040] 逐次変換型のＡ／Ｄ変換器ではコンパレータの比較結果に応じて閾値電圧S_{th}を画素信号S_{VSL}に近づける様に変更するために、画素信号がレンジ内の場合（図３（ａ）、（ｂ））には、ＬＳＢ変換時（１）には画素信号S_{VSL}と閾値電圧S_{th}の差が小さく１ＬＳＢ以下となる。

[0041] これらに対し、図３（ｃ）に示す例の場合には、ＬＳＢ変換時（１）においても画素信号S_{VSL}と閾値電圧S_{th}の差が大きく１ＬＳＢ以下となっていない。コンパレータの比較時間は入力信号に対して指数関数で変わるために、この入力差分による比較時間差がストリーキングとなって表れる。

[0042] ［第１実施形態のコンパレータ部の詳細構成］

図４は、第１実施形態のプリアンプ部１３の詳細構成図である。

プリアンプ部１３は、電源ラインＡＶＤにソース端子Ｓが接続され、ゲート端子Ｇがドレイン端子Ｄに接続されダイオード接続とされたＰチャネルＭＯＳトランジスタＴＲ１１と、電源ラインＡＶＤにソース端子Ｓが接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ１１のゲート端子Ｇに接続され、ＰチャネルＭＯＳトランジスタＴＲ１１と共働してカレントミラー回路として機能するＰチャネルＭＯＳトランジスタＴＲ１２と、一端がＰチャネルＭＯＳトランジスタＴＲ１１のドレイン端子Ｄに接続され、他端がグランドラインＡＶＳに接続された定電流源ＣＣと、を備えている。

[0043] また、プリアンプ部１３は、ゲート端子Ｇに画素信号S_{VSL}が入力され、ソース端子ＳがＰチャネルＭＯＳトランジスタＴＲ１２のドレイン端子Ｄに接続されたＰチャネルＭＯＳトランジスタＴＲ１３と、ソース端子ＳがＰチャネルＭＯＳトランジスタＴＲ１３のドレイン端子Ｄに接続され、ゲート端子

Ｇにバイアス電圧ＢＩＡＳが入力されて、カスコード回路として機能するＰチャネルＭＯＳトランジスタＴＲ１４と、一端がＰチャネルＭＯＳトランジスタＴＲ１４のドレイン端子Ｄに接続され他端がグランドラインＡＶＳに接続された第一の負荷抵抗Ｒ１と、を備えている。

[0044] さらに、プリアンプ部１３は、ゲート端子Ｇに閾値電圧信号S_{th}が入力され、ソース端子ＳがＰチャネルＭＯＳトランジスタＴＲ１２のドレイン端子Ｄに接続されたＰチャネルＭＯＳトランジスタＴＲ１５と、ソース端子ＳがＰチャネルＭＯＳトランジスタＴＲ１５のドレイン端子Ｄに接続され、ゲート端子Ｇにバイアス電圧ＢＩＡＳが入力されて、カスコード回路として機能するＰチャネルＭＯＳトランジスタＴＲ１６と、一端がＰチャネルＭＯＳトランジスタＴＲ１６のドレイン端子Ｄに接続され他端がグランドラインＡＶＳに接続された第二の負荷抵抗Ｒ２と、を備えている。

[0045] さらにまた、プリアンプ部１３は、一方の入力端子がＰチャネルＭＯＳトランジスタＴＲ１４のドレイン端子に接続されて第１出力信号ＯＵＴＰが入力され、他方の入力端子がＰチャネルＭＯＳトランジスタＴＲ１６のドレイン端子に接続されて第２出力信号ＯＵＴＮが入力され、第１出力信号ＯＵＴＰ及び第２出力信号ＯＵＴＮを比較して判別結果信号S_{EV}を出力する閾値判定回路２１と、を備えている。

[0046] また、プリアンプ部１３は、ＰチャネルＭＯＳトランジスタＴＲ１３のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ１４のソース端子の接続点ＣＰ１にドレイン端子Ｄが接続され、ＰチャネルＭＯＳトランジスタＴＲ１５のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ１６のソース端子の接続点ＣＰ２にソース端子Ｄが接続され、ゲート端子Ｇに閾値判定回路２１が出力した判別結果信号S_{EV}が入力されて接続点ＣＰ１及び接続点ＣＰ２を短絡するためのスイッチング素子（スイッチ）として機能するＮチャネルＭＯＳトランジスタＴＲ１７と、を備えている。

[0047] 上記構成において、ＮチャネルＭＯＳトランジスタＴＲ１７は、クランプ回路を構成している。

また、ＰチャネルＭＯＳトランジスタＴＲ１３、ＰチャネルＭＯＳトランジスタＴＲ１４、ＰチャネルＭＯＳトランジスタＴＲ１５、ＰチャネルＭＯＳトランジスタＴＲ１６、第一の負荷抵抗Ｒ１及び第二の負荷抵抗Ｒ２は、差動アンプＤＡを構成している。

[0048] 画素信号S_{VSL}が所定のＡ／Ｄ変換レンジ内の場合は、ＬＳＢ変換時に画素信号S_{VSL}と閾値電圧信号S_{th}の電圧の差分は小さいため、プリアンプ部１３の出力である第１出力信号ＯＵＴＰ及び第２出力信号ＯＵＴＮの差分も小さくなっている。

[0049] 一方、画素信号S_{VSL}が所定のＡ／Ｄ変換レンジを超える過大入力信号の場合で、ＮチャネルＭＯＳトランジスタＴＲ１７をオフ状態（開状態）とした場合には、ＬＳＢ変換においてもプリアンプ部１３の出力である第１出力信号ＯＵＴＰ及び第２出力信号ＯＵＴＮの差分は大きいままである。

[0050] この場合にＮチャネルＭＯＳトランジスタＴＲ１７をオン状態（閉状態）とすることで、負荷抵抗Ｒ１、Ｒ２に流れる電流を等しくでき、第１出力信号ＯＵＴＰ及び第２出力信号ＯＵＴＮは同電位となる。

したがって、後段に接続するコンパレータ部１４の変換時間を同じにすることが出来、コンパレータの変換スピード差によるストリーキング劣化を低減する事が可能となる。

[0051] ここで、過大入力信号の判定方法について記載する。

通常のＡ／Ｄ変換処理前に閾値電圧S_{th}を過大入力判定電圧V_{th}に設定し、その過大入力判定電圧V_{th}と画素信号S_{VSL}の電圧との比較を閾値判定回路２１を用いて行う。この結果、画素信号S_{VSL}の電圧の方が低い(閾値電圧としての過大入力判定電圧V_{th}が高い)場合は、画素信号S_{VSL}は、Ａ／Ｄ変換のレンジ外（過大入力信号）であると判定され、ＮチャネルＭＯＳトランジスタＴＲ１７をオン状態（閉状態）とする。

[0052] 一方、画素信号S_{VSL}の電圧の方が高い（閾値電圧としての過大入力判定電圧V_{th}が低い）場合は、画素信号S_{VSL}は、Ａ／Ｄ変換のレンジ内と判定され、ＮチャネルＭＯＳトランジスタＴＲ１７をオフ状態（開状態）のままとす

る。

その後、通常のＡ／Ｄ変換処理が実行される。

[0053] ［コンパレータ部の回路構成例］

ここで、コンパレータ部１４の回路構成例について説明する。

図５は、コンパレータ部１４の回路構成例の説明図である。

コンパレータ部１４は、図５に示すように、大別すると、増幅部（増幅段）１４Ａ、ラッチ部１４Ｂを備えている。

増幅部１４Ａは、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ゲート端子Ｇがクロック信号ラインＣＬＫに接続されたＰチャネルＭＯＳトランジスタＴＲ２１と、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ２１のドレイン端子に接続され、ゲート端子Ｇが正側入力端子ＩＮＰに接続されたＮチャネルＭＯＳトランジスタＴＲ２２と、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ゲート端子がクロック信号ラインＣＬＫに接続されたＰチャネルＭＯＳトランジスタＴＲ２３と、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ２３のドレイン端子Ｄに接続され、ゲート端子Ｇが負側入力端子ＩＮＮに接続されたＮチャネルＭＯＳトランジスタＴＲ２４とドレイン端子ＤがＮチャネルＭＯＳトランジスタＴＲ２２のソース端子Ｓ及びＮチャネルＭＯＳトランジスタＴＲ２４のソース端子Ｓに共通接続され、ゲート端子Ｇがクロック信号ラインＣＬＫに接続され、ソース端子Ｓがディジタルグランド ＤＶＳに接続されたＮチャネルＭＯＳトランジスタＴＲ２５と、を備えている。

また、増幅部１４ＡはインバータＴＲ３１、ＴＲ３２およびＴＲ３３、ＴＲ３４を備えており、これらが共働することにより、信号の増幅を行っている。

[0054] ラッチ部１４Ｂは、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ゲート端子Ｇがクロック信号ラインＣＬＫに接続されたＰチャネルＭＯＳトランジスタＴＲ４１と、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ４１のドレイン端子Ｄに

接続されたＰチャネルＭＯＳトランジスタＴＲ４２と、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ４１のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ４２のドレイン端子Ｄに接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ３１のドレイン端子Ｄ及びＮチャネルＭＯＳトランジスタＴＲ３２のドレイン端子Ｄに接続されたＮチャネルＭＯＳトランジスタＴＲ４３と、ドレイン端子ＤがＮチャネルＭＯＳトランジスタＴＲ４３のソース端子Ｓに接続され、ソース端子Ｓがディジタルグランド ＤＶＳに接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ４２のゲート端子Ｇに接続されたＮチャネルＭＯＳトランジスタＴＲ４４と、を備えている。

[0055] また、ラッチ部１４Ｂは、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ゲート端子Ｇがクロック信号ラインＣＬＫに接続されたＰチャネルＭＯＳトランジスタＴＲ４５と、ソース端子Ｓがディジタル電源ＤＶＤに接続され、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ４５のドレイン端子Ｄに接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ４２のドレイン端子Ｄ及びＮチャネルＭＯＳトランジスタＴＲ４３のドレイン端子Ｄに接続されたＰチャネルＭＯＳトランジスタＴＲ４６と、ドレイン端子ＤがＰチャネルＭＯＳトランジスタＴＲ４５のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ４６のドレイン端子Ｄに接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ３３のドレイン端子Ｄ及びＮチャネルＭＯＳトランジスタＴＲ３４のドレインＤに接続されたＮチャネルＭＯＳトランジスタＴＲ４７と、ドレイン端子ＤがＮチャネルＭＯＳトランジスタＴＲ４７のソース端子Ｓに接続され、ソース端子Ｓがディジタルグランド ＤＶＳに接続され、ゲート端子ＧがＰチャネルＭＯＳトランジスタＴＲ４６のゲート端子Ｇに接続されたＮチャネルＭＯＳトランジスタＴＲ４８と、を備えている。

[0056] 上記構成において、コンパレータ部１４は、クロック信号ラインＣＬＫの立ち上がり時の入力信号ＩＮＰ，ＩＮＮに応じて、コンパレータ出力ＯＵＴ

Ｐを出力する。

[0057] ［閾値判定回路の動作］

図６は、過大入力判定回路（閾値判定用回路）の処理フローチャートである。

まず、閾値電圧$Ｓ_{th}$を過大入力と判定する過大入力判定電圧$Ｖ_{th}$に設定する（ステップＳ１１）。

ここで、電圧の設定の方法は、Ｄ／Ａ変換部１２の機能を拡張してもよいし、別途設定回路を設けるようにしてもよい。

[0058] 続いて、閾値判定回路２１を用いて、画素信号$Ｓ_{VSL}$と過大入力判定電圧$Ｖ_{th}$の比較を行い、過大入力判定電圧$Ｖ_{th}$より低いか否か（過大入力でＡ／Ｄ変換器１０のレンジ外かどうか）を判定する（ステップＳ１２）。閾値判定回路はコンパレータ部１４を用いて判定を行ってもよい。

[0059] 閾値判定回路２１は、ステップＳ１２の判定において、画素信号$Ｓ_{VSL}$が過大入力判定電圧より高い場合は（ステップＳ１２；Ｎｏ）、差動アンプの一方の入力端子であるＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇに過大入力（過大電圧入力）は印加されていないと判定して、“Ｌ”レベルの判別結果信号$Ｓ_{EV}$をＮチャネルＭＯＳトランジスタＴＲ１７のゲート端子Ｇに出力する。

[0060] この結果、ＮチャネルＭＯＳトランジスタＴＲ１７は、オフ状態（開状態）を維持する（ステップＳ１４）。

この結果、差動アンプＤＡは、通常の動作状態を維持することとなる。

[0061] これに対し、閾値判定回路２１は、ステップＳ１２の判定において、画素信号$Ｓ_{VSL}$が過大入力判定電圧$Ｖ_{th}$より低い場合（過大入力でＡ／Ｄ変換器１０のレンジ外の場合）は（ステップＳ１２；Ｙｅｓ）、差動アンプＤＡの一方の入力端子であるＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇに過大入力（過大電圧入力）が印加されていると判定して、“Ｈ”レベルの判別結果信号$Ｓ_{EV}$をＮチャネルＭＯＳトランジスタＴＲ１７のゲート端子Ｇに出力する。

[0062] この結果、ＮチャネルＭＯＳトランジスタＴＲ１７をオン状態（閉状態）とする（ステップＳ１３）。

この結果、接続点ＣＰ１及び接続点ＣＰ２が短絡され、出力電圧ＯＵＴＰ，ＯＵＴＮは、ほぼ等しくなる。

[0063] これにより、過大入力電圧印加時においても、コンパレータ部１４に入力される電圧差分は非常に小さな値となる。これにより過大入力動作時においてもコンパレータ部１４への入力を小さくすることが出来、変換スピードを他の画素信号と同様にすることが出来るため、ストリーキングの劣化を抑制することが可能となる。

[0064] ［第１実施形態の効果］

以上の説明のように、本第１実施形態によれば、差動アンプＤＡに過大入力が印加された場合でも、下位ビット変換時の応答時間を差動アンプＤＡに過大入力が印加されていない場合と同様とすることができ、ストリーキングの劣化を抑制することが可能となる。

[0065] ［第１実施形態の第１変形例］

以上の説明においては、一度閾値電圧S_{th}を過大入力判定電圧V_{th}に設定し閾値判定回路２１の判定結果を直接ＮチャネルＭＯＳトランジスタＴＲ１７のゲート端子Ｇに出力する構成を採っていた。

しかしながら、一度過大入力判定電圧V_{th}に設定するのではなく、通常動作としてＡ／Ｄ変換を行っていき、上位から数Ｂｉｔ続けてコンパレータ部１４の判定結果が“Ｈ”の場合に、過大入力と判定し、ＮＭＯＳトランジスタＴＲ１７をオン状態にするといった構成にすることも可能である。この場合は過大入力判定電圧V_{th}への設定および過大入力判定を行う必要が無いので、実際のＡ／Ｄ変換以外に余計なＡ／Ｄ変換時間が不要となり、処理の高速化が図れる。

[0066] このような構成を採ることにより、ＮチャネルＭＯＳトランジスタＴＲ１７、逐次変換ロジック部１５からゲート端子Ｇへの配線及び逐次変換ロジック部１５の制御プログラムを変更するだけで、第１実施形態の動作を実現す

ることが可能となる。

[0067] ［第１実施形態の第２変形例］

図７は、第１実施形態の第２変形例のプリアンプ部の詳細構成図である。

図７において、図４と同様の部分には、同一の符号を付すものとする。

第１実施形態の第２変形例のプリアンプ部１３Ａが第１実施形態のプリアンプ部１３と異なる点は、画素信号S_{VSL}の電圧を所定の過大入力状態に相当する基準比較電圧V_{th}と比較して判別結果信号S_{EVA}を出力する比較判定回路２５と、ＰチャネルＭＯＳトランジスタＴＲ１４のドレイン端子Ｄ及び抵抗Ｒ１の接続点ＣＰ１１にドレイン端子Ｄが接続され、ＰチャネルＭＯＳトランジスタＴＲ１６のドレイン端子Ｄ及び抵抗Ｒ２の接続点ＣＰ１２にソース端子Ｓが接続され、ゲート端子Ｇに比較判定回路２５が出力した判別結果信号S_{EVA}が入力されて接続点ＣＰ１１及び接続点ＣＰ１２を短絡するためのスイッチとして機能するＮチャネルＭＯＳトランジスタＴＲ１７Ａと、を備えた点である。

[0068] 本第１実施形態の第２変形例によっても、画素信号S_{VSL}の電圧が所定の過大入力状態に相当する基準比較電圧V_{th}よりも低くなった場合には、ＮチャネルＭＯＳトランジスタＴＲ１７Ａをオン状態（閉状態）とするので、接続点ＣＰ１１及び接続点ＣＰ１２が短絡され、プリアンプ出力ＯＵＴＰ、ＯＵＴＮの電圧はほぼ等しくなり、コンパレータ部１４に入力される電圧差を小さくすることが可能となる。

[0069] ［第１実施形態の第３変形例］

図８は、第１実施形態の第３変形例のプリアンプ部の詳細構成図である。

図８において、図４と同様の部分には、同一の符号を付すものとする。

第１実施形態の第３変形例のプリアンプ部１３Ｂが第１実施形態のプリアンプ部１３と異なる点は、画素信号S_{VSL}の電圧を所定の過大入力状態に相当する基準比較電圧V_{th}と比較して判別結果信号S_{EVB}を出力する比較判定回路２５、を備え、比較判定回路２５の判定結果をＮチャネルＭＯＳトランジスタＴＲ１７Ｂのゲート端子Ｇに入力するようにした点である。

[0070] 本第１実施形態の第３変形例によっても、画素信号S_{VSL}の電圧が所定の過大入力状態に相当する基準比較電圧V_{th}よりも低くなった場合には、ＮチャネルＭＯＳトランジスタＴＲ１７Ｂをオン状態（閉状態）とするので、プリアンプ出力ＯＵＴＰ、ＯＵＴＮの電圧はほぼ等しくなり、コンパレータ部１４に入力される電圧差を小さくすることが可能となる。

[0071] ［第１実施形態の第４変形例］

以上の説明においては、プリアンプ部１３Ｂの入力段のＭＯＳトランジスタの構成をＰチャネルＭＯＳトランジスタ構成としていたが、ＮチャネルＭＯＳトランジスタ構成を採るようにすることも可能である。

[0072] （２）第２実施形態

［第２実施形態のコンパレータ部の詳細構成］

図９は、第２実施形態のプリアンプ部の詳細構成図である。

図９において、図４の第１実施形態と同様の部分には、同一の符号を付すものとする。

[0073] 第２実施形態のプリアンプ部１３Ｃが第１実施形態のプリアンプ部１３と異なる点は、ＮチャネルＭＯＳトランジスタＴＲ１７及び閾値判定回路２１に代えてダイオードとして機能するＮチャネルＭＯＳトランジスタＴＲ５１を備えた点である。

[0074] 上記構成において、ＮチャネルＭＯＳトランジスタＴＲ５１は、ＰチャネルＭＯＳトランジスタＴＲ１４のドレイン端子Ｄ及び抵抗Ｒ１の接続点ＣＰ１１にドレイン端子Ｄが接続され、ＰチャネルＭＯＳトランジスタＴＲ１６のドレイン端子Ｄ及び抵抗Ｒ２の接続点ＣＰ１２にソース端子Ｓが接続され、ゲート端子Ｇが接続点ＣＰ１１に接続されている。

[0075] 画素信号S_{VSL}の電圧と閾値電圧信号S_{th}の電圧との差が大きく、第１出力信号ＯＵＴＰと第２出力信号ＯＵＴＮとの差分が大きい場合はＮチャネルＭＯＳトランジスタＴＲ５１がオン状態（導通状態）となり、第１出力信号ＯＵＴＰと第２出力信号ＯＵＴＮとの差分電圧をＮチャネルＭＯＳトランジスタＴＲ５１のダイオードとしての閾値電圧まで小さくすることが可能となる

。この方式では第１実施形態と比較して、過大入力判定の比較時間や逐次変換ロジック部１５からのフィードバック信号が不要となる。

[0076] また過大入力は画素信号S_{VSL}側からしか印加されないため、ダイオードとして機能するＮチャネルＭＯＳトランジスタＴＲ５１のゲート端子Ｇが画素信号S_{VSL}側に接続されていることも特徴の１つである。

ただし、負荷容量を合わせるために、ＴＲ５１と同様のＮチャネルＭＯＳトランジスタをＣＰ１２側ゲート、ドレインを接続、ＣＰ１１側にソースを接続することも可能である。

[0077] ［第２実施形態の第１変形例のコンパレータ部の詳細構成］

図１０は、第２実施形態の第１変形例のプリアンプ部の詳細構成図である。

図１０において、図４の第１実施形態と同様の部分には、同一の符号を付すものとする。

第２実施形態のプリアンプ部１３Ｄが第１実施形態のプリアンプ部１３と異なる点は、ＮチャネルＭＯＳトランジスタＴＲ１７及び閾値判定回路１４に代えてダイオードとして機能するＮチャネルＭＯＳトランジスタＴＲ５２を備えた点である。

[0078] 上記構成において、ＮチャネルＭＯＳトランジスタＴＲ５２は、ＰチャネルＭＯＳトランジスタＴＲ１３のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ１４のソース端子Ｓの接続点ＣＰ１にドレイン端子Ｄが接続され、ＰチャネルＭＯＳトランジスタＴＲ１５のドレイン端子Ｄ及びＰチャネルＭＯＳトランジスタＴＲ１６のソース端子Ｓの接続点ＣＰ２にソース端子Ｓが接続され、ゲート端子Ｇが接続点ＣＰ１に接続されている。

[0079] 上記構成によれば、画素信号S_{VSL}の電圧と閾値電圧信号S_{th}の電圧との差が大きく、第１出力信号ＯＵＴＰと第２出力信号ＯＵＴＮとの差分が大きい場合はＮチャネルＭＯＳトランジスタＴＲ５２がオン状態（導通状態）となり、第１出力信号ＯＵＴＰと第２出力信号ＯＵＴＮとの差分電圧を小さくすることが可能となる。この方式では第１実施形態と比較して、閾値判定の比

較時間や逐次変換ロジック部１５からのフィードバック信号が不要となる。

[0080] この場合においても、第２実施形態と同様に、過大入力は画素信号S_{VSL}側からしか印加されないため、ダイオードとして機能するＮチャネルＭＯＳトランジスタＴＲ５２のゲート端子Ｇが画素信号S_{VSL}側に接続されていることも特徴の１つである。

ただし、負荷容量を合わせるために、ＴＲ５２と同様のＮチャネルＭＯＳトランジスタをＣＰ２側ゲート、ドレインを接続、ＣＰ１側にソースを接続することも可能である。

[0081] ［第２実施形態の第２変形例］

以上の説明においては、プリアンプ部１３Ｃの入力段のＭＯＳトランジスタの構成をＰチャネルＭＯＳトランジスタ構成としていたが、ＮチャネルＭＯＳトランジスタ構成を採るようにすることも可能である。

[0082] （３）第３実施形態

［第３実施形態のコンパレータ部の詳細構成］

図１１は、第３実施形態のプリアンプ部の詳細構成図である。

図１１において、図４の第１実施形態と同様の部分には、同一の符号を付すものとする。

[0083] 第３実施形態のプリアンプ部１３Ｅが第１実施形態のプリアンプ部１３と異なる点は、ＮチャネルＭＯＳトランジスタＴＲ１７に代えて閾値判定回路２１が出力した判別結果信号S_{EV}に基づいて、基準画素信号変換時に相当する初期電圧ＶＳＥＴとしてＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇに印加するＰチャネルＭＯＳトランジスタＴＲ５３を備えた点である。

[0084] 上記構成において、ＰチャネルＭＯＳトランジスタＴＲ５３は、ＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇにドレイン端子Ｄが接続され、閾値判定回路２１の出力端子ＯＵＴＰ１にゲート端子Ｇが接続されている。

[0085] 本第３実施形態によれば、画素信号S_{VSL}の電圧が所定の過大入力状態に相

当する基準比較電圧V_{th}よりも低くなったことを閾値判定回路２１が検出した場合には、ＰチャネルＭＯＳトランジスタＴＲ５３をオン状態（閉状態）とするので、プリアンプ部１３ＥのＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇには、初期電圧ＶＳＥＴが印加され、基準画素信号変換時と同様の変換を行うこととなるため、他カラムに与える影響は基準画素信号変換時と同じとなるため、ＣＤＳ（Correlated Double Sampling）後の影響は小さくなり、ストリーキング量の劣化を抑制することが可能となる。

[0086] ［第３実施形態の第１変形例のプリアンプ部の詳細構成］

図１２は、第３実施形態の第１変形例のプリアンプ部の詳細構成図である。

図１２において、図１１の第３実施形態と同様の部分には、同一の符号を付すものとする。

第３実施形態の第１変形例のプリアンプ部１３Ｆが第３実施形態のプリアンプ部１３Ｅと異なる点は、画素信号S_{VSL}の電圧を所定の過大入力状態に相当する基準比較電圧V_{th}と比較して判別結果信号S_{EVF}をＰチャネルＭＯＳトランジスタＴＲ５３のゲート端子Ｇに出力する閾値判定回路３０を備えた点である。

[0087] 本第３実施形態の第１変形例によっても、画素信号S_{VSL}の電圧が所定の過大入力状態に相当する基準比較電圧V_{th}よりも小さくなった場合には、ＰチャネルＭＯＳトランジスタＴＲ５３をオン状態（閉状態）とするので、プリアンプ部１３ＦのＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇには、初期電圧ＶＳＥＴが印加され、基準画素信号変換時と同様の変換を行うために、他カラムに与える影響は基準画素信号変換時と同じとなり、ＣＤＳ（Correlated Double Sampling）後の影響は小さくなり、ストリーキング量の劣化を抑制することが可能となる。

[0088] ここで、上記実施形態で用いていた初期電圧設定回路の構成について簡単に説明する。

図１３は、初期電圧設定回路の一例の説明図である。

初期電圧設定回路は、抵抗Ｒ３の電圧降下により電流源として機能しているＰチャネルＭＯＳトランジスタＴＲ１２のドレイン端子－ソース端子間電圧Ｖｄｓを保証するとととともに、プリアンプ部１３のＰチャネルＭＯＳトランジスタＴＲ１３のゲート端子Ｇに印加する初期値電圧V_{SET}を規定し、設定している。

[0089] （４）第４実施形態

以上の各実施形態においては、一画素を処理するＡ／Ｄ変換器について説明したが、本第４実施形態は、複数画素について順次Ａ／Ｄ変換処理を行うＡ／Ｄ変換器を複数備えた信号処理部の実施形態である。

[0090] ［第４実施形態の信号処理部の概要構成］

図１４は、第４実施形態の信号処理部の概要構成ブロック図である。

図１４に示す信号処理部４Ａは、一つのＡ／Ｄ変換器においてそれぞれ８個の画素について時分割で処理を行う場合の例であり、図示の簡略化のため、２ｎ個（ｎ：自然数）設けたＡ／Ｄ変換器のうち、ｎ個のＡ／Ｄ変換器１０－１～１０－ｎを図示している。実際においては、上に延びている画素からの出力信号ラインの上方に残りのｎ個のＡ／Ｄ変換器が配置されている。

[0091] この場合において、Ａ／Ｄ変換器１０－１～１０－ｎは、図２に示したＡ／Ｄ変換器１０と同様の構成を採っており、図１４においては、ＤＡ変換部１２、プリアンプ部１３、コンパレータ部１４、逐次変換ロジック部１５及びローテーションロジック部１６を図示している。

[0092] 各Ａ／Ｄ変換器１０－１においては、図１４に示す場合、画素ＰＸ１～ＰＸ４、画素ＰＸ１１～ＰＸ１４、画素ＰＸ２１～ＰＸ２４及び画素ＰＸ３１～ＰＸ３４の１６個の画素のうち、半分の８個の画素が割り当てられている。

[0093] 具体的には、図示しているＡ／Ｄ変換器１０－１については、画素ＰＸ１、画素ＰＸ３、画素ＰＸ１１、画素ＰＸ１３、画素ＰＸ２１、画素ＰＸ２３、画素ＰＸ３１、画素ＰＸ３３の８個の画素が割り当てられている。

[0094] 同様に図示していないＡ／Ｄ変換器については、画素ＰＸ２、画素ＰＸ４

、画素ＰＸ１２、画素ＰＸ１４、画素ＰＸ２２、画素ＰＸ２４、画素ＰＸ３２、画素ＰＸ３の８個の画素が割り当てられている。

[0095]（第４実施形態の信号処理部の基本動作）

ここで、第４実施形態の信号処理部４Ａの基本動作について説明する。

信号処理部４Ａを構成しているＡ／Ｄ変換器１０－１～１０－ｎ及び図示しないｎ個のＡ／Ｄ変換器は、同期してそれぞれ独立して処理を行っているため、Ａ／Ｄ変換器１０－１を例として基本動作を説明する。

[0096] Ａ／Ｄ変換器１０－１は、例えば、１回のデータ読み出しに際し、画素ＰＸ１→画素ＰＸ３→画素ＰＸ１１→画素ＰＸ１３→画素ＰＸ２１→画素ＰＸ２３→画素ＰＸ３１→画素ＰＸ３３の順番で処理を行う。

[0097] すなわち、１回のデータ読み出しの第１の処理タイミングにおいては、Ａ／Ｄ変換器１０－１のＤＡ変換部１２は、ローカル参照電圧生成部１１が生成した複数種類のローカル基準参照信号Ｓｒｅｆを用い、後述の逐次変換ロジック部及びローテーションロジック部の制御下で制御データD_{CNT}のディジタル／アナログ（Ｄ／Ａ）変換を行って閾値電圧信号S_{th}をプリアンプ１３に出力する。

[0098] これにより、プリアンプ部１３は、画素信号入力端子ＴＳＬ１から入力された画素ＰＸ１に対応する画素信号S_{VSL}及びＤＡ変換器１２から入力された閾値電圧信号S_{th}を増幅し、コンパレータ部１４に出力する。

[0099] コンパレータ部１４は、プリアンプ出力を比較し、比較結果データD_{CMP}を逐次変換ロジック部１５に出力する。

[0100] 逐次変換ロジック部１５は、比較結果データD_{CMP}をアナログ／ディジタル変換時の逐次変換制御を行うための逐次変換制御データD_{SAR}を出力するとともに、入力された比較結果データD_{CMP}を記憶し、記憶した比較結果データD_{CMP}に基づいて画素信号S_{VSL}のアナログ／ディジタル（Ａ／Ｄ）変換結果である画素データD_{VSL}を出力端子TD_{OUT}から出力する。

[0101] 以下、同様にして、第２の処理タイミング～第８の処理タイミングにおいて、Ａ／Ｄ変換器１０－１は、画素信号入力端子ＴＳＬ２から入力された画

素ＰＸ３、画素信号入力端子ＴＳＬ３から入力された画素ＰＸ１１、画素信号入力端子ＴＳＬ４から入力された画素ＰＸ１３、画素信号入力端子ＴＳＬ５から入力された画素ＰＸ２１、画素信号入力端子ＴＳＬ６から入力された画素ＰＸ２３、画素信号入力端子ＴＳＬ７から入力された画素ＰＸ３１、画素信号入力端子ＴＳＬ８から入力された画素ＰＸ３３のそれぞれに対応する画素信号S_{VSL}のアナログ／ディジタル（Ａ／Ｄ）変換を実施し、出力端子D_{OUT}から出力する処理を行う。

[0102] このとき、Ａ／Ｄ変換器１０－２～１０－ｎ及び図示しないｎ個のＡ／Ｄ変換器も同様の処理を同時並行して行う。

[0103] 以上の説明のように、本第４実施形態によれば、第１実施形態の効果に加えて、Ａ／Ｄ変換器の個数を画素別にＡ／Ｄ変換器を設ける場合と比較して約１／８とすることができ、信号処理部４Ａの回路面積、ひいては、固体撮像素子の設置面積を小さくし、装置の小型化を図ることが可能となる。

[0104] （５）第５実施形態

図１５は、本技術を適用した間接光飛行時間型距離センサの一例のブロック図である。

間接光飛行時間（Indirect-Time of Flight）型距離センサ１００は、センサチップ１０１およびセンサチップ１０１に積層された回路チップ１０２を備えている。

[0105] 画素アレイ部１１２は、センサチップ１０１上に二次元のグリッドパターンでアレイ状に配置された複数の画素（ｐｉｘｅｌ）１１１を有している。ここで、画素アレイ部１１２は、行列上に配置されていても良く、また、複数の列信号線を含んでも良い。それぞれの列信号線はそれぞれの画素に接続されている。

回路チップ１０２には、垂直駆動回路１１３、カラム信号処理部１１４、タイミング調整回路１１５および出力回路１１６が配置されている。

[0106] 垂直駆動回路１１３は、画素を駆動し、カラム信号処理部１１４に画素信号を出力するように構成されている。

カラム信号処理部１１４は、入力された画素信号に対して、Ａ／Ｄ変換処理を実施し、Ａ／Ｄ変換処理した画素データを出力回路１１６に出力する。

出力回路１１６は、カラム信号処理部１１４からの画素データに対して、ＣＤＳ（Correlated Double Sampling）処理などを実行し、後段の信号処理回路に画素データを出力する。

[0107] タイミング制御回路１１５は、それぞれの垂直駆動回路１１３の駆動タイミングを制御するように構成されている。カラム信号処理部１１４、出力回路１１６は、タイミング制御回路１１５が出力した垂直同期信号と同期して動作している。

[0108] ここで、画素アレイ部１１２を構成している画素１１１について詳細に説明する。

図１６は、本技術の形態における画素の一構成例を示す回路図である。

画素アレイ部１１２には、二次元状のグリッドパターンで複数の画素１１１が配置されており、それぞれの画素１１１は赤外光を受光し、画素信号に光電変換可能な構成となっている。

[0109] また、画素１１１の列ごとに、垂直方向に垂直信号線ＶＳＬ１及び垂直信号線ＶＳＬ２が配線される。画素アレイ部１１２内の列の総数をＭ（Ｍは、整数）とすると、合計で２×Ｍ本の垂直信号線が配線される。それぞれの画素において、２つのタップを有している。垂直信号線ＶＳＬ１は画素１１１のタップＡに接続され、垂直信号線ＶＳＬ２は画素１１１のタップＢに接続される。また、垂直信号線ＶＳＬ１は、画素信号ＡＩＮＰ１を伝送し、垂直信号線ＶＳＬ２は、画素信号ＡＩＮＰ２を伝送する。

[0110] 垂直駆動回路１１３は、画素エリア１１２の行を順に選択して駆動し、その行において画素ブロック２２１ごとに画素信号ＡＩＮＰ１および画素信号ＡＩＮＰ２を同時に出力させる。言い換えれば、垂直駆動回路１１３は、画素１１１の２ｋ行目および２ｋ＋１行目を同時に駆動する。

[0111] 画素１１１は、フォトダイオード１２１、二つの転送トランジスタ１２２、１２３、二つのリセットトランジスタ１２４、１２５、２つのタップ（浮

遊拡散層１２６、１２７）、二つの増幅トランジスタ１２８、１２９及び二つの選択トランジスタ１３０、１３１を備える。

[0112] フォトダイオード１２１は、受光した光を光電変換して電荷を生成するものである。このフォトダイオード１２１は、半導体基板において回路を配置する面を表面として、表面に対する裏面に配置される。このような固体撮像素子は、裏面照射型の固体撮像素子と呼ばれる。なお、裏面照射型の代わりに、表面にフォトダイオード１２１を配置する表面照射型の構成を用いることもできる。

[0113] 転送トランジスタ１２２及び転送トランジスタ１２３は、垂直駆動回路１１３からの転送信号ＴＲＧに従ってフォトダイオード１２１からＴＡＰＡ１２６、ＴＡＰＢ１２７にそれぞれシーケンシャルに電荷を転送するものである。

ＴＡＰＡ１２６およびＴＡＰＢ１２７は、転送された電荷を蓄積して、蓄積した電荷の量に応じた電圧を生成するものである。

[0114] オーバーフロートランジスタ１３２は、フォトダイオード１２１の電荷をシーケンシャルに高電位側電源ＶＤＤに排出するトランジスタで、フォトダイオード１２１をリセットする機能を持つ。

[0115] リセットトランジスタ１２４、１２５は、垂直駆動回路１１３からのリセット信号ＲＳＴｐに従ってＴＡＰＡ１２６、ＴＡＰＢ１２７のそれぞれから電荷を引き抜いて、電荷量を初期化するものである。

[0116] 増幅トランジスタ１２８、１２９は、ＴＡＰＡ１２６、ＴＡＰＢ１２７の電圧をそれぞれ増幅するものである。選択トランジスタ１３０、１３１は、垂直駆動回路１１３からの選択信号ＳＥＬｐに従って、増幅された電圧の信号を画素信号としてふたつの垂直信号線（例えば、ＶＳＬ１、ＶＳＬ２）を介してカラム信号処理部１１４へ出力するものである。垂直信号線および垂直信号線ＶＳＬ２は、カラム信号処理部１１４内の一つのＡ／Ｄ変換器１０の入力に接続されている。

[0117] なお、画素１１１の回路構成は、光電変換により画素信号を生成すること

ができるものであれば、図１５に例示した構成に限定されない。

[0118] 本第５実施形態によれば、第４実施形態と同様に、固体撮像素子の設置面積を小さくし、間接光飛行時間型距離センサの小型化を図ることが可能となる。

[0119] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0120] なお、本技術は以下のような構成も採ることができる。

（１）

画素信号の過大入力が入力されたかどうか判断する閾値電圧の比較を行う比較器回路と、

前記比較の結果が制御端子に入力され、クランプ回路を構成する第１のトランジスタと、

を備えたＡ／Ｄ変換器。

（２）

クランプ時に接続される第１の所定位置と第２の所定位置に流れる電流を等しくし、あるいは、前記第１の所定位置と前記第２の所定位置の電圧を等しくする、

（１）記載のＡ／Ｄ変換器。

（３）

入力電流ライン及び参照電流ラインを構成する一対の差動対トランジスタと、

前記差動対トランジスタに流すバイアス電流を制御する一対のバイアストランジスタと、を有し、

前記第１のトランジスタは、前記一対のバイアストランジスタに対し、上流側あるいは下流側のいずれかに設けられている、

（１）又は（２）記載のＡ／Ｄ変換器。

（４）

前記クランプ回路は、前記画素信号として所定の過大入力閾値以上の信号

が入力されたか否かを判定する閾値判定回路を備え、

前記閾値判定回路の出力に基づいて、前記第１のトランジスタは、クランプ時に接続される第１の所定位置と第２の所定位置とを短絡状態とする、

（１）～（３）のいずれか１つに記載のＡ／Ｄ変換器。

（５）

入力電流ライン及び参照電流ラインを構成する一対の差動対トランジスタと、

前記差動対トランジスタに流すバイアス電流を制御する一対のバイアストランジスタと、

クランプ時に接続すべき第１の所定位置と第２の所定位置に対し、前記第１の所定位置にアノードが接続され、前記第２の所定位置にカソードが接続されたダイオードを備える、

Ａ／Ｄ変換器。

（６）

光電変換を行う複数の画素がアレイ状に配置された画素アレイ部と、

前記画素アレイ部からアナログ画素信号を読み出して信号処理を行う信号処理部と、を備え、

前記信号処理部は、前記アナログ画素信号のアナログ／ディジタル変換を行うＡ／Ｄ変換器を含み、

前記Ａ／Ｄ変換器は、画素信号と過大入力が入力されたかどうか判断する閾値電圧の比較を行う比較器回路と、

前記比較の結果が制御端子として入力され、クランプ回路を構成する第１のトランジスタと、

を備えた電子機器。

（７）

光電変換を行う複数の画素がアレイ状に配置された画素アレイ部と、

前記画素アレイ部からアナログ画素信号を読み出して信号処理を行う信号処理部と、を備え、

前記信号処理部は、前記アナログ画素信号のアナログ／ディジタル変換を行うＡ／Ｄ変換器を含み、

前記Ａ／Ｄ変換器は、入力電流ライン及び参照電流ラインを構成する一対の差動対トランジスタと、

前記差動対トランジスタに流すバイアス電流を制御する一対のバイアストランジスタと、

クランプ時に接続すべき第１の所定位置と第２の所定位置に対し、前記第１の所定位置にアノードが接続され、前記第２の所定位置にカソードが接続されたダイオードと、

を備えた電子機器。

符号の説明

[0121] ２　画素アレイ部

４　信号処理部

１０　Ａ／Ｄ変換器

１１　ローカル参照電圧生成部

１２　ＤＡ変換部

１３、１３Ａ～１３Ｆ　プリアンプ部

１４　コンパレータ部

１４Ａ　増幅部

１４Ｂ　ラッチ部

１５　逐次変換ロジック部

１６　ローテーションロジック部　２１　閾値判定回路　ＣＰ１、ＣＰ１１　接続点（第１の所定位置）

ＣＰ２、ＣＰ１２　接続点（第２の所定位置）

ＴＲ１７、ＴＲ１７Ａ、ＴＲ１７Ｂ　ＮチャネルＭＯＳトランジスタ（クランプ回路）

ＴＲ５１、ＴＲ５２　ＮチャネルＭＯＳトランジスタ（クランプ回路）

ＴＲ５３　ＰチャネルＭＯＳトランジスタ（スイッチング素子）

ＤＡ　差動アンプ

S_{EV}　判別結果信号

請求の範囲

[請求項1] 画素信号の過大入力が入力されたかどうか判断する閾値電圧の比較を行う比較器回路と、

前記比較の結果が制御端子に入力され、クランプ回路を構成する第１のトランジスタと、

を備えたＡ／Ｄ変換器。

[請求項2] クランプ時に接続される第１の所定位置と第２の所定位置に流れる電流を等しくし、あるいは、前記第１の所定位置と前記第２の所定位置の電圧を等しくする、

請求項１記載のＡ／Ｄ変換器。

[請求項3] 入力電流ライン及び参照電流ラインを構成する一対の差動対トランジスタと、

前記差動対トランジスタに流すバイアス電流を制御する一対のバイアストランジスタと、を有し、

前記第１のトランジスタは、前記一対のバイアストランジスタに対し、上流側あるいは下流側のいずれかに設けられている、

請求項２記載のＡ／Ｄ変換器。

[請求項4] 前記クランプ回路は、前記画素信号として所定の過大入力閾値以上の信号が入力されたか否かを判定する閾値判定回路を備え、

前記閾値判定回路の出力に基づいて、前記第１のトランジスタは、クランプ時に接続される第１の所定位置と第２の所定位置とを短絡状態とする、

請求項１記載のＡ／Ｄ変換器。

[請求項5] 入力電流ライン及び参照電流ラインを構成する一対の差動対トランジスタと、

前記差動対トランジスタに流すバイアス電流を制御する一対のバイアストランジスタと、

クランプ時に接続すべき第１の所定位置と第２の所定位置に対し、

前記第１の所定位置にアノードが接続され、前記第２の所定位置にカソードが接続されたダイオードを備える、

Ａ／Ｄ変換器。

[請求項6] 光電変換を行う複数の画素がアレイ状に配置された画素アレイ部と、

前記画素アレイ部からアナログ画素信号を読み出して信号処理を行う信号処理部と、を備え、

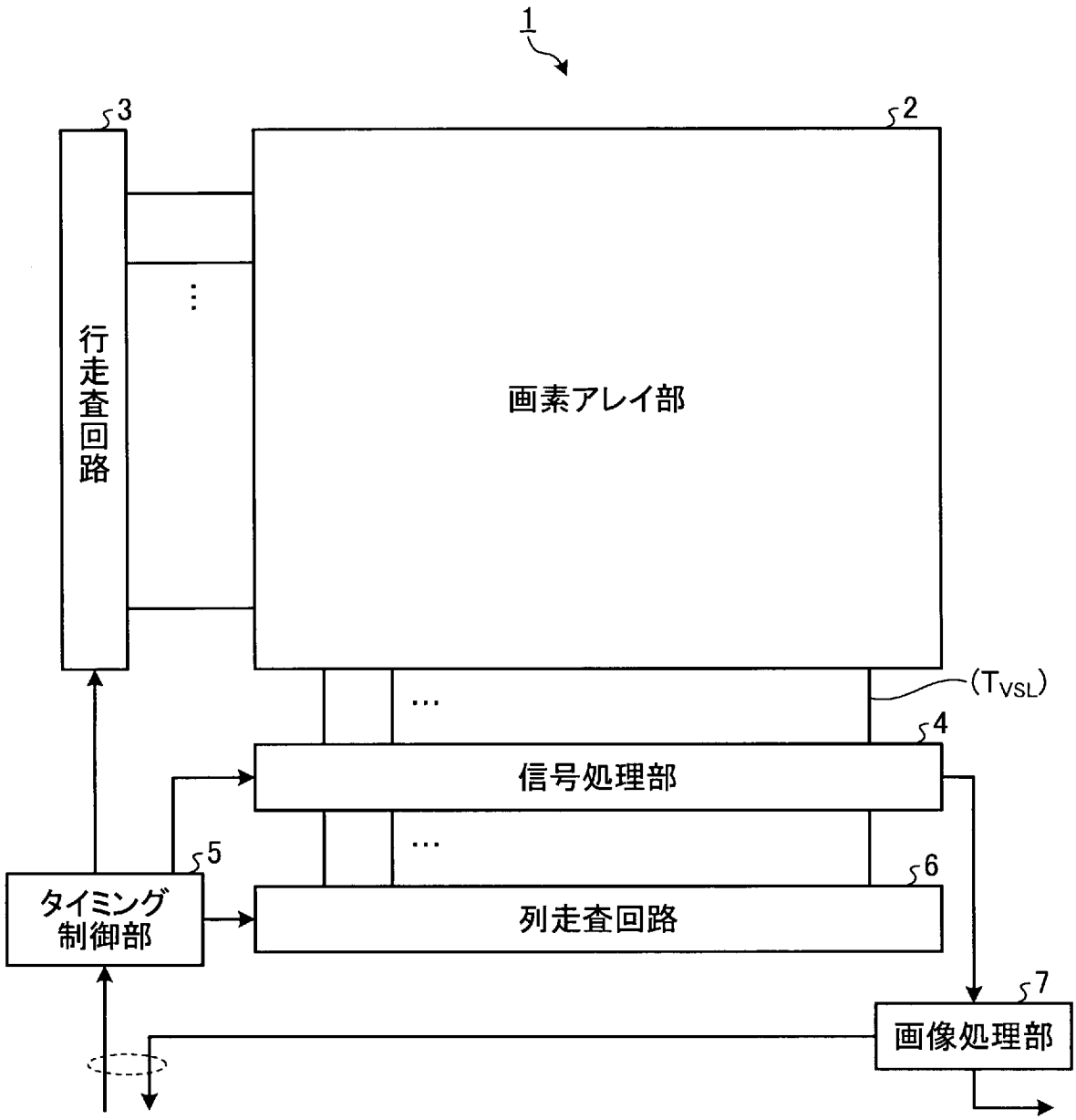
前記信号処理部は、前記アナログ画素信号のアナログ／ディジタル変換を行うＡ／Ｄ変換器を含み、

前記Ａ／Ｄ変換器は、画素信号と過大入力が入力されたかどうか判断する閾値電圧の比較を行う比較器回路と、

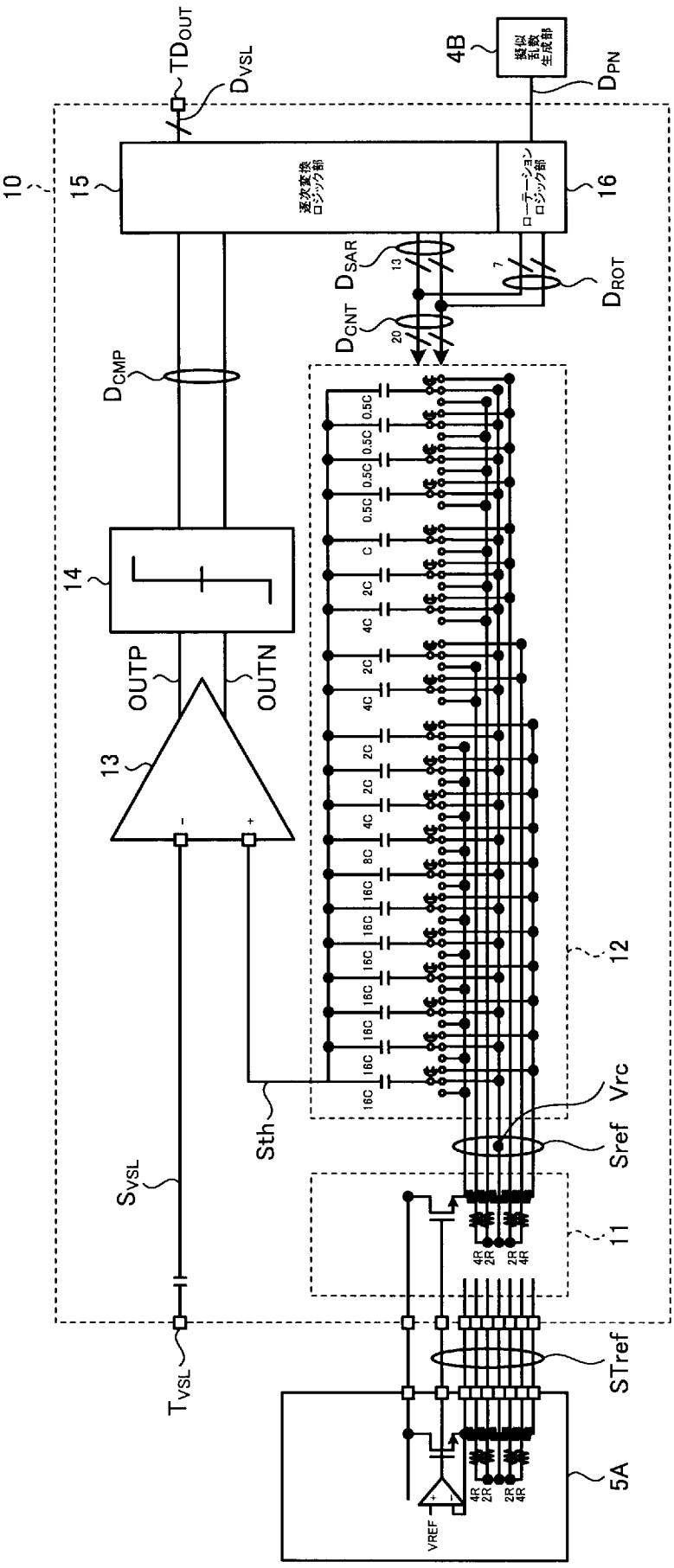
前記比較の結果が制御端子として入力され、クランプ回路を構成する第１のトランジスタと、

を備えた電子機器。

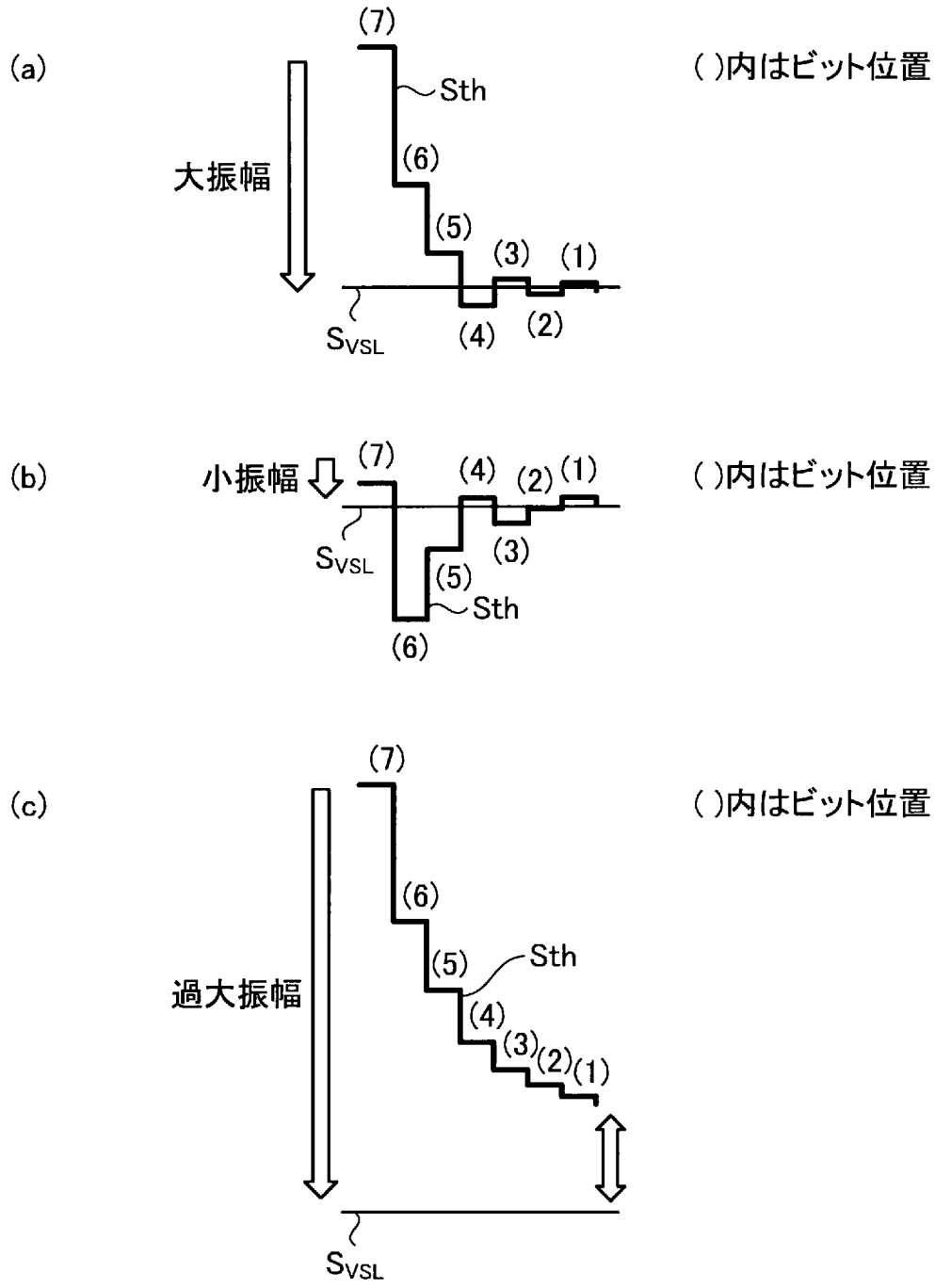
[図1]



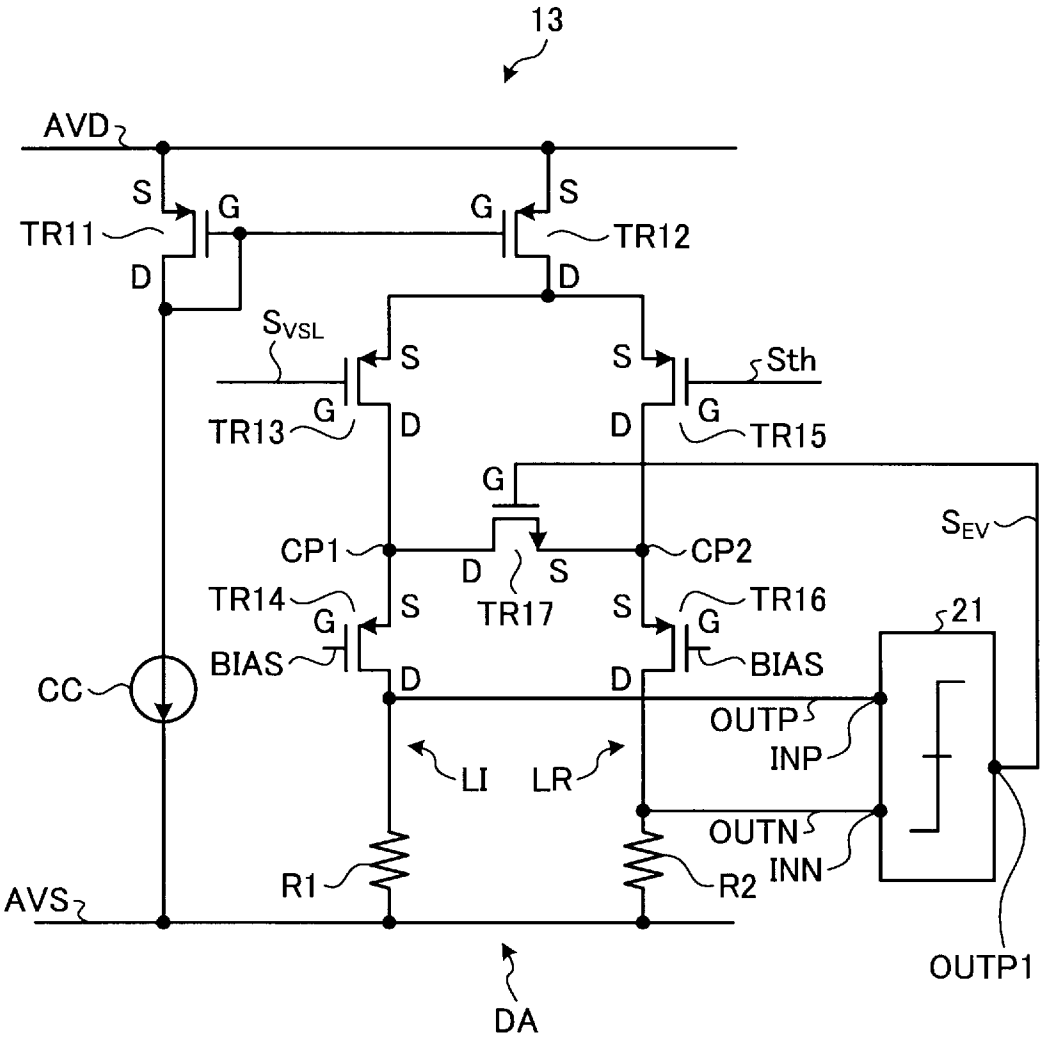
[図2]


TDOUT
DVSL
4B
擬似乱数生成部
DPN
10
15
逐次変換ロジック部
16
ローテーションロジック部
DSAR
13
7
DROT
DCNT
20
DCMP
14
OUTP
OUTN
13
0.5C
C
2C
4C
8C
16C
12
Sth
Vrc
Sref
SVSL
11
4R
2R
TVSL
STref
5A
VREF

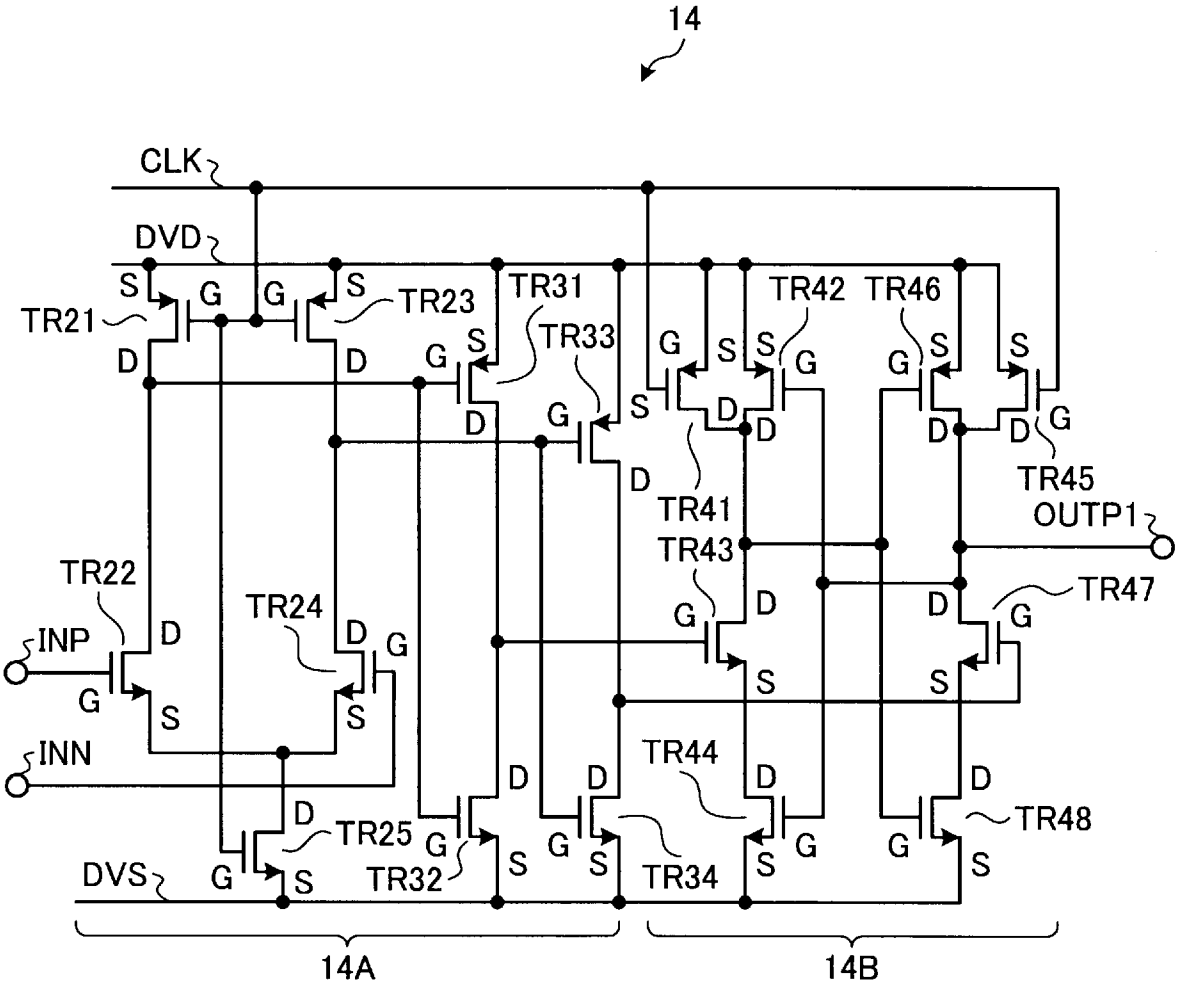
[図3]


(a)
( )内はビット位置
(7)
Sth
大振幅
(6)
(5)
(3)
(1)
SVSL
(4)
(2)
(b)
小振幅
( )内はビット位置
(7)
(4)
(2)
(1)
SVSL
(3)
(5)
Sth
(6)
(c)
( )内はビット位置
(7)
(6)
(5)
Sth
過大振幅
(4)
(3)
(2)
(1)
SVSL

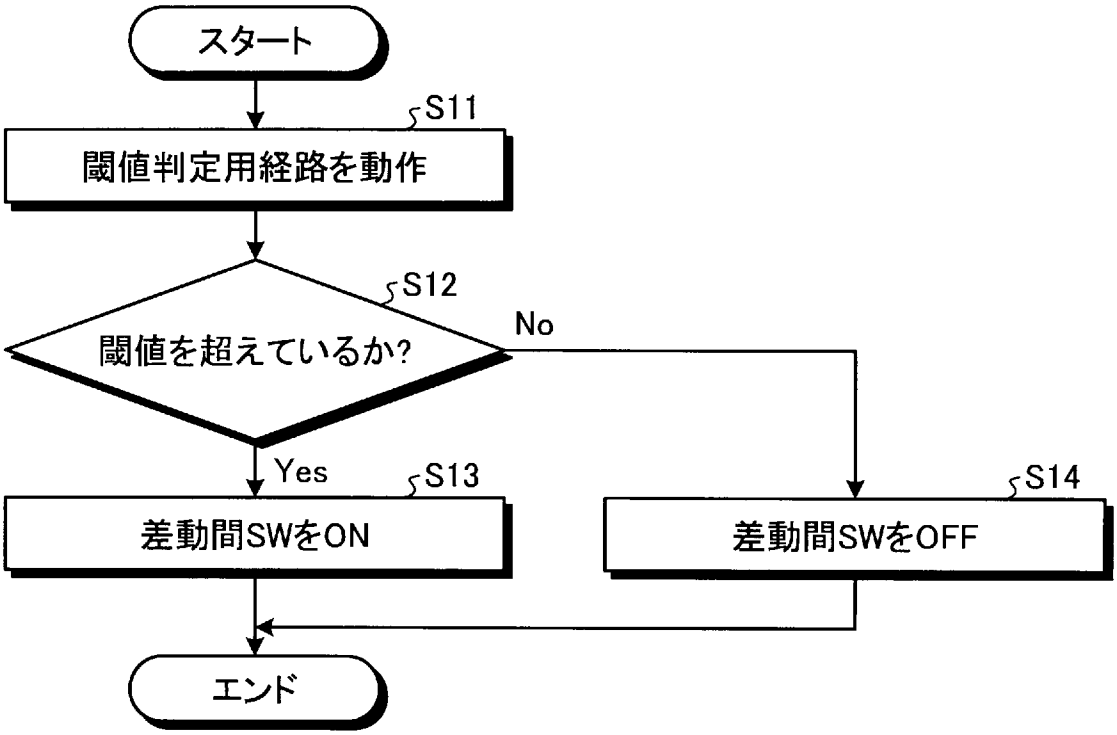
[図4]


13
AVD
S
G
TR11
D
G
S
TR12
D
SVSL
S
G
TR13
D
S
Sth
D
G
TR15
G
CP1
D
S
TR17
CP2
SEV
TR14
S
G
BIAS
D
S
TR16
G
BIAS
D
21
CC
OUTP
INP
LI
LR
OUTN
INN
R1
R2
AVS
OUTP1
DA

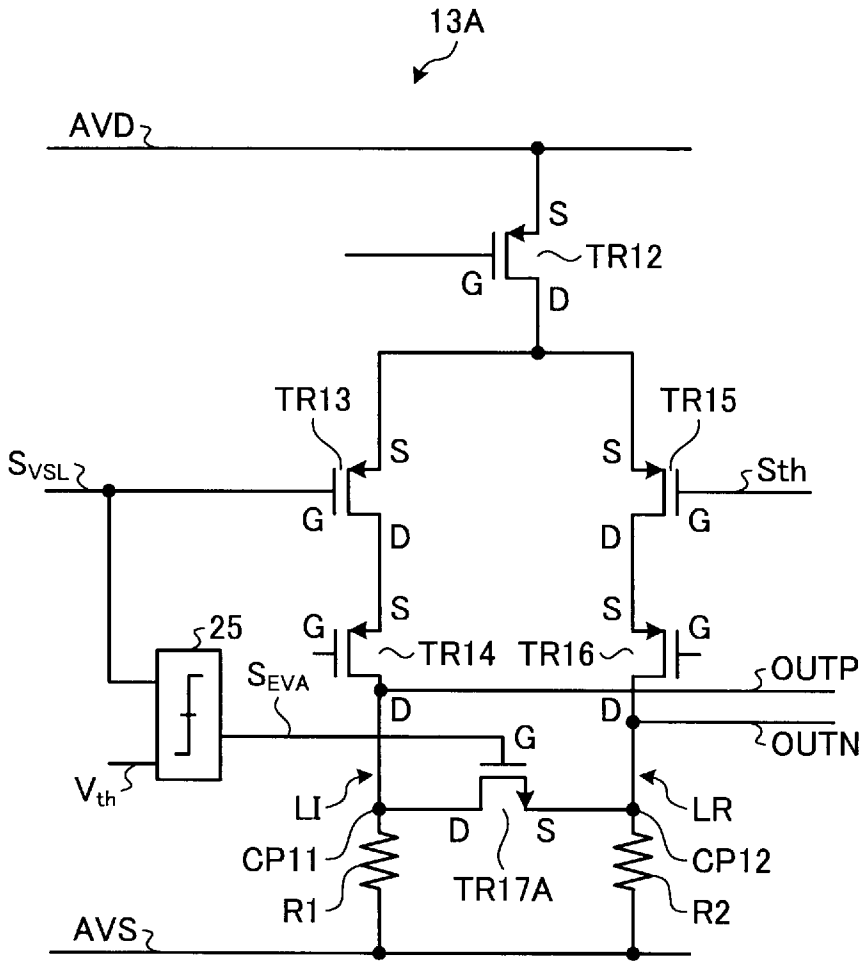
[図5]


14
CLK
DVD
TR21
TR23
TR31
TR33
TR42
TR46
TR41
TR43
TR45
OUTP1
TR22
TR24
INP
INN
TR47
TR44
TR48
TR25
TR32
TR34
DVS
14A
14B

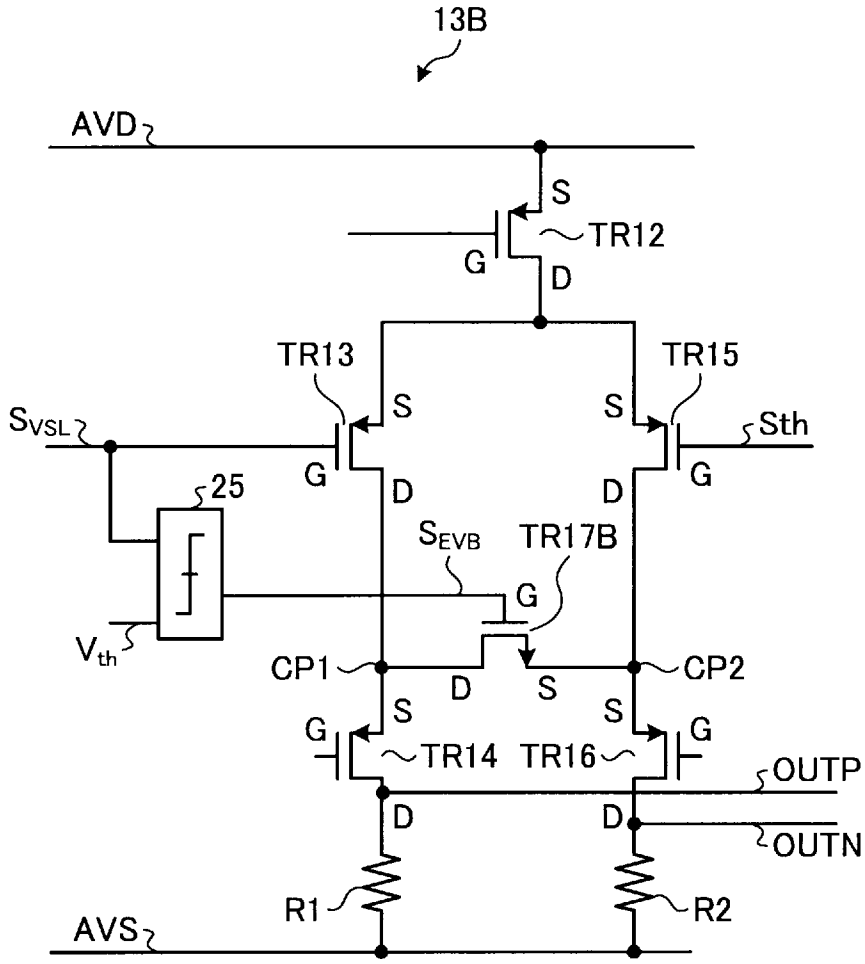
[図6]


スタート
S11
閾値判定用経路を動作
S12
閾値を超えているか?
No
Yes
S13
差動間SWをON
S14
差動間SWをOFF
エンド

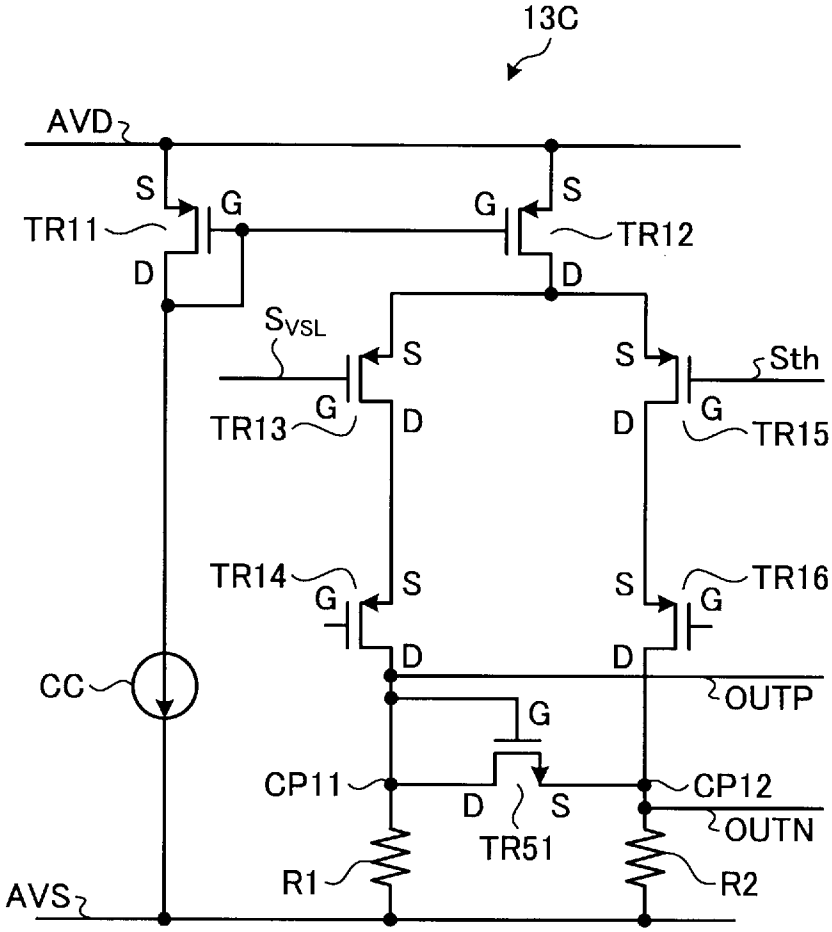
[図7]


13A
AVD
S
TR12
G
D
TR13
TR15
S
S
S
Sth
SVSL
G
D
D
G
25
G
S
S
G
TR14
TR16
SEVA
OUTP
D
D
OUTN
G
Vth
LI
LR
D
S
CP11
CP12
TR17A
R1
R2
AVS

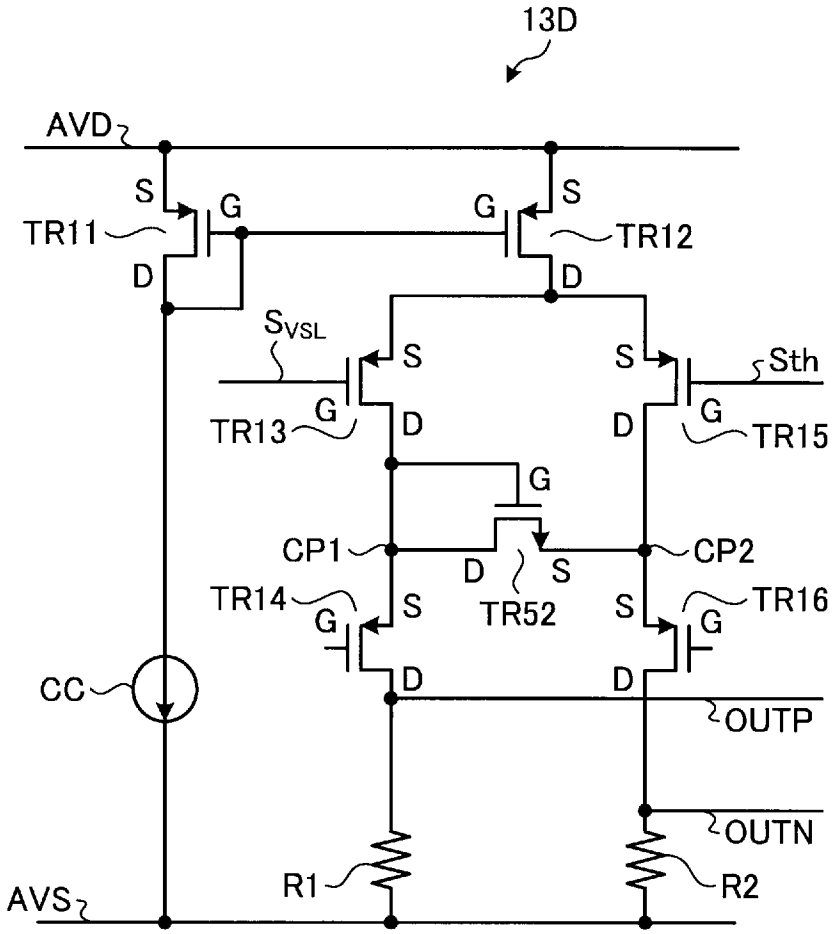
[図8]


13B
AVD
S
TR12
G
D
TR13
TR15
S
S
S_{VSL}
Sth
G
D
D
G
25
S_{EVB}
TR17B
G
V_{th}
CP1
CP2
D
S
S
S
G
G
TR14
TR16
OUTP
D
D
OUTN
R1
R2
AVS

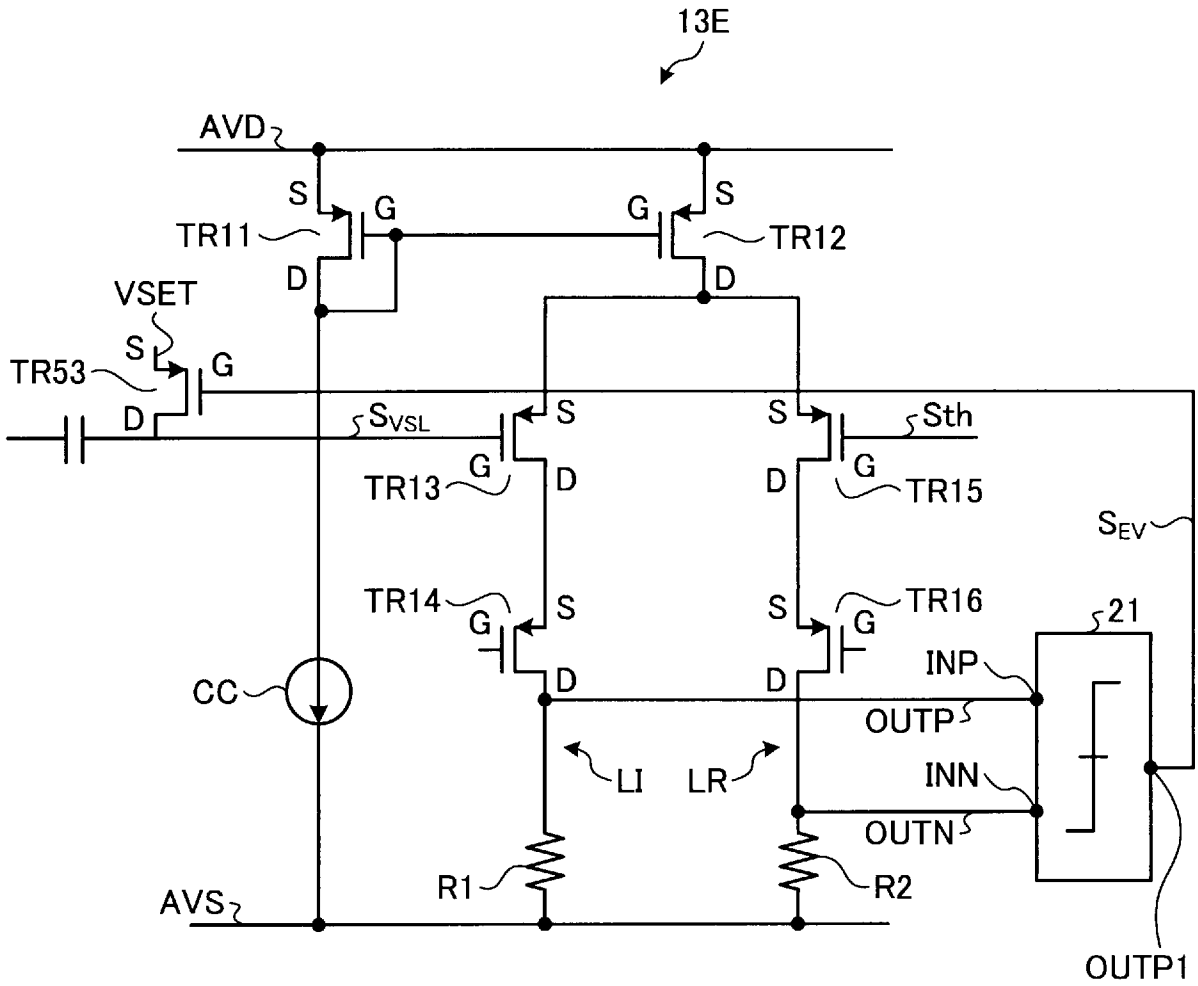
[図9]


13C
AVD
S
G
TR11
D
G
S
TR12
D
SVSL
S
G
TR13
D
S
Sth
D
G
TR15
TR14
S
G
D
S
TR16
G
D
CC
OUTP
G
CP11
D
S
TR51
CP12
OUTN
R1
R2
AVS

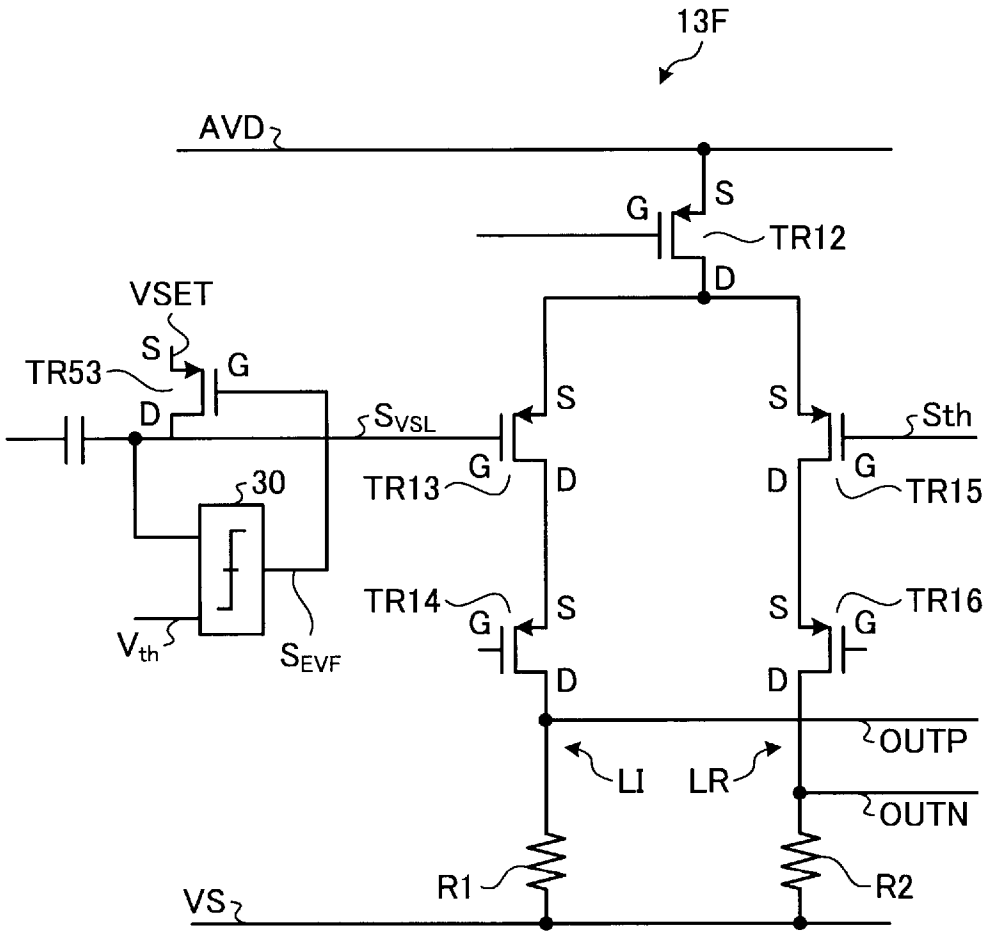
[図10]


13D
AVD
S
G
TR11
D
G
S
TR12
D
SVSL
S
G
TR13
D
S
Sth
D
G
TR15
G
CP1
D
S
TR52
CP2
TR14
G
S
S
G
TR16
D
D
CC
OUTP
OUTN
R1
R2
AVS

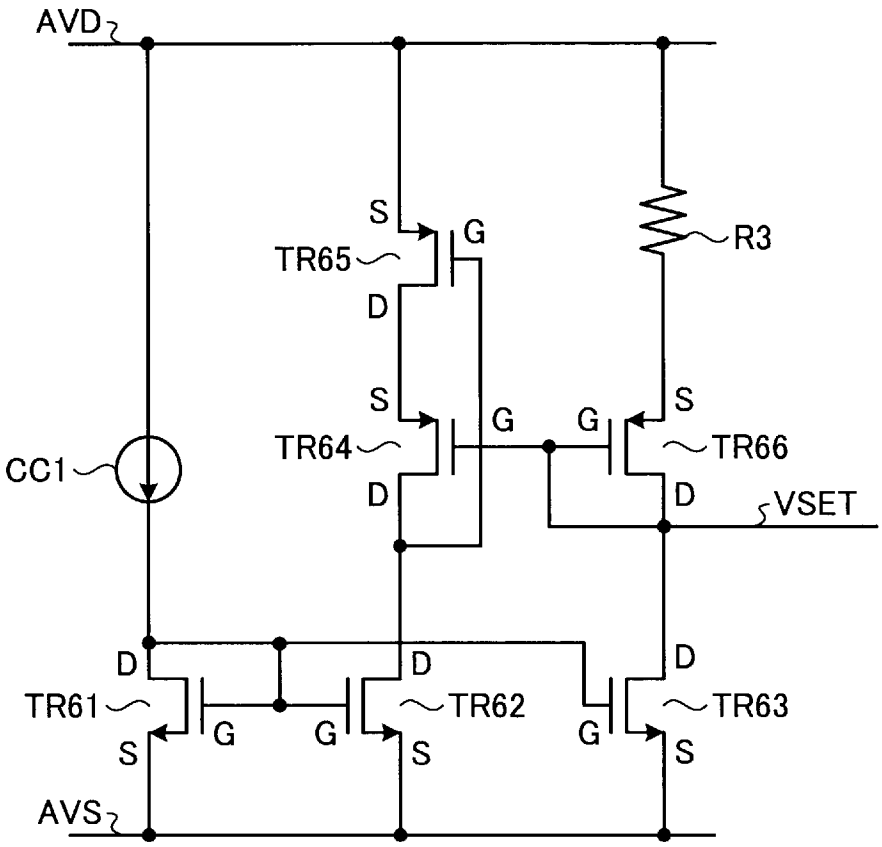
[図11]


13E
AVD
S
G
TR11
D
G
S
TR12
D
VSET
S
G
TR53
D
SVSL
S
TR13
G
D
S
Sth
D
G
TR15
SEV
TR14
G
S
S
G
TR16
21
CC
D
D
INP
OUTP
LI
LR
INN
OUTN
R1
R2
AVS
OUTP1

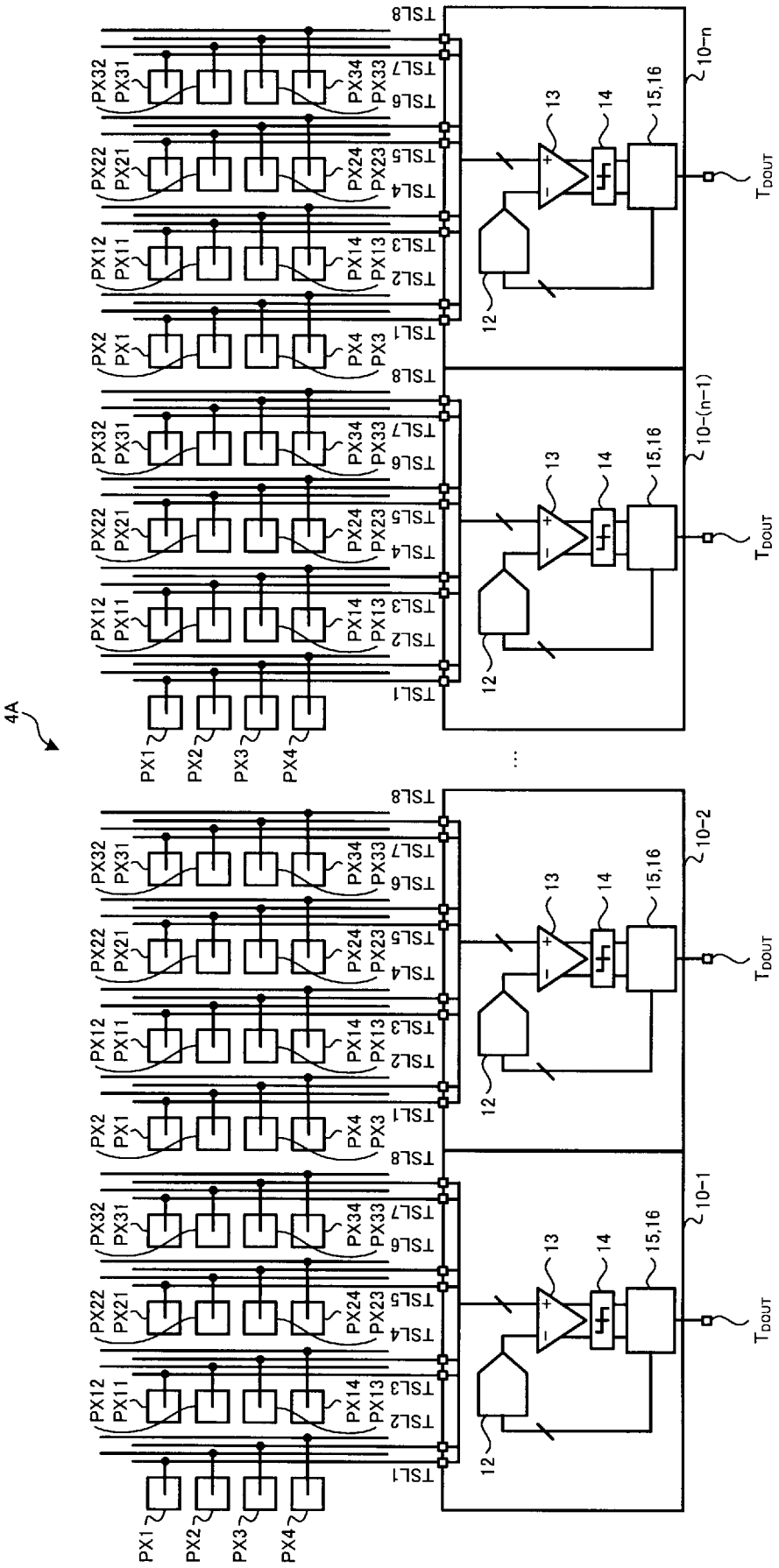
[図12]


13F
AVD
S
G
TR12
D
VSET
S
TR53
G
D
SVSL
S
S
Sth
G
TR13
D
D
G
TR15
30
TR14
G
S
S
TR16
Vth
SEVF
G
D
D
OUTP
LI
LR
OUTN
R1
R2
VS

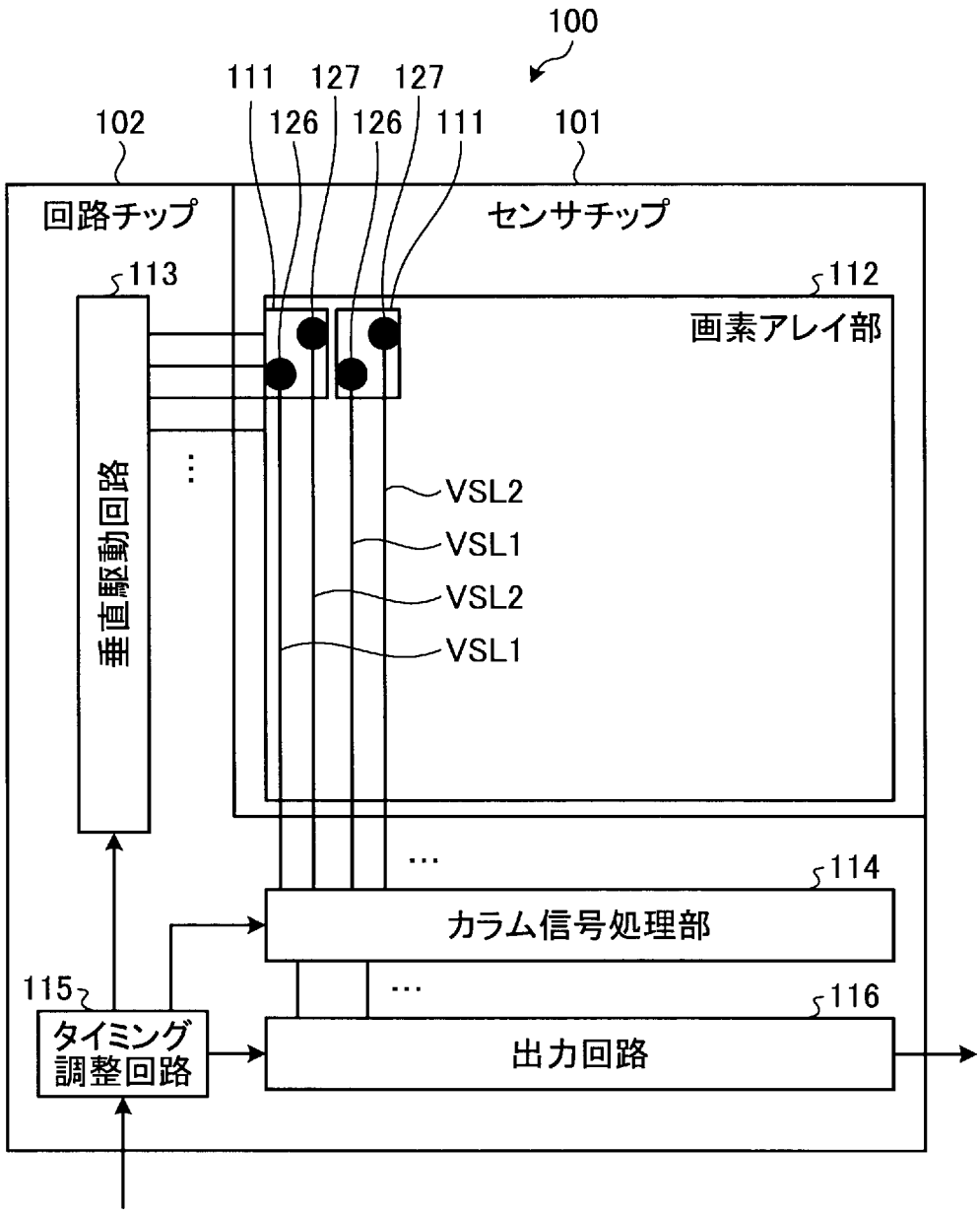
[図13]


AVD
S
G
TR65
D
R3
S
G
G
S
TR64
TR66
CC1
D
D
VSET
D
D
D
TR61
TR62
TR63
G
G
G
S
S
S
AVS

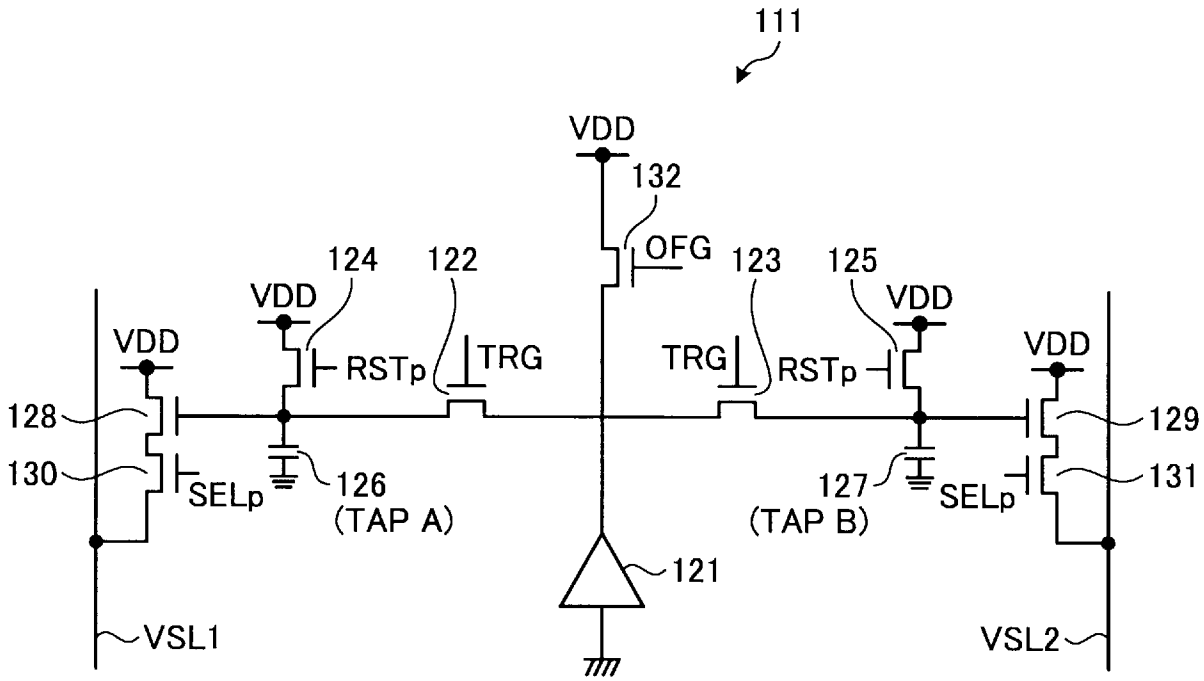
[図14]


4A
PX1
PX2
PX3
PX4
TSL1
TSL2
TSL3
TSL4
TSL5
TSL6
TSL7
TSL8
PX11
PX12
PX13
PX14
PX21
PX22
PX23
PX24
PX31
PX32
PX33
PX34
12
13
14
15,16
10-n
10-(n-1)
10-2
10-1
TDOUT

[図15]


100
111
127
127
102
126
126
111
101
回路チップ
センサチップ
113
112
画素アレイ部
垂直駆動回路
VSL2
VSL1
VSL2
VSL1
114
カラム信号処理部
115
116
タイミング
調整回路
出力回路

[図16]


111
VDD
132
OFG
124
122
123
125
VDD
VDD
VDD
VDD
RSTp
TRG
TRG
RSTp
128
129
130
131
SELp
126
(TAP A)
127
(TAP B)
SELp
121
VSL1
VSL2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/038839

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H04N5/378(2011.01)i, H03M1/12(2006.01)i, H03M1/38(2006.01)i, H04N5/365(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H04N5/378, H03M1/12, H03M1/38, H04N5/365

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2013/038958 A1 (SHARP CORP.) 21 March 2013, paragraphs [0002], [0003], [0033], [0034], fig. 5, 9 & JP 2014-225715 A, paragraphs [0002], [0003], [0033], [0034], fig. 5, 9	1, 2, 4, 6 3, 5
A	JP 2013-172270 A (SONY CORP.) 02 September 2013, paragraph [0092], fig. 17 & US 2013/0215303 A1, paragraph [0282], fig. 17 & CN 1033259511 A	1-6
A	JP 2005-252529 A (SONY CORP.) 15 September 2005, paragraphs [0038]-[0040], fig. 3-5 & US 2005/0194520 A1, paragraphs [0121]-[0129], fig. 3-5	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29.11.2019	10.12.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３８８３９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378(2011.01)i, H03M1/12(2006.01)i, H03M1/38(2006.01)i, H04N5/365(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378, H03M1/12, H03M1/38, H04N5/365

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2013/038958 A1 (シャープ株式会社) 2013.03.21, 段落 [0002], [0003], [0033], [0034], 図 5,9 & JP 2014-225715 A, 段落 [0002], [0003], [0033], [0034], 図 5,9	1,2,4,6
A		3,5
A	JP 2013-172270 A (ソニー株式会社) 2013.09.02, 段落 [0092], 図 17 & US 2013/0215303 A1, 段落 [0282], 図 17 & CN 103259511 A	1-6
A	JP 2005-252529 A (ソニー株式会社) 2005.09.15, 段落 [0038] - [0040], 図 3-5 & US 2005/0194520 A1, 段落 [0121] - [0129], 図 3-5	1-6

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２９．１１．２０１９	１０．１２．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９１８５
鈴木　明
電話番号　０３－３５８１－１１０１　内線　３５７１