



(12) 发明专利申请

(10) 申请公布号 CN 117374113 A

(43) 申请公布日 2024.01.09

(21) 申请号 202311351913.3

(51) Int.Cl.

(22) 申请日 2017.06.23

H01L 29/778 (2006.01)

(30) 优先权数据

15/192 545 2016 06 24 US

HOTEL 21/285 (2006.01)

15/424 300 2017 03 03 HS

H01L 29/16 (2006.01)

(62) 分案原由遣数据

H01L_21/325 (2006_01)

201780045145 5 2017 06 23

(71) 申请人 沃孚半导体公司

地址 美国北卡罗来纳州

(72) 发明人 萨普撒里希·斯里拉姆

亚历山大·苏沃罗夫

克里斯特·哈林

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

专利代理人 杜兆东

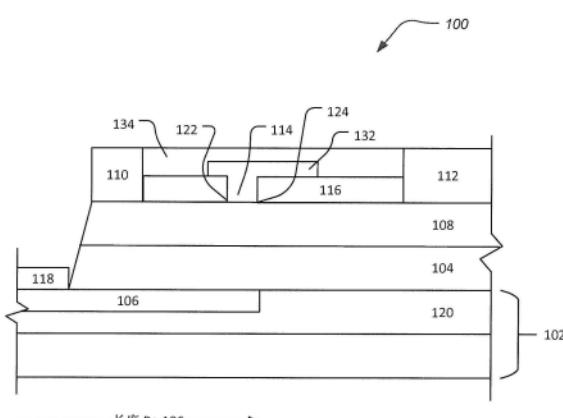
权利要求书2页 说明书13页 附图8页

(54) 发明名称

在碳化硅基底中具有深植入P型层的氮化镓
高电子迁移率晶体管

(57) 摘要

本申请涉及在碳化硅基底中具有深植入P型层的氮化镓高电子迁移率晶体管。本公开涉及高电子迁移率晶体管，其包括SiC基底层、设置在SiC基底层上的GaN缓冲层，以及具有与在其上提供GaN缓冲层的SiC基底层的表面平行的长度的p型材料层。在下列中的一个中提供p型材料层：SiC基底层和布置在SiC基底层上的第一层。还公开了制造高电子迁移率晶体管的方法。



1. 一种高电子迁移率晶体管,包括:

基底层;

第一缓冲层,设置在所述基底层上;

阻挡层,设置在所述第一缓冲层上;

源极,包括设置在所述阻挡层上的第一部分;

漏极,设置在所述阻挡层上;

栅极,设置在所述阻挡层上;

p型材料层,具有与在其上设置所述第一缓冲层的所述基底层的表面平行的长度,所述p型材料层的长度小于所述基底层的整个长度,并且所述p型材料层布置在与所述第一缓冲层的表面邻近的所述基底层的表面;

至少在所述第一缓冲层和所述阻挡层中的蚀刻凹部;以及

所述源极包括具有布置在所述蚀刻凹部中的p型材料接触部的第二部分,和具有布置在所述p型材料层上并且与其电偶联的p型材料接触部的第二部分,所述p型材料层布置在与所述第一缓冲层的表面邻近的所述基底层的表面并且在所述基底层中,

其中,所述p型材料层设置在所述基底层中;

其中,当适当地偏置所述栅极时,在所述第一缓冲层和所述阻挡层之间的异质界面处感应二维电子气;以及

其中,与所述基底层的表面平行的p型材料层长度至少从所述源极朝向所述栅极延伸,使得所述p型材料层未沿着垂直于所述基底层的表面的所述漏极的垂直轴线定位。

2. 根据权利要求1所述的晶体管,进一步包括:

保护层,

其中,所述栅极部分地布置在所述阻挡层上,并且所述栅极部分地布置在所述保护层上;

其中,所述p型材料层构造和布置成使漏极滞后效应最小化;以及

其中,所述p型材料层包括植入在所述基底层中的铝。

3. 根据权利要求1所述的晶体管,

其中,所述p型材料层包括植入在所述基底层中的铝;以及

其中,与所述基底层的表面平行的所述p型材料层长度至少从所述源极延伸经过所述栅极,并且所述p型材料层未沿着垂直于所述基底层的表面的所述漏极的垂直轴线定位。

4. 根据权利要求1所述的晶体管,进一步包括:

布置在所述基底层上的成核层并且所述第一缓冲层布置在所述成核层上;

其中,所述基底层包括氮化镓;以及

其中,与所述基底层的表面平行的所述p型材料层长度延伸所述栅极和所述漏极之间距离的0%至50%。

5. 根据权利要求1所述的晶体管,其中:

所述基底层包括碳化硅;

所述第一缓冲层包括氮化镓;

所述阻挡层包括氮化铝镓;以及

所述p型材料层设置在所述第一缓冲层的表面附近;以及

其中,与所述基底层的表面平行的所述p型材料层长度至少从所述源极延伸经过所述栅极,并且所述p型材料层未沿着垂直于所述基底层的表面的所述漏极的垂直轴线定位。

6.根据权利要求1所述的晶体管,进一步包括:

场板结构,其远离所述栅极的边缘延伸一段距离,

其中,与所述基底层的表面平行的所述p型材料层长度延伸所述栅极和所述漏极之间距离的0%至50%;

所述基底层包括碳化硅;

所述第一缓冲层包括氮化镓;

所述阻挡层包括氮化铝镓;以及

所述p型材料层设置在所述第一缓冲层的表面附近。

7.根据权利要求1所述的晶体管,进一步包括:

在所述基底层上形成成核层并且在所述成核层上布置所述第一缓冲层,

其中:

所述基底层包括碳化硅;以及

所述p型材料层包括植入在所述基底层中的铝p掺杂剂。

8.根据权利要求1所述的晶体管,其中:

所述第一缓冲层包括氮化镓;以及

所述阻挡层包括铝。

9.根据权利要求1所述的晶体管,进一步包括远离所述栅极的边缘延伸一段距离的场板结构。

10.根据权利要求1所述的晶体管,进一步包括:

场板结构,其远离所述栅极的边缘延伸一段距离,

其中,与所述基底层的表面平行的所述p型材料层长度至少从所述源极经过所述栅极朝向所述漏极延伸,使得所述p型材料层未沿着垂直于所述基底层的表面的所述漏极下方的垂直轴线定位。

在碳化硅基底中具有深植入P型层的氮化镓高电子迁移率晶体管

[0001] 本申请是申请日为2017年6月23日的题为“在碳化硅基底中具有深植入P型层的氮化镓高电子迁移率晶体管”的中国专利申请201780045145.5的分案申请。

[0002] 相关申请的引证

[0003] 本申请是2016年8月15日提交的美国专利申请号15/192,545的部分连续案，其全部内容通过引用合并于此。

技术领域

[0004] 本公开涉及微电子器件，且更具体地涉及具有p型层的氮化镓高电子迁移率晶体管。本公开还涉及制造微电子器件的方法，且更具体地涉及制造具有p型层的氮化镓高电子迁移率晶体管的方法。

背景技术

[0005] 基于氮化镓(GaN)的高电子迁移率晶体管(HEMT)是用于高功率射频(RF)应用的非常有希望的候选，并且也是用于低频高功率切换应用的非常有希望的候选，这是因为GaN的材料特性可实现高电压和高电流。然而，这些器件中的一个重要问题是缓冲层的设计以实现高电压能力。许多设计目前使用深能级杂质(deep level impurity)，例如铁(Fe)或碳(C)，以使在高漏极电压条件下流过缓冲层的电流最小化。然而，Fe和C都导致漏极滞后效应，这是当漏极电压从高值变为低值时漏极电流的缓慢恢复。这对于功率和RF应用都是非常不希望的，这是因为它导致更低的切换电流，更低的效率和其他问题。通过使用没有Fe或C的高纯度缓冲层可以消除漏极滞后效应。然而，这些器件具有通过缓冲层的高漏电流，这也是不可接受的。

[0006] 因此，需要一种解决GaN HEMT中的滞后效应的替代解决方案。

发明内容

[0007] 根据本公开的一个方面，高电子迁移率晶体管包括SiC基底层，布置在SiC基底层上的GaN缓冲层，以及具有与在其上提供GaN缓冲层的SiC基底层的表面平行的长度的p型材料层，其中在下列中的一项中提供p型材料层：SiC基底层和布置在SiC基底层上的第一层。

[0008] 根据本公开的另一方面，制造高电子迁移率晶体管的方法包括提供SiC基底层，在SiC基底层上提供GaN缓冲层，提供具有与在其上提供GaN缓冲层的SiC基底层的表面平行的长度的p型材料层，并且在下列中的一项中提供p型材料层：SiC基底层和布置在SiC基底层上的第一层。

[0009] 考虑以下详细描述、附图和权利要求，可以得到或清楚本公开的附加特征、优点和方面。此外，应理解，本公开的前述发明内容和以下详细描述都是示例性的并且旨在提供进一步的解释而不限制所要求保护的本公开的范围。

附图说明

[0010] 为了提供对本公开的进一步理解而包括的附图被并入并构成说明书的一部分，示出了本公开的各方面，并且与详细描述一起用于解释本公开的原理。除了对本公开的基本理解及其中可以实践它的各种方式所必需的之外，并未试图更详细地显示本公开的结构细节。在附图中：

- [0011] 图1示出了根据本公开的晶体管的一个方面的截面图。
- [0012] 图2示出了根据本公开的晶体管的另一个方面的截面图。
- [0013] 图3示出了根据本公开的晶体管的另一个方面的截面图。
- [0014] 图4示出了根据本公开的晶体管的另一个方面的截面图。
- [0015] 图5示出了根据本公开的晶体管的另一个方面的截面图。
- [0016] 图6示出了根据本公开的晶体管的另一个方面的截面图。
- [0017] 图7示出了根据本公开的晶体管的另一个方面的截面图。
- [0018] 图8示出了根据本公开的制造晶体管的方法。
- [0019] 图9示出了与常规植入条件的模拟相比，使用根据本公开的方面的通道(channeling)条件植入的Al的分布。

具体实施方式

[0020] 参考在附图中描述和/或示出并在以下描述中详述的非限制性方面和实例，更全面地解释本公开的各方面及其各种特征和有利细节。应当注意，附图中示出的特征不一定按比例绘制，并且如本领域技术人员将认识到的，一个方面的特征可以与其他方面一起使用，即使本文未明确说明。可以省略对公知组件和处理技术的描述，以免不必要地模糊本公开的各方面。本文使用的实例仅旨在便于理解其中可以实践本公开的方式，并且进一步使本领域技术人员能够实践本公开的各方面。因此，本文的实例和方面不应被解释为限制本公开的范围，本公开的范围仅由所附权利要求和适用法律限定。此外，应注意，在附图的多个视图中，相同的参考标号表示类似的部件。

[0021] 应当理解，尽管本文可以使用术语第一、第二等来描述各种元件，但这些元件不应受这些术语限制。这些术语仅用于将一种元件与另一种元件区分开。例如，在不脱离本公开的范围的情况下，第一元件可被称为第二元件，并且类似地，第二元件可被称为第一元件。如本文所用，术语“和/或”包括一个或多个相关所列项目的任何一个和所有组合。

[0022] 应当理解，当诸如层、区域或基底的元件被称为在另一元件“之上”或“延伸”到另一元件之上时，它可以直接在另一元件上或直接延伸到另一元件上，或者也可以存在中间元件。相反，当元件被称为“直接在另一元件之上”或“直接延伸到”另一元件之上时，不存在中间元件。同样地，应当理解，当诸如层、区域或基底的元件被称为在另一元件“上方”或“延伸”到另一元件上方时，它可以直接在另一元件上方或直接延伸到另一元件上方，或者也可以存在中间元件。相反，当元件被称为“直接在另一元件上方”或“直接延伸到”另一元件上方时，不存在中间元件。还应该理解，当一个元件被称为“连接(connect)”或“偶联(couple)”到另一个元件时，它可以直接连接或偶联到另一元件，或者可以存在中间元件。相反，当一个元件被称为“直接连接”或“直接偶联”到另一元件时，不存在中间元件。

[0023] 本文可以使用诸如“下方”或“上方”或“上部”或“下部”或“水平”或“垂直”的相关

术语来描述一个元件、层或区域与另一个元件、层或区域之间的关系,如附图所示。应当理解,除了附图中所示的方向之外,这些术语和上面讨论的那些术语旨在包括装置的不同方向。

[0024] 本文使用的术语仅用于描述特定方面的目的,而不旨在限制本公开。如本文所用,单数形式“一个(a)”、“一种(an)”和“该(the)”旨在还包括复数形式,除非上下文另有明确指示。将进一步理解,术语“包括(comprises)”、“包括了(comprising)”、“包含.includes)”和/或“包含了(including)”在本文中使用时,指定所述特征、整数、步骤、操作、元件和/或组件的存在,但不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。

[0025] 除非另外定义,否则在本文使用的所有术语(包括技术和科学术语)具有与由本公开所属领域的普通技术人员通常所理解的相同的含义。将进一步理解,本文使用的术语应被解释为具有与本说明书和相关领域的上下文中的含义一致的含义,并且除非在本文中明确定义,否则将不以理想化或过于形式化的含义解释。

[0026] 除了结构类型之外,形成晶体管的半导体材料的特性也可能影响操作参数。在影响晶体管操作参数的特性中,电子迁移率、饱和电子漂移速度、电击穿场和热导率可能对晶体管的高频和高功率特性产生影响。

[0027] 电子迁移率是在电场存在下如何快速地将电子加速到其饱和速度的量度。在过去,具有高电子迁移率的半导体材料是优选的,这是因为可以用较小的场产生更多的电流,导致在施加场时更快的响应时间。饱和电子漂移速度是电子在半导体材料中可以获得的最大速度。具有较高饱和电子漂移速度的材料对于高频应用是优选的,这是因为较高的速度转换为从源极到漏极的较短时间。

[0028] 电击穿场是肖特基结的击穿和通过器件栅极的电流突然增加的场强。对于高功率,高频晶体管而言,高电击穿场材料是优选的,这是因为较大的电场通常可由给定尺寸的材料支撑。较大的电场允许更快的瞬变(transient),这是因为电子可以通过较大的电场而不是较小的电场更快地加速。

[0029] 热导率是半导体材料散热的能力。在典型的操作中,所有晶体管都产生热量。进而,高功率和高频晶体管通常比小信号晶体管产生更多的热量。随着半导体材料的温度增加,结漏电流通常增加,并且通过场效应晶体管的电流通常降低,这是由于载流子(carrier)迁移率随温度升高而降低。因此,如果热量从半导体中消散,则材料将保持在较低温度下并且能够以较低漏电流承载较大电流。

[0030] 本公开包括非本征(extrinsic)和本征(intrinsic)半导体。本征半导体是未掺杂的(纯的)。非本征半导体是掺杂的,意味着已经引入了试剂以在热平衡时改变半导体的电子和空穴载流子浓度。公开了p型和n型半导体,其中p型具有比电子浓度更大的空穴浓度,以及n型具有比空穴浓度更大的电子浓度。

[0031] 碳化硅(SiC)具有优异的物理和电子特性,其理论上应该允许生产能够在比由硅(Si)或砷化镓(GaAs)制造的器件更高的温度、更高的功率和更高的频率下工作的电子器件。约 4×10^6 V/cm的高电击穿场,约 2.0×10^7 cm/sec的高饱和电子漂移速度和约 $4.9\text{W}/\text{cm}^{-2}\text{K}$ 的高热导率表明SiC适用于高频和高功率应用。

[0032] 在一些方面,所公开的GaN HEMT中的漏极滞后通过添加结构来解决。在这些结构

中,p型层用于同时实现高击穿,并且没有漏极滞后。P型层有助于优化击穿电压,并且可以容易地充电和放电,这确保没有漏极滞后。在一个方面,p型层形成在SiC基底中。

[0033] 这种方法克服了两个问题:1.使用离子植入难以在GaN中形成p型层。选择性离子植入通过允许在不同区域获得不同浓度而能够优化器件结构。外延生长可能更困难。2.使用镁(Mg)的GaN的P型掺杂也表现出记忆效应,其排除了突变界面(abrupt interface)的形成。

[0034] 所公开的方法和结构可以能够开发具有适合于功率转换的高电压能力的GaN HEMT,而没有不利的漏极滞后效应。所公开的方法和结构还可以导致更紧凑的器件结构(由于优化的场成形(field shaping)),这将降低成本。此外,通过适当的设计,所公开的结构还可以应用于用于电信和其他应用的高功率射频器件。一个重要的优点是最小化器件记忆效应,这对于电信应用来说是一个严重的问题。

[0035] 图1示出了根据本公开的晶体管的一个方面的截面图;图2示出了根据本公开的晶体管的另一方面的截面图。特别地,图1示出了晶体管100的截面图。晶体管100可以包括基底层102。基底层102可以由碳化硅(SiC)制成。在一些方面,基底层102可以是半绝缘SiC基底、p型基底、n型基底等。在一些方面,基底层102可以是非常轻微掺杂的。在一个方面,背景杂质水平可以较低。在一个方面,背景杂质水平可以是 $1E15/cm^3$ 或更小。基底层102可以由选自6H、4H、15R 3C SiC等的组的SiC形成。

[0036] 在另一方面,基底层102可以是GaAs、GaN或适用于本文所述应用的其他材料。在另一方面,基底层102可以包括蓝宝石、尖晶石、ZnO、硅或能够支持第III族氮化物材料生长的任何其他材料。

[0037] 基底层102可以包括p型材料层120。可以通过铝(Al)的离子植入和退火来形成p型材料层120。在其他方面,p型材料层120可以通过硼、镓或可以形成p型层的任何其他材料的离子植入来形成。在一个方面,可以在任何GaN层生长之前通过植入和退火来形成p型材料层120。在一个方面,离子植入法可以利用通道植入。在一个方面,通道植入可以包括将离子束对准(align)到基底层102。离子束的对准可以导致增加的植入效率。

[0038] 本公开的各方面是基于以下认识:可以使用植入通道来可控地形成碳化硅中的植入区域,其使用较低能量植入而是深度高度均匀的,这导致晶格损坏减少。当沿着半导体的晶轴植入离子时,经历通道化(channeling)。当植入方向接近晶格的主轴时,晶格中的原子似乎相对于植入方向“排列(line up)”,并且植入的离子似乎沿着由晶体结构产生的通道向下传播(travel down)。这降低了植入的离子与晶格中的原子之间碰撞的可能性,特别是在半导体层的表面附近。结果,植入的深度大大增加。

[0039] 通常,当植入方向在碳化硅晶体的结晶轴的约 2° 内时,在碳化硅中发生通道化。当植入方向大于碳化硅晶体的结晶轴的约 2° 时,晶格中的原子似乎相对于植入方向随机分布,这降低了通道效应。如本文所用,术语“植入角度(implant angle)”是指植入方向与离子植入其中的半导体层的结晶轴(例如,c轴或<0001>轴)之间的角度。因此,预期相对于碳化硅层的c轴小于约 2° 的植入角度将导致通道化。然而,也可以使用其他植入角度。

[0040] 在一个方面,p型材料层120可以通过在通道条件下植入的4H-SiC中的 ^{27}Al 的离子植入形成,其中在 $25^\circ C$ 下的植入能量为 $E_1=100keV$,剂量为 $1E13cm^2$ 。在一个方面,p型材料层120可以通过在通道条件下植入的4H-SiC中的 ^{27}Al 的离子植入形成,其中在 $25^\circ C$ 下的植入能

量为 $E_2=300\text{keV}$,剂量为 $1\text{E}13\text{cm}^2$ 。然而,也考虑了其他植入能量和剂量。例如,在一些方面,植入能量可以是20keV至80keV、80keV至120keV、120keV至160keV、160keV至200keV、200keV至240keV、240keV至280keV、280keV至340keV、340keV至400keV、20keV至400keV,和/或80keV至340keV;并且在一些方面,植入剂量可以是 $0.6\text{E}13\text{cm}^2$ 至 $0.8\text{E}13\text{cm}^2$ 、 $0.8\text{E}13\text{cm}^2$ 至 $1.2\text{E}13\text{cm}^2$ 、 $1.2\text{E}13\text{cm}^2$ 至 $1.6\text{E}13\text{cm}^2$ 、 $1.6\text{E}13\text{cm}^2$ 至 $2\text{E}13\text{cm}^2$ 、 $0.6\text{E}13\text{cm}^2$ 至 $2\text{E}13\text{cm}^2$ 、和/或 $0.8\text{E}13\text{cm}^2$ 至 $1.2\text{E}13\text{cm}^2$ 。此外,应当注意,可以通过植入诸如硼(B)、镓(Ga)等的其他材料,然后进行高温退火来形成p型材料层120。

[0041] 在一个方面,离子植入可以导致p型材料层120成为深层。在一个方面,离子植入可以导致p型材料层120具有 $1\mu\text{m}$ 或更小的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.7\mu\text{m}$ 或更小的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.5\mu\text{m}$ 或更小的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.3\mu\text{m}$ 至 $0.5\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.2\mu\text{m}$ 至 $0.6\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.4\mu\text{m}$ 至 $0.6\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.6\mu\text{m}$ 至 $0.8\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.6\mu\text{m}$ 至 $1.6\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $0.6\mu\text{m}$ 至 $2.1\mu\text{m}$ 的厚度。在一个方面,离子植入可以导致p型材料层120具有 $1\mu\text{m}$ 至 $5\mu\text{m}$ 的厚度。在一个方面,p型材料层120植入和/或掺杂可以在 $5\text{E}15$ 至 $5\text{E}17/\text{cm}^3$ 的范围内并且延伸至最高达 $5\mu\text{m}$ 的深度。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的10%至20%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的20%至30%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的30%至40%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的40%至50%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的50%至60%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的60%至70%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的70%至80%。在一个方面,离子植入可以导致p型材料层120的厚度为基底102的厚度的80%至90%。

[0042] 可将p型材料层120植入到基底层102内并随后退火。退火可以允许植入被激活。在一个方面,可在植入期间使用掩模层材料。在一些方面,在p型材料层120的退火期间,可以使用覆盖层材料(cap layer material)来覆盖晶片表面以防止基底在高温下解离。一旦形成p型材料层120,可以去除掩模层材料。退火可以在 1500 - 1850°C 的温度范围内进行5分钟-30分钟。也考虑了其他退火时间和温度曲线。

[0043] 在一些方面,基底层102可由p型材料SiC基底制成。在这方面,可以不需要通过植入形成p型材料层120。此外,在该方面,作为p型材料SiC基底的基底层102可以随后进行如本文所述的过程,包括植入p+层106。

[0044] 图3示出了根据本公开的晶体管的另一个方面的截面图;图4示出了根据本公开的晶体管的另一方面的截面图。如图3和图4所示,可以在基底层102上形成外延层202。在图3和图4的方面中,p型材料层120可以在外延层202中。在一些方面,p型材料层120可以在外延层202中,在某些方面,其中基底层102包括GaAs、GaN等基底材料。在一个方面,外延层202由SiC形成。

[0045] 在一个方面,外延层202可以布置在基底层102的顶部上。在一个方面,外延层202

可以直接布置在基底层102的顶部上。此后,可将p型材料层120植入在外延层202内并随后如本文所述进行退火。此外,在该方面,外延层202可以随后进行如本文所述的过程,包括植入p+层106。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的10%至20%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的20%至30%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的30%至40%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的40%至50%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的50%至60%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的60%至70%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的70%至80%。在一个方面,离子植入可以导致p型材料层120的厚度为外延层202的厚度的80%至90%。

[0046] 在另一方面,外延层202可以使用p型材料,并且外延层202可以布置在基底层102的顶部上。在另一方面,外延层202可以使用p型材料,并且外延层202可以直接布置在基底层102的顶部上。在这方面,在某些方面,可以生长p型材料外延层202,其导致具有p型材料层120的外延层202,并且可以不需要如本文所述的植入以形成p型材料层120。此后,可以随后对外延层202进行包括植入p+层106的过程,如下面进一步详细描述。在一些方面,外延层202可以通过利用离轴取向的晶片(off-axis oriented wafer)的外延生长而形成。

[0047] 图5示出了根据本公开的晶体管的另一个方面的截面图。在图5的方面中,外延层202可以使用p型材料形成,并且外延层202可以直接布置在基底层102的顶部上。在这方面,整个外延层202可以形成p型材料层120。此后,可以随后对外延层202进行包括植入p+层106的过程,如下面进一步详细描述。

[0048] 在一些方面,p型材料层120还可被配置为具有垂直于表面的变化的掺杂和/或植入曲线。在一些方面,p型材料层120还可被配置为具有垂直于延伸到图1-图7的横截面视图中的表面的变化曲线。可以优化曲线以实现期望的击穿电压、器件尺寸和切换时间。

[0049] 在一个方面,对于某些应用,p型材料层120可以均匀地存在于晶体管100下面,如图1和图3所示。在一个方面,对于功率转换应用,p型材料层120可以均匀地存在于晶体管100下面,如图1和图3所示。

[0050] 在另一个方面,对于某些应用,例如RF应用,p型材料层120可以位于限定的区域中,例如在晶体管100的栅极-源极区域的一部分中,如图2和图4所示,并在下文进一步详细描述。

[0051] 在一些方面,从漏极112到源极110的部分电压可以落在p型材料层120区域中。这也可能耗尽横向(lateral direction)的通道。横向耗尽(lateral depletion)可以减小横向场(lateral field)并增加击穿电压。可替代地,可以获得对于所需击穿电压的更紧凑的结构。p型材料层120可以消除对维持所施加的漏极电压所需的缓冲的C或Fe掺杂的需要。消除C和Fe深能级导致在操作条件下降低的电流减少(无俘获)。此外,在一些方面,p型材料层120支持该场。

[0052] 在一些方面,基底层102可以包括p+层106,如图1和图2所示。在一些方面,外延层202可以包括p+层106,如图3和图4所示。p+层106可用于减少充电时间常数并实现接触形成。在一些方面,p+层106也可以通过离子植入和退火形成。可使用最小可实现的薄层电阻

尽可能高地掺杂p+层106。在一些方面，p+层106可以存在于栅极-源极区域中。在一些方面，p+层106可以存在于栅极-源极区域中并且还部分地位于栅极下方。在一些方面，p+层106可以存在于限定的区域中，如下面进一步详细描述。在一些方面，p+层106的厚度可以小于0.3 μm 。在一些方面，p+层106的厚度可以小于0.2 μm 。在一些方面，p+层106的厚度可以在0.1至0.3 μm 之间。在一些方面，p+层106的厚度可以在0.05至0.25 μm 之间。在一些方面，p+层106的厚度可以在0.15至0.25 μm 之间。

[0053] 在基底层102上，可以形成缓冲层104或成核层。在一个方面，缓冲层104直接形成在基底层102上。在一个方面，外延层202可以布置在基底层102的顶部上，且缓冲层104可以形成在外延层202上。在一个方面，外延层202可以布置在基底层102的顶部上，且缓冲层104可以直接形成在外延层202上。缓冲层104可以是GaN、氮化铝镓(A1GaN)、氮化铝(A1N)或另外合适的材料，并且还可以包括A1N的成核层。在一个方面，缓冲层104由A1GaN形成。缓冲层104可以是p型材料，或者可备选地可以是未掺杂的。A1N成核层可以用于粘附到基底层102并且可以帮助生长缓冲层104。缓冲层104可以结合到基底层102。

[0054] 在一个方面，缓冲层104可以是高纯度GaN。在一个方面，缓冲层104可以是高纯度GaN，其可以是低掺杂的n型。在一个方面，缓冲层104还可以使用A1GaN背势垒(back barrier)以实现更好的电子局限。

[0055] 图6示出了根据本公开的晶体管的另一个方面的截面图。特别地，图6方面示出了缓冲层104可以包括高纯度GaN的上部部分602，并且缓冲层104还可以包括下部部分604，其可以形成A1GaN背势垒以实现更好的电子局限。在一个方面，形成背势垒的下部部分604可以是n型A1GaN。背势垒构造可以在本公开的任何方面中实现。

[0056] 在一个方面，缓冲层104可以设计为高纯度类型，其中费米能级(Fermi level)位于带隙的上半部分，这最小化通常在GaN HEMT中观察到的慢捕获效应。在这方面，费米能级下的陷阱总是被填充，因此可以防止缓慢的瞬变。在一些方面，缓冲层104可以尽可能薄，与实现良好的结晶质量一致。申请人已经证明了0.4 μm 的层具有良好的质量。

[0057] 在一些方面， $\text{Al}_z\text{Ga}_{1-z}\text{N}$ (0<=z<=1)成核层或缓冲层104可以通过外延晶体生长方法生长在基底层102上，例如MOCVD(金属有机物化学气相沉积)、HVPE(氢化物气相外延)或MBE(分子束外延)。成核层的形成可取决于基底层102的材料。

[0058] 在另一方面，可以用横向外延过度生长(Lateral Epitaxial Overgrowth, LEO)形成缓冲层104。例如，LEO可以改善GaN层的结晶质量。当HEMT的半导体层是外延的时，其上生长每个外延层的层可能影响器件的特性。例如，LEO可以减少外延GaN层中的位错密度。

[0059] 在缓冲层104上，可以形成阻挡层108。在一个方面，阻挡层108可以直接形成在缓冲层104上。阻挡层108可以在缓冲层104和源极110、漏极112和栅极114之间提供附加层。阻挡层108可以是A1GaN、A1N或另外合适的材料。在一个方面，阻挡层108是A1GaN。在一个方面，阻挡层108可以是未掺杂的。在一个方面，阻挡层108可以是n型材料。在一些方面，阻挡层108可以具有多层具有不同载流子浓度的n型材料。在一个方面，阻挡层108可以是第III族氮化物或其组合。

[0060] 为了保护和分离栅极114和漏极112，保护层116可以布置在阻挡层108上，布置在与缓冲层104相对的一侧上，布置邻近栅极114和漏极112。保护层116可以是由SiN、A1O、SiO、SiO₂、A1N等制成的钝化层，或包含其多个层的组合。在一个方面，保护层116是由SiN制

成的钝化层。在一个方面,可以使用MOCVD、等离子体化学气相沉积(CVD)、热丝CVD或溅射来沉积保护层116。在一个方面,保护层116可以包括 Si_3N_4 的沉积。在一个方面,保护层116形成绝缘层。在一个方面,保护层116形成绝缘体。

[0061] 源极110可以在p+层106上具有p型材料接触118。p型材料接触118可以形成在p+层106上,在设置于缓冲层104和阻挡层108中的凹部中。p型材料接触118可以电结合到p+层106。凹部可以向下延伸到p+层106,以允许在那里形成p型材料接触118。凹部可以通过蚀刻形成,并且还可以使用材料来限定凹部。在形成凹部后可以移除材料。

[0062] 在一些方面,p型材料层120的植入可以扩展晶体管100的整个长度,如图1和图3所示。在一些方面,p型材料层120的植入可以部分地延伸晶体管100的长度,如图2和图4所示。

[0063] 在一些方面,可以中和p型材料层120以限制p型材料层120的长度。在一个方面,中和可包括植入杂质。在一个方面,中和p型材料层120可以包括用相反极性的材料吸收p型材料层120的电荷。限制p型材料层120的长度的另一种方式可以是蚀刻p型材料层120。限制p型材料层120的长度的另一种方式可以是使用掩模材料来限制用于植入的区域。

[0064] 在另一方面,可以通过生长p型材料层120来形成p型材料层120。例如,生长可以是外延的。为了限制p型材料层120的长度,可以蚀刻或以其他方式中和p型材料层120。

[0065] P型材料层120可以帮助避免击穿和材料杂质的问题。例如,在没有p型材料层120的情况下,晶体管100可能需要不能良好放电的杂质。P型材料层120可以形成在源极110下方,并且可以朝向器件的栅极114延伸。

[0066] 在一个方面,p型材料层120可以延伸整个长度并保持,如图1和图3所示。在一个方面,p型材料层120通常可以延伸整个长度并保持,如图1和图3所示。在一个方面,p型材料层120基本上可以延伸整个长度并保持,如图1和图3所示。

[0067] 在本公开的另一方面,p型材料层120可以不在晶体管100的整个区域上延伸,如通过图2和图4所示的箭头长度P₁₂₀所示。在这方面,可以如下面详细描述地选择性地布置p型材料层120,p型材料层120可以布置在整个长度上并且如下面详细描述地选择性地去除,p型材料层120可以布置在整个长度上并且如下面详细描述地选择性地电中和等。因此,下面描述的p型材料层120的具体结构包括导致具有如下所述的操作结构和布置的p型材料层120的这些过程中的任一个。换句话说,p型材料层120的长度和/或尺寸不包括部分电中和、部分蚀刻等的部分。p型材料层120的长度和/或尺寸可取决于晶体管100的应用,对晶体管100的要求等。限制p型材料层120使得其不延伸超过栅极114避免了对某些晶体管应用的射频性能的不利影响。

[0068] 参考下面进一步描述的方面,p型材料层120可以平行于箭头长度P₁₂₀水平延伸。此外,p型材料层120可以平行于箭头长度P₁₂₀水平延伸到由垂直于箭头长度P₁₂₀,并且延伸通过晶体管100的组件的线限定的点(如线150所示)。

[0069] 在本公开的一个方面,p型材料层120可以至少从源极110的下方朝向栅极114的第一边缘124横向延伸。在本公开的一个方面,p型材料层120可以至少从源极110的下方至栅极114的第一边缘124下方的位置横向延伸。

[0070] 在本发明的某些方面,p型材料层120可水平延伸至栅极114的第一边缘124的约0至约0.7 μm 内的点。在本发明的某些方面,p型材料层120可水平延伸至栅极114的第一边缘124的约0至约0.5 μm 内的点。在本发明的某些方面,p型材料层120可水平延伸至栅极114的

第一边缘124的约0至约0.3μm内的点。在本公开的一个方面，p型材料层120可以至少从源极110的下方水平延伸到栅极114的第二边缘122下方的位置。在本发明的某些方面，p型材料层120可水平延伸至栅极114的第二边缘122的约0至约0.7μm内的点。在本发明的某些方面，p型材料层120可水平延伸至栅极114的第二边缘122的约0至约0.5μm内的点。在本发明的某些方面，p型材料层120可水平延伸至栅极114的第二边缘122的约0至约0.3μm内的点。

[0071] 在其他方面，可以看到p型材料层120长度P₁₂₀的长度与其他组件的位置和/或长度有关。长度SD可以是源极110的内边缘142和漏极112的内边缘144之间的长度，如图2所示。

[0072] 在一个方面，p型材料层120的长度可以从SD的长度的10%延伸到20%，意味着p型材料层120可以朝向漏极112延伸10%至20%通过源极110的内边缘142。在一个方面，p型材料层120的长度可以从SD的长度的20%延伸到30%，意味着p型材料层120可以朝向漏极112延伸20%至30%通过源极110的内边缘142。在一个方面，p型材料层120的长度可以从SD的长度的30%延伸到40%，意味着p型材料层120可以朝向漏极112延伸30%至40%通过源极110的内边缘142。在一个方面，p型材料层120的长度可以从SD的长度的40%延伸到50%，意味着p型材料层120可以朝向漏极112延伸40%至50%通过源极110的内边缘142。在一个方面，p型材料层120的长度可以从SD的长度的50%延伸到60%，意味着p型材料层120可以朝向漏极112延伸50%至60%通过源极110的内边缘142。

[0073] 在本发明的一个方面，p+层106可以不在基底层102的整个区域上延伸，如通过图1-图7所示的箭头长度P₊₁₀₆所示。在这方面，可以如下面详细描述地选择性地布置p+层106，p+层106可以布置在整个长度上并且如下面详细描述地选择性地去除，p+层106可以布置在整个长度上并且如下面详细描述地选择性地电中和等。因此，下面描述的p+层106的具体结构包括导致具有如下所述的操作结构和布置的p+层106的这些过程中的任一个。换句话说，p+层106的长度和/或尺寸不包括部分电中和或部分蚀刻的部分。p+层106的长度和/或尺寸可取决于晶体管100的应用，对晶体管100的要求等。

[0074] 参考下面进一步描述的方面，p+层106可以平行于箭头长度P₊₁₀₆水平延伸。此外，p+层106可以平行于箭头长度P₊₁₀₆水平延伸到由垂直于箭头长度P₊₁₀₆并且延伸通过晶体管100的组件的线限定的点(如线150所示)。

[0075] 在本发明的某些方面，p+层106可延伸至栅极114的第一边缘124的约0至约0.7μm内的点。在本发明的某些方面，p+层106可延伸至栅极114的第一边缘124的约0至约0.5μm内的点。在本发明的某些方面，p+层106可延伸至栅极114的第一边缘124的约0至约0.3μm内的点。在本公开的一个方面，p+层106可以至少从源极110的下方横向延伸到栅极114的第二边缘122下方的位置。在本发明的某些方面，p+层106可延伸至栅极114的第二边缘122的约0至约0.7μm内的点。在本发明的某些方面，p+层106可延伸至栅极114的第二边缘122的约0至约0.5μm内的点。在本发明的某些方面，p+层106可延伸至栅极114的第二边缘122的约0至约0.3μm内的点。

[0076] 在其他方面，基于长度SD，还可以看到p+层106长度P₊₁₀₆的长度与其他组件的位置和/或长度有关。在这种情况下，长度SD可以是源极110的内边缘142朝向漏极112的内边缘144之间的长度，如图2所示。

[0077] 在一个方面，p+层106的长度可以从SD的长度的10%延伸到20%，意味着p+层106

可以朝向漏极112延伸10%至20%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的20%延伸到30%, 意味着p+层106可以朝向漏极112延伸20%至30%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的30%延伸到40%, 意味着p+层106可以朝向漏极112延伸30%至40%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的40%延伸到50%, 意味着p+层106可以朝向漏极112延伸40%至50%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的50%延伸到60%, 意味着p+层106可以朝向漏极112延伸50%至60%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的60%延伸到70%, 意味着p+层106可以朝向漏极112延伸60%至70%通过源极110的内边缘142。在一个方面, p+层106的长度可以从SD的长度的70%延伸到80%, 意味着p+层106可以朝向漏极112延伸70%至80%通过源极110的内边缘142。

[0078] 可以在源极110和漏极112之间为栅极114提供栅极接触。此外, 在本公开的某些方面, 栅极接触可以设置在阻挡层108上。

[0079] 栅极114可以由铂(Pt)、镍(Ni)和/或金(Au)形成, 然而, 可以使用本领域技术人员已知的用于实现肖特基效应(Schottky effect)的其他金属。在一个方面, 栅极114可以包括可具有三层结构的肖特基栅极接触。由于一些材料的高粘附性, 这种结构可能具有优势。在一个方面, 栅极114还可以包括高导电金属的覆盖层。场板(field plate)132可以布置在另一个保护层的顶部上, 并且可以与栅极114分离。场板132可以电连接到源极110, 并且还可以称为源极连接的场板。

[0080] 在另一方面, 金属覆盖层可以设置在源极110和p型材料接触118、漏极112和栅极114中的一个或多个上。覆盖层可以是Au、银(Ag)、Al、Pt和/或铜(Cu)。其他合适的高导电金属也可用于覆盖层。此外, 金属覆盖层可以电结合到p型材料接触118。

[0081] 图7示出了根据本公开的晶体管的另一个方面的截面图。在图7的方面中, p型材料层120可以形成在基底层102之中或之上, 并且晶体管100可以包括第二缓冲层106。虽然图7示出了具有第一缓冲层104和第二缓冲层106的晶体管100, 晶体管100也可以仅使用一个缓冲层104。在一个方面, 为了在基底层102中形成p型材料层120, 可以将Al植入基底层102中并退火。在一个方面, 基底层102可以掺杂有p型材料层120。在一个方面, 基底层102可以是硼掺杂的, 以形成p型材料层120。也考虑了其他材料, 包括Ga。可以使用上述其他方面中描述的技术来限制p型材料层120的表面附近的p型材料层120的长度。

[0082] 可将第二缓冲层106在与基底层102的相对的第一缓冲层104的一侧上的第一缓冲层104上进行沉积或生长。在一个方面, 第二缓冲层106直接形成在第一缓冲层104上。第二缓冲层106可以是高纯度材料, 例如氮化镓(GaN)、AlN等。在一个方面, 第二缓冲层106可以是高纯度GaN。在一个方面, 第二缓冲层106可以是高纯度AlN。第二缓冲层106可以是p型材料或n型材料。在另一方面, 第二缓冲层106可以是未掺杂的。

[0083] 图8示出了根据本公开的制造晶体管的方法。特别地, 图8示出了用于制造图1-图7的晶体管100的示例性方法500。应当注意, 方法500仅仅是示例性的, 并且可以与本文公开的各个方面一致地进行修改。

[0084] 方法500可以通过形成基底层102在步骤502开始。基底层102可以由碳化硅(SiC)制成。在一些方面, 基底层102可以是半绝缘SiC基底、p型基底、n型基底等。在一些方面, 基

底层102可以是非常轻微掺杂的。在一个方面,背景杂质水平可以较低。在一个方面,背景杂质水平可以是 $1E15/cm^3$ 或更小。基底层102可以由选自6H、4H、15R 3C SiC等的组的SiC形成。在另一方面,基底层102可以是GaAs、GaN或适用于本文所述应用的其他材料。在另一方面,基底层102可以包括蓝宝石、尖晶石、ZnO、硅或能够支持第III族氮化物材料生长的任何其他材料。

[0085] 在一些方面,基底层102可由p型材料SiC基底制成。在这方面,可以不必通过步骤504的植入形成p型材料层120。此外,在该方面,作为p型材料SiC基底的基底层102可以随后进行如本文所述的过程,包括植入p+层106。

[0086] 在针对图1和图2的晶体管100的第一方面中,方法500可以包括将Al植入到基底层102中以在基底层102中形成p型材料层120的步骤504,如图1和图2所示。可以通过Al的离子植入和退火来形成p型材料层120。在一个方面,可以在任何GaN层生长之前通过Al的植入和退火来形成p型材料层120。在一个方面,离子植入可以利用通道植入(channeling implant)。在一个方面,通道植入可以包括将离子束对准到基底层102。离子束的对准可以导致增加的植入效率。方法500还可以包括将Al植入到基底层102中以在基底层102中形成p+层106,如图1和图2所示。此后,可以如本文所定义地将基底层102退火。在一个方面,p型材料层120可以通过在通道条件下植入的4H-SiC中的 ^{27}Al 的离子植入来形成,其中在25°C下,植入能量为 $E_1=100keV$,剂量为 $1E13cm^2$ 。在一个方面,p型材料层120可以通过在通道条件下植入的4H-SiC中的 ^{27}Al 的离子植入来形成,其中在25°C下,植入能量为 $E_2=300keV$,剂量为 $1E13cm^2$ 。然而,也考虑了其他植入能量和剂量。

[0087] 在针对图1和图2的晶体管100的第一方面中,可以在步骤506将缓冲层104形成在基底层102上。可将缓冲层104生长或沉积在基底层102上。在一个方面,缓冲层104可以是GaN。在另一方面,缓冲层104可以用LEO形成。

[0088] 在针对图3和图4的晶体管100的第二方面中,方法500可以包括在基底层102上形成外延层202的步骤504。此后,将Al植入外延层202中以在外延层202中形成p型材料层120,如图3和图4所示。方法500还可以包括将Al植入到外延层202中以在外延层202中形成p+层106,如图3和图4所示。此后,可以如本文所定义地将外延层202退火。

[0089] 在针对图3和图4的晶体管100的第二方面中,可以在步骤506将缓冲层104形成在外延层202上。可将缓冲层104生长或沉积在外延层202上。在一个方面,缓冲层104可以是GaN。在另一方面,缓冲层104可以用LEO形成。

[0090] 在步骤508,可以在缓冲层104上形成阻挡层108。阻挡层108可以是n型导电层或可以是未掺杂的。在一个方面,阻挡层108可以是AlGaN。

[0091] 在步骤510,可以形成保护层116。保护层116可以是钝化层,例如SiN、Al₂O₃、SiO₂、AlN等,或者包含其多个层的组合,其可以沉积在阻挡层108的暴露表面上。在本公开的另一方面,为了形成用于与p+层106接触的位置,可以通过去除阻挡层108的至少一部分和缓冲层104的至少一部分来产生凹部。凹部可以去除与源极110相关联的区域的一部分内的p+层106上方的任何材料,在与基底层102相对的一侧上暴露p+层106。

[0092] 此外,在方法500期间,源极110可以布置在阻挡层108上。源极110可以是可以退火的合适材料的欧姆接触。例如,可将源极110在约500°C至约800°C的温度下退火约2分钟。然而,也可以使用其他时间和温度。例如,约30秒至约10分钟的时间可以是可接受的。

[0093] 此外,在方法500期间,漏极112可以布置在阻挡层108上。与源极110类似,漏极112可以是Ni或另外合适材料的欧姆接触,并且也可以类似的方式退火。在一个方面,通过阻挡层108使用n+植入,并且对该植入进行接触。

[0094] 此外,在方法500期间,栅极114可以布置在源极110和漏极112之间的阻挡层108上。可以通过蒸发沉积或另外的技术为栅极114形成Ni、Pt、AU等的层。然后,可以通过沉积Pt和Au或其他合适的材料来完成栅极结构。

[0095] 此外,在方法500期间,可以形成p型材料接触118。一旦暴露p+层106,可以蒸发镍或另外合适的材料以沉积p型材料接触118。例如,可将镍或另外合适的材料退火以形成欧姆接触。可以使用本领域技术人员已知的常规技术进行这种沉积和退火过程。例如,可将用于p型材料接触118的欧姆接触在约600℃至约1050℃的温度下退火。一旦在p+层106上形成p型材料接触118,金属覆盖层可以将p+层106的p型材料接触118电结合到源极110。这样做可以将p+层106和源极110的电导率保持在相同的电位。

[0096] 可以形成源极110和漏极112电极,产生欧姆接触,使得当栅极114电极在适当的水平下偏置时,电流经由在缓冲层104和阻挡层108之间的异质界面处感应的二维电子气(2DEG)在源极110和漏极112电极之间流动。

[0097] 栅极114可以在间隔件或保护层116的顶部上延伸。可以蚀刻保护层116并且沉积栅极114,使得栅极114的底部位于阻挡层108的表面上。形成栅极114的金属可被图案化以延伸穿过保护层116,使得栅极114的顶部形成场板结构132。在一个方面,场板结构132朝向漏极112朝向栅极114的边缘延伸。在一个方面,场板结构132朝向源极110延伸。在一个方面,场板结构132朝向漏极112并朝向源极110延伸。在另一方面,场板结构132不朝向栅极114的边缘延伸。最后,该结构可以覆盖有诸如氮化硅的介电钝化层134。也可以与保护层116类似地实现介电钝化层134。而且,应该注意,图1-图6中所示的栅极114的横截面形状是示例性的。例如,在一些方面,栅极114的横截面形状可以不包括T形延伸部。可以利用栅极114的其他构造,例如,图7中所示的栅极114的构造。

[0098] 应当注意,方法500的步骤可以与上述方面一致的不同顺序执行。此外,可以与本文公开的各个方面一致地修改方法500。

[0099] 图9示出了与常规植入条件的模拟相比,使用根据本公开的方面的通道条件植入的Al的分布。

[0100] 特别地,图9示出了与离轴(off axis)的常规植入条件(TRIM)的模拟相比,沿着C轴使用通道条件(二级离子质谱(secondary ion mass spectrometry)(SIMS)数据)植入的4H-SiC中的²⁷Al的分布。使用的植入能量为E₁=100keV和E₂=300keV,在25℃下,剂量为1E13cm⁻²。在这方面,可以与该植入能量和剂量一致地植入手型材料层120。然而,也如本文所述,考虑了其他植入手能量和剂量。

[0101] 在一个方面,p型材料层120可以具有小于p+层106的掺杂浓度。在一个方面,可使用最小可实现的薄层电阻(sheet resistance)尽可能高地掺杂p+层106。在一个方面,p型材料层120可以具有小于p+层106的植入手浓度。在一个方面,p+层106可具有使用最小可实现的薄层电阻尽可能高的植入手浓度。

[0102] 在一个方面,p型材料层120掺杂可小于1E17 cm³。在一个方面,p型材料层120掺杂可小于2E17 cm³。在一个方面,p型材料层120掺杂可小于6E17 cm³。在一个方面,p型材料层

120掺杂可小于 $2E18 \text{ cm}^3$ 。在一个方面,p型材料层120掺杂可以在 $5E15$ 至 $5E17/\text{cm}^3$ 的范围内。在这些方面,p+层106掺杂浓度可以大于p型材料层120的掺杂浓度。

[0103] 因此,本公开提出了在HEMT中形成p型层的更简单的替代解决方案。利用当前可用的技术可以容易地制造所公开的结构。此外,所公开的高纯度材料的使用使漏极滞后效应最小化。此外,所公开的p型材料层提供迟滞电场以获得具有低泄漏的良好电子局限。此外,本公开的方面已详细描述具有p型层的晶体管的变化以及形成那些p型层的方式。所公开的晶体管使RF功率最大化,允许有效放电,并最大化击穿。

[0104] 虽然已经根据示例性方面描述了本公开,但是本领域技术人员将认识到,可使用在所附权利要求的精神和范围内的修改来实践本公开。以上给出的这些实例仅仅是说明性的,并不意味着是本公开的所有可能的设计、方面、应用或修改的详尽列表。

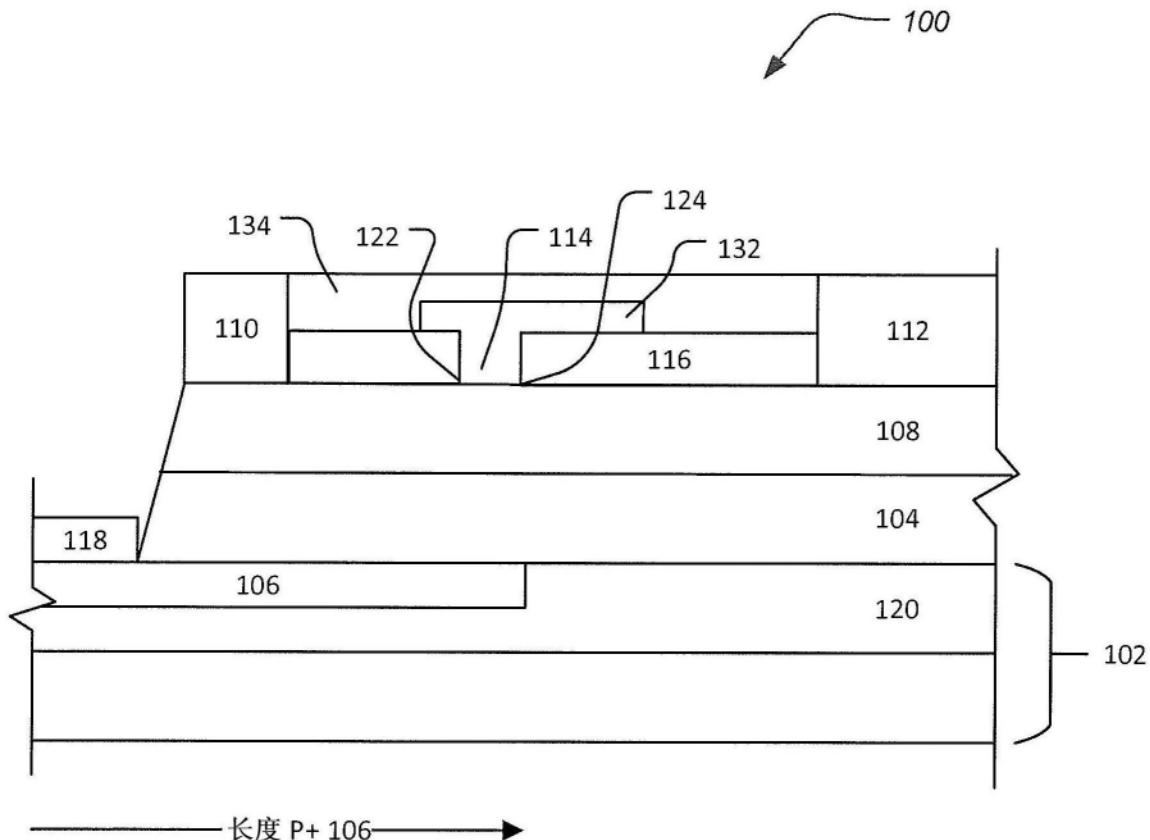


图1

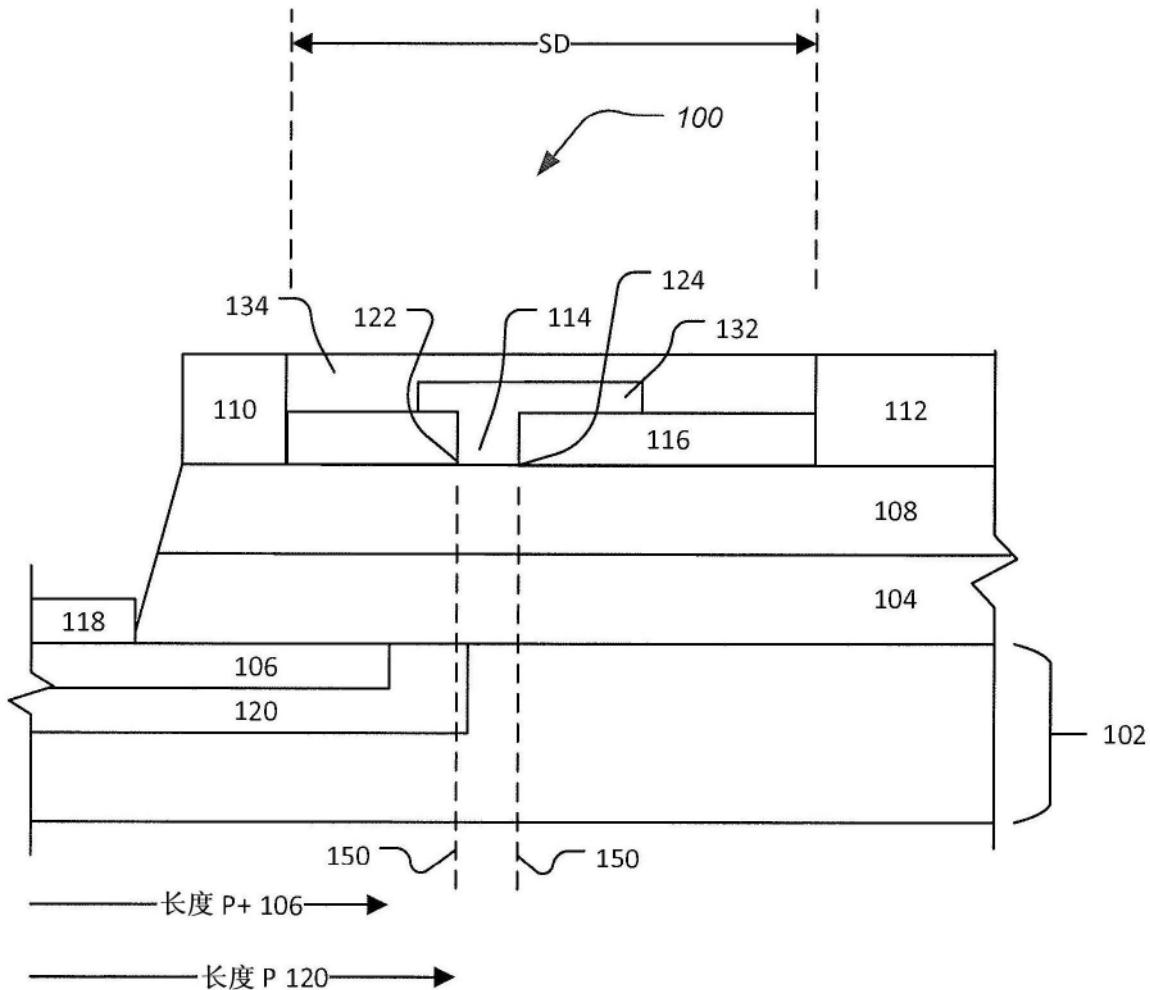


图2

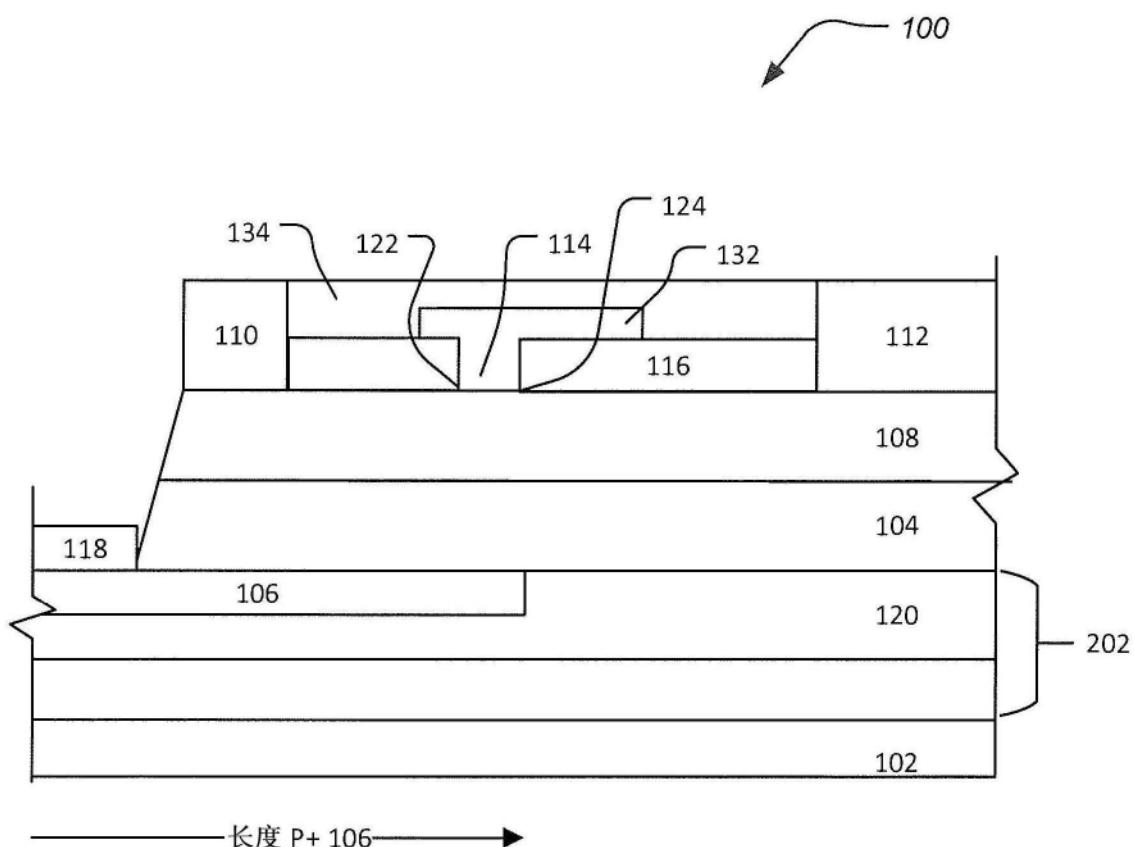


图3

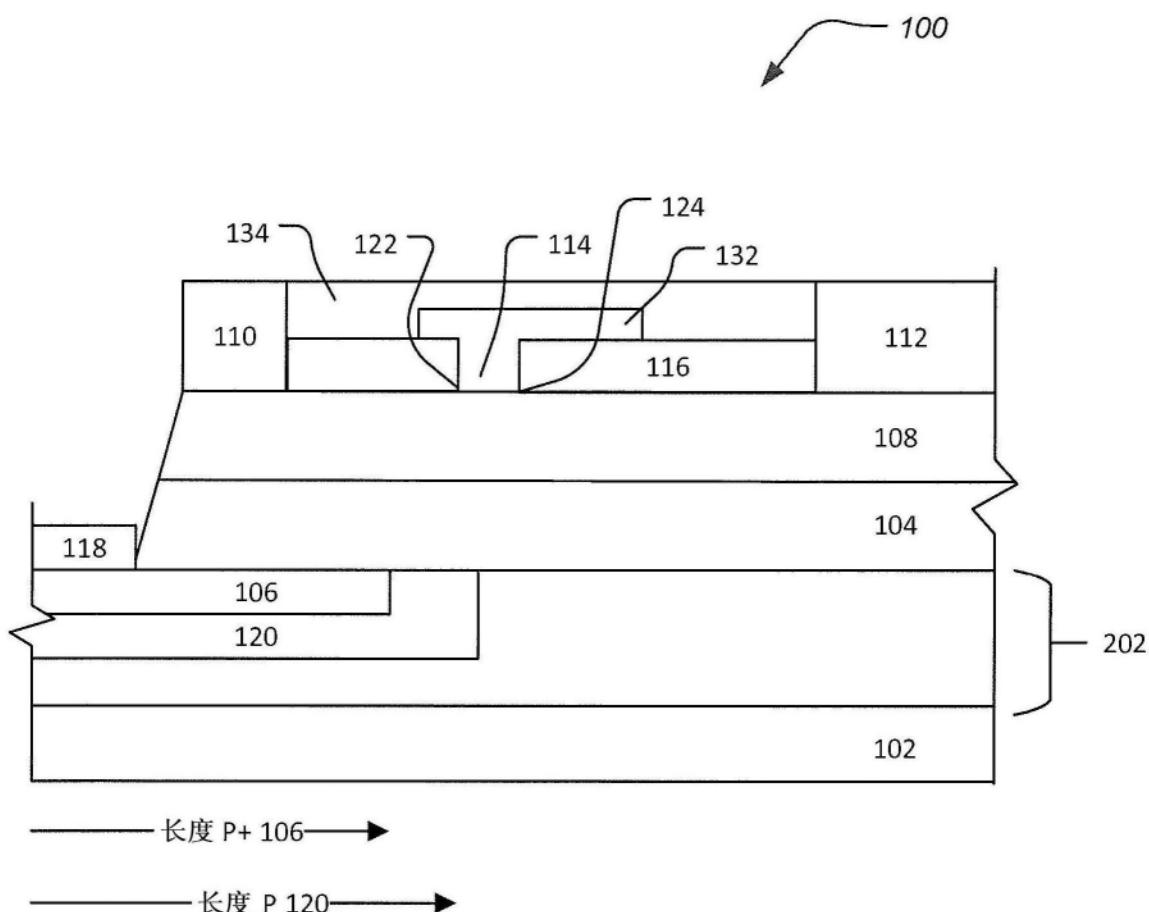


图4

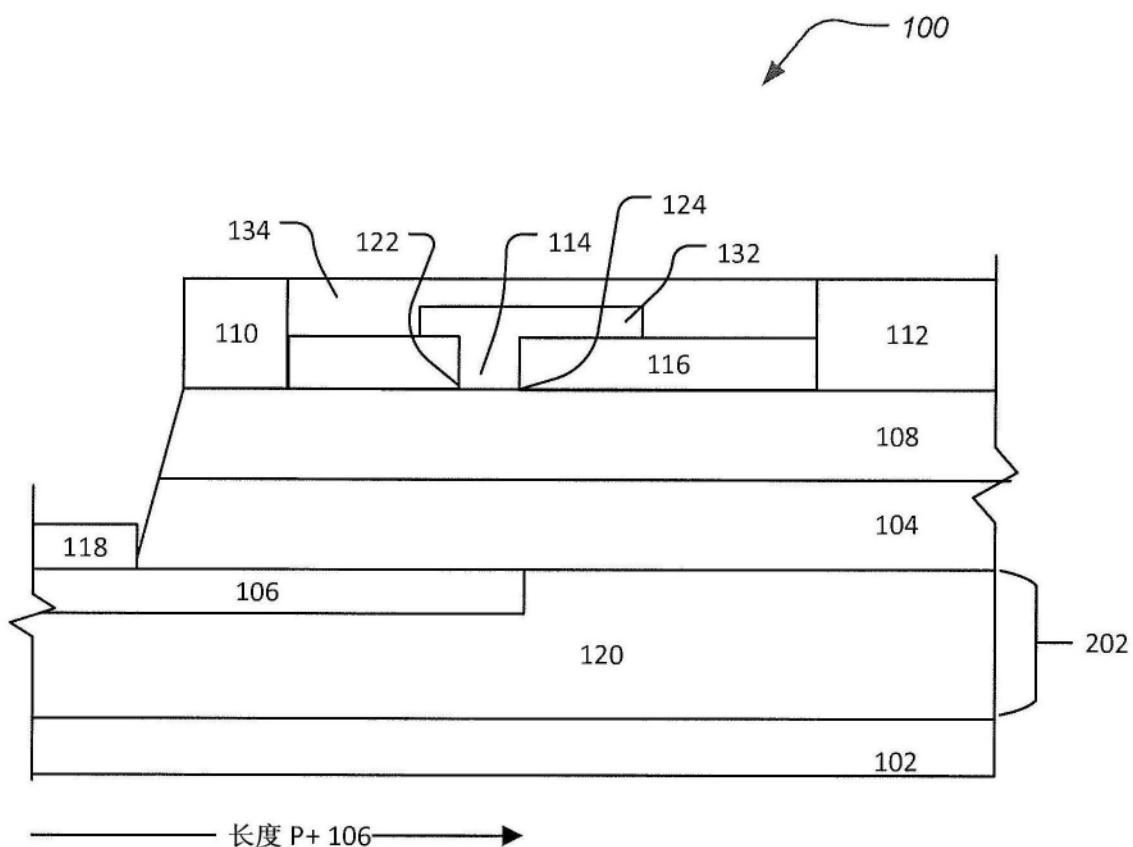


图5

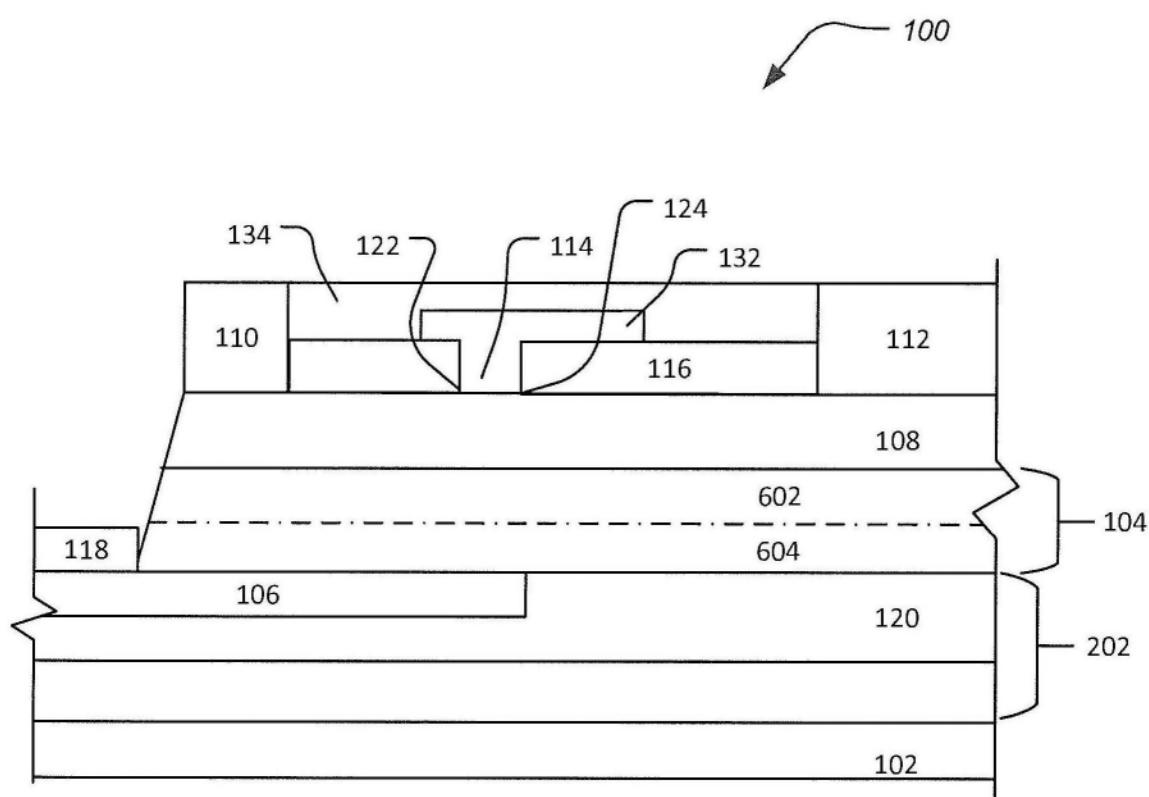


图6

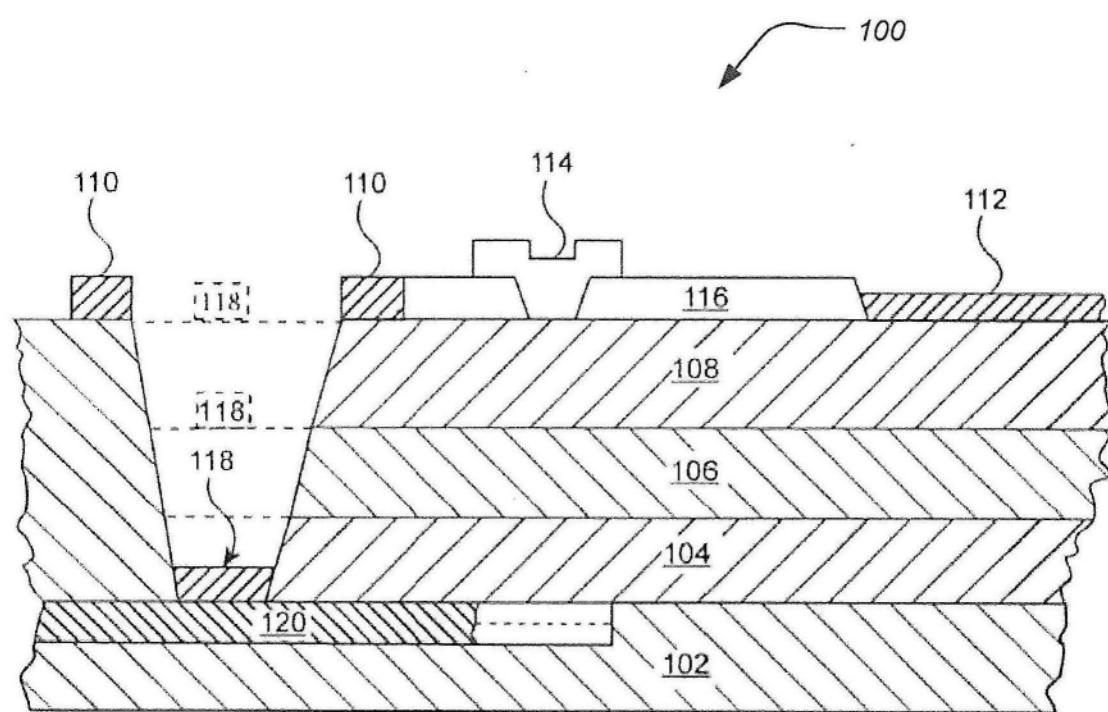


图7

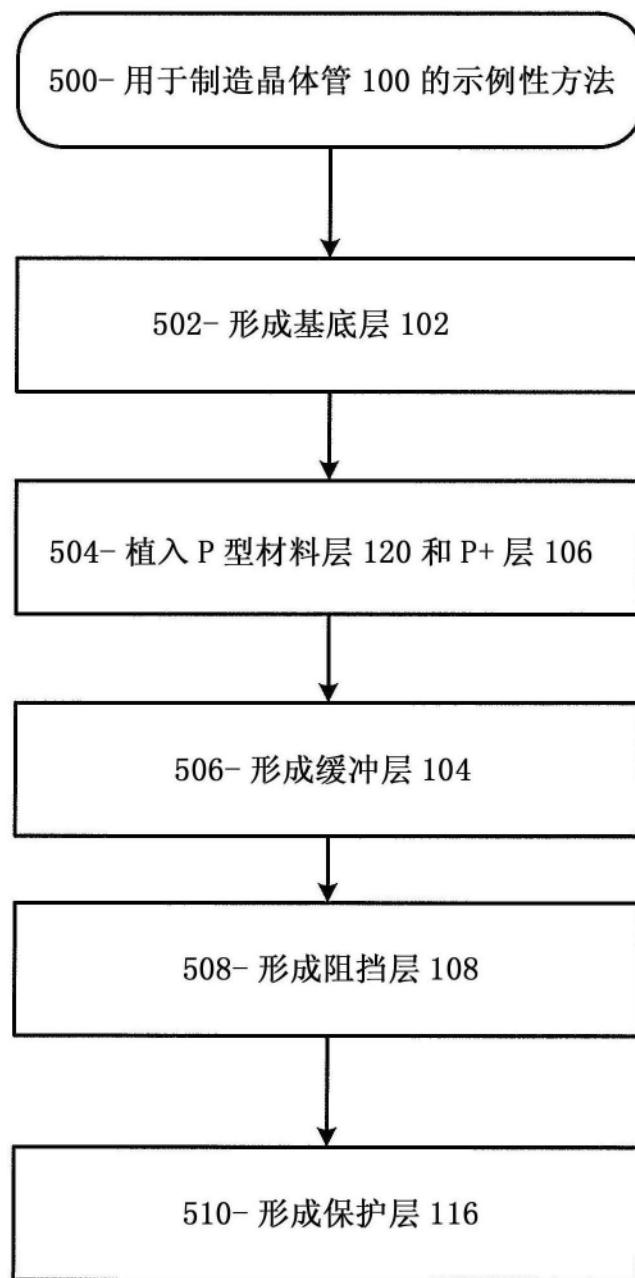


图8

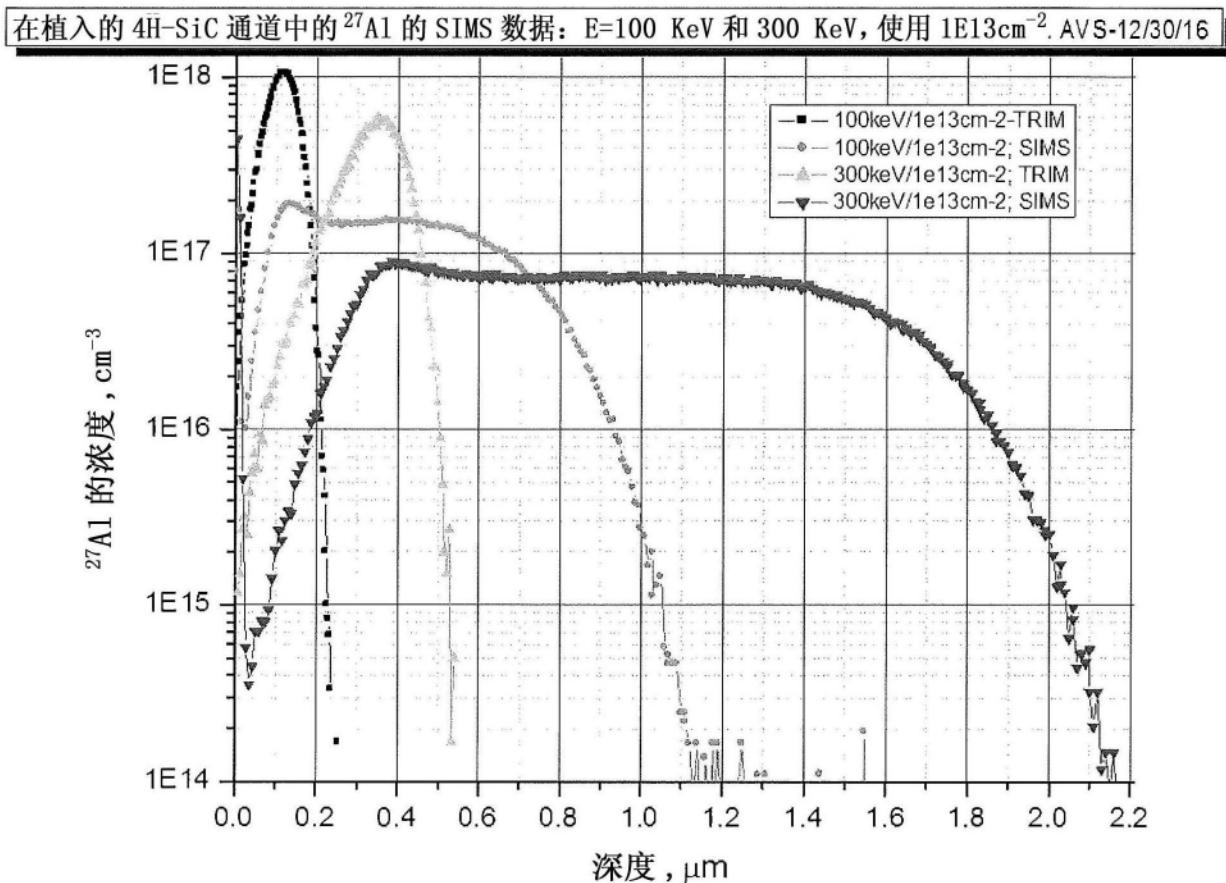


图9