(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11C 11/21

(45) 공고일자 2002년09월11일
(11) 등록번호 10-0351594
(24) 등록일자 2002년08월23일

(21) 출원번호 10-2000-0030384
(22) 출원일자 2000년06월02일

(65) 공개번호 특2001-0007206
(43) 공개일자 2001년01월26일

(30) 우선권주장 1999-155131 1999년06월02일 일본(JP)

(73) 특허권자
가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자
오기와라류
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가시야도시바마이크로일렉트로닉스센터내
다까시마다이사부로
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가시야도시바리서치앤드디벨롭먼트센터내
다나까스미오
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가시야도시바마이크로일렉트로닉스센터내
오오와끼유끼히또
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가시야도시바리서치앤드디벨롭먼트센터내
다께우찌요시아끼
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가시야도시바마이크로일렉트로닉스센터내

(74) 대리인
장수길
구영창

심사관 : 이철희

(54) 강유전체 메모리 및 반도체 메모리

요약

체인 FRAM에 있어서 판독/기록 동작을 실행할 때에 메모리 셀의 축적 분극량의 감소, 디스터브의 발생을 억제한다.

강유전체 셀 M0 M7을 복수개 직렬로 접속한 셀 유닛, 셀 유닛의 한쪽 끝에 접속된 플레이트선 PL< 0, 셀 유닛의 다른쪽 끝에 선택 트랜지스터 QB0을 거쳐 접속된 비트선 BL, 이 비트선과 상보적인 비트선 BBL의 전위를 비교 증폭하는 센스 앰프 SA, 및 선택 트랜지스터와 센스 앰프 사이에 삽입된 트랜지스터 QS를 구비하고, 플레이트선 전위가 상승한 상태에서 센스 증폭이 실행되고 있을 때의 트랜지스터 QS의 게이트 전위의 최소값 VPP1은 플레이트선 전위가 하강한 상태에서 센스 증폭이 실행되고 있을 때의 트랜지스터 QS의 게이트 전위의 최대값 VPP2보다도 작다.

대표도

도 1

색인어

체인 FRAM, 축적 분극량, 디스터브, 강유전체, 센스 앰프

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 2는 도 1의 체인 FRAM에 있어서의 제1실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 3은 도 1의 체인 FRAM에 있어서의 제2실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 4는 도 1의 체인 FRAM에 있어서의 제3실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 5는 도 1의 체인 FRAM에 있어서의 제4실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 6은 도 1의 체인 FRAM에 있어서의 제5실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 7은 도 1의 체인 FRAM에 있어서의 제6실시예의 리드 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 8은 도 1의 체인 FRAM에 있어서의 제6실시예의 라이트 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 9는 도 1의 체인 FRAM에 있어서의 제7실시예의 리드 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 10은 도 1의 체인 FRAM에 있어서의 제7실시예의 라이트 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 11은 도 1의 체인 FRAM에 있어서의 제8실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 12는 본 발명의 제2실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 13은 도 12의 체인 FRAM에 있어서의 제9실시예의 일련의 동작을 나타낸 타이밍도 및 도 1중의 노드 BL0r BL7r, BBL0r BBL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 14는 본 발명의 제3실시 형태에 관한 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 15는 도 14의 FRAM에 있어서의 제10실시예의 일련의 동작을 나타낸 타이밍도.

도 16은 본 발명의 제4실시 형태에 관한 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 17은 도 16의 FRAM에 있어서의 제10실시예의 일련의 동작을 나타낸 타이밍도.

도 18은 도 17의 동작에 즈음하여 도 16중의 노드 BBL0r BBL7r 전위의 상세한 추이를 나타낸 전위파형도.

도 19는 본 발명의 제5실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 20은 도 19의 FRAM에 있어서의 제11실시예의 일련의 동작을 나타낸 타이밍도.

도 21은 도 20의 동작에 즈음하여 도 19중의 노드 BBL0r BBL7r 전위의 상세한 추이를 나타낸 전위파형도.

도 22는 도 19의 FRAM에 있어서의 제12실시예의 일련의 동작을 나타낸 타이밍도.

도 23은 도 22의 동작에 즈음하여 도 19중의 노드 BBL0r BBL7r 전위의 상세한 추이를 나타낸 전위파형도.

도 24는 본 발명의 제6실시 형태에 관한 DRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 25는 1T1C형의 FRAM 셀을 도시한 등가 회로도 및 "0" 판독, "1" 판독 동작을 설명하기 위해 나타낸 셀 커패시터의 히스테리시스 특성도.

도 26은 2T2C형의 FRAM 셀에 대한 기록 동작을 설명하기 위해 나타낸 등가 회로도 및 강유전체 커패시터의 분극 방향을 나타낸 도면.

도 27은 2T2C형의 FRAM 셀에 대한 판독 동작을 설명하기 위해 나타낸 등가 회로도 및 강유전체 커패시터의 분극 방향을 나타낸 도면.

도 28은 2T2C형의 FRAM 셀에 대한 데이터 기록시/데이터 판독시에 있어서의 플레이트선 인가 전위의 변화를 나타낸 전위 파형도.

도 29는 종래 체인 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 30은 도 29의 체인 FRAM에 있어서의 제1동작예를 나타낸 타이밍도 및 도 29중의 노드 BL0r BL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 31은 도 29의 체인 FRAM에 있어서의 제2동작예를 나타낸 타이밍도 및 도 29중의 노드 BL0r BL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 32는 도 29의 체인 FRAM에 있어서의 제3동작예를 나타낸 타이밍도 및 도 29중의 노드 BL0r BL7r 전위의 상세한 추이를 도시한 전위 파형도.

도 33은 종래 FRAM의 일부의 구성을 개략적으로 도시한 회로도.

도 34는 도 33의 FRAM에 있어서의 동작에를 나타낸 타이밍도.

도 35는 네가티브 워드선(NWL) 방식을 채용한 DRAM의 구성의 특징 부분을 도시한 회로도 및 워드선 전위와 비트선쌍의 전위 관계를 나타낸 전위 파형도.

도 36은 부스티드 센스 그라운드(BSG) 방식을 채용한 DRAM의 구성의 특징 부분을 도시한 회로도 및 워드선 전위와 비트선쌍의 전위 관계를 나타낸 전위 파형도.

< 도면의 주요 부분에 대한 부호의 설명

M0 M7, BM0 BM7 : FRAM 셀

Tr0 Tr7, BTr0 BTr7 : 셀 트랜지스터

C0 C7 : 셀 커패시터

BL0R BL7R, BBL0R BBL7R : 노드

WLr< 0 WLr< 7 : 워드선

BL, BBL : 비트선

PL< 0, PL< 1 : 플레이트선

QB0, QB1 : 블록 선택용 트랜지스터

10 : 센스 앰프 영역

EQ : 이퀄라이즈 · 프리차지 회로

SA : 센스 앰프

CG : 컬럼 선택 게이트

QS : 분리용 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에 관한 것으로, 특히 저승압 전위를 갖는 종래형 메모리 셀을 갖는 FRAM, 체인 FRAM, 같은 저승압 전위를 갖고 네가티브 워드선 방식 또는 부스티드 · 센스 · 그라운드 방식을 채용한 DRAM 및 종래형 메모리 셀을 갖는 FRAM 및 체인 FRAM에 관한 것으로, 메모리 집적 회로, 로직 혼재 메모리 집적 회로 등에 적용된다.

강유전체는 인가 전계와 전기 분극양의 관계가 히스테리시스 특성을 갖고, 강유전체막의 양단간 인가 전압을 제로로 복원하여도 분극이 남는다. 즉, 강유전체는 전계가 인가되었을 때에 일단 발생한 전기 분극이 상기 전계가 인가되지 않게 되어도 잔류하여, 상기 전계와는 반대 방향의 방향으로 어느 정도이상의 세기의 전계가 인가되었을 때에 분극의 방향이 반전하는 특성을 갖고 있다.

이와 같은 강유전체의 불휘발성 특성에 착안하여, 강유전체 박막의 분극 방향으로서 정보를 축적하는 메모리 셀의 어레이를 갖는 FRAM이 개발되고 있다.

FRAM 셀의 구조로서는 정보 기억용 커패시터의 전극간 절연막에 강유전체막을 사용하는 구조와 스위치용 MOS 트랜지스터의 게이트 절연막에 강유전체막을 사용하는 구조의 2종류로 크게 구별된다.

전자의 FRAM 셀의 구조는 DRAM 셀의 커패시터를 강유전체 커패시터로 치환한 구성으로 실현하고 있고, 트랜스퍼 게이트용 MOS 트랜지스터를 거쳐 강유전체 커패시터에서 분극 반전 또는 비반전 시의 전하가 인출되고(데이터 파괴 판독), 데이터 판독후에 재기록이 실행된다.

여기서, 전자의 FRAM 셀의 기본적인 구성, 특성, 기록/판독 원리에 대하여 설명하여 둔다.

상기 FRAM 셀에는 도 25(a)에 도시한 등가 회로와 같이 1T1C형의 것과 예를 들면, 도 27(a)에 도시한 등가 회로와 같이 1T1C형의 셀 2조에 의해 구성되는 2T2C형의 것이 있다.

도 25(a)에 도시한 1T1C형의 셀은 하나의 트랜스퍼 게이트용의 하나의 MOS 트랜지스터 Q와 정보 기억용의 하나의 강유전체 커패시터 C가 직렬로 접속되어 있고, 상기 MOS 트랜지스터 Q의 게이트에 워드선 WL이 접속되고, 상기 MOS 트랜지스터 Q의 한쪽 끝(드레인)에 비트선 BL이 접속되고, 상기 커패시터 C의 한쪽 끝(플레이트)에 플레이트선 PL이 접속된다.

도 25(b)는 도 25(a)에 도시한 1T1C형의 FRAM 셀의 "0" 판독, "1" 판독 동작을 설명하기 위해, 강유전체 커패시터의 전극쌍 사이에 끼워진 강유전체 박막의 인가 전압(플레이트선 전압 VPL과 비트선 전압 VBL의 전위차)과 분극량 P(C/m)의 관계(히스테리시스 특성)를 나타내는 특성도이고, 도면중, a, b점은 잔류 분극량을 나타낸다.

도 25(b)에 도시한 히스테리시스 특성에서 알 수 있듯이, 셀의 강유전체 커패시터의 강유전체 박막에 전계를 인가하지 않는 상태, 즉 커패시터 전극쌍 사이의 인가 전압 V = 0 (V) 상태에서의 강유전체 박막의 잔류 분극 Pr이 a점에 위치하는가 b점에 위치하는가에 의해, 셀에 2치 데이터를 기억할 수 있다.

이어서, 1T1C형 FRAM 셀에 대한 판독/기록 동작의 원리에 대하여 도 25(b)에 도시한 히스테리시스 특성을 참조하면서 설명한다.

먼저, 프리차지 사이클에 있어서, 비트선 전압 VBL을 접지 전위에 이퀄라이즈한다. 이어서, 비트선의 이퀄라이즈를 해제하고, 워드선 WL을 선택하여 트랜지스터 Q를 온으로 한 후, 플레이트선 전압 VPL을 접지 전위에서 전원 전압으로 상승시키는 것에 의해, 커패시터 C의 전하를 비트선으로 판독하고, 이것에 의해 생기는 비트선 전위의 변화를 레퍼런스용 셀에서 발생되는 참조 전압과 센스 앰프(도시하지 않음)에서 비교 증폭한다.

이때, "0" 판독의 경우에는 커패시터 C의 분극은 반전하지 않으므로, 비트선으로 판독되는 전하량은 작고, 센스 앰프에 의한 비교 증폭의 결과, 비트선(커패시터 C의 스토로지 노드측)은 접지 전위로 된다. 이것에 의해, 커패시터 C의 분극점은 히스테리시스 곡선의 a점에서 c점으로 이동한다.

이것에 대하여, "1" 판독의 경우에는 커패시터 C의 분극 반전을 따라, 상기 플레이트선 전압 VPL로서 전원 전압을 인가하였을 때에 비트선으로 판독되는 전하량이 "0" 판독의 경우에 비하여 많고, 센스 앰프에 의한 비교 증폭의 결과, 비트선(커패시터 C의 스토로지 노드측)이 전원 전압과 동전위로 된다. 이것에 의해, 커패시터 C의 분극점은 히스테리시스 곡선의 b점에서 c점으로 이동한 후, a점으로 이동한다.

이어서, 센스 앰프에 래치되어 있는 데이터를 데이터선(도시하지 않음)으로 송출한 후, 플레이트선 전압 VPL을 접지 전위로 떨어뜨리는 것에 의해, "0" 판독 경우의 분극점 a점으로 되돌아가고, "1" 판독 경우의 분극점은 d점으로 이동한다.

이후, 트랜지스터 Q를 오프로 하였을 때, "1" 판독 경우의 분극점은 d점에서 b점으로 이동하고, 셀 커패시터 C로의 재기록이 종료한다.

이상은 판독 및 재기록을 설명하였지만, 데이터의 리라이트를 실행하였을 때는 상기 플레이트 전압 VPL로서 전원 전압이 가해지고 있을 때에, "1"을 기록하고 싶을 때는 비트선에 전원 전압과 동전위, "0"를 기록하고 싶을 때는 비트선에 접지 전위를 입출력선(도시하지 않음)을 통하여 가하면 좋다.

도 26(a)에 도시한 2T2C형 셀은 제1셀의 트랜지스터 Q1의 한쪽 끝에 제1비트선 BL이 접속되고, 제2셀의 트랜지스터 Q2의 한쪽 끝에 상기 비트선 BL과 쌍을 이루는 제2비트선 /BL이 접속된다. 그리고, 각 트랜지스터 Q1, Q2의 게이트에 공통으로 워드선 WL이 접속되고, 각 커패시터 C1, C2의 플레이트 전극에 공통으로 플레이트선 PL이 접속된다. 상기 2줄의 비트선 BL, /BL에는 비트선 전위 센스 증폭용 센스 앰프(도시하지 않음), 이퀄라이즈 회로(도시하지 않음) 등이 접속되어 있다.

이어서, 2T2C 구성의 강유전체 메모리 셀의 데이터 기록 동작의 원리 및 데이터 판독 동작의 원리에 대하여 설명한다.

도 26(a) 내지 (d)는 기록 동작시에 있어서의 강유전체 커패시터의 인가 전압, 전기 분극의 상태를 나타내고 있고, 도 27(a) 내지 (c)는 판독 동작시에 있어서의 강유전체 커패시터의 인가 전압, 전기 분극의 상태를 나타내고 있다.

또한, 도 28은 상기 데이터의 기록 동작시 및 판독 동작시에 있어서의 플레이트선의 인가 전압을 나타내고 있다. 상기 강유전체 메모리 셀에 대한 데이터의 판독, 기록에 즈음하여, 선택된 메모리 셀의 플레이트선 PL의 전위를 예를 들면, 0 V→3 V→0 V로 변화시키는 것에 의해, 분극의 방향을 제어한다.

(A) 데이터의 기록 동작시, 초기 상태에서는 플레이트선 PL을 0 V로 설정하고, 비트선쌍 BL, /BL을 각각 0 V로 이퀄라이즈하여 둔다. 여기서, 2개의 커패시터 C1, C2에는 예를 들면, 도 26(a)에 도시한 바와 같이 서로 역방향의 분극 데이터가 기록되어 있는 경우를 상정한다.

먼저, 동작의 개시에 있어서 비트선의 이퀄라이즈를 해제한다. 이어서, 도 26(b)에 도시한 바와 같이, 워드선 WL에 예를 들면 4.5 V를 인가하여 2개의 트랜지스터 Q1, Q2를 온 상태로 하고, 이어서 플레이트선 PL에 예를 들면, 3 V를 인가하여 2개의 커패시터 C1, C2에서 비트선쌍 BL, /BL에 전하를 판독한다. 이때, 제1커패시터 C1의 양단간에 전위차가 생겨서 그 분극의 방향이 반전하지만, 제2커패시터 C2의 분극 방향은 반전하지 않는다.

이어서, 도 26(c)에 도시한 바와 같이, 비트선쌍 BL, /BL중 한쪽(예를 들면, /BL)에 예를 들면, 3 V, 다른쪽(예를 들면 BL)에 0 V를 인가하고, 이어서 도 26(d)에 도시한 바와 같이, 플레이트선 PL을 0 V로 되돌린다. 그러면, 제2커패시터 C2의 양단간에 전위차가 생겨서 그의 분극이 방향이 반전하지만, 제1커패시터 C1의 분극 방향을 반전하지 않고, 초기 상태와는 반대방향의 분극 데이터가 기록되게 된다. 이후, 워드선 WL을 0 V로 되돌리고, 2개의 트랜지스터 Q1, Q2를 오프 상태로 되돌린다.

(B) 데이터의 판독 동작시에, 초기 상태에서는 플레이트선 PL을 0 V로 설정하고, 비트선쌍 BL, /BL을 각각 0 V에 이퀄라이즈하여 둔다. 여기서, 2개의 커패시터 C1, C2에는 예를 들면, 도 27(a)에 도시한 바와 같이 서로 반대방향의 분극 데이터가 기록되어 있는 경우를 상정한다.

먼저, 동작의 개시에 있어서 비트선의 이퀄라이즈를 해제한다. 이어서, 도 27(b)에 도시한 바와 같이, 워드선 WL에 예를 들면, 4.5 V를 인가하여 2개의 트랜지스터 Q1, Q2를 온 상태로 하고, 이어서 플레이트선 PL에 예를 들면, 3 V를 인가하여, 2개의 커패시터 C1, C2에서 비트선쌍 BL, /BL로 전하를 판독한다. 이때, 제2커패시터 C2의 양단간에 전위차가 생겨서 그 분극의 방향이 반전하지만, 제1커패시터 C1의 분극의 방향은 반전하지 않는다. 그 결과, 비트선 BL의 전위 V(BL)는 비트선 /BL의 전위 V(/BL)보다 낮아지게 된다. 이 2개의 커패시터 C1, C2에서의 판독 전위는 센스 앰프에 의해 센스 증폭되고, 이 센스 앰프의 출력에 의해 비트선쌍 BL, /BL은 각각 0 V, 3 V로 된다.

이어서, 도 27(c)에 도시한 바와 같이, 플레이트선 PL을 0 V로 다시 설정하면, 제2커패시터 C2의 양단간에 전위차가 생겨서 그의 분극 방향이 다시 반전하고, 제1커패시터 C1의 분극의 방향은 반전하지 않고, 초기 상태로 되돌아간다. 이후, 워드선 WL을 0 V로 되돌리고, 2개의 트랜지스터 Q1, Q2를 오프 상태로 되돌린다.

상기한 바와 같은 FRAM은 다른 불휘발성 메모리인 플래쉬 메모리와 비교하면, 리라이트 회수가 많고, 기록 시간이 적고, 저전압/저소비 전력 동작이 가능하다고 하였던 특징이 있어, 근년 개발이 급핏치로 행해지고 있다.

이와 같은 특징을 갖는 FRAM은 기존의 DRAM, 플래쉬 메모리, SRAM과의 치환, 로직 디바이스와의 혼재 등, 그의 기대는 매우 크다. 또한, FRAM은 배터리없이 고속 동작이 가능하므로, 비접촉 카드(RF-ID : Radio Frequency-Identification)로의 전개가 시작되고 있다.

한편, FRAM의 비트선 구성을 폴디드 구성(Folded 구성)으로 하면, $8F^2$ (F는 디자인 룰의 최소선폭)이하로는 할 수 없는 것이나 용량이 무거운 플레이트선을 구동하는 것에서 고속 동작은 DRAM보다는 늦다고 하는 문제가 있다.

이들 문제를 해결하기 위해, 이하의 문헌, 즉 VLSI Circuit Sympo. 1997 p83-84 "High-Density Chain Ferroelectric Random Access Memory(CFRAM)" 및 ISSCC Tech. Dig. Papers, pp.102-103, Feb. 1999 "A Sub-40ns Random-Access Chain FRAM Architecture with 7ns Cell-Plate-Line Drive"에 의해, Chain FRAM(체인 FRAM)이 제안되어 있다.

이 체인 FRAM은 MOS 트랜지스터의 소스와 드레인에 강유전체 커패시터의 양전극을 접속하여 이루어지는 강유전체 메모리 셀을 복수개 직렬로 접속하여 이루어지는 메모리 셀 유닛의 어레이를 갖고, 메모리 셀 유닛의 복수개의 메모리 셀중 비선택 셀의 트랜지스터를 온 상태, 선택 셀의 트랜지스터를 오프 상태로 제어하는 것에 의해, 메모리 셀을 랜덤하게 액세스할 수 있도록 구성된 것이다.

상기 문헌에 의하면, 체인 FRAM은 종래의 FRAM과 비교하여, 셀 사이즈는 1/2, 비트선 용량은 1/4로 되므로, 고속화와 고집적화가 도모된다고 기재되어 있다. 여기서, 종래 체인 FRAM에 대하여 간단히 설명한다.

도 29는 종래 체인 FRAM의 일부의 구성을 개략적으로 도시하고 있고, 특히 메모리 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

즉, 도 29에 있어서, 메모리 셀 영역에는 메모리 셀 유닛이 행렬 형상으로 배열되어 있다. 이 메모리 셀 유닛은 강유전체 커패시터의 양전극을 각각 인헨스먼트형(Enhancement형, E 타입) NMOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속하여 이루어진다.

본예에서는 예를 들면, 8개의 메모리 셀 M0 M7, BM0 BM7이 직렬로 접속된 메모리 셀 유닛을 대표적으로 나타내고 있고, 상기 셀 M0 M7의 트랜지스터를 Tr0 Tr7, 커패시터를 C0 C7, 셀 BM0 BM7의 트랜지스터를 BTr0 BTr7, 커패시터를 BC0 BC7로 나타내고 있다.

상기 각 트랜지스터를 Tr0 Tr7, BTr0 BTr7의 게이트에는 대응하여 워드선 WLr<0 WLr<7에 접속되어 있고, 상기 메모리 셀 유닛의 한쪽 끝은 플레이트선 PL<0 또는 PL<1에 접속되어 있고, 다른쪽 끝은 블록 선택용 MOS 트랜지스터 QB0 또는 QB1을 거쳐 비트선 BL 또는 이것에 상보적인 BBL에 접속되어 있다.

또한, 상기 비트선쌍 BL, BBL에는 이퀄라이즈 회로 EQ, 플립플롭 타입의 센스 앰프 SA, 컬럼 선택 게이트 CG가 접속되어 있다.

또한, 상기 블록 선택용 MOS 트랜지스터 QB0, QB1은 대응하여 블록 선택 신호 V(BSr<0), V(BSr<1)에 의해 제어되고, 상기 이퀄라이즈 회로 EQ는 이퀄라이즈 제어 신호 V(BEQL)에 의해 제어되고, 상기 센스 앰프 SA는 센스 앰프 활성화 제어 신호 V(SEN), V(BSEP)에 의해 제어되고, 상기 컬럼 선택 게이트 CG는 컬럼 선택 신호 V(CSL)에 의해 제어된다.

그러나, 도 29에 도시된 구성에 있어서, 이하에 대표적으로 예시하는 바와 같은 종래 판독/재기록 동작 또는 종래 기록 동작을 실행할 때, 셀의 축적 분극량이 감소하고, 디스터브가 발생한다고 하는 문제가 있어, 이것에 대하여 상세히 설명한다.

< 종래 기록의 제1동작예

도 30은 도 29에 도시된 2T2C형 셀에 대하여 예를 들면 워드선 WLr< 0을 선택하여 셀 M0, BM0을 선택하고, 싱글 플레이트 펄스(Single Plate Pulse) 구동 방식에 의해, 셀 M0에서 데이터 "0"을 판독한 후, 데이터 "1"을 칩 외부에서 기록하는 동작의 일예를 나타낸 타이밍도 및 도 29중의 노드 BL1R에서 BL7R까지의 전위 추이를 나타낸 전위 파형도이다.

이하, 도 30을 참조하면서 구체적으로 제1동작예를 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 내려서 비트선쌍의 이퀄라이즈를 해제한다. 이어서, 워드선 구동 전위 V(WLr< 0)을 내려서 워드선 WLr< 0을 선택한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 올려서 메모리 셀 M0, BM0을 비트선쌍 BL, BBL에 접속한다. 이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 올려서 플레이트선을 상승시키고, 메모리 셀 M0, BM0의 분극을 전하의 모양으로 비트선쌍 BL, BBL에 판독한다.

이어서, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 비교 증폭한다. 이때, 메모리 셀 M0에 스토어되어 있는 분극 데이터는 플레이트선에서 센스 앰프의 방향(즉, "0" 데이터)이므로, 센스 앰프에 의한 비교증폭의 결과, 도 29에 도시한 바와 같이, BL1R에서 BL7R까지의 각 노드는 플레이트선의 상승한 전위이지만, 노드 BL0R은 0 V로 된다.

이후, 센스 앰프 SA가 활성화되어 있는 상태에서 컬럼 선택 신호 V(CSL)이 선택되고, 칩 외부에서 컬럼 선택 게이트 CG를 통하여 "1" 데이터가 기록된다. 그러면, 워드선의 승압 전위가 낮은 경우, BL1R에서 BL7R까지의 각 노드는 크게 부트(boot)되고

노드 BL7R의 전위 - 노드 BL6R의 전위

노드 BL6R의 전위 - 노드 BL5R의 전위

노드 BL5R의 전위 - 노드 BL4R의 전위

노드 BL4R의 전위 - 노드 BL3R의 전위

노드 BL3R의 전위 - 노드 BL2R의 전위

노드 BL2R의 전위 - 노드 BL1R의 전위

사이에는 전위차가 발생한다. 이 이유는 이하에 설명한다.

상술한 바와 같이, 플레이트선의 상승 전위에서 또 센스 앰프 SA에 의해 부트되면, 각 셀 트랜지스퍼 게이트 Tr0 Tr7의 소스 전위가 상승하고, 각 셀 트랜스퍼 게이트 Tr0 Tr7의 게이트 · 소스간 전위차가 깊게 되고, 기판 바이어스 효과에 의한 임계치 전압의 상승에 의해 셀 트랜스퍼 게이트 Tr0에서 Tr7이 오프한다. Tr0에서 Tr7이 일단 오프로 된 상태에서 또 센스 앰프 SA에 의해 증폭되므로, 오프한 후에 센스 앰프 SA에 의해 상승한 만큼은 센스 앰프 SA와 셀 트랜지스퍼 게이트 Tr0 Tr7 사이에 나란히 줄지어 있는 용량 성분으로 용량 분할된다.

결과적으로, 각 셀 트랜스퍼 게이트 Tr0 ~ Tr7 양단에 전위차가 발생하고, 분극량이 감소하는 것에 의해, 특히 셀 트랜스퍼 게이트 Tr1의 양단 노드 BL2R, BL1R 사이에는 큰 전위차가 걸린다. 이때, 비선택 메모리 셀 M1에 스토어되어 있는 분극의 방향이 플레이트선에서 센스 앰프로의 방향(즉, 데이터 "0")인 경우는 이 축적 분극을 줄이는 전장이 걸리는 것에 의해, 디스터브로 된다.

< 종래 기록의 제2동작예

도 31은 도 29에 도시된 2T2C형 셀에 대하여 예를 들면 워드선 WLr< 0을 선택하여 셀 M0, BM0을 선택하고, 더블 플레이트 펄스(Double Plate Pulse, 2중 플레이트선 펄스) 구동 방식에 의해, 셀 M0에서 데이터 "0"을 판독한 후, 데이터 "1"을 칩 외부에서 기록하는 동작의 일예를 나타낸 타이밍도 및 도 29중의 노드 BL1R에서 BL7R까지의 전위 추이를 나타낸 전위 파형도이다.

이하, 도 31을 참조하면서 제2동작예를 구체적으로 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 내려서 비트선쌍의 이퀄라이즈를 해제한다. 이어서, 워드선 구동 전위 V(WLr< 0)을 내려서 워드선 WLr< 0을 선택한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 올려서 메모리 셀 M0, BM0을 비트선쌍 BL, BBL에 접속한다.

이어서, 플레이트선 전위 V(PL< 0) 및 V(PL< 1)을 각각 올린 후에 내리는 펄스 구동을 실행하고, 메모리 셀 M0, BM0의 분극을 전하의 모양으로 비트선쌍 BL, BBL에 판독한다.

이어서, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 비교증폭한다. 이때, 메모리 셀 M0에 스토어되어 있는 분극 데이터는 플레이트선에서 센스 앰프의 방향(즉, "0" 데이터)이므로, 센스 앰프 SA에 의한 비교증폭의 결과, 도 31에 도시한 바와 같이, BL1R에서 BL7R까지의 각 노드는 플레이트선의 상승 전위이지만, 노드 BL0R은 0 V로 된다.

이후, 센스 앰프 SA가 활성화되어 있는 상태에서 컬럼 선택 신호 V(CSL)이 선택되고, 칩 외부에서 컬럼 선택 게이트 CG를 통하여 데이터 "1"이 기록된다. 그러면, 워드선의 승압 전위가 낮은 경우, BL1R에서 BL7R까지의 각 노드는 크게 부트되고,

노드 BL7R의 전위 - 노드 BL6R의 전위

노드 BL6R의 전위 - 노드 BL5R의 전위

노드 BL5R의 전위 - 노드 BL4R의 전위

노드 BL4R의 전위 - 노드 BL3R의 전위

노드 BL3R의 전위 - 노드 BL2R의 전위

노드 BL2R의 전위 - 노드 BL1R의 전위

사이에는 전위차가 발생한다. 이 이유는 이하에 설명한다.

상술한 바와 같이, 플레이트선의 상승 전위에서 또 센스 앰프 SA에 의해 부트되므로, 각 셀 트랜지스터의 소스 전위가 상승하고, 각 셀 트랜스퍼 게이트의 게이트 · 소스간 전위차가 깊게 되고, 기판 바이어스 효과에 의한 셀 트랜스퍼 게이트 Tr0 ~ Tr7의 임계치 전압의 상승에 의해 셀 트랜스퍼 게이트 Tr0에서 Tr7이 오프한다. Tr0 ~ Tr7이 일단 오프로 된 상태에서 또 센스 앰프 SA에 의해 상승하므로, Tr0 ~ Tr7이 오프한 후에 상승한 만큼은 센스 앰프 SA와 상기 셀 트랜지스퍼 게이트 Tr0 ~ Tr7 사이에 나란히 줄지어 있는 용량 성분으로 용량 분할된다.

결과적으로, 각 셀 트랜스퍼 게이트 Tr0 Tr7 양단에 전위차가 발생하고, 분극량이 감소하는 것에 의해, 특히 노드 BL2R, BL1R 사이에는 큰 전위차가 걸린다. 이때, 비선택 메모리 셀 M1에 스토어되어 있는 분극의 방향이 플레이트선에서 센스 앰프로의 방향(즉, 데이터 "0")인 경우는 이 축적 분극을 줄이는 전장이 걸리는 것에 의해, 디스터브로 된다.

< 종래 판독의 제3동작예

도 32는 도 29에 도시된 2T2C형 셀에 대하여 예를 들면 워드선 WLr< 7을 선택하여 셀 BM7과 M7을 선택하고, 더블 플레이트 펄스 구동 방식에 의해, 셀 BM7에서 데이터 "1"을 판독하는 동작을 나타낸 타이밍도 및 도 29중의 노드 BL1R에서 BL7R까지의 전위 추이를 나타낸 전위 파형도이다.

이하, 도 32를 참조하면서 제3동작예를 구체적으로 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제한다. 이어서, 워드선 구동 전위 V(WLr< 7)을 내려서 워드선 WLr< 7을 선택한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 올려서 메모리 셀 BM7, M7을 비트선쌍 BBL, BL에 접속한다.

이어서, 플레이트선 전압 V(PL< 0) 및 V(PL< 1)을 각각 펄스 구동하여 메모리 셀 BM7, M7의 분극을 전하의 모양으로 비트선쌍 BBL, BL에 판독한다.

이어서, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 비교증폭한다. 이때, 메모리 셀 BM7에 스토어되어 있는 분극 데이터는 센스 앰프에서 플레이트선으로의 방향(즉, "1" 데이터)이므로, 센스 앰프 SA에 의한 비교증폭 후, 데이터를 재기록하기 위해 플레이트선 전압 V(PL< 0)과 V(PL< 1)을 "L"→"H"로 할 때, 워드선의 승압 전위가 낮은 경우, BBL0R에서 BBL7R까지의 각 노드가 크게 부트되어,

노드 BBL7R의 전위 - 노드 BBL6R의 전위

노드 BBL6R의 전위 - 노드 BBL5R의 전위

노드 BBL5R의 전위 - 노드 BBL4R의 전위

노드 BBL4R의 전위 - 노드 BBL3R의 전위

노드 BBL3R의 전위 - 노드 BBL2R의 전위

노드 BBL2R의 전위 - 노드 BBL1R의 전위

사이에는 전위차가 발생한다. 이 이유는 이하에 설명한다.

워드선의 승압 전위가 낮고, 셀 트랜스퍼 게이트 BTr0 BTr7의 임계치 전압이 높으면, 센스 앰프 SA의 전원 전위에서 또 플레이트선에 의해 부트되었을 때, 각 셀 트랜지스터의 소스 전위가 상승하고, 각 셀 트랜스퍼 게이트의 게이트 · 소스간 전위차가 깊게 되고, 기판 바이어스 효과에 의한 셀 트랜스퍼 게이트 BTr0 BTr7의 임계치 전압의 상승에 의해 셀 트랜스퍼 게이트 BTr0에서 BTr7이 오프한다. BTr0에서 BTr7이 일단 오프로 된 상태에서 또 플레이트선이 상승하므로, BTr0 BTr7이 오프한 후에 상승한 만큼은 플레이트선과 상기 셀 트랜스퍼 게이트 BTr0 BTr7 사이에 나란히 줄지어 있는 용량 성분으로 용량 분할된다.

결과적으로, 특히 노드 BBL7R, BBL6R사이에는 큰 전위차가 걸린다. 이때, 비선택 메모리 셀 BM6에 스토어되어 있는 분극의 방향이 센스 앰프에서 플레이트선으로의 방향(즉, "1" 데이터)인 경우는 이 축적 분극을 줄이는 전장이 걸리는 것에 의해, 디스터브로 된다.

이상의 설명은 데이터 판독시에 비트선을 0 V로 프리차지하는 경우에 대하여 기술하였지만, 상기 제1동작예와 제2동작예의 경우는 데이터 판독시에 비트선을 하이 레벨로 프리차지하는 경우에도 문제로 된다.

그러나, 상기와 같은 종래 체인 FRAM에 있어서의 디스터브의 문제에 대하여, 현재까지 그의 존재 자체 및 해결 방법은 지적된 바 없었다.

또한, 종래 메모리 셀 구성을 갖는 FRAM에 있어서, 싱글 플레이트 펄스 구동 방식에 의해 판독 동작을 실행할 때, 플레이트선 전위가 크게 부트되어, 셀 커패시터의 신뢰성에 악영향을 줄 가능성이 있다고 하는 문제가 있고, 이점에 대하여, 이하에 설명한다.

도 33은 종래 메모리 셀 구성을 갖는 FRAM의 일부의 구성을 개략적으로 도시한 것으로, 특히 메모리 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

즉, 도 33에 있어서, 메모리 셀 영역에는 메모리 셀이 행렬 형상으로 배열되어 있다. 본 예에서는 예를 들면 2개의 메모리 셀 M0, BM0을 대표적으로 나타내고 있고, 이 2개의 메모리 셀 M0, BM0의 트랜지스터를 Tr0, BTr0, 커패시터를 C0, BC0로 나타내고 있다. 상기 커패시터 C0, BC0의 한쪽 끝은 대응하여 플레이트선 PL< 0, PL< B0에 접속되어 있고, 트랜지스터 Tr0, BTr0의 게이트는 대응하여 워드선 WL< 0, WL< B0에 접속되어 있고, 트랜지스터 Tr0, BTr0의 한쪽 끝은 비트선 BL 및 이것에 상보적인 BBL에 접속되어 있다.

또한, 상기 비트선쌍 BL, BBL에는 이퀄라이즈 회로 EQ, 플립플롭 타입의 센스 앰프 SA, 컬럼 선택 게이트 CG가 접속되어 있다.

또한, 상기 이퀄라이즈 회로 EQ는 이퀄라이즈 제어 신호 V(BEQL)에 의해 제어되고, 상기 센스 앰프 SA는 센스 앰프 활성화 제어 신호 V(SEN), V(BSEP)에 의해 제어되고, 상기 컬럼 선택 게이트 CG는 컬럼 선택 신호 V(CSL)에 의해 제어된다.

도 34는 도 33의 FRAM에 있어서, 2T2C형 셀에 대하여 워드선 WL< 0, WL< B0을 선택하여 셀 M0, BM0을 선택하고, 싱글 플레이트 펄스 구동 방식에 의해 셀 M0에서 데이터 "1"을 판독하는 동작을 나타내는 타이밍도이다.

계속해서 도 34를 참조하면서 동작예를 구체적으로 설명한다. 여기서는 셀 M0에는 비트선에서 플레이트선 방향의 분극(데이터 "1")이 기록되어 있고, 셀 BM0에는 플레이트선에서 비트선 방향의 분극(데이터 "0")이 기록되어 있는 것으로 한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)를 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다. 이어서, 워드선 전위 V(WL< 0), V(WL< B0)을 0 V에서 VPP로 승압하여 워드선 WL< 0, WL< B0을 선택한다. 이어서, 플레이트선 전압 V(PL< 0), V(PL< B0)을 각각 0 V에서 V(PLPW)로 올리는 것에 의해 메모리 셀 M0, BM0의 분극을 전하의 모양으로 비트선쌍 BL, BBL에 판독한다.

이어서, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 센스 증폭시킨다. 그리고, 컬럼 선택 신호 V(CSL)를 올려서 컬럼 선택 게이트 CG를 온으로 하고, 데이터를 칩 외부로 판독한다.

상기 센스 증폭은 플레이트선 전압 V(PL< 0), V(PL< B0)의 전위가 V(PLPW)로 상승한 상태에서 실행되므로, 셀 M0에 스토어되어 있는 "1" 데이터가 판독되고 있을 때에는 비트선 BL과 플레이트선 PL< 0의 커플링에 의해 플레이트선 전압 V(PL< 0)의 전위가 상기 V(PLPW)보다도 더 높은 전위로 부트된다.

이후, 플레이트선 전압 V(PL< 0), V(PL< B0)을 각각 0 V로 내리고, 워드선 전위 V(WL< 0), V(WL< B0)을 VPP에서 0 V로 하강시켜 워드선 WL< 0, WL< B0을 비선택 상태로 하고, 센스 앰프 활성화 신호 V(SEN)을 내림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 올려서 센스 앰프 SA를 비활성화하여 동작을 종료한다.

상기한 바와 같이 비트선 BL과 플레이트선 PL< 0의 커플링에 의해 플레이트선 전압 V(PL< 0)의 전위가 더 높은 전위로 부트되면, 셀 커패시터의 신뢰성에 악영향을 줄 가능성이 있다고 하는 문제가 있었다.

한편, 반도체 메모리의 전원의 저전압화에 따라, MOS 트랜지스터의 임계치 전압도 비례하여 낮아지지 않으면, 동작 속도가 열화하여 버리지만, DRAM에서는 정보를 메모리 셀의 커패시터에 전하의 모양으로 축적하므로, 셀 트랜스퍼 게이트의 임계치 전압을 내릴 수 없어, 임계치 전압은 대체로 0.7 V전후가 하한으로 된다.

이와 같이, MOS 트랜지스터의 임계치 전압을 낮게 할 수 없는 것에 의해 일어나는 문제점은 다음의 두가지이다.

(1) MOS 트랜지스터가 미세화하여도 높은 임계치 전압을 얻기 위해, 기판 농도가 매우 높게 되고, 접합 전계 강도가 증가하고, 접합 리크 전류가 증가하고, 리프레쉬 특성을 악화시킨다.

(2) 셀 트랜스퍼 게이트를 충분히 온시키기 위해 필요한 워드선 전압 VWL과 비트선 전압 VBL의 차를 스케일링할 수 없으므로, 높은 승압율 VWL/VBL이 필요하게 되어, 승압 회로의 설계가 곤란하게 된다.

그래서, DRAM에서는 이하의 두가지 방식을 제안하는 것에 의해, MOS 트랜지스터의 임계치 전압을 내리는 것을 가능하게 하고 있다. 이들 기술은 낮은 임계치 전압에서도 트랜스퍼 게이트의 리크를 억제하는 것을 목적으로 한다.

(1) 네가티브 워드선(Negative Word Line : NWL) 방식.

도 35(a), (b)는 NWL 방식을 채용한 DRAM에 있어서의 개략 구성 및 워드선 WL과 비트선 BL, /BL의 하이 레벨의 전위 VBL(H), 로우 레벨의 전위 VBL(L)의 관계를 나타내고 있다.

도 35(a)에 있어서, Q는 셀 트랜스퍼 게이트, C는 셀 커패시터, WL은 워드선, WLD는 워드선 드라이버, BL, /BL은 비트선쌍, SA는 센스 앰프, SAD는 센스 앰프 드라이버이다.

이 방식은 센스 앰프 SA의 증폭 출력의 로우 레벨 "1", 즉 비트선 전위의 VBL(L)을 접지 전위 VSS로 하고, 워드선 WL의 전위의 "L"을 마이너스전위 VBB로 하는 것에 의해, 셀 트랜스퍼 게이트 Q의 게이트 · 소스간에 마이너스의 바이어스 전위 VBB를 걸고, 셀 트랜스퍼 게이트 Q의 컷오프 특성을 좋게 하는 것이다.

또한, 워드선 WL의 하이 레벨 "H"는 센스 앰프 SA의 증폭 출력의 하이 레벨 "H", 즉 비트선 전위의 VBL(H) 보다도 셀 트랜스퍼 게이트 Q의 임계치 전압 Vth3 + α (즉 Vth3이상 높음) 승압되어 있다.

(2) 부스티드 센스 그라운드(Boosted Sense Ground : BSG) 방식.

도 36(a), (b)는 BSG 방식을 채용한 DRAM에 있어서의 개략 구성 및 워드선 WL과 비트선 BL, /BL의 하이 레벨의 전위 VBL(H), 로우 레벨의 전위 VBL(L)의 관계를 나타내고 있다.

도 36(a)에 있어서, Q는 셀 트랜스퍼 게이트, C는 셀 커패시터, WL은 워드선 BL, /BL은 비트선쌍, SA는 센스 앰프, SAD는 센스 앰프 드라이버, VOFF는 오프셋 전압이다.

이 방식은 센스 앰프 SA의 증폭 출력의 "L" 레벨, 즉 비트선 전위의 VBL(L)을 워드선 WL의 "L"인 접지 전위 VSS보다도 VOFF만큼 띄우지만, 실효적으로 셀 트랜스퍼 게이트 Q의 게이트·소스간에 마이너스의 바이어스 전위 VOFF를 걸고, 셀 트랜스퍼 게이트 Q의 컷오프 특성을 좋게 하는 것이다.

또한, 워드선 WL의 하이 레벨 "H"는 센스 앰프 SA의 증폭 출력의 "H", 즉 비트선 전위의 VBL(H)보다도, 셀 트랜스퍼 게이트 Q의 임계치 전압 Vth2 + α(즉, Vth2이상 높음) 승압되어 있다.

이상 설명한 바와 같이, DRAM에 관하여, 저소비 전력화, 저전압화의 요구에 대해서는 상기 방법이 제안되어 있지만, 셀 트랜스퍼 게이트의 임계치 전압으로서 플러스의 값을 사용하는 이상, 워드선의 승압 전위로서는 전원 전압 VCC + Vth(셀 트랜스퍼 게이트의 임계치 전압)이상의 VPP가 필요하다. 상기 사정은 종래 FRAM에 관해서도 마찬가지이다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 종래 체인 FRAM은 판독/기록 동작을 실행할 때에 디스터브가 발생하고, 메모리 셀의 축적 분극량이 감소한다고 하는 문제가 있었다.

또한, 종래형 메모리 셀 구성을 갖는 FRAM은 싱글 플레이트 펄스 구동 방식에 의해 판독 동작을 실행할 때, 플레이트선 전위가 부트되고, 셀 커패시터의 신뢰성에 악영향을 줄 가능성이 있다고 하는 문제가 있었다.

또한, DRAM 또는 종래형 메모리 셀 구성을 갖는 FRAM은 NWL 방식 또는 BSG 방식을 채용한 경우에도 셀 트랜스퍼 게이트의 임계치 전압으로서 플러스의 값을 사용하므로, 워드선의 승압 전위로서는 전원 전압+셀 트랜스퍼 게이트의 임계치 전압 이상이 필요하고, 승압 회로가 필요하다고 하는 문제가 있었다.

본 발명의 목적은 상기 사정을 감안하여 이루어진 것으로, 체인 FRAM에 있어서 판독/기록 동작을 실행할 때에 디스터브의 발생을 억제하고, 메모리 셀의 축적 분극량의 감소를 저감하지 않을 수 없는 강유전체 메모리를 제공하는 것이다.

또한, 본 발명의 다른 목적은 종래 메모리 셀 구성을 갖는 FRAM에 있어서 싱글 플레이트 펄스 구동 방식에 의해 판독 동작을 실행할 때, 플레이트선의 부트를 억제하고, 셀 커패시터의 신뢰성에 악영향을 미치지 않는 강유전체 메모리를 제공하는 것이다.

또한, 본 발명의 또 다른 목적은 저전압화, 저소비 전력화가 가능하게 되고, 신뢰성이 높은 DRAM 또는 FRAM 등의 반도체 메모리를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제1강유전체 메모리는 강유전체 커패시터의 양전극을 각각 제1 MOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속한 메모리 셀 유닛, 상기 메모리 셀 유닛의 각 제1 MOS 트랜지스터의 게이트에 각각 대응하여 접속된 복수줄의 워드선, 상기 메모리 셀 유닛의 한쪽 끝에 접속된 플레이트선, 상기 메모리 셀 유닛의 다른쪽 끝에 블록 선택용 스위치 소자를 거쳐 접속된 제1 비트선, 상기 제1 비트선 및 그것과 상보적인 제2 비트선으로 되는 비트선쌍의 전위를 비교 증폭하는 센스 앰프, 및 상기 블록 선택용 스위치 소자와 센스 앰프 사이에 삽입된 제2 MOS 트랜지스터를 포함하며, 상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최소값을 VPP1, 상기 플레이트선 전위가 하강한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP2로 하면, VPP1< VPP2인 것을 특징으로 한다.

본 발명의 제2강유전체 메모리는 적어도 1개의 강유전체 커패시터의 한쪽 끝에 제1 MOS 트랜지스터의 한쪽 끝이 접속되어 되는 메모리 셀이 복수개 배열된 메모리 셀 어레이, 상기 제1 MOS 트랜지스터의 게이트에 접속된 워드선, 상기

제1 MOS 트랜지스터의 상기 강유전체 커패시터 접속측과는 반대측의 노드에 접속된 제1비트선, 상기 강유전체 커패시터의 상기 제1 MOS 트랜지스터 접속측과는 반대측의 노드에 접속된 플레이트선, 상기 제1비트선 및 그것과 상보적인 제2비트선으로 되는 비트선쌍의 전위를 비교 증폭하는 센스 앰프, 및 상기 제1비트선과 센스 앰프 사이에 삽입된 제2 MOS 트랜지스터를 포함하며, 상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최소값을 VPP1, 상기 플레이트선 전위가 하강한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP2로 하면, VPP1< VPP2인 것을 특징으로 한다.

또한, 본 발명의 제1 또는 제2 강유전체 메모리에 있어서, 상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있지 않을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP3으로 하면, VPP1< VPP3으로 하는 것이 바람직하다. 이 경우, 상기 VPP3은 예를 들면 상기 제1비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 이상이다.

또한, 본 발명의 제1 또는 제2 강유전체 메모리에 있어서, 상기 VPP2는 상기 제1 비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 이상(상기 워드선의 승압 전위 VPP와 동전위)로 하는 것이 바람직하다.

또한, 본 발명의 제1 또는 제2 강유전체 메모리에 있어서, 상기 VPP1은 상기 제1비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 미만으로 하는 것이 바람직하다.

또한, 본 발명의 제1 또는 제2 강유전체 메모리에 있어서, 상기 VPP1은 상기 제1 비트선의 최대 진폭 전압 또는 외부에서 공급되는 외부 전원 전압 VCC와 동전위로 하거나 0 V로 할 수 있다.

본 발명의 제3 강유전체 메모리는 본 발명의 제1 강유전체 메모리에 있어서, 상기 블록 선택용 스위치 소자와 상기 제2 MOS 트랜지스터 사이에서 상기 비트선쌍간에 접속되고, 소정의 타이밍에 상기 비트선쌍을 0 V에 이퀄라이즈하는 이퀄라이즈 회로를 더 포함하는 것을 특징으로 한다.

이 경우, 상기 제2 MOS 트랜지스터의 게이트 전위가 0 V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극을 재기록하는 동작이나 상기 이퀄라이즈 회로를 상기 센스 앰프가 비활성으로 된 상태에서만 온 상태로 제어하는 동작을 실행시킬 수 있다.

이들 동작은 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독한 후에 메모리 칩 외부에서 데이터를 기록할 때나 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독하여 재기록할 때에 따라서 선택할 수 있다.

또한, 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독하여 재기록할 때 및 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독한 후에 메모리 칩 외부에서 데이터를 기록할 때에, 상기 제2 MOS 트랜지스터의 게이트 전위가 0 V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극을 재기록하는 동작을 실행시킬 수 있다.

본 발명의 제4 강유전체 메모리는 본 발명의 제1 강유전체 메모리에 있어서, 상기 비트선쌍의 전위를 각각 제어 전극에서 받고, 각각의 한쪽 끝 사이에 상기 센스 앰프의 한쌍의 입출력 노드가 접속되는 한쌍의 제3 트랜지스터, 및 상기 센스 앰프의 한쌍의 입출력 노드와 상기 비트선쌍 사이에 삽입되고, 상기 센스 앰프에 의한 비교 증폭이 실행된 출력 데이터를 상기 플레이트선의 전위가 0 V로 떨어진 후에 온 상태로 제어되는 것에 의해 상기 비트선쌍에 전달하는 한쌍의 제4 트랜지스터를 더 포함하는 것을 특징으로 한다.

본 발명의 제1반도체 메모리는 0 V 또는 0 V근방의 임계치 전압을 갖는 적어도 1개의 제1 MOS 트랜지스터 및 그의 한쪽 끝에 접속된 적어도 1개의 정보 기억용 커패시터가 접속되어 되는 메모리 셀, 상기 제1 MOS 트랜지스터의 게이트에 접속된 워드선, 상기 제1 MOS 트랜지스터의 상기 정보 기억용 커패시터 접속측과는 반대측의 노드에 접속된 비트선, 및 상기 비트선의 전위를 참조 전위와 비교 증폭하는 센스 앰프를 포함하는 것을 특징으로 한다.

본 발명의 제2반도체 메모리는 본 발명의 제1반도체 메모리에 있어서, 상기 정보 기억용 커패시터는 전극간 절연막으로서 강유전체 박막이 사용되고 있는 것을 특징으로 한다.

본 발명의 제3반도체 메모리는 본 발명의 제1반도체 메모리에 있어서, 상기 정보 기억용 커패시터는 전극간 절연막으로서 게이트 산화막이 사용되고 있는 것을 특징으로 한다.

본 발명의 제4반도체 메모리는 강유전체 커패시터의 양전극을 각각 제1 MOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속한 메모리 셀 유닛, 상기 메모리 셀 유닛의 각 제1 MOS 트랜지스터의 게이트에 각각 대응하여 접속된 복수줄의 워드선, 상기 메모리 셀 유닛의 한쪽 끝에 접속된 플레이트선, 상기 메모리 셀 유닛의 다른쪽 끝에 한쪽 끝이 접속된 블록 선택용 제1 MOS 트랜지스터, 상기 제1 MOS 트랜지스터의 다른쪽 끝에 접속된 제1비트선, 및 제1비트선 및 그것과 상보적인 제2비트선으로 되는 비트선쌍의 전위를 비교 증폭하는 센스 앰프를 포함하며, 상기 제1 MOS 트랜지스터는 0 V 또는 0 V근방의 임계치 전압을 갖는 것을 특징으로 한다.

본 발명의 제5반도체 메모리는 본 발명의 제1 내지 제4반도체 메모리 중 어느 하나에 있어서, 상기 워드선의 승압 전위는 전원 전압인 것을 특징으로 한다.

본 발명의 제6반도체 메모리는 본 발명의 제1 내지 제5반도체 메모리 중 어느 하나에 있어서, 상기 워드선의 비선택시는 마이너스전위인 것을 특징으로 한다.

본 발명의 제7반도체 메모리는 본 발명의 제1 내지 제5반도체 메모리 중 어느 하나에 있어서, 상기 센스 앰프의 증폭 출력의 저전위측 전위는 플러스의 값인 것을 특징으로 한다.

이하, 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다.

< 제1실시 형태

도 1은 제1실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 나타내고 있고, 특히 메모리 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

도 1에 있어서, 메모리 셀 영역에는 메모리 셀 유닛이 행렬 형상으로 배열되어 있다. 이 메모리 셀 유닛은 강유전체 커패시터의 양전극을 각각 E 타입의 NMOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속하여 된다.

여기서는 예를 들면, 8개의 셀 M0 M7 또는 BM0 BM7로 이루어진 2개의 셀 유닛을 대표적으로 나타내고 있고, 셀 M0 M7의 트랜지스터 및 커패시터를 Tr0 Tr7 및 C0 C7, 셀 BM0 BM7의 트랜지스터 및 커패시터를 BTr0 BTr7 및 BC0 BC7로 나타내고 있다.

상기 각 트랜지스터 Tr0 Tr7, BTr0 BTr7의 게이트는 워드선 WLr< 0 WLr< 7에 접속되어 있고, 상기 셀 유닛의 한쪽 끝은 플레이트선 PL< 0, PL< 1 중의 한줄에 접속되어 있고, 다른쪽 끝은 블록 선택용 MOS 트랜지스터 QB0 또는 QB1을 거쳐 상보적인 한쌍의 비트선 BL, BBL중 한줄에 접속되어 있다.

또한, 상기 워드선 WLr< 0 WLr< 7은 어레스 신호에 따라 워드선 선택 회로(도시하지 않음)에 의해 1줄의 워드선이 선택되어 워드선 구동 전위 V(WLr< 0) V(WLr< 7)가 공급된다.

또한, 상기 플레이트선 PL< 0, PL< 1은 어드레스 신호에 따라 플레이트선 선택 회로(도시하지 않음)에 의해 선택되고, 대응하여 플레이트선 전압 V(PL< 0), V(PL< 1)이 공급된다.

또한, 상기 블록 선택용 MOS 트랜지스터 QB0, QB1은 대응하는 블록 선택 신호 V(BSr< 0), V(BSr< 1)에 의해 제어된다.

또한, 상기 비트선쌍 BL, BBL에는 센스 앰프 영역(10)이 접속되어 있다. 이 센스 앰프 영역(10)에는 비트선쌍 BL, BBL을 이퀄라이즈하기 위한 이퀄라이즈 회로 EQ와 비트선쌍 BL, BBL의 전위를 비교 증폭하는 센스 앰프 SA와 컬럼 선택 게이트 CG가 포함되어 있다.

이 경우, 상기 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에는 상기 비트선쌍 BL, BBL에 각각 직렬로 삽입된 NMOS 트랜지스터 QS가 삽입되고, 이 트랜지스터 QS의 게이트에 인가되는 분리 제어 신호 ψt에 의해 이퀄라이즈 회로 EQ와 센스 앰프 SA는 선택적으로 접속/절리가 실행된다.

상기 이퀄라이즈 회로부 EQ는 비트선 프리차지 전위 VSS가 주어지는 접지 전위선과 비트선쌍 BL, BBL 사이에 각각 접속된 NMOS 트랜지스터 QN과 상기 비트선쌍 BL, BBL 사이에 접속된 NMOS 트랜지스터 QE를 갖고, 이퀄라이즈 제어 신호 V(BEQL)에 의해 제어된다.

상기 센스 앰프 SA는 비트선쌍 BL, BBL에 한쌍의 센스 노드가 접속되고, 센스 앰프 활성화 신호 V(SEN)에 의해 활성/비활성 상태가 제어되는 NMOS부와 비트선쌍 BL, BBL에 한쌍의 센스 노드가 접속되고, 센스 앰프 활성화 신호 V(BSEP)에 의해 활성/비활성 상태가 제어되는 PMOS부로 이루어진다.

상기 NMOS부는 종래와 마찬가지로 비트선쌍 BL, BBL에 대응하여 각 드레인이 접속되고, 비트선쌍 BL, BBL에 대응하여 각 게이트가 접속된 2개의 NMOS 트랜지스터와 이 2개의 NMOS 트랜지스터의 각 소스와 센스 앰프의 저전위("L")측 전위 VSS 사이에 공통으로 접속되고, 게이트에 센스 앰프 활성화 신호 V(SEN)이 인가되는 1개의 NMOS 트랜지스터로 이루어진다.

상기 PMOS부는 종래와 마찬가지로 비트선쌍 BL, BBL에 대응하여 각 드레인이 접속되고, 비트선쌍 BL, BBL에 대응하여 각 게이트가 접속된 2개의 PMOS 트랜지스터와 이 2개의 NMOS 트랜지스터의 각 소스와 센스 앰프의 고전위("H")측 전위 VCC 사이에 공통으로 접속되고, 게이트에 센스 앰프 활성화 신호 V(BSEN)가 인가되는 1개의 PMOS 트랜지스터로 이루어진다.

상기 컬럼 선택 게이트 CG는 종래와 마찬가지로, 복수의 컬럼(즉, 복수의 비트선쌍 BL, BBL)에 대하여 공통으로 마련된 데이터선쌍 DQ, BDQ 사이에 각각에 접속된 NMOS 트랜지스터 QG로 이루어지고, 원하는 컬럼의 비트선쌍 BL, BBL을 선택하기 위한 컬럼 선택선 CSL에 의해 스위치 제어되고, 대응하는 컬럼의 센스 앰프 SA에 의해 비교 증폭한 후의 비트선쌍 BL, BBL의 데이터를 데이터선쌍 DQ, BDQ로 전송하거나 또는 칩 외부에서 입력된 데이터를 원하는 비트선쌍 BL, /BL에 기록하기 위한 것이다.

< 제1실시예

도 2는 도 1의 체인 FRAM에 있어서, 2T2C 방식의 메모리 셀에 대한 싱글 플레이트 펄스 구동 방식에 의한 판독/칩 외부에서의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 1중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R, BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 예를 들면, 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL으로의 방향의 분극(즉, 데이터 "0"), BBL측 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M0, BM0에서 각각 데이터 "0", 데이터 "1"을 판독하고, 이어서 칩 외부에서 각각 데이터 "1", 데이터 "0"을 기록하는 경우를 상정한다.

이하, 도 2를 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 "H"로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 보다 구체적으로 기술하면, 플레이트선 전위를 상승시키는 것에 의해 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하는 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내리고, 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 밖으로의 판독/칩 밖에서의 데이터의 센스 앰프 SA로의 기록을 실행한다.

한편, 상술한 바와 같이, 분리용 트랜지스터 QS를 오프한 후, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL, BBL을 0 V에 이퀄라이즈한다. 이것에 의해, 셀 M0, BM0 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록한다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내리고, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 다시 플로팅 상태로 한 후, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온으로 하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, BL측의 셀 M0에는 센스 앰프 영역(10)중의 BL측의 전위가 "H"이면, 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(10)중의 BL측의 전위가 "L"이면, 분리용 트랜지스터 QS가 오프 기간에 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

본 실시예에서는 셀 M0가 비트선 BL에서 플레이트선 PL< 0으로의 방향의 분극(데이터 "1")으로 리라이트되고, 셀 BM0에는 플레이트선 PL< 1에서 비트선으로의 방향의 분극(데이터 "0")가 그대로 계속 기록되게 된다.

이후, 워드선 WLr< 0을 VPP로 상승시키고, 센스 앰프 활성화 신호 (SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

이상의 설명은 판독후에 칩 외부에서 메모리 셀로 기록하는 라이트(Write) 사이클의 동작에 대하여 설명하였지만, 판독/재기록을 실행하는 리드(read) 사이클의 동작도 도 2에 도시한 바와 같은 타이밍으로 이하에 설명하는 바와 같이 실행한다.

즉, 먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 보다 구체적으로 기술하면, 플레이트선 전위를 상승시키는 것에 의해 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하는 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내리고, 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터를 칩 밖으로 판독한다.

한편, 상술한 바와 같이, 분리용 트랜지스터 QS를 오프한 후, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL, BBL을 0 V에 이퀄라이즈한다. 이것에 의해, 셀 M0, BM0 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록한다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내리고, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 다시 플로팅 상태로 한 후, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온으로 하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 판독 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, BL측의 셀 M0에는 센스 앰프 영역(10)중의 BL측의 전위가 "H"이면, 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(10)중의 BL측의 전위가 "L"이면, 분리용 트랜지스터 QS가 오프 기간에 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

본 실시예에서는 셀 M0가 플레이트선 PL< 0에서 비트선으로의 방향의 분극(데이터 "0")이 그대로 계속 기록되고, 셀 BM0에는 비트선에서 플레이트선 PL< 1로의 방향의 분극(데이터 "1")으로 리라이트되게 된다.

이후, 워드선 WLr< 0을 VPP로 상승시키고, 센스 앰프 활성화 신호 (SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

상기한 리드 사이클의 동작과 상술한 라이트 사이클의 동작은 이퀄라이즈 제어 신호 V(BEQL)의 구동 방식이 같고, 리드 사이클 타임 T(R)과 라이트 사이클 타임 T(R/W)는 같다.

상기 제1실시예의 체인 FRAM에 의하면, 셀 어레이와 센스 앰프 SA 사이에 분리용 트랜지스터 QS와 이 분리용 트랜지스터 QS보다도 셀 어레이측에 비트선쌍 BL, BBL을 소정의 타이밍에 접지 전위로 이퀄라이즈하기 위한 이퀄라이즈 회로 EQ를 마련하고, 이들을 제어하여 상기 디스터브를 억제하는 것이 가능하게 되어 있다.

구체적으로는, 분리용 트랜지스터 QS를 오프하여 센스 앰프 SA에 의해 래치되어 있는 데이터를 보호하면서, 이퀄라이즈 회로 EQ를 온 상태로 하여, 먼저 "0" 데이터를 셀에 기록한다. 이어서, 플레이트선을 0 V로 내려서 이퀄라이즈 회로 EQ를 오프한 후에 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 래치되어 있은 판독 데이터 또는 칩 외부에서 입력한 데이터를 셀에 기록한다. 이와 같이, 플레이트선을 0 V로 내린 상태에서 데이터를 셀에 기록하므로, 이때, 플레이트선 전위 및 비트선 전위 양쪽이 동시에 "H"로 되는 일은 없다.

따라서, 도 1중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r, BBL7r의 전위가 부트되는 일은 없고, 셀 트랜지스터 Tr0 Tr7, BTr0 BTr7의 소스 전위의 상승은 없고, 기판 바이어스 효과에 의해 셀 트랜지스터가 오프하는 일은 없고, 셀 트랜스퍼 게이트의 양단에 전위차가 발생하여 커패시터의 축적 분극량이 감소한다고 하는 디스터브의 문제는 발생하지 않는다.

또한, 상기 제1실시예의 체인 FRAM에 의하면, 분리용 트랜지스터 QS를 오프로 한 후에 센스 증폭하므로, 셀 커패시터의 용량의 언밸런스가 센스 앰프 SA에서 보이지 않게 된다고 하는 부차적인 효과가 있다. 또한, 무거운 비트선의 기생 용량 CB도 센스 앰프 SA에서 보이지 않게 되고, 센스 동작이 고속으로 실행된다고 하는 부차적인 효과도 있다.

또한, 상기 제1실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제2실시예

본 실시예는 제1실시예와 비교하여, 리드 사이클과 라이트 사이클에서 이퀄라이즈 제어 신호 V(BEQL)의 구동 방식이 다르고, 각각의 사이클을 각각 독립으로 최적화하는 것이 가능하게 되어 있다.

본 실시예에 있어서, 라이트 사이클의 동작은 도 2를 참조하여 상술한 바와 같지만, 리드 사이클의 동작은 이하에 설명하는 바와 같이 실행된다.

도 3은 도 1의 체인 FRAM에 있어서, 2T2C 방식의 셀에 대한 본 실시예에 있어서의 싱글 플레이트 펄스 구동 방식에 의한 판독/재기록을 실행하는 리드 사이클로서의 일련의 동작을 나타내는 타이밍도 및 도 1중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7r, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 상술한 제1실시예와 마찬가지로, 예를 들면, 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M0, BM0에서 각각 데이터 "0", 데이터 "1"을 판독하고, 이어서 재기록을 실행하는 경우를 상정한다.

이하, 도 3을 참조하면서 구체적으로 설명한다.

먼저, 이퀄라이즈 제어 신호 전위 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독할 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다.
이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 이때, 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R에 판독된 전하량 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하량은 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)를 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 올리고, 센스 앰프 SA측의 데이터를 칩 밖으로 판독한다.

여기서, 주의해야 할 것은 제1실시예에 있어서는 분리용 트랜지스터 QS를 오프한 후에 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하는 것에 의해, 셀 M0, BM0 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록하였지만, 본 실시예에서는 동작의 고속화를 위해, 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하지 않는다.

이와 같이, 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하지 않는 경우, "L"측의 데이터가 판독된 비트선 전위는 0 V에 가까운 상태이지만, 완전히는 0 V로는 되지 않는다. 이 단계에서는 "0" 데이터를 정확하게 기록하지 않지만, 전원 오프시에는 셀 커패시터의 히스테리시스 특성 곡선상의 원 위치(y 절편 상의 분극 위치)로 돌아가므로 문제는 없다.

계속해서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 한 후, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, 센스 앰프 영역(10) 중의 BL측의 전위가 "H"이면, BL측의 셀 M0에는 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 형역(10) 중의 BL측의 전위가 "L"이면, BL측의 셀 M0에는 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

즉, 본 실시예에서는 비트선쌍 BL, BBL의 전위가 0 V에 가까운 상태에서 플레이트선 전위 V(PL< 0), V(PL< 1)을 "H"로 상승시켜 셀 M0, BM0에 "0" 데이터를 기록하고, 그후, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내리고 나서 센스 앰프 SA에서 셀 BM0에 "1" 데이터를 기록한다.

이후, 워드선 전위 V(WLr< 0)을 VPP로 승압하고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

따라서, 제2실시예에 의하면, 상술한 제1실시예와 마찬가지로, 플레이트선 전위와 비트선 전위 양쪽이 "H"로 되는 일은 없고, 종래 제1동작예에서 기술한 바와 같은 디스터브의 문제는 생기지 않는다. 또한, 분리용 트랜지스터 QS를 오프로 한 후에 센스 증폭하므로, 셀 커패시터의 언밸런스를 센스 앰프 SA에서 보이지 않게 되고, 또 무거운 비트선의 기생 용량 CB도 센스 앰프 SA에서 보이지 않게 되고, 고속 동작이 가능하다고 하는 부차적인 효과가 있다.

또한, 제2실시예에 있어서의 리드 사이클의 동작은 제1실시예에 있어서의 리드 사이클의 동작과 비교하여, 비트선쌍 BL, BBL의 이퀄라이즈 동작이 다르다. 즉, 제1실시예에 있어서의 리드 사이클(및 라이트 사이클)에서는 분리용 트랜지스터 QS를 오프로 하고 있는 동안에 이퀄라이즈 제어 신호 V(BEQL)을 올리고 내리지 않으면 안되었지만, 제2실시예에 있어서의 리드 사이클에서는 분리용 트랜지스터 QS를 오프로 하고 있는 동안에 이퀄라이즈 제어 신호 V(BEQL)을 내리지 않아도 좋다. 그 때문에, 제2실시예에서는 리드 사이클과 라이트 사이클에서 각각 독립으로 동작 타이밍을 최적화하고, 리드 사이클 타임 T(R)을 라이트 사이클 타임 T(R/W)보다 짧게 설정하는 것이 가능하게 된다.

또한, 상기 제2실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제3실시예

본 실시예는 싱글 플레이트 펄스 구동 방식을 채용한 제1실시예 및 제2실시예와 비교하여, 더블 플레이트 펄스 구동 방식을 채용한 점이 다르다.

도 4는 도 1의 체인 FRAM에 있어서, 2T2C 방식의 셀에 대한 더블 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부에서의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 상술한 제1실시예와 마찬가지로, 예를 들면 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 셀 M0, BM0에서 각각 데이터 "0", 데이터 "1"을 판독하고, 계속해서 칩 외부에서 각각 데이터 "1", 데이터 "0"을 기록하는 경우를 상정한다.

이하, 도 4를 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 플로팅 상태로 하고, 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해 분극량의 차만을 데이터로 하여 비트선쌍 BL, BBL에 판독한다. 이때, 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R에 판독된 전하량 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하량은 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있은 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 밖으로의 판독/칩 밖으로 부터의 데이터의 센스 앰프 SA로의 기록을 실행한다.

한편, 상술한 바와 같이 분리용 트랜지스터 QS를 오프한 후, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하고, 그 상태에서 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해, 셀 M0, BM0의 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록한다.

이어서, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 다시 플로팅 상태로 한 후, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, BBL측의 셀 BM0에는 센스 앰프 영역(10) 중의 BBL측의 전위가 "H"이면, 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 칩 외부로 부터의 기록에 의해 센스 앰프 영역(10) 중의 BBL측의 전위가 "L"로 되어 있으므로, 분리용 트랜지스터 QS가 오프인 기간에 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다. 한편, BL측의 셀 M0에는 칩 외부로 부터의 기록에 의해 센스 앰프 영역(10) 중의 BL측의 전위는 "H"로 되어 있으므로, 비트선에서 플레이트선으로의 방향의 분극이 기록되게 된다.

즉, 본 실시예에서는 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하면서 플레이트선 전위 V(PL< 0), V(PL< 1)을 상승시켜 셀 M0, BM0에 "0" 데이터를 기록하고, 그후, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내린 상태에서 센스 앰프 SA에서 셀 M0, BM0에 각각 데이터 "1", "0"을 기록한다.

이후, 워드선 전위 V(WLr< 0)을 VPP로 승압하고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

따라서, 제3실시예에 의하면, 상술한 제1실시예와 마찬가지로 플레이트선 전위와 비트선 전위 양쪽이 "H"로 되는 일은 없고, 종래 제2동작예에서 기술한 바와 같은 디스터브의 문제는 생기지 않는다. 또한, 분리용 트랜지스터 QS를 오프로 한 후에 센스 증폭하므로, 셀 커패시터의 용량의 언밸런스가 존재하여도 센스 앰프 SA에서 보이지 않게 되고, 무거운 비트선의 기생 용량 CB도 센스 앰프 SA에서 보이지 않게 된다고 하는 부차적인 효과가 있다.

또한, 상기 제3실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제4실시예

본 실시예는 라이트 사이클에 있어서 워드선 WLr< 0을 선택하여 셀 M0, BM0를 선택하고, 더블 플레이트 펄스 구동 방식을 채용한 경우의 동작을 나타낸 제3실시예에 대하여, 리드 사이클에 있어서 워드선 WLr< 7을 선택하여 셀 M7, BM7을 선택하고, 더블 플레이트 펄스 구동 방식을 채용한 경우의 동작이다.

도 5는 도 1의 체인 FRAM에 있어서, 2T2C 방식의 셀에 대한 더블 플레이트 펄스 구동 방식에 의한 판독 및 재기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 예를 들면, 워드선 WLr< 7을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M7에는 플레이트선 BL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM7에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M7, BM7에서 각각 데이터 "0", 데이터 "1"을 판독하고, 계속해서 재기록을 실행하는 경우를 상정한다.

이하, 도 5를 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 7)을 VPP에서 0 V로 내려서 셀 M7, BM7의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해 분극량의 차만을 데이터로 하여 비트선쌍 BL, BBL에 판독한다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 밖으로의 판독/칩 밖으로 부터의 데이터의 센스 앰프 SA로의 기록을 실행한다.

한편, 상기와 같이 분리용 트랜지스터 QS를 오프한 후, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하고, 그 상태에서 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해, 셀 M7, BM7 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록한다.

이어서, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 다시 플로팅 상태로 한 후, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, 센스 앰프 영역(10) 중의 BL측의 전위가 "H"이면, BL측의 셀 M7에는 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(10) 중의 BL측의 전위가 "L"이면, BL측의 셀 M7에는 분리용 트랜지스터 QS가 오프 기간에 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

즉, 본 실시예에서는 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하면서 플레이트선 전위 V(PL< 0), V(PL< 1)을 승압하여 셀 M7, BM7에 "0" 데이터를 기록하고, 그후, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내린 상태에서 센스 앰프 SA에서 셀 BM7에 "1" 데이터를 기록한다.

이후, 워드선 전위 V(WLr< 7)을 VPP로 상승시키고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

따라서, 제4실시예에 의하면, 상술한 제1실시예와 마찬가지로 플레이트선 전위와 비트선 전위 양쪽이 "H"로 되는 일은 없고, 종래 제3동작예에서 기술한 바와 같은 디스터브의 문제는 생기지 않는다. 또한, 분리용 트랜지스터 QS를 오프로 한 후에 센스 증폭하므로, 셀 커패시터의 용량의 언밸런스가 센스 앰프 SA에서 보이지 않게 된다. 또한, 무거운 비트선의 기생 용량 CB도 센스 앰프 SA에서 보이지 않게 되고, 센스 동작의 고속화가 도모된다고 하는 부차적인 효과가 있다.

또한, 상기 제4실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제5실시예

본 실시예는 플레이트선 전위를 0 V로 내리고, 이어서 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내린 후에 데이터를 비트선쌍 BL, BBL에 기록하기 시작하는 제1실시예와 비교하여, 플레이트선 전위를 0 V로까지 내리는 도중의 단계에서 데이터를 비트선쌍 BL, BBL에 기록하기 시작하는 것에 의해, 제1실시예보다도 고속화를 도모하는 것이 가능하게 되는 점이 다른다.

도 6은 도 1의 체인 FRAM에 있어서, 2T2C 방식의 메모리 셀에 대한 싱글 플레이트 펄스 구동 방식에 의한 판독/칩 외부로 부터의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 예를 들면, 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M0에서 데이터 "0"을 판독하고, 계속해서 칩 외부에서 데이터 "1"을 기록하는 경우를 상정한다.

이하, 도 6을 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 보다 구체적으로 기술하면, 플레이트선 전위를 상승시키는 것에 의해, 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하는 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리용 트랜지스터 QS를 오프로 하고, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL을 절리한다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내리고, 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 밖으로의 판독/칩 밖으로 부터의 데이터의 센스 앰프 SA로의 기록을 실행한다.

한편, 상기한 바와 같이 분리용 트랜지스터 QS를 오프한 후, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL, BBL을 0 V에 이퀄라이즈한다. 이것에 의해, 셀 M0, BM0 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)을 기록한다.

이어서, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 다시 플로팅 상태로 한다. 이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내려 가는 동작과 동시에, 분리 제어 신호 ψt를 0 V→VPP로 상승시켜 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, BL측의 셀 M0에는 센스 앰프 영역(10) 중의 BL측의 전위가 "H"이면, 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(10) 중의 BL측의 전위가 "L"이면, 분리용 트랜지스터 QS가 오프 기간에 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

본 실시예에서는 셀 M0는 비트선 BL에서 플레이트선 PL< 0로의 방향의 분극(데이터 "1")으로 리라이트되고, 셀 BM0에는 플레이트선 PL< 1에서 비트선으로의 방향의 분극(데이터 "0")이 그대로 계속 기록되게 된다.

이후, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 "H"에서 "L"로 내려서 블록 선택 트랜지스터 QB0, QB1을 오프로 하고, 계속해서 워드선 WLr< 0을 VPP로 상승시키고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

따라서, 제5실시예에 의하면, 상술한 제1실시예와 마찬가지로 디스터브의 저감 효과, 셀 커패시터의 용량 언밸런스가 센스 앰프 SA에서 보이지 않게 된다고 하는 부차적인 효과, 비트선의 기생 용량 CB도 센스 앰프 SA에서 보이지 않게 되고, 센스 동작이 고속으로 실행된다고 하는 부차적인 효과가 얻어진다.

또한, 제5실시예에 있어서, 특징적인 것은 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로까지 내리는 도중에, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록하기 시작하므로, 상기 제1실시예보다도 고속화를 도모하는 것이 가능하게 되는 것이다.

또한, 상기 제5실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제6실시예

본 실시예에서는 상술한 제1실시예의 리드 사이클의 동작 및 라이트 사이클의 동작과 비교하여, 분리 제어 신호 ψt의 "L" 레벨이 다른 경우의 예를 설명한다.

도 7은 도 1의 체인 FRAM에 있어서, 2T2C 방식의 메모리 셀에 대한 본 실시예에 있어서의 싱글 플레이트 펄스 구동 방식에 의한 판독/재기록을 실행하는 경우의 리드 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

도 8은 도 1의 체인 FRAM에 있어서, 2T2C 방식의 메모리 셀에 대한 본 실시예에 있어서의 싱글 플레이트 펄스 구동 방식에 의한 판독 후에 칩 외부에서 메모리 셀에 기록하는 경우의 라이트 사이클로서의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

먼저, 리드 사이클의 동작에 대하여 도 7을 참조하면서 구체적으로 동작을 설명한다. 여기서는 예를 들면, 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M0에서 데이터 "0"을 판독하고, 계속해서 재기록을 실행하는 경우를 상정한다.

먼저, 출력 인에이블 제어 신호 /OE가 활성 상태 ("L")로 되어 출력 가능 상태로 된 후, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여, 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 VPP에서 0 V로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 이때, 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R에 판독된 전하량 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하량은 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 VPP미만의 일정 전위(본예에서는 VCC)로 내린다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 분리 제어 신호 ψt를 VCC로 내리고 있는 중에 컬럼 선택 신호 V(CSL)을 올리고, 센스 앰프 SA측의 데이터를 칩 밖으로 판독한다.

여기서, 주의해야 할 것은 상기 제6실시예에 있어서는 상기 분리 제어 신호 ψt를 VPP에서 0 V까지 내려서 분리용 트랜지스터 QS를 완전히 오프로 하고 있었지만, 본예에서는 분리 제어 신호 ψt를 VPP에서 VCC까지밖에 내리지 않는다.

이와 같이, 분리 제어 신호 ψt를 VPP에서 VCC로 내려 두면, 도 1중의 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r의 전위는 상술한 바와 같이 플레이트선 전위 V(PL< 0), V(PL< 1)을 상승시키는 것에 의해 "H"로 들어올리고 있는 상태에 있고, 센스 증폭에 의해 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r의 전위는 올라가지만, 상기 노드 BBL0r의 전위는 VCC-Vth까지밖에 올라가지 않는다. 따라서, 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r의 부트는 상기 노드 BBL0r의 전위가 VCC까지 올라갔을 때에 비하여 저감하고, 결과적으로 디스터브를 저감시키는 것이 가능하게 된다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 한 후, 분리 제어 신호 ψt를 VPP로 되돌려서 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다. 이때, 센스 앰프 영역(10) 중의 BL측의 전위가 "H"이면, BL측의 셀 M0에는 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(10) 중의 BL측의 전위가 "L"이면, BL측의 셀 M0에는 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

즉, 본 실시예에서는 플레이트선 전위 V(PL< 0), V(PL< 1)을 "H"로 상승시켰을 때에 센스 앰프 영역(10) 중의 BL측의 전위(데이터 "0")를 셀 M0에 기록한다. 또한, 센스 앰프 영역(10) 중의 BBL측의 전위(데이터 "1")을 셀 BM0에 기록할 때는 상기 분리 제어 신호 ψt를 VPP로 되돌리는 시점에 노드 BBL0r의 전위가 VCC-Vth에까지 도달하고 있으므로, 노드 BBL0r의 전위를 VCC까지 회복시키는 시간이 짧고, 고속화가 달성된다.

이후, 블록 선택 신호 V(BSr< 0), V(BSr,1)을 VPP에서 0 V로 내려서 블록 선택 트랜지스터 QB0, QB1을 오프로 하고, 계속해서 워드선 구동 전위 V(WLr< 0)을 VPP로 승압하고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

즉, 제6실시예의 리드 사이클의 동작에서는 노드 BBL0r의 전위가 VCC-Vth까지밖에 상승하지 않도록 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 한 후에 분리 제어 신호 ψt를 VPP로 되돌려서 노드 BBL0r의 전위를 VCC까지 올린다고 하는 고안에 의해, 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r의 부트를 저감시키고, 디스터브를 저감시키는 것과 고속화를 양립시키는 것이 가능하게 된다.

이어서, 라이트 사이클의 동작에 대하여, 도 8을 참조하면서 구체적으로 동작을 설명한다. 여기서는 예를 들면, 워드선 WLr< 0을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M0에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM0에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 셀 M0, BM0에서 각각 데이터 "0", 데이터 "1"을 판독하고, 계속해서 칩 외부에서 셀 데이터 "1", 데이터 "0"을 기록을 실행하는 경우를 상정한다.

이 라이트 사이클의 동작은 상술한 리드 사이클의 동작과 마찬가지로 데이터를 판독한 후, 재기록의 타이밍에 칩 외부에서 메모리 셀에 데이터를 기록하는 것이다.

먼저, 라이트 인에이블 제어 신호 /WE가 활성 상태 ("L")로 되어 기록 가능 상태로 된 후, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여, 비트선쌍 BL, BBL을 플로팅 상태로 하고, 데이터를 판독할 준비를 한다.

이어서, 워드선 전위 V(WLr< 0)을 "H"에서 "L"로 내려서 셀 M0, BM0의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 "L"에서 "H"로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시켜 비트선쌍 BL, BBL에 데이터를 판독한다. 이때, 셀 트랜지스터 Tr0의 한쪽 끝 노드 BL0R에 판독된 전하량 및 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r에 판독된 전하량은 센스 앰프 SA의 한쌍의 센스 노드에 판독된다.

이어서, 분리 제어 신호 ψt를 VPP에서 VPP미만의 일정 전위(본예에서는 VCC)로 내린다. 그리고, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 또한, 상기 분리 제어 신호 ψt를 VCC로 내리고 있는 중에 컬럼 선택 신호 V(CSL)을 올리고, 칩 외부에서 센스 앰프 SA에 데이터를 기록한다.

상기한 바와 같이, 분리 제어 신호 ψt를 VPP에서 VCC로 내려 두면, 도 1중의 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r의 전위는 상술한 바와 같이 플레이트선 전위 V(PL< 0), V(PL< 1)을 상승시키는 것에 의해 "H"로 들어올리고 있는 상태에 있고, 센스 증폭에 의해 셀 트랜지스터 BTr0의 한쪽 끝 노드 BBL0r의 전위는 올라가지만, 상기 노드 BBL0r의 전위는 VCC-Vth까지밖에 올라가지 않는다.

따라서, 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r의 부트는 상기 노드 BBL0r의 전위가 VCC까지 올라갔을 때에 비하여 저감하고, 결과적으로 디스터브를 저감시키는 것이 가능하게 된다.

또한, 셀 트랜지스터 Tr1 Tr7에 대한 디스터브의 저감 효과는 BTr1 BTr7에 비하여 한층 현저하게 됨과 동시에 고속화도 달성할 수 있다.

셀 데이터의 리드시는 셀 트랜지스터 Tr1 Tr7의 한쪽 끝 노드 BL1r BL7r의 전위는 상기한 바와 같이 "H"로 올라가고 있는 상태에 있고, 센스 동작에 의해 BL0r은 한번 0 V로 된 후에 외부로 부터의 기록에 의해 "H"로 상승하였지만, 이때 VCC-Vth까지밖에 상승하지 않는다. 이 때문에, VCC까지 상승한 경우에 비하면, 부트는 저하하고, 디스터브도 저감된다. 또한, 분리 제어 신호 ψt를 VPP로 되돌리는 시점에서 BL0r의 전위는VCC-Vth에까지 회복하고 있으므로, VCC까지 되돌리는 시간이 적게 되는 만큼, 고속화를 달성할 수 있다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 한 후, 분리 제어 신호 ψt를 VPP로 되돌려서 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL을 거쳐 셀 M0, BM0에 기록한다.

즉, 본 실시예에서는 플레이트선 전위 V(PL< 0), V(PL< 1)을 "H"로 상승시켰을 때에 센스 앰프 영역(10) 중의 BBL측의 전위(데이터 "0")을 셀 BM0에 기록한다.

이후, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 VPP에서 0 V로 내려서 블록 선택 트랜지스터 QB0, QB1을 오프로 하고, 계속해서 워드선 구동 전위 V(WLr< 0)을 VPP로 승압하고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

즉, 제6실시예의 라이트 사이클의 동작에서는 노드 BBL0r의 전위가 VCC-Vth까지밖에 상승하지 않도록 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 한 후에 분리 제어 신호 ψt를 VPP로 되돌려서 노드 BBL0r의 전위를 VCC까지 올린다고 하는 고안에 의해, 셀 트랜지스터 BTr1 BTr7의 한쪽 끝 노드 BBL1r BBL7r과 셀 트랜지스터 Tr1 Tr7의 한쪽 끝 노드 BL1r BL7r의 부트를 저감시키고, 디스터브를 저감시키는 것이 가능하게 된다. 특히, 셀 트랜지스터 Tr1 Tr7의 디스터브 저감 효과가 현저하게 된다.

따라서, 제6실시예에 의하면, 상술한 제1실시예, 제2실시예와 마찬가지로 디스터브의 저감 효과 등이 얻어지는 외에, 분리 제어 신호 ψt를 VPP로 되돌리는 시점에 노드 BL0r 또는 BBL0r의 전위를 VCC까지 회복시키는 시간이 짧게 되고, 상기 제1실시예, 제2실시예보다도 고속화를 도모하는 것이 가능하게 된다.

또한, 상기 제6실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제7실시예

상술한 제6실시예에서는 센스 증폭이 실행되고 있는 상태에서 플레이트선의 전위가 하강하는 전후에 분리 제어 신호 ψt의 전위를 한결같이 규정하고 있었지만, 본 실시예에서는 디스터브를 저감시키기 위해 최저로 필요한 동작과 그 이외의 동작을 명확히하고 있다.

도 9는 도 7을 참조하여 전술한 제6실시예의 리드 사이클의 동작과 대략 마찬가지로 실행하는 리드 사이클의 동작을 나타내고 있고, 제6실시예의 리드 사이클의 동작과 비교하여, 기본적으로 같지만, 분리 제어 신호 ψt의 전위의 부정(don't care) 기간을 사선으로 나타내고 있다.

즉, 메모리 셀에서 센스 앰프에 신호가 전달되면, 분리 제어 신호 ψt의 전위는 VPP라도 그 미만의 전위(본예에서는 VCC)라도 좋고, 센스 증폭 전후에 VCC를 일정하게 한 경우에는 액세스 타임의 고속화를 도모하는 것도 가능하다.

또한, 메모리 셀로의 재기록이 실행된 후, 분리 제어 신호 ψt의 전위는 VPP에서 VCC로 내려가게 된다.

도 10은 도 8을 참조하여 전술한 제6실시예의 라이트 사이클의 동작과 대략 마찬가지로 실행하는 리드 사이클의 동작을 나타내고 있고, 제6실시예의 라이트 사이클의 동작과 비교하여, 기본적으로는 같지만, 분리 제어 신호 ψt의 전위의 부정(dont' care) 기간을 사선으로 나타내고 있다.

즉, 메모리 셀에서 센스 앰프에 신호를 전달하면, 분리 제어 신호 ψt의 전위는 VPP라도 그 미만의 전위(예를 들면, VCC)라도 좋고, 센스 증폭의 전후에 VCC를 일정하게 한 경우에는 액세스 타임의 고속화를 도모하는 것도 가능하다.

또한, 메모리 셀로의 기록이 실행된 후, 분리 제어 신호 ψt의 전위는 VPP에서 VCC로 내려가게 된다.

따라서, 제7실시예에 의하면, 제6실시예와 마찬가지로 디스터브의 저감 효과 등이 얻어지는 것외에, 액세스 타임의 더욱 고속화를 도모하는 것이 가능하게 된다.

또한, 상기 제7실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

< 제8실시예

상술한 제1 제7실시예에서는 분리 제어 신호 ψt의 전위를 변화시켰지만, 본 실시예에서는 분리 제어 신호 ψt의 전위를 VPP 등의 일정 전위로 고정하거나, 분리 제어용 트랜지스터 QS를 제거한다.

도 11은 도 1의 체인 FRAM에 있어서, 2T2C 방식의 셀에 대한 더블 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부로 부터의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 1 중의 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0R BBL7r의 전위의 상세한 추이를 나타내고 있다.

여기서는 예를 들면, 워드선 WLr< 7을 선택하는 경우에 있어서 선택되는 셀 중, BL측의 셀 M7에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM7에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M7에서 데이터 "0"을 판독하고, 계속해서 칩 밖으로 부터의 기록을 실행하는 경우를 상정한다.

이하, 도 11을 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 플로팅 상태로 하고, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 트랜지스터 QB0, QB1을 온으로 하고, 데이터를 판독하는 준비를 한다. 또한, 분리 제어 신호 ψt의 전위를 VPP 등의 일정 전위로 고정하여 둔다.

이어서, 워드선 전위 V(WLr< 7)을 VPP에서 0 V로 내려서 셀 M7, BM7의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해 분극량의 차만을 데이터로 하여 비트선쌍 BL, BBL에 판독한다.

이어서, 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다. 여기서, 주의해야 할 점은 이 시점에서는 센스 앰프 SA의 전원 전위가 VCC미만이라고 하는 것이다. 또한, 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 밖으로의 판독/칩 밖으로 부터의 데이터의 센스 앰프 SA로의 기록을 행한다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해, 셀 M7, BM7에 재기록을 실행한다. 그리고, 상기 플레이트선 전위 V(PL< 0), V(PL< 1)가 "L" (0 V)로 된 후에 센스 앰프 SA의 전원 전위 V(SAP)를 VCC미만의 전위에서 VCC로 끌어올린다.

이후, 워드선 전위 V(WLr< 7)을 VPP로 상승시키고, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 0 V로 내리고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

즉, 제8실시예에 의하면, 플레이트선 전위 V(PL< 0), V(PL< 1)가 "H"의 상태에 있을 때 센스 앰프 SA의 전원 전위 V(SAP)를 VCC보다 인하하여 두고, 플레이트선 전위 V(PL< 0), V(PL< 1)가 0 V로 강하한 후에 센스 앰프 SA의 전원 전위 V(SAP)를 VCC로 상승시킨다.

이와 같이, 센스 증폭 중에 센스 앰프 SA의 전원 전위 V(SAP)를 조절하는 것에 의해, 디스터브를 저감시킬 수 있다.

또한, 상기 제8실시예에서는 2T2C 방식의 셀에 대한 판독/기록을 실행하는 경우의 일련의 동작을 나타내었지만, 1T1C 방식의 셀에 대한 판독/기록을 실행하는 경우는 1개의 셀을 선택하고, 이 셀에서 비트선으로 판독된 전위와 별도 생성된 참조 전위(예를 들면, 상기 비트선과 상보인 비트선에 레퍼런스 셀에서 판독한 전위)를 비교 증폭하는 것에 의해 용이하게 실현할 수 있다.

여기서, 상술한 제1실시 형태를 요약하여 설명한다.

체인 FRAM에서, 예를 들면 더블 플레이트 펄스 구동 방식에 있어서, 센스 앰프를 기동한 후에 재기록하기 위한 플레이트선의 구동을 실행하는 경우를 상정한다.

이 경우, 종래 체인 FRAM에서는 "1"판독의 경우, 비트선이 센스 앰프의 전원 레벨까지 증폭된 다음에 다시 플레이트선에 의해 구동되므로, 메모리 셀 유닛 내부의 노드가 부트되는 것에 의한 기판 바이어스 효과에 의해 트랜스퍼 게이트가 오프한다.

그 상태에서 또 플레이트선 전위가 상승하므로, 셀 트랜스퍼 게이트가 오프한 후에 상승한 만큼은 플레이트선과 셀 트랜스퍼 게이트 사이에 줄지어 나란한 용량 성분에 의해 용량 분할되고, 결과적으로, 각 셀 트랜스퍼 게이트 양단에 전위차가 발생하고, 이것에 의해 각 셀 커패시터의 축적 분극양이 감소하고, 디스터브가 발생한다.

그래서, 제1실시 형태에 관한 체인 FRAM에서는 셀 어레이와 센스 앰프 SA 사이에 분리용 트랜지스터 QS와 이 분리용 트랜지스터 QS보다도 셀 어레이측에 비트선쌍 BL, BBL을 소정의 타이밍에 접지 전위로 이퀄라이즈하기 위한 이퀄라이즈 회로 EQ를 마련하고, 이것을 제어하여 상기 디스터브를 억제한다.

구체적으로는 분리용 트랜지스터 QS를 오프하여 판독한 데이터를 보호하면서 이퀄라이즈 회로 EQ를 온 상태로 하여 2번째의 플레이트선 구동을 실행하는 것에 의해, 먼저 "0" 데이터를 셀에 기록한다.

이어서, 플레이트선을 0 V로 내려서 이퀄라이즈 회로 EQ를 오프한 후에 분리용 트랜지스터 QS를 온하는 것에 의해, 센스 앰프 SA에 래치되어 있는 판독 데이터 또는 칩 외부에서 입력한 데이터를 셀에 기록한다. 이때, 센스 앰프 SA에 래치되어 있는 데이터가 "1"이면, 셀의 "0" 데이터는 "1"로 리라이트되게 된다.

이상의 동작에서는 플레이트선과 센스 앰프과 함께 "H"로 되는 일은 없으므로, 종래 체인 FRAM에서 생기는 바와 같은 디스터브의 문제는 생기지 않는다.

< 제2실시 형태

상술한 제1실시 형태에 관한 체인 FRAM은 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에 분리용 트랜지스터 QS를 마련하고, 센스 증폭 전에 분리용 트랜지스터 QS를 오프하고, 플레이트선 전위를 0 V로 하강시킨 후에 분리용 트랜지스터 QS를 온하고, 메모리 셀에 기록 또는 재기록을 실행하도록 동작시켰다.

이것에 대하여 상기 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이의 전기적인 분리 수단을 변경한 제2실시 형태에 관한 체인 FRAM에 대하여 이하에 설명한다.

도 12는 제2실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 나타내고 있고, 특히 메모리 셀 어레이 및 주변 회로의 일부의 회로 접속을 도시하고 있다.

제2실시 형태에 관한 체인 FRAM의 구성은 제1실시 형태에 관한 체인 FRAM의 구성에 비하여, 분리용 트랜지스터 QS를 생략하고, 센스 앰프 영역(20), 기록 회로(21)가 다르고, 그 외는 같으므로, 도 1과 동일 부호를 붙이고 있다.

즉, 센스 앰프 영역(20)에 있어서는 비트선쌍 BL, BBL에 이퀄라이즈 회로 EQ가 접속됨과 동시에 센스 입력용 트랜지스터의 제어 전극(본예에서는 NMOS 트랜지스터 QA의 게이트)이 접속되어 있다. 이 트랜지스터 QA는 소스가 접지 전위 VSS에 접속되고, 드레인에 제2비트선쌍 BL2 또는 BBL2가 접속되어 있다. 이 제2비트선쌍 BL2, BBL2에 센스 앰프 SA, 컬럼 선택 게이트 CG 및 비트선 프리차지 회로 PR이 접속되어 있다.

그리고, 상기 제2비트선상 BL2, BBL2와 상기 비트선쌍 BL, BBL 사이에 기록 회로(21)가 접속되어 있는 점이 다르다.

상기 비트선 프리차지 회로 PR은 비트선 프리차지 전위 VPP가 주어지는 비트선 프리차지선과 제2비트선쌍 BL2, BBL2 사이에 각각 접속된 프리차지용 NMOS 트랜지스터 QP를 갖고, 비트선 프리차지 제어 신호 V(BLPR)에 의해 제어된다.

상기 기록 회로(21)는 제2비트선쌍 BL2, BBL2와 비트선쌍 BL, BBL 사이에 각각 접속된 기록용 NMOS 트랜지스터 QW로 이루어지고, 기록 제어 신호 V(WRITE)에 의해 제어된다.

제2실시 형태에 관한 체인 FRAM의 동작은 제1실시 형태에 관한 체인 FRAM의 동작과 비교하여, 비트선 프리차지 회로 PR에 의해 제2비트선쌍 BL2, BBL2을 소정 전위 VPP로 프리차지하고, 선택 셀에서 비트선쌍 BL, BBL에 판독된 전위를 트랜지스터 QA의 게이트에서 직접 받고, 제2비트선쌍 BL2, BBL2에 접속되어 있는 센스 앰프 SA에서 비교 증폭이 완료한 후에 기록 회로(21)를 온시켜 비트선쌍 BL, BBL과 BL2, BBL2를 각각 접속하고, 선택 셀에 다시 기록하도록 동작시키는 점이 다르다.

< 제9실시예

도 13은 도 12에 도시한 제2실시 형태에 관한 체인 FRAM에 있어서, 2T2C 방식의 셀에 대한 싱글 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부로 부터의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도 및 도 12 중의 셀 트랜지스터 Tr0 Tr7의 한쪽 끝 노드 BL0R BL7R의 전위, 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0R BBL7R 전위의 상세한 추이를 나타내고 있다.

여기서는 예를 들면, 워드선 WLr< 7을 선택하는 경우에 있어서 선택되는 셀 중, BL측의 셀 M7에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM7에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M7에서 데이터 "0"을 판독하는 경우를 상정한다.

이하, 도 13을 참조하면서 구체적으로 동작을 설명한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 0 V로의 이퀄라이즈를 해제하여 비트선쌍 BL, BBL을 플로팅 상태로 하고, 비트선쌍 BL, BBL에 데이터를 판독하는 준비를 한다. 또한, 비트선 프리차지 제어 신호 V(BLPR)도 "L"로 내려서 제2비트선쌍 BL2, BBL2의 프리차지도 해제하고, 비트선쌍 BL, BBL에 판독되어 있는 데이터가 자동적으로 센스 앰프 SA측으로 전달되는 준비를 한다.

이어서, 워드선 전위 V(WLr< 7)을 VPP에서 0 V로 내려서 셀 M7, BM7의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 전위 V(BSr< 0), V(BSr< 1)을 0 V에서 VPP로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"로 상승시키는 것에 의해 데이터를 비트선쌍 BL, BBL에 판독한다.

이 상태에서는 기록 제어 신호 W(WRITE)는 0 V이고, 센스 앰프 SA는 셀 어레이 영역과는 절리된 상태이므로, 이 상태일 때에 센스 앰프 활성화 신호 V(BSEP)를 내림과 동시에 센스 앰프 활성화 신호 V(SEN)을 올려서 센스 앰프 SA에 의해 센스 증폭시킨다.

또한, 상기 절리가 실행되고 있는 중에 컬럼 선택 신호 V(CSL)을 "H"로 올리고, 센스 앰프 SA측의 데이터의 칩 외부로의 판독을 실행한다.

한편, 상기 센스 증폭과 거의 동시에 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시켜 비트선쌍 BL2, BBL2를 0 V에 이퀄라이즈한다. 이것에 의해, 비트선쌍 BL, BBL이 0 V로 되고, 그 상태에서 플레이트선 전위 V(PL< 0), V(PL< 1)가 "H"로 되어 있는 것에 의해, 셀 M7, BM7 양쪽에 "0" 데이터(즉, 플레이트선에서 비트선으로의 방향의 분극)가 기록된다.

이어서, 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내리고, 이퀄라이즈 제어 신호 V(BEQL)을 "L"로 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하여 비트선쌍 BL2, BBL2를 다시 플로팅 상태로 한 후, 기록 제어 신호 V(WRITE)를 "H"로 하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 기록한다.

이때, 센스 앰프 영역(20) 중의 BL2측의 전위가 "H"이면, BL측의 셀 M7에는 비트선에서 플레이트선으로의 방향의 분극이 다시 기록되게 되지만, 센스 앰프 영역(20) 중의 BL2측의 전위가 "L"이면, BL측의 셀 M7에는 최초에 기록된 플레이트선에서 비트선으로의 방향의 데이터가 그대로 계속 기록되게 된다.

즉, 본 실시예에서는 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하면서 플레이트선 전위 V(PL< 0), V(PL< 1)을 승압하여 셀 M7, BM7에 "0" 데이터를 기록하고, 그후 플레이트선 전위 V(PL< 0), V(PL< 1)을 0 V로 내린 상태에서 센스 앰프 SA에서 셀 BM7에 "1" 데이터를 기록한다.

이후, 워드선 WLr< 0을 VPP로 상승시키고, 센스 앰프 활성화 신호 V(SEN), V(BSEP)를 비활성 상태로 하고, 이퀄라이즈 제어 신호 V(BEQL)을 "H"로 상승시킨다.

따라서, 제9실시예에 의하면, 플레이트선과 비트선 양쪽이 "H"로 되는 일은 없고, 종래 제3동작예에서 기술한 바와 같은 디스터브의 문제는 생기지 않는다.

또한, 비트선쌍으로 판독된 데이터를 트랜지스터 QA의 게이트에서 받으므로, 센스 증폭할 때에 셀 커패시터의 용량의 언밸런스가 존재하여도 센스 앰프 SA에서 보이지 않게 되고, 무거운 비트선의 기생 용량도 센스 앰프 SA에서 보이지 않게 되므로, 고속 센스 동작할 수 있다고 하는 부차적인 효과가 있다.

또한, 제2실시 형태에 관한 체인 FRAM에 의하면, 제1실시 형태에 관한 체인 FRAM의 구성에 비하여, 센스 앰프 영역(20)은 복잡하게 되지만(패턴 면적이 크게 되지만), 제1실시 형태에 관한 체인 FRAM의 제4실시예와 비교하여, 플레이트선의 펄스 구동과 센스 증폭 사이에 분리용 트랜지스터 QS를 분리 제어 신호 ψt에 의해 오프 상태로 로킹하는 동작이 필요없게 되므로, 그만큼 동작을 고속화하는 것이 가능하게 된다고 하는 이점이 있다.

< 제3실시 형태

제3실시 형태에 관한 FRAM은 예를 들면, 도 14에 도시한 바와 같이 구성된 종래형의 메모리 셀 구성을 갖고, 종래 기술의 FRAM에 비하여, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL에 각각 직렬로 분리 제어용 NMOS 트랜지스터 QS가 삽입되어 있는 점이 다르고, 그 외는 대략 마찬가지이다.

< 제10실시예

도 14는 제10실시예에 관한 FRAM의 일부의 구성을 개략적으로 도시한 것으로, 특히 메모리 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

즉, 도 14에 있어서, 메모리 셀 어레이 영역에는 1개의 셀 트랜지스터와 1개의 강유전체 커패시터가 직렬로 접속되어 이루어지는 메모리 셀이 행렬 형상으로 배열되어 있다. 본예에서는 예를 들면, 2개의 메모리 셀 M0, BM0를 대표적으로 나타내고 있고, 이 2개의 메모리 셀 M0, BM0의 트랜지스터를 Tr0, BTr0, 커패시터를 C0, BC0로 나타내고 있다. 상기 커패시터 C0, BC0의 한쪽 끝은 대응하여 플레이트선 PL< 0, PL< B0에 접속되어 있고, 트랜지스터 Tr0, BTr0의 게이트는 대응하여 워드선 WLr< 0, WLr< B0에 접속되어 있고, 트랜지스터 Tr0, BTr0의 한쪽 끝은 비트선 BL 및 이것에 상보적인 BBL에 접속되어 있다.

또한, 상기 비트선쌍 BL, BBL에는 이퀄라이즈 회로 EQ, 플립플롭 타입의 센스 앰프 SA, 컬럼 선택 게이트 CG가 접속되어 있다. 이 경우, 이퀄라이즈 회로 EQ와 센스 앰프 SA 사이에서 비트선쌍 BL, BBL에 각각 직렬로 분리 제어용 트랜지스터 QS가 삽입되어 있다.

또한, 상기 이퀄라이즈 회로 EQ는 이퀄라이즈 제어 신호 V(BEQL)에 의해 제어되고, 상기 센스 앰프 SA는 센스 앰프 활성화 제어 신호 V(SEN), V(BSEP)에 의해 제어되고, 상기 컬럼 선택 게이트 CG는 컬럼 선택 신호 V(CSL)에 의해 제어되고, 상기 분리 제어용 트랜지스터 QS는 분리 제어 신호 ψt에 의해 제어된다.

도 15는 도 14의 FRAM에 있어서, 2T2C형 셀에 대하여 워드선 WLr< 0, WLr< B0을 선택하여 셀 M0, BM0를 선택하고, 싱글 플레이트 펄스 구동 방식에 의해 셀 M0, BM0에서 각각 데이터 "1", 데이터 "0"을 판독하여 재기록하는 동작을 나타낸 타이밍도이다.

이하에, 도 15를 참조하면서 동작예를 구체적으로 설명한다. 여기서는 셀 M0에는 비트선에서 플레이트선의 방향의 분극(데이터 "1")이 기록되어 있고, 셀 BM0에는 플레이트선에서 비트선으로의 방향의 분극(데이터 "0")이 기록되어 있는 것으로 한다.

먼저, 이퀄라이즈 제어 신호 V(BEQL)을 내려서 비트선쌍 BL, BBL의 이퀄라이즈를 해제하고, 데이터를 판독하는 준비를 한다. 이어서, 워드선 전위 V(WLr< 0), V(WLr< B0)를 0 V에서 VPP로 승압하여 워드선 WLr< 0, WLr< B0를 선택한다. 이어서, 플레이트선 전압 V(PL< 0), V(PL< B0)를 각각 0 V에서 V(PLPW)로 올리는 것에 의해 메모리 셀 M0, BM0의 분극을 전하의 모양으로 비트선쌍 BL, BBL에 판독한다.

이어서, 분리 제어 신호 ψt를 VPP에서 0 V로 내려서 분리 제어용 트랜지스터 QS를 오프로 한 후, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화 하고, 센스 증폭시킨다. 그리고, 컬럼 선택 신호 V(CSL)을 올려서 컬럼 선택 게이트 CG를 온으로 하고, 데이터를 칩 외부로 판독한다.

또한, 이퀄라이즈 제어 신호 V(BEQL)을 올려서 이퀄라이즈 회로 EQ를 온으로 하고, 비트선쌍 BL, BBL을 0 V에 이퀄라이즈하는 것에 의해, 셀 M0, BM0에 먼저 데이터 "0"을 기록한다.

이어서, 플레이트선 전압 V(PL< 0), V(PL< B0)을 각각 0 V로 내리고, 분리 제어 신호 ψt를 "L"에서 "H"로 되돌려서 분리 제어용 트랜지스터 QS, QS를 다시 온으로 하고, 센스 앰프 SA에 래치되어 있는 데이터를 셀 M0, BM0에 재기록한다.

따라서, 상기 플레이트선 전압 V(PL< 0), V(PL< B0)의 전위가 V(PLPW)로 상승한 상태에서 셀 M0에서 판독된 "1" 데이터의 센스 증폭이 실행되고 있을 때에는 분리 제어용 트랜지스터 QS가 오프로 되어 비트선 BL과 플레이트선 PL< 0의 용량 커플링이 방지되고 있으므로, 플레이트선 전압 V(PL< 0)의 전위가 상기 V(PLPW)보다도 더 높은 전위로 부트되는 일은 없다.

이후, 워드선 구동 전위 V(WLr< 0), V(WLr< B0)를 VPP에서 0 V로 하강시켜 워드선 WLr< 0, WLr< B0를 비선택 상태로 하고, 센스 앰프 활성화 신호 V(SEN)을 내림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 올려서 센스 앰프 SA를 비활성화하여 동작을 종료한다.

또한, 분리 제어용 NMOS 트랜지스터 QS의 게이트 전위는 상술한 제1실시 형태에 있어서의 제1, 제2, 제5 제8실시예에 준하여 제어하는 것이 가능하다.

< 제4실시 형태

도 16은 제4실시 형태에 관한 FRAM의 일부의 구성을 개략적으로 도시한 것이다.

이 FRAM의 구성은 종래 FRAM에 비하여, (1)각 메모리 셀 MC는 임계치 전압 0 V 또는 0 V근방의 값을 갖는 1개의 인트린식형 (I 타입)의 MOS 트랜지스터와 1개의 강유전체 커패시터가 직렬로 접속되어 되는 점, (2)NWL 방식 또는 BSG 방식을 응용하여, 워드선의 승압 전위로서 전원 전압 VCC를 사용하고 있는 점, (3)상기 BSG 방식을 채용한 경우에는 비트선쌍의 이퀄라이즈 전위 VBLP가 0 V보다 높은 전위로 제어되는 점이 다르고, 그 외는 대략 마찬가지이다.

즉, 도 16에 있어서, 메모리 셀 영역은 임계치 전압 0 V 또는 0 V근방의 값을 갖는 I 타입 MOS 트랜지스터 Qi 1개와 강유전체 커패시터C 1개가 직렬로 접속되어 이루어지는 셀 MC가 행렬 형상으로 배열되어 있다. 이 메모리 셀 영역에 있어서의 동일열의 셀 MC는 트랜지스터 Qi의 한쪽 끝측(커패시터 접속측과는 반대측) 노드가 비트선 BL 또는 그것에 상보인 비트선 BBL에 접속되어 있다.

또한, 동일행의 셀 MC의 트랜지스터 Qi의 게이트에는 공통으로 워드선 WL< i(대표적으로 WL< 0 WL< 7만 나타내고 있음)이 접속되어 있다. 그리고, 동일행의 셀 MC의 셀 커패시터 C의 플레이트 전극(트랜지스터 접속측과는 반대측 전극)에는 공통으로 플레이트선 PL< i(대표적으로 PL< 0 PL< 7만 나타내고 있음)이 접속되어 있다. 이들 플레이트선 PL< i는 상기 워드선 WL< i에 대략 평행으로 배치되어 있다.

상기 복수줄의 워드선 WL< i는 어드레스 신호에 따라 워드선 선택 회로(도시하지 않음)에 의해 1줄 내지는 2줄(한쌍)이 선택되어 워드선 승압 전위가 공급된다. 또한, 복수줄의 플레이트선 PL< i도 어드레스 신호에 따라 플레이트선 선택 회로(도시하지 않음)에 의해 1줄 내지는 2줄(1쌍)이 선택되고, 플레이트선 전압이 공급된다.

EQ는 상기 비트선쌍 BL, BBL을 이퀄라이즈하는 이퀄라이즈 회로, SA는 센스 앰프, CG는 컬럼 선택 게이트이고, 이들은 도 1과 마찬가지로 구성되어 있다.

< 제11실시예

도 17은 도 16의 FRAM에 있어서, NWL 방식을 채용하고, 2T2C 방식의 셀에 대하여 더블 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부에서 기록을 실행하는 의사 SRAM 방식에 의한 일련의 동작을 나타내는 타이밍도이다.

먼저, 전원을 투입하면, 전원 전압 VCC가 서서히 상승하여 가지만, 어느곳에서 전원 투입 검지 회로(도시하지 않음)가 움직히고, 검출 펄스(Detect)가 선다. 그것을 받아서, 워드선은 모두 마이너스전위 VBB로 바이어스되고, 또한 이퀄라이즈 제어 신호 V(BEQL)이 "H"로 되어 비트선쌍 BL, BBL의 이퀄라이즈가 실행된다.

이퀄라이즈의 해제에 이어서, 로우 어드레스 스트로브 신호 /RAS가 내려가고, 컬럼 어드레스 스트로브 신호 CAS를 올려서 로우와 컬럼의 어드레스를 래치한다.

로우 어드레스를 받아서 선택된 워드선 WL< 0과 WL< 1의 전위를 0 V에서 VCC까지 승압하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 펄스 구동한다. 센스 앰프 SA에 의한 비교 증폭과 동시에 컬럼 선택 신호 V(CSL)을 활성화하여 컬럼 선택 게이트 CG를 온시키고, 칩 외부로 데이터를 내고, 다시 플레이트선 전위 V(PL< 0), V(PL< 1)을 펄스 구동하는 것에 의해 재기록을 실행한다.

이 동작의 종료후, 선택 워드선의 전위를 내려서 다시 비트선쌍 BL, BBL의 이퀄라이즈를 실행하는 것에 의해, 동작을 종료한다.

상기한 바와 같이 NWL 방식과 I타입의 트랜지스터 Qi를 사용하는 것을 조합하여 워드선의 승압 전위를 종래 VPP(= VCC + Vth이상)에서 VCC로 내리는 것에 의해, 셀 트랜지스터 Qi의 TDDB(Time Dependent Dielectric Breakdown) 특성을 좋게하는 것이 가능하게 된다.

< 제12실시예

도 18은 도 16의 FRAM에 있어서, BSG 방식을 채용하고, 2T2C 방식의 셀에 대하여 더블 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부에서 기록을 실행하는 의사 SRAM 방식에 의한 일련의 동작을 나타내는 타이밍도이다.

먼저, 전원을 투입하며, 전원전압 VCC가 서서히 상승하여 가지만, 어느 곳에서 전원 투입 검지 회로(도시하지 않음)이 움직이고, 검출 펄스 V(Detect)가 선다. 그것을 받아서, 비트선쌍의 이퀄라이즈 전위 VBLP가 VOFF로 설정된다. 이렇게 된 상태에서 이퀄라이즈 제어 신호 V(BEQL)가 "H"로 되어 비트선쌍 BL, BBL의 VOFF 전위로의 이퀄라이즈가 실행된다. 이퀄라이즈의 해제에 이어서, /RAS를 내리고, CAS를 올려서 로우와 컬럼의 어드레스를 래치한다.

로우 어드레스를 받아서 선택된 워드선 WL< 0과 WL< 1의 전위를 0 V에서 VCC까지 승압하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 펄스 구동한다. 센스 앰프 SA에 의한 비교 증폭과 동시에 컬럼 선택선 V(CSL)을 선택하여 칩 외부로 데이터를 내고, 다시 플레이트선 전위 V(PL< 0), V(PL< 1)을 펄스 구동하는 것에 의해 재기록을 실행한다.

이 동작의 종료후, 선택 워드선의 전위를 내려서 다시 비트선쌍 BL, BBL의 이퀄라이즈를 실행하는 것에 의해, 동작은 종료한다.

이 동작에 있어서 주목해야 할 것은 워드선 전위를 올릴 때는 0 V에서 VCC까지이고, VPP(= VCC + Vth이상)까지는 승압하지 않는다고 하는 점이다.

상기한 바와 같이 BSG 방식과 I 타입의 셀 트랜지스터 Qi를 사용하는 것을 조합하여 워드선 승압 전위를 종래 VPP에서 VCC로 내리는 것에 의해, 셀 트랜지스터 Qi의 TDDB 특성을 좋게 하는 것이 가능하게 된다.

< 제5실시 형태

제4실시 형태에서는 1개의 셀 트랜지스터와 1개의 강유전체 커패시터가 직렬로 접속되어 되는 메모리 셀의 어레이를 갖는 FRAM에 있어서, I 타입의 셀 트랜지스터 Qi를 사용하고, NWL 방식 또는 BSG 방식을 조합하여 워드선의 승압 전위를 종래 VPP에서 VCC로 내리는 것에 의해 셀 트랜지스터 Qi의 TDDB 특성을 개선하였다.

이것에 대하여, 제5실시 형태에서는 체인 FRAM에 있어서, NWL 방식 또는 BSG 방식을 병용하고, 워드선의 승압 전위를 VPP(= VCC + Vth이상)에서 내리는 일없이, I 타입의 셀 트랜지스터를 사용할 수 있도록 하여, 기판 바이어스 효과를 저감하여, 결과적으로 디스터브(비선택 셀에 걸리는 분극을 약하게 하는 방향의 전장)을 감소시킨다.

도 19는 제5실시 형태에 관한 체인 FRAM의 일부의 구성을 개략적으로 도시하고 있고, 특히 2T2C 방식의 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

즉, 도 19에 도시한 체인 FRAM은 도 29에 도시한 체인 FRAM에 비하여, (1)셀 트랜지스터 Tr0 Tr7, BTr0 BTr7은 I 타입의 트랜지스터가 사용되고 있는 점, (2) NWL 방식 또는 BSG 방식이 채용되고 있는 점이 다르고, 그 밖의 부분은 마찬가지이므로, 도 29과 동일 부호를 붙이고 있다.

< 제13실시예

도 20은 도 19의 체인 FRAM에 있어서, NWL 방식을 채용하고, 2T2C 방식의 셀에 대하여 더블 플레이트 펄스 구동 방식에 의한 판독 및 칩 외부로 부터의 기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도이다.

여기서는 예를 들면, 워드선 WLr< 7을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M7에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM7에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 M7, BM7에서 각각 데이터 "0", 데이터 "1"을 판독하고, 재기록을 실행하는 경우를 상정한다.

도 21은 도 20의 동작시에 도 19 중의 셀 트랜지스터 BTr0 BTr7의 한쪽 끝의 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

이하, 도 20 및 도 21을 참조하면서 구체적으로 동작을 설명한다.

먼저, 전원을 투입하면, 전원 전압 VCC가 서서히 상승하여 가지만, 어느곳에서 전원 투입 검지 회로(도시하지 않음)가 움직이고, 검출 펄스 V(Detect)가 선다. 그것을 받아서, 워드선은 모두 VPP 전위로 승압되고, 또한 이퀄라이즈 제어 신호 V(BEQL)이 "H"로 되어 비트선쌍 BL, BBL의 이퀄라이즈도 실행된다. 이퀄라이즈의 해제에 이어서, /RAS를 내리고, CAS를 올려서 로우와 컬럼의 어드레스를 래치한다.

이어서, 선택 워드선의 전위 V(WLr< 7)을 마이너스의 전위 VBB로 하여 워드선 WLr< 7을 선택하고, 셀 M7, BM7의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 "L"에서 "H"로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해 셀 M7, BM7의 분극량의 차만을 전하로 하여 비트선쌍 BL, BBL에 판독한다.

상기 플레이트선 전위 V(PL< 0), V(PL< 1)이 "L"로 일단 내려갔을 때에, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 센스 앰프 SA에 의해 비교 증폭시킨다. 여기서, 컬럼 선택선 V(CSL)을 "H"로 하는 것에 의해 컬럼 게이트 CG를 온으로 하고, 칩 외부로 데이터를 출력한다.

이후, 다시 플레이트선 전위를 "L"→"H"→"L"로 펄스 구동하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 재기록을 실행한다. 이 플레이트선 전위가 "H"로 되었을 때, 셀 BM7에 스토어되어 있는 분극 데이터는 센스 앰프에서 플레이트선으로의 방향(즉, 데이터 "1")이므로, 센스 앰프 SA에 의한 비교 증폭과 플레이트선 전위의 상승의 결과, 도 21에 도시한 바와 같이 BBL0R에서 BBL7R까지의 각 노드의 전위가 부트되고,

노드 BBL7R의 전위 - 노드 BBL6R의 전위

노드 BBL6R의 전위 - 노드 BBL5R의 전위

노드 BBL5R의 전위 - 노드 BBL4R의 전위

노드 BBL4R의 전위 - 노드 BBL3R의 전위

노드 BBL3R의 전위 - 노드 BBL2R의 전위

노드 BBL2R의 전위 - 노드 BBL1R의 전위

사이에는 전위차가 발생한다.

이 전위차는 BBL1R에서 BBL7R까지의 각 노드가 센스 앰프 SA의 전원 전위까지 다시 부트되므로, 기판 바이어스 효과에 의한 임계치 전압의 상승에 의해 셀 트랜지스터 BTr0 BTr7이 오프하는 것에 의해 발생한다.

이때, 비선택 셀 BM6에 스토어되어 있는 분극의 방향이 센스 앰프에서 플레이트선으로의 방향(즉, 데이터 "1")의 경우는 이 분극을 약하게 하는 전장이 걸리게 된다.

그러나, 도 32를 참조하여 앞서 기술한 종래 제3동작예와 비교하여 명확한 바와 같이, I 타입 셀 트랜지스터 BTr0 BTr7을 사용하여 임계치 전압의 기판 바이어스 효과에 의한 상승을 억제하였으므로, 결과적으로 오프하지 않아도, 디스터브의 크기가 감소한다.

< 제14실시예

도 22는 도 19의 체인 FRAM에 있어서, BSG 방식을 채용하고, 2T2C 방식의 셀에 대하여 더블 플레이트 펄스 구동 방식에 의한 판독 및 재기록을 실행하는 경우의 일련의 동작을 나타낸 타이밍도이다.

여기서는 예를 들면, 워드선 WLr< 7을 선택하는 경우에 있어서, 선택되는 셀 중, BL측의 셀 M7에는 플레이트선 PL< 0에서 비트선 BL로의 방향의 분극(즉, 데이터 "0"), BBL측의 셀 BM7에는 비트선 BBL에서 플레이트선 PL< 1로의 방향의 분극(즉, 데이터 "1")이 기록되어 있는 것으로 하고, 메모리 셀 BM7, M7에서 각각 데이터 "1", 데이터 "0"을 판독하고, 이어서 칩 외부에서 각각 데이터 "0", 데이터 "1"의 기록을 실행하는 경우를 상정한다.

도 23은 도 22의 동작시에 도 19 중의 셀 트랜지스터 BTr0 BTr7의 한쪽 끝 노드 BBL0r BBL7r의 전위의 상세한 추이를 나타내고 있다.

이하, 도 22 및 도 23을 참조하면서 구체적으로 동작을 설명한다.

먼저, 전원을 투입하면, 전원 전압 VCC가 서서히 상승하여 가지만, 어느곳에서 전원 투입 검지 회로(도시하지 않음)가 움직이고, 검출 펄스 V(Detect)가 선다. 그것을 받아서, 워드선은 모두 VPP 전위로 승압되고, 또한 비트선쌍의 이퀄라이즈 전위 VBLP가 VOFF를 설정되고, 플로팅 상태로 된다. 이렇게 된 상태에서 이퀄라이즈 제어 신호 V(BEQL)가 "H"로 되어 비트선쌍 BL, BBL의 VOFF로의 이퀄라이즈가 실행된다. 이퀄라이즈의 해제에 이어서, /RAS를 내리고, CAS를 올려서 로우와 컬럼의 어드레스를 래치한다.

이어서, 선택 워드선의 전위 V(WLr< 7)을 0 V로 내리고, 셀 M7, BM7의 양단에 전위차가 걸리는 준비를 한다. 이어서, 블록 선택 신호 V(BSr< 0), V(BSr< 1)을 "L"에서 "H"로 올려서 블록 선택 트랜지스터 QB0, QB1을 온으로 하고, 플레이트선 전위 V(PL< 0), V(PL< 1)을 "L"→"H"→"L"로 펄스 구동하는 것에 의해 셀 M7, BM7의 분극량의 차이만을 전하로 하여 비트선쌍 BL, BBL에 판독한다.

상기 플레이트선 전위 V(PL< 0), V(PL< 1)가 "L"로 일단 내려갔을 때에, 센스 앰프 활성화 신호 V(SEN)을 올림과 동시에 센스 앰프 활성화 신호 V(BSEP)를 내려서 센스 앰프 SA를 활성화하고, 센스 앰프 SA에 의해 비교 증폭시킨다.

이후, 다시 플레이트선 전위를 "L"→"H"→"L"로 펄스 구동하는 것에 의해, 센스 앰프 SA에 의해 래치되어 있는 데이터를 비트선쌍 BL, BBL에 재기록을 실행한다. 이 플레이트선 전위가 "H"로 되었을 때, 셀 BM7에 스토어되어 있는 분극 데이터는 센스 앰프에서 플레이트선으로의 방향(즉, 데이터 "1")이므로, 센스 앰프 SA에 의한 비교 증폭과 플레이트선 전위의 상승의 결과, 도 23에 도시한 바와 같이 BBL0R에서 BBL7R까지의 각 노드의 전위가 부트되고,

노드 BBL7R의 전위 - 노드 BBL6R의 전위

노드 BBL6R의 전위 - 노드 BBL5R의 전위

노드 BBL5R의 전위 - 노드 BBL4R의 전위

노드 BBL4R의 전위 - 노드 BBL3R의 전위

노드 BBL3R의 전위 - 노드 BBL2R의 전위

노드 BBL2R의 전위 - 노드 BBL1R의 전위

사이에 전위차가 발생한다.

이 전위차는 BBL1R에서 BBL7R까지의 각 노드가 센스 앰프 SA의 전원 전위에서 다시 부트되므로, 기판 바이어스 효과에 의한 임계치 전압의 상승에 의해 셀 트랜지스터 Tr0 Tr7이 오프하는 것에 의해 발생한다.

이때, 비선택 셀 BM6에 스토어되어 있는 분극의 방향이 센스 앰프에서 플레이트선으로의 방향(즉, 데이터 "1")의 경우는 이 분극을 약하게 하는 전장이 걸리게 된다.

그러나, 도 32를 참조하여 앞서 기술한 종래 제3동작예와 비교하여 명확한 바와 같이, I 타입 셀 트랜지스터를 사용하여 임계치 전압의 기판 바이어스 효과에 의한 상승을 억제하였으므로, 결과적으로 오프하지 않아도, 디스터브의 크기가 감소한다.

이후, 센스 앰프 SA가 활성화되어 있는 상태에서 컬럼 선택 신호 V(CSL)이 "H"로 되고, 칩 외부에서 컬럼 선택 게이트 CG를 통하여 센스 앰프 SA에 데이터가 기록된다.

여기서, 상기 제5실시 형태를 요약해서 설명한다.

종래 체인 FRAM에 있어서, 예를 들면 더블 플레이트 펄스 구동 방식에 의해 센스 앰프를 기동한 후에 재기록하기 위한 펄스 구동을 실행하면, "1" 판독 경우는 센스 앰프의 전원 레벨까지 증폭된 후에 다시 플레이트선 구동에 의해 부트되게 되고, 기판 바이어스 효과에 의해 각 셀 트랜스퍼 게이트가 오프하고, 결과적으로 메모리 셀의 양단에 전위차가 발생하고, 이것에 의해 메모리 셀의 분극량이 감소하고, 디스터브가 발생한다고 하는 문제가 있다.

그래서, 제5실시 형태에 관한 체인 FRAM에 있어서는 셀 트랜스퍼 게이트로서 0 V 또는 0 V근방의 값을 갖는 I 타입의 트랜지스터를 채용하고, NWL 방식 또는 BSG 방식을 병용하고, 워드선 전위로서는 VPP 전위(VCC이상)을 부여한다. 이와 같이, I 타입의 셀 트랜지스터를 사용한 결과, 임계치 전압의 기판 바이어스 효과에 의한 상승을 저감하고, 결과적으로 기판 바이어스 효과에 의해 오프시키지 않고 디스터브를 감소시킬 수 있다.

< 제6실시 형태

이어서, 상기 제6실시 형태에 관한 DRAM에 대하여 설명한다.

도 24는 제6실시 형태에 관한 DRAM의 일부의 구성을 개략적으로 나타내고 있고, 특히 셀 어레이 및 주변 회로의 일부의 회로 접속을 나타내고 있다.

이 DRAM의 구성은 종래 DRAM과 비교하여, (1) 메모리 셀(11)은 임계치 전압 0 V 또는 0 V근방의 값을 갖는 1개의 I 타입 MOS 트랜지스터 Qi 및 커패시터 절연막으로서 게이트 산화막을 갖는 1개의 정보 기억용 커패시터 C가 직렬로 접속되 되는 점, (2) NWL 방식 또는 BSG 방식을 응용하고, 워드선 승압 전위로서 전원 전압 VCC를 사용하고 있는 점이 다르고, 그 외는 대략 마찬가지이다.

즉, 도 24에 있어서, 메모리 셀 영역에는 임계치 전압 0V 또는 0 V근방의 값을 갖는 I 타입의 1개의 MOS 트랜지스터 Qi와 정보 기억용 1개의 커패시터 C가 직렬로 접속되어 이루어지는 메모리 셀(11)이 행렬 형상으로 배열되어 있다(대표적으로 1개만 나타냄).

그리고, 상기 메모리 셀 영역의 메모리 셀(11)을 선택하기 위한 복수의 워드선 WL(대표적으로 1줄만 나타냄)과 메모리 셀(11) 사이에서 데이터의 주고받음을 실행하는 비트선쌍 BL, BBL(대표적으로 1쌍만 나타냄)이 서로 교차하도록 마련되어 있다.

또한, 비트선쌍 BL, BBL 사이에는 비트선 프리차지 회로(31), 센스 앰프(16), 컬럼 선택 게이트(17)가 접속되어 있고, 컬럼 선택 게이트(17)에는 한쌍의 데이터선 DQ, BDQ이 접속되어 있다.

또한, 상기 비트선 프리차지 회로(31)는 이퀄라이즈 제어 신호 EQL에 의해 제어되고, 프리차지 전원선(41)에서 공급되는 전위 Vref로 비트선쌍 BL, BBL을 프리차지한다.

상기 센스 앰프(16)는 센스 앰프 제어 신호 SEN에 의해 제어되는 NMOS 센스 앰프부 및 센스 앰프 제어 신호 bSEP에 의해 제어되는 PMOS 센스 앰프부로 된다. 또한, 상기 컬럼 선택 게이트(17)는 컬럼 게이트 제어 신호 CSL에 의해 제어된다.

< 제15실시예

제15실시예로서, 도 24의 DRAM에 있어서 NWL 방식을 채용하고, 워드선 승압 전위로서 전원 전압 VCC를 사용하여 판독 및 재기록을 실행하는 경우의 일련의 동작을 설명한다.

이 DRAM의 동작은 NWL 방식을 채용한 종래 DRAM의 동작과 비교하여, 워드선의 승압 전위로서 전원 전압 VCC가 사용되고 있는 점이 다르고 그 외는 마찬가지이다.

즉, 먼저 전원을 투입하면, 전원 전압 VCC가 서서히 상승하여 가지만, 어느곳에서 전원 투입 검지 회로(도시하지 않음)가 움직이고, 검출 펄스(도시하지 않음)가 선다. 그것을 받아서, 워드선을 모두 마이너스전위 VBB로 바이어스되고, 또 이퀄라이즈 제어 신호 EQL이 "H"로 되어 비트선쌍 BL, BBL의 이퀄라이즈가 실행된다.

메모리 셀에서 데이터를 판독할 때, 이퀄라이즈 제어 신호 EQL이 "H"에서 "L"로 되어 이퀄라이즈가 해제되고, 비트선쌍 BL, BBL은 플로팅 상태로 된다.

계속해서, 로우 어드레스 스트로브 신호(도시하지 않음)를 활성화하고, 컬럼 어드레스 스트로브 신호(도시하지 않음)을 활성화하여 로우와 컬럼의 어드레스를 래치한다. 로우 어드레스에 의해 선택된 워드선 WL이 마이너스전위 VBB에서 VCC로 승압하고, 메모리 셀의 데이터가 비트선 BL에 판독된다.

이어서, 센스 앰프 제어 신호 SEN이 "L"에서 "H", 센스 앰프 제어 신호 bSEP가 "H"에서 "L"로 되는 것에 의해 센스 앰프(16)가 활성화하고, 비트선쌍 BL, BBL의 전위가 센스 증폭된다.

이 센스 앰프(16)의 증폭 출력(판독 데이터)는 셀에 재기록됨과 동시에 데이터선쌍 DQ, BDQ를 거쳐 버퍼 회로(도시하지 않음)로 출력된다.

이후, 선택 워드선 WL을 "H"에서 "L"로 하여 셀로의 액세스를 중지하고, 이어서 센스 앰프 제어 신호 bSEP를 "L"에서 "H", 센스 앰프 제어 신호 SEN을 "H"에서 "L"로 전환하는 것에 의해 센스 앰프(16)를 비활성 상태로 한다.

또한, 이퀄라이즈 제어 신호 EQL을 "H"로 하여 비트선쌍 BL, BBL을 프리차지 전압 Vref로 설정하고, 대기 상태로 된다.

상기 제15실시예의 DRAM은 NWL 방식(메모리 셀의 비선택시는 워드선을 마이너스로 바이어스하여 두는 방식)을 채용하고 있으므로, 실효적으로 셀 트랜지스터의 게이트 · 소스간을 고려한 경우, 게이트 전위 - 소스 전위로서 마이너스전위를 거는 효과를 갖는다. 이것에 의해, 비선택시에는 셀 트랜지스터를 충분히 컷오프시킬 수 있다.

또한, NWL 방식을 채용한 DRAM에 있어서, 종래와 같이 임계치 전압으로서 플러스의 값을 갖는 NMOS 트랜지스터를 셀 트랜지스터로서 사용하면, 워드선의 승압 전위로서는 전원 전압 VCC + Vth이상의 전위 VPP로 할 필요가 있다. 그러나, 본 실시예에서는 0 V 또는 0 V근방의 값을 갖는 I 타입의 셀 트랜지스터를 채용하여 셀 트랜지스터의 임계치 전압을 저감시키는 것에 의해, 워드선의 승압 전위를 그대로 전원 전압 VCC로 하는 것이 가능하게 되어, 셀 트랜지스터의 TDDB 특성이 향상한다.

< 제16실시예

제16실시예로서, 도 24의 DRAM에 있어서 BSG 방식을 채용하고, 워드선 승압 전위로서 전원 전압 VCC를 사용하여 판독 및 재기록을 실행하는 경우의 일련의 동작을 설명한다.

이 DRAM의 동작은 BSG 방식을 채용한 종래의 DRAM의 동작과 비교하여 워드선의 승압 전위로서 전원 전압 VCC가 사용되고 있는 점이 다르고, 그 외는 같다.

즉, 먼저 전원을 투입하면, 전원 전압 VCC가 서서히 상승하여 가지만, 어느곳에서 전원 투입 검지 회로(도시하지 않음)가 움직이고, 검출 펄스(도시하지 않음)가 선다. 그것을 받아서, 비트선쌍의 이퀄라이즈 전위(프리차지 전원선(41)에서 공급되는 전위 Vref)가 워드선의 "L" 레벨보다도 VOFF만큼 뜬 오프셋 전압으로 설정된다. 이렇게 된 상태에서 이퀄라이즈 제어 신호 EQL이 "H"로 되어 비트선쌍 BL, BBL의 VOFF 전위로의 이퀄라이즈가 실행된다.

메모리 셀에서 데이터를 판독할 때, 이퀄라이즈 제어 신호 EQL이 "H"에서 "L"로 되어 이퀄라이즈가 해제되고, 비트선쌍 BL, BBL은 플로팅 상태로 된다.

계속해서, 로우 어드레스 스트로브 신호(도시하지 않음)를 활성화하고, 컬럼 어드레스 스트로브 신호(도시하지 않음)를 활성화하여 로우와 컬럼의 어드레스를 래치한다. 로우어드레스에 의해 선택된 워드선 WL이 0 V에서 VCC로 승압하고, 메모리 셀의 데이터가 비트선 BL에 판독된다.

이어서, 센스 앰프 제어 신호 SEN이 "L"에서 "H", 센스 앰프 제어 신호 bSEP가 "H"에서 "L"로 되는 것에 의해 센스 앰프(16)가 활성화하고, 비트선쌍 BL, BBL의 전위가 센스 증폭된다.

이 센스 앰프(16)의 증폭 출력(판독 데이터)은 셀에 재기록됨과 동시에 데이터쌍 DQ, BDQ를 거쳐 버퍼 회로(도시하지 않음)에 출력된다.

이후, 선택 워드선 WL을 "H"에서 "L"로 하여 셀로의 액세스를 중지하고, 계속해서 센스 앰프 제어 신호 bSEP를 "L"에서 "H", 센스 앰프 제어 신호 SEN을 "H"에서 "L"로 전환하는 것에 의해 센스 앰프(16)를 비활성 상태로 한다.

또한, 이퀄라이즈 제어 신호 EQL을 "H"로 하여 비트선쌍 BL, BBL을 프리차지 전압 Vref(오프셋 전압 VOFF)로 설정하고, 대기 상태로 된다.

상기 제16실시예의 DRAM은 BSG 방식(센스 앰프의 증폭 출력의 "L" 레벨, 즉 비트선의 "L" 레벨을 워드선의 "L" 레벨보다도 VOFF만큼 띄우는 방식)을 채용하고 있으므로, 실효적으로 셀 트랜지스터의 게이트 · 소스간을 고려한 경우, 게이트 전위 - 소스 전위로서 마이너스전위를 거는 효과를 갖는다. 이것에 의해, 비선택시에는 셀 트랜지스터를 충분히 컷오프시킬 수 있다.

또한, BSG 방식을 채용한 DRAM에 있어서, 종래와 같이 임계치 전압으로서 플러스의 값을 갖는 NMOS 트랜지스터를 셀 트랜지스터로서 사용하면, 워드선의 승압 전위로서는 전원 전압 VCC + Vth이상의 전위 VPP로 할 필요가 있다. 그러나, 본 실시예에서는 0 V 또는 0 V근방의 값을 갖는 I 타입의 셀 트랜지스터를 채용하여 셀 트랜지스터의 임계치 전압을 저감시키는 것에 의해, 워드선의 승압 전위를 그대로 전원 전압 VCC로 하는 것이 가능하게 되어, 셀 트랜지스터의 TDDB 특성이 향상한다.

발명의 효과

상술한 바와 같이, 본 발명의 강유전체 메모리에 의하면, 체인 FRAM에 있어서 특히 워드선 승압 전위를 저전압화하고 있던 경우에 문제로 되는 판독/기록 동작시에 있어서의 메모리 셀의 축적 분극량의 감소를 초래하는 디스터브의 발생을 억제할 수 있다.

또한, 본 발명의 강유전체 메모리에 의하면, 종래형 메모리 셀을 갖는 FRAM에 있어서 싱글 펄스 구동 방식에 의해 판독 동작을 실행할 때, 플레이트선의 부트를 억제하고, 셀 커패시터의 신뢰성에 악영향을 미치지 않도록 할 수 있다.

또한, 본 발명에 의하면, 저전압화, 더욱이는 저소비 전력화가 가능하게 되고, 신뢰성이 높은 반도체 메모리를 제공할 수 있다.

즉, 본 발명의 청구항1 및 그것에 종속하는 청구항의 강유전체 메모리에 의하면, 체인 FRAM에 있어서, "1" 데이터의 재기록 및 "1" 데이터의 칩 외부로 부터의 기록시에 플레이트선과 센스 앰프가 함께 "H" 레벨로 되지 않게 되므로, 비선택 셀의 분극을 약하게 하는 전장의 발생, 즉 디스터브의 발생을 방지할 수 있다.

또한, 본 발명의 청구항2 및 그것에 종속하는 청구항의 강유전체 메모리에 의하면, 1개의 강유전체 커패시터와 1개의 트랜지스터가 직렬 접속되어 되는 메모리 셀이 행렬 형상으로 배열된 어레이를 갖는 FRAM에 있어서, "1" 데이터의 재기록 및 "1" 데이터의 칩 외부로 부터의 기록 시에, 플레이트선과 센스 앰프가 함께 "H" 레벨로 되지 않게 되므로, 비선택 셀의 분극을 약하게 하는 전장에 의한 디스터브의 발생을 방지할 수 있다.

본 발명의 청구항15 및 그것에 종속하는 청구항의 반도체 메모리에 의하면, 통상의 1트랜지스터 · 1커패시터형 메모리 셀의 어레이를 사용하는 반도체 메모리에 있어서, 워드선의 승압 전위를 낮추는 것이 가능하게 된다.

또한, 청구항19에 의하면, 체인 FRAM에 있어서, 메모리 셀의 트랜지스터의 TDDB 특성을 개선하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

강유전체 메모리에 있어서,

강유전체 커패시터의 양 전극을 각각 제1 MOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속한 메모리 셀 유닛;

상기 메모리 셀 유닛의 각 제1 MOS 트랜지스터의 게이트에 각각 대응하여 접속된 복수줄의 워드선;

상기 메모리 셀 유닛의 한쪽 끝에 접속된 플레이트선;

상기 메모리 셀 유닛의 다른쪽 끝에 블록 선택용 스위치 소자를 거쳐 접속된 제1 비트선;

상기 제1 비트선 및 그것과 상보적인 제2 비트선으로 되는 비트선 쌍의 전위를 비교 증폭하는 센스 앰프; 및

상기 블록 선택용 스위치 소자와 센스 앰프 사이에 삽입된 제2 MOS 트랜지스터

를 포함하며,

상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최소값을 VPP1, 상기 플레이트선 전위가 하강한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP2로 하면, VPP1< VPP2인

것을 특징으로 하는 강유전체 메모리.

청구항 2.

강유전체 메모리에 있어서,

적어도 1개의 강유전체 커패시터의 한쪽 끝에 제1 MOS 트랜지스터의 한쪽 끝이 접속되어 이루어지는 메모리 셀이 복수개 배열된 메모리 셀 어레이;

상기 제1 MOS 트랜지스터의 게이트에 접속된 워드선;

상기 제1 MOS 트랜지스터의 상기 강유전체 커패시터 접속측과는 반대측의 노드에 접속된 제1 비트선;

상기 강유전체 커패시터의 상기 제1 MOS 트랜지스터 접속측과는 반대측의 노드에 접속된 플레이트선;

상기 제1 비트선 및 그것과 상보적인 제2 비트선으로 되는 비트선 쌍의 전위를 비교 증폭하는 센스 앰프; 및

상기 제1 비트선과 센스 앰프 사이에 삽입된 제2 MOS 트랜지스터

를 포함하며,

상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최소값을 VPP1, 상기 플레이트선 전위가 하강한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP2로 하면, VPP1< VPP2인

것을 특징으로 하는 강유전체 메모리.

청구항 3.

제1항 또는 제2항에 있어서,

상기 플레이트선 전위가 상승한 상태에서, 또한 상기 센스 앰프에 의해 비교 증폭이 실행되고 있지 않을 때의 상기 제2 MOS 트랜지스터의 게이트 전위의 최대값을 VPP3으로 하면, VPP1< VPP3인 것을 특징으로 하는 강유전체 메모리.

청구항 4.

제1항 또는 제2항에 있어서,

상기 VPP2는 상기 제1 비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 이상인 것을 특징으로 하는 강유전체 메모리.

청구항 5.

제4항에 있어서,

상기 VPP2는 상기 워드선의 승압 전위 VPP와 동전위인 것을 특징으로 하는 강유전체 메모리.

청구항 6.

제1항 또는 제2항에 있어서,

상기 VPP1은 상기 제1 비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 미만인 것을 특징으로 하는 강유전체 메모리.

청구항 7.

제1항 또는 제2항에 있어서,

상기 VPP1은 상기 제1 비트선의 최대 진폭 전압 또는 외부에서 공급되는 외부 전원 전압 VCC와 동전위인 것을 특징으로 하는 강유전체 메모리.

청구항 8.

제1항 또는 제2항에 있어서,

상기 VPP1은 0V인 것을 특징으로 하는 강유전체 메모리.

청구항 9.

제3항에 있어서,

상기 VPP3은 상기 제1 비트선의 최대 진폭 전압과 상기 제2 MOS 트랜지스터의 임계치 전압의 합 이상인 것을 특징으로 하는 강유전체 메모리.

청구항 10.

제1항 또는 제2항에 있어서,

상기 제2 MOS 트랜지스터의 메모리 셀측의 한쪽 끝에 접속되어 있는 상기 비트선 쌍사이에 접속되고, 소정의 타이밍에 상기 비트선쌍을 0V에 이퀄라이즈하는 이퀄라이즈 회로를 더 포함하는 것을 특징으로 하는 강유전체 메모리.

청구항 11.

제10항에 있어서,

상기 제2 MOS 트랜지스터의 게이트 전위가 0V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극이 재기록되는 것을 특징으로 하는 강유전체 메모리.

청구항 12.

제10항에 있어서,

상기 이퀄라이즈 회로는 상기 센스 앰프가 비활성으로 된 상태에서만 온 상태로 제어되는 것을 특징으로 하는 강유전체 메모리.

청구항 13.

제10항에 있어서,

상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독한 후에 메모리 칩 외부에서 데이터를 기록할 때에는 상기 제2 MOS 트랜지스터의 게이트 전위가 0V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극이 재기록되는 동작이 실행되고, 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독하여 재기록할 때에는 상기 이퀄라이즈 회로는 상기 센스 앰프가 비활성으로 된 상태에서만 온 상태로 제어되는 동작이 실행되는 것을 특징으로 하는 강유전체 메모리.

청구항 14.

제13항에 있어서,

상기 제2 MOS 트랜지스터의 게이트 전위가 0V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극이 재기록되는 동작이 실행되는 라이트 사이클의 사이클 타임보다도, 상기 센스 앰프가 비활성으로 된 상태에서만 상기 이퀄라이즈 회로가 온 상태로 제어되는 동작이 실행되는 리드 사이클의 사이클 타임 쪽이 짧은 것을 특징으로 하는 강유전체 메모리.

청구항 15.

제10항에 있어서,

상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독하여 재기록할 때 및 상기 메모리 셀 유닛의 선택 셀에서 데이터를 판독한 후에 메모리 칩 외부에서 데이터를 기록할 때에, 각각 상기 제2 MOS 트랜지스터의 게이트 전위가 0V로 되어 있는 상태에서, 상기 이퀄라이즈 회로가 온 상태로 제어되는 것에 의해 상기 메모리 셀에 상기 플레이트선에서 상기 센스 앰프로의 방향의 분극이 재기록되는 동작이 실행되는 것을 특징으로 하는 강유전체 메모리.

청구항 16.

제1항에 있어서,

상기 비트선 쌍의 전위를 각각 제어 전극에서 받고, 각각의 한쪽 끝 사이에 상기 센스 앰프의 한 쌍의 입출력 노드가 접속되는 한 쌍의 제3 트랜지스터; 및

상기 센스 앰프의 한 쌍의 입출력 노드와 상기 비트선 쌍사이에 삽입되고, 상기 센스 앰프에 의한 비교 증폭이 실행된 출력 데이터를 상기 플레이트선의 전위가 0V로 떨어진 후에 온 상태로 제어되는 것에 의해 상기 비트선 쌍에 전달하는 한쌍의 제 4트랜지스터를 더 포함하는 것을 특징으로 하는 강유전체 메모리.

청구항 17.

반도체 메모리에 있어서,

0V 또는 0V근방의 임계치 전압을 갖는 적어도 1개의 제1 MOS 트랜지스터 및 그의 한쪽 끝에 접속된 적어도 1개의 정보 기억용 커패시터가 접속되어 되는 메모리 셀;

상기 제1 MOS 트랜지스터의 게이트에 접속된 워드선;

상기 제1 MOS 트랜지스터의 상기 정보 기억용 커패시터 접속측과는 반대측의 노드에 접속된 비트선; 및

상기 비트선의 전위를 참조 전위와 비교 증폭하는 센스 앰프

를 포함하는 것을 특징으로 하는 반도체 메모리.

청구항 18.

제17항에 있어서,

상기 정보 기억용 커패시터는 전극간 절연막으로서 강유전체 박막이 사용되고 있는 것을 특징으로 하는 반도체 메모리.

청구항 19.

제17항에 있어서,

상기 정보 기억용 커패시터는 전극간 절연막으로서 게이트 산화막이 사용되고 있는 것을 특징으로 하는 반도체 메모리.

청구항 20.

반도체 메모리에 있어서,

강유전체 커패시터의 양 전극을 각각 제1 MOS 트랜지스터의 소스 및 드레인에 접속하여 이루어지는 메모리 셀을 복수개 직렬로 접속한 메모리 셀 유닛;

상기 메모리 셀 유닛의 각 제1 MOS 트랜지스터의 게이트에 각각 대응하여 접속된 복수줄의 워드선;

상기 메모리 셀 유닛의 한쪽 끝에 접속된 플레이트선;

상기 메모리 셀 유닛의 다른쪽 끝에 한쪽 끝이 접속된 블록 선택용 제1 MOS 트랜지스터;

상기 제1 MOS 트랜지스터의 다른쪽 끝에 접속된 제1 비트선; 및

제1 비트선 및 그것과 상보적인 제2 비트선으로 되는 비트선 쌍의 전위를 비교 증폭하는 센스 앰프

를 포함하며,

상기 제1 MOS 트랜지스터는 0V 또는 0V근방의 임계치 전압을 갖는 것을 특징으로 하는 반도체 메모리.

청구항 21.

제17항 내지 제20항 중 어느 한 항에 있어서,

상기 워드선의 승압 전위는 전원 전압인 것을 특징으로 하는 반도체 메모리.

청구항 22.

제17항 내지 제20항 중 어느 한 항에 있어서,

상기 워드선의 비 선택시는 마이너스 전위인 것을 특징으로 하는 반도체 메모리.

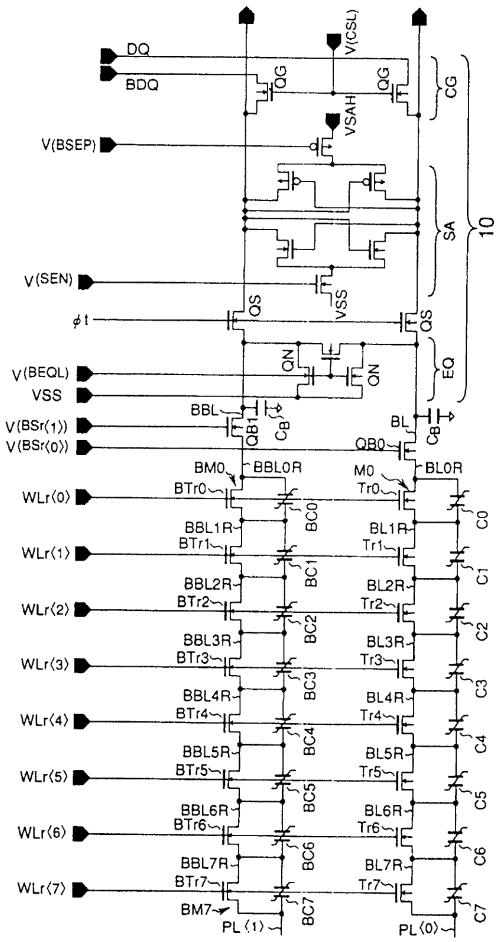
청구항 23.

제17항 내지 제20항 중 어느 한 항에 있어서,

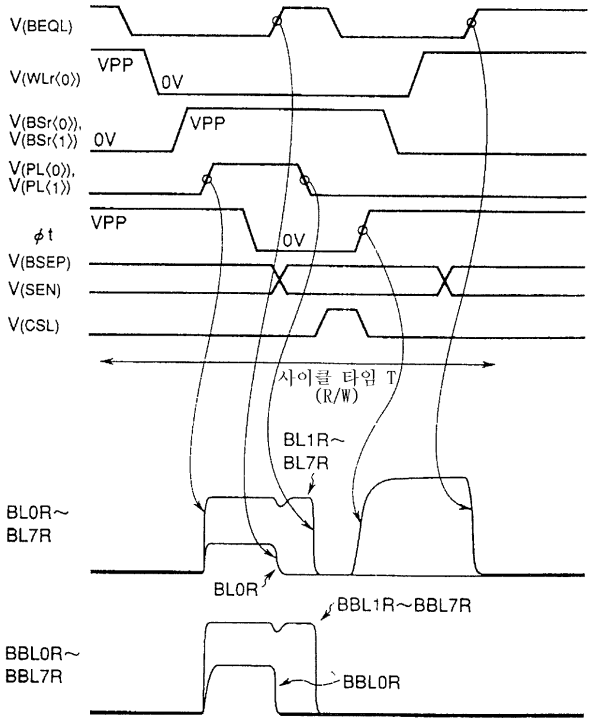
상기 센스 앰프의 저전위측 전위는 플러스의 값인 것을 특징으로 하는 반도체 메모리.

도면

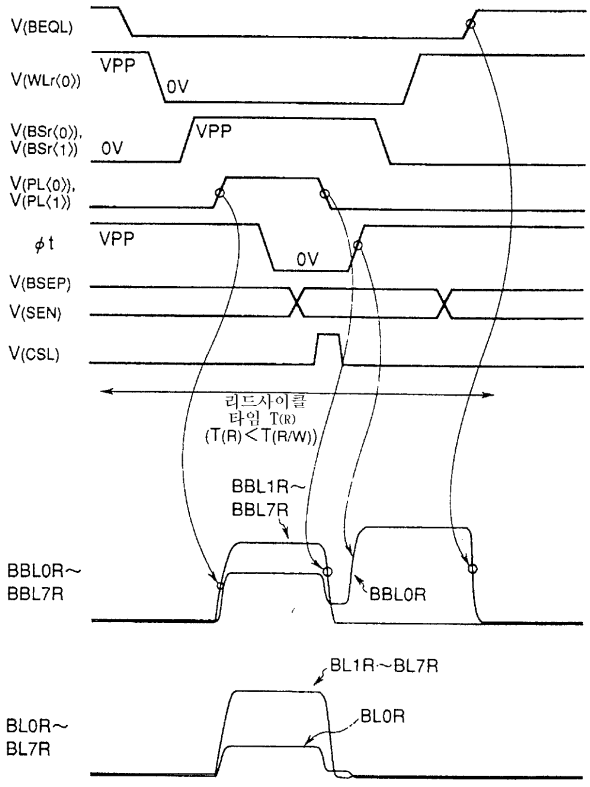
도면 1


DQ
BDQ
V(CSL)
QG
CG
VSAH
V(BSEP)
SA
10
V(SEN)
QS
VSS
φt
QN
EQ
V(BEQL)
VSS
BBL
QB1
CB
BL
QB0
V(BSr⟨1⟩)
V(BSr⟨0⟩)
BM0
BBL0R
M0
BL0R
WLr⟨0⟩
BTr0
Tr0
BC0
C0
BBL1R
BL1R
WLr⟨1⟩
BTr1
Tr1
BC1
C1
BBL2R
BL2R
WLr⟨2⟩
BTr2
Tr2
BC2
C2
BBL3R
BL3R
WLr⟨3⟩
BTr3
Tr3
BC3
C3
BBL4R
BL4R
WLr⟨4⟩
BTr4
Tr4
BC4
C4
BBL5R
BL5R
WLr⟨5⟩
BTr5
Tr5
BC5
C5
BBL6R
BL6R
WLr⟨6⟩
BTr6
Tr6
BC6
C6
BBL7R
BL7R
WLr⟨7⟩
BTr7
Tr7
BM7
BC7
C7
PL⟨1⟩
PL⟨0⟩

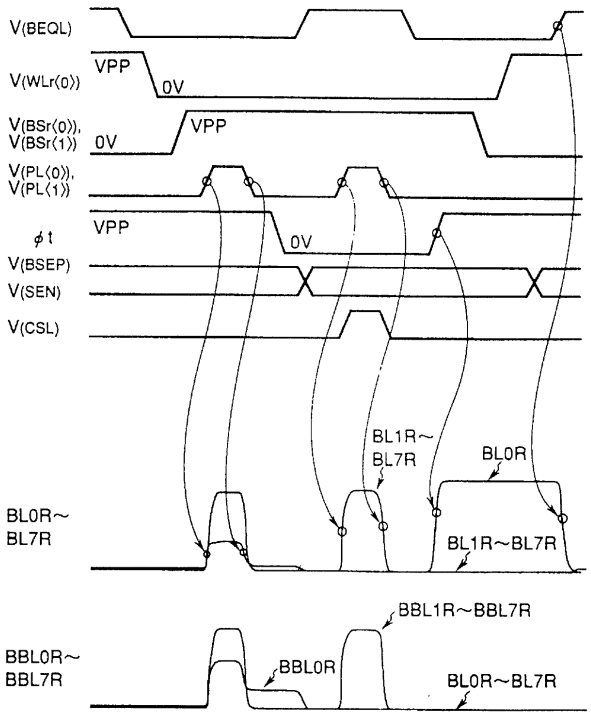
도면 2


V(BEQL)
V(WLr⟨0⟩)
VPP
0V
V(BSr⟨0⟩),
V(BSr⟨1⟩)
0V
VPP
V(PL⟨0⟩),
V(PL⟨1⟩)
φt
VPP
0V
V(BSEP)
V(SEN)
V(CSL)
사이클 타임 T
(R/W)
BL1R~
BL7R
BL0R~
BL7R
BL0R
BBL1R~BBL7R
BBL0R~
BBL7R
BBL0R

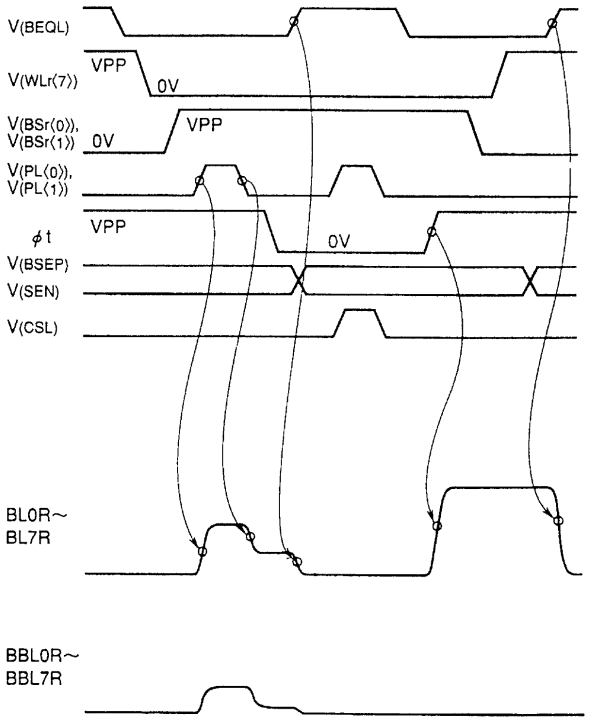
도면 3


V(BEQL)
V(WLr⟨0⟩)
VPP
0V
V(BSr⟨0⟩),
V(BSr⟨1⟩)
0V
VPP
V(PL⟨0⟩),
V(PL⟨1⟩)
φt
VPP
0V
V(BSEP)
V(SEN)
V(CSL)
리드사이클
타임 T(R)
(T(R)<T(R/W))
BBL1R~
BBL7R
BBL0R~
BBL7R
BBL0R
BL1R~BL7R
BL0R~
BL7R
BL0R

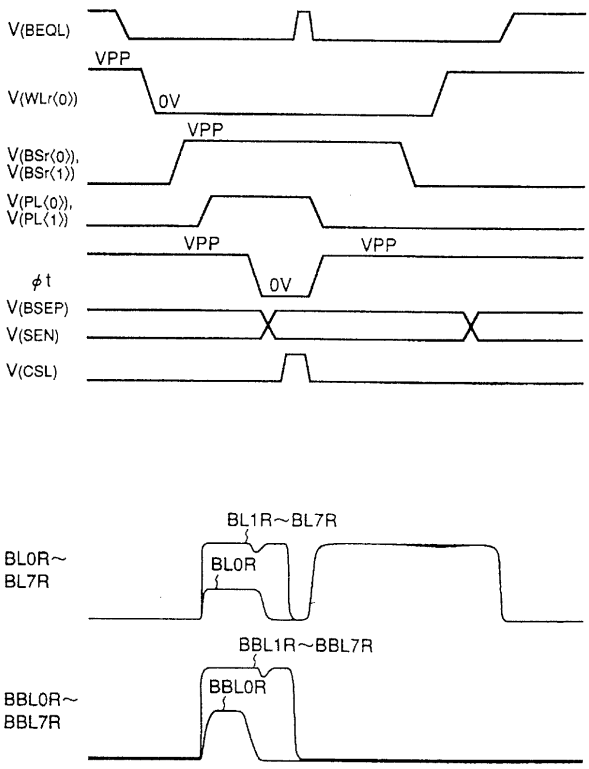
도면 4


V(BEQL)
V(WLr⟨0⟩)
VPP
0V
V(BSr⟨0⟩),
V(BSr⟨1⟩)
0V
VPP
V(PL⟨0⟩),
V(PL⟨1⟩)
φt
VPP
0V
V(BSEP)
V(SEN)
V(CSL)
BL1R~
BL7R
BL0R
BL0R~
BL7R
BL1R~BL7R
BBL1R~BBL7R
BBL0R~
BBL7R
BBL0R
BL0R~BL7R

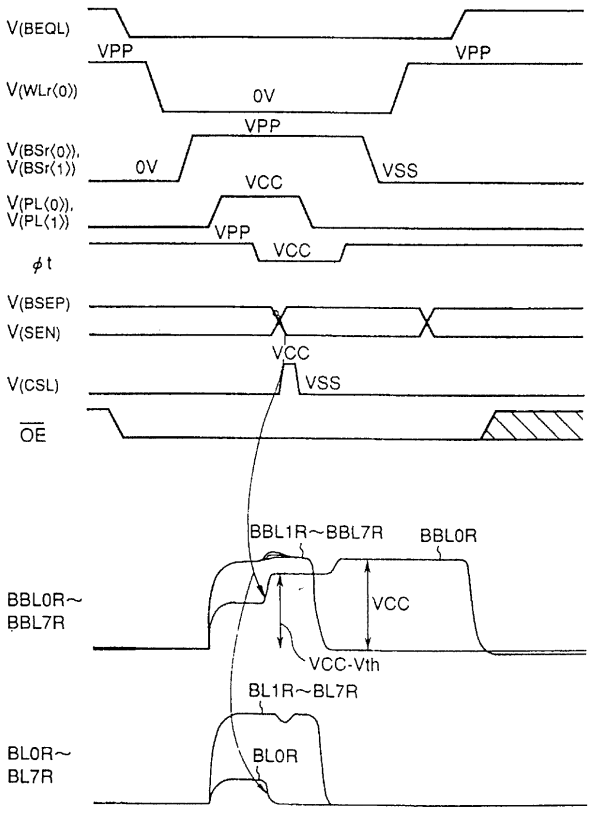
도면 5


V(BEQL)
V(WLr⟨7⟩)
VPP
0V
V(BSr⟨0⟩),
V(BSr⟨1⟩)
0V
VPP
V(PL⟨0⟩),
V(PL⟨1⟩)
φt
VPP
0V
V(BSEP)
V(SEN)
V(CSL)
BL0R~
BL7R
BBL0R~
BBL7R

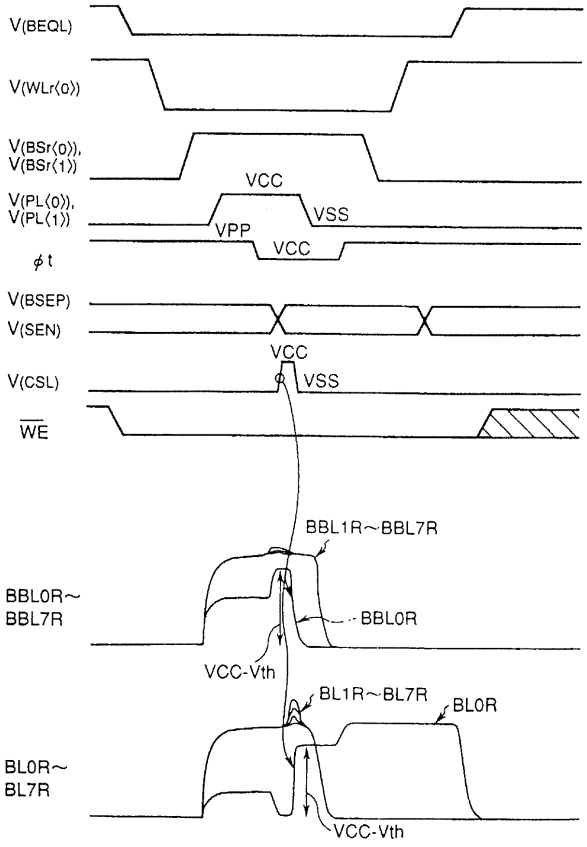
도면 6


V(BEQL)
VPP
V(WLr⟨0⟩)
0V
VPP
V(BSr⟨0⟩),
V(BSr⟨1⟩)
V(PL⟨0⟩),
V(PL⟨1⟩)
VPP
VPP
φt
0V
V(BSEP)
V(SEN)
V(CSL)
BL1R~BL7R
BL0R~
BL7R
BL0R
BBL1R~BBL7R
BBL0R~
BBL7R
BBL0R

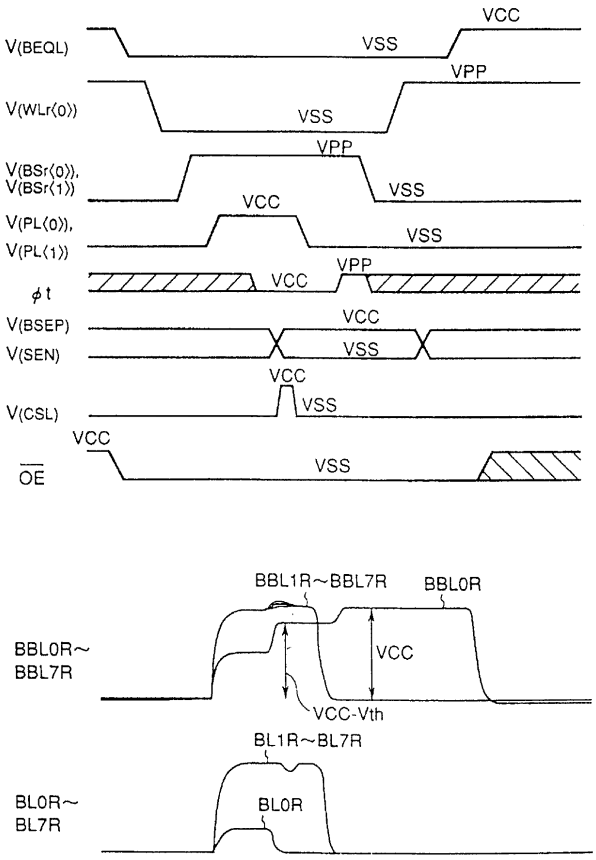
도면 7


V(BEQL)
VPP
VPP
V(WLr⟨0⟩)
0V
VPP
V(BSr⟨0⟩),
V(BSr⟨1⟩)
0V
VSS
VCC
V(PL⟨0⟩),
V(PL⟨1⟩)
VPP
VCC
φt
V(BSEP)
V(SEN)
VCC
V(CSL)
VSS
OE
BBL1R~BBL7R
BBL0R
BBL0R~
BBL7R
VCC
VCC-Vth
BL1R~BL7R
BL0R~
BL7R
BL0R

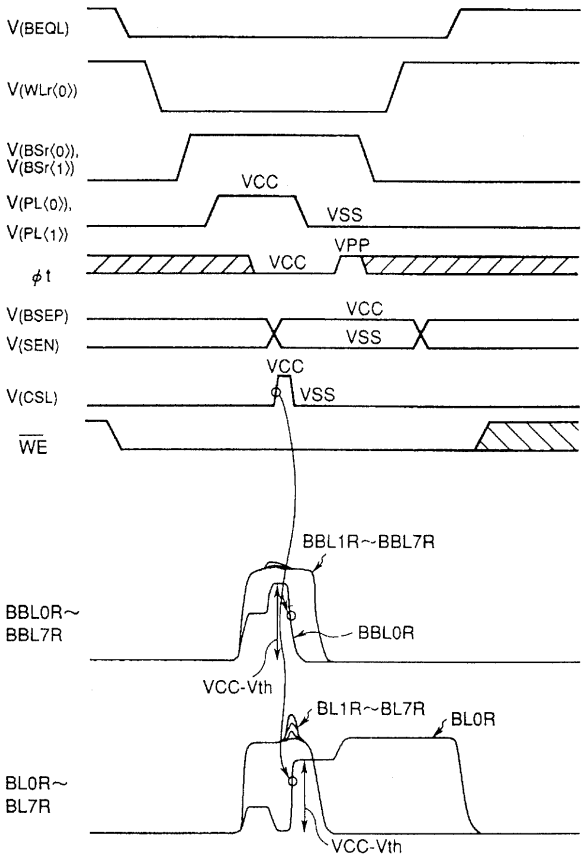
도면 8


V(BEQL)
V(WLr⟨0⟩)
V(BSr⟨0⟩),
V(BSr⟨1⟩)
VCC
V(PL⟨0⟩),
V(PL⟨1⟩)
VSS
VPP
VCC
φt
V(BSEP)
V(SEN)
VCC
V(CSL)
VSS
WE
BBL1R~BBL7R
BBL0R~
BBL7R
BBL0R
VCC-Vth
BL1R~BL7R
BL0R
BL0R~
BL7R
VCC-Vth

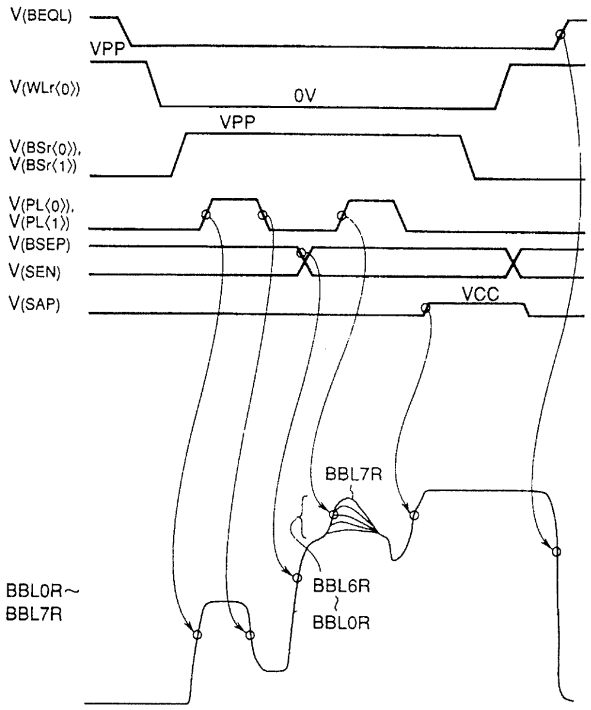
도면 9


V(BEQL)
VCC
VSS
V(WLr⟨0⟩)
VPP
VSS
V(BSr⟨0⟩),
V(BSr⟨1⟩)
VPP
VSS
V(PL⟨0⟩),
V(PL⟨1⟩)
VCC
VSS
φt
VPP
VCC
V(BSEP)
V(SEN)
VCC
VSS
V(CSL)
VCC
VSS
OE
VCC
VSS
BBL1R~BBL7R
BBL0R
BBL0R~
BBL7R
VCC
VCC-Vth
BL1R~BL7R
BL0R~
BL7R
BL0R

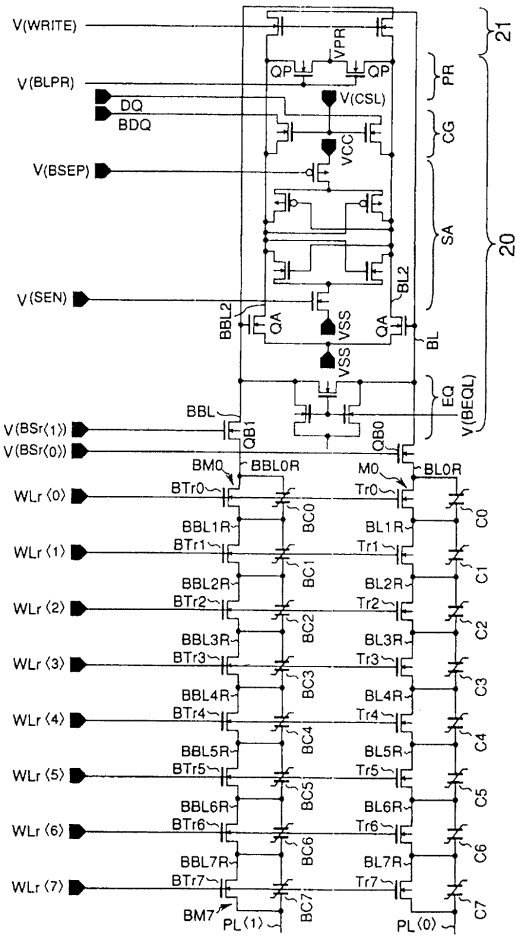
도면 10


V(BEQL)
V(WLr⟨0⟩)
V(BSr⟨0⟩),
V(BSr⟨1⟩)
VCC
V(PL⟨0⟩),
V(PL⟨1⟩)
VSS
VPP
VCC
φt
V(BSEP)
V(SEN)
VCC
VSS
VCC
V(CSL)
VSS
WE
BBL1R~BBL7R
BBL0R~
BBL7R
BBL0R
VCC-Vth
BL1R~BL7R
BL0R
BL0R~
BL7R
VCC-Vth

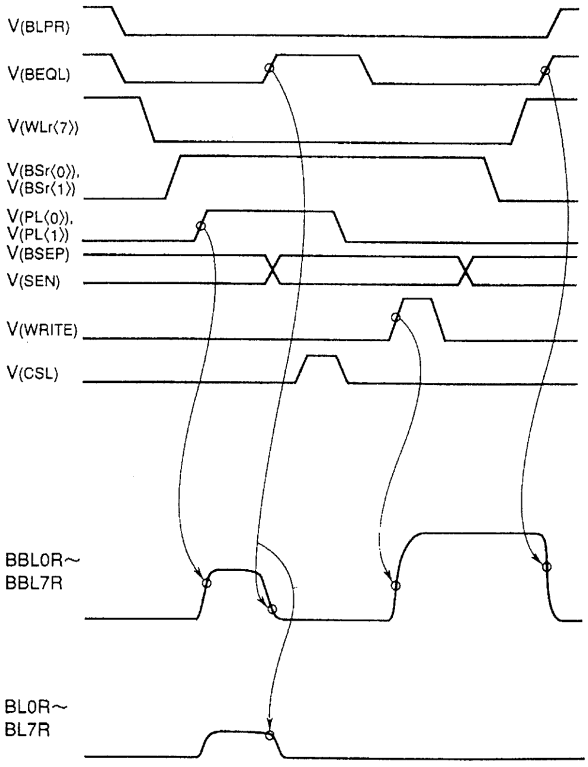
도면 11


V(BEQL)
VPP
V(WLr〈0〉)
0V
VPP
V(BSr〈0〉),
V(BSr〈1〉)
V(PL〈0〉),
V(PL〈1〉)
V(BSEP)
V(SEN)
V(SAP)
VCC
BBL7R
BBL6R
~
BBL0R
BBL0R~
BBL7R

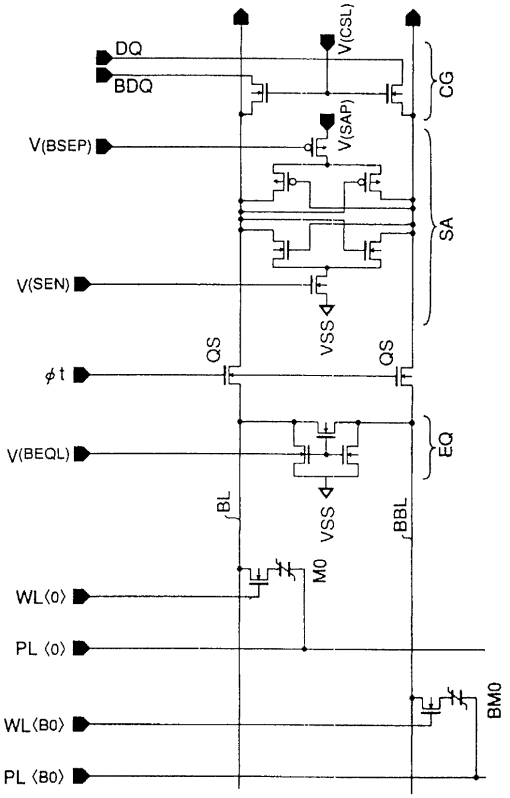
도면 12


V(WRITE)
V(BLPR)
DQ
BDQ
V(BSEP)
V(SEN)
V(BSr(1))
V(BSr(0))
WLr(0)
WLr(1)
WLr(2)
WLr(3)
WLr(4)
WLr(5)
WLr(6)
WLr(7)
VPR
QP
V(CSL)
VCC
VSS
QA
QB1
QB0
BBL
BBL2
BL2
BL
BM0
BBL0R
M0
BL0R
BTr0
BTr1
BTr2
BTr3
BTr4
BTr5
BTr6
BTr7
Tr0
Tr1
Tr2
Tr3
Tr4
Tr5
Tr6
Tr7
BBL1R
BBL2R
BBL3R
BBL4R
BBL5R
BBL6R
BBL7R
BL1R
BL2R
BL3R
BL4R
BL5R
BL6R
BL7R
BC0
BC1
BC2
BC3
BC4
BC5
BC6
BC7
C0
C1
C2
C3
C4
C5
C6
C7
BM7
PL(1)
PL(0)
PR
CG
SA
EQ
V(BEQL)
21
20

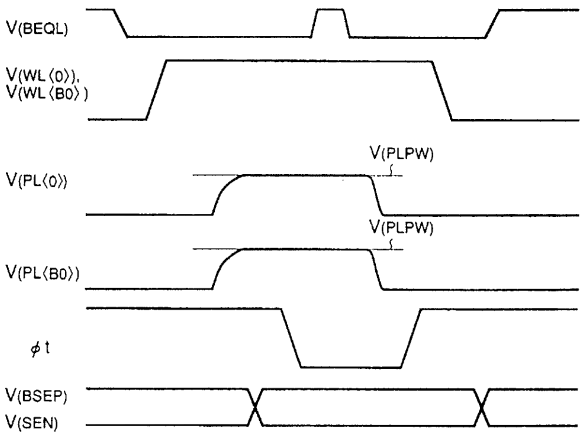
도면 13


V(BLPR)
V(BEQL)
V(WLr〈7〉)
V(BSr〈0〉),
V(BSr〈1〉)
V(PL〈0〉),
V(PL〈1〉)
V(BSEP)
V(SEN)
V(WRITE)
V(CSL)
BBL0R~
BBL7R
BL0R~
BL7R

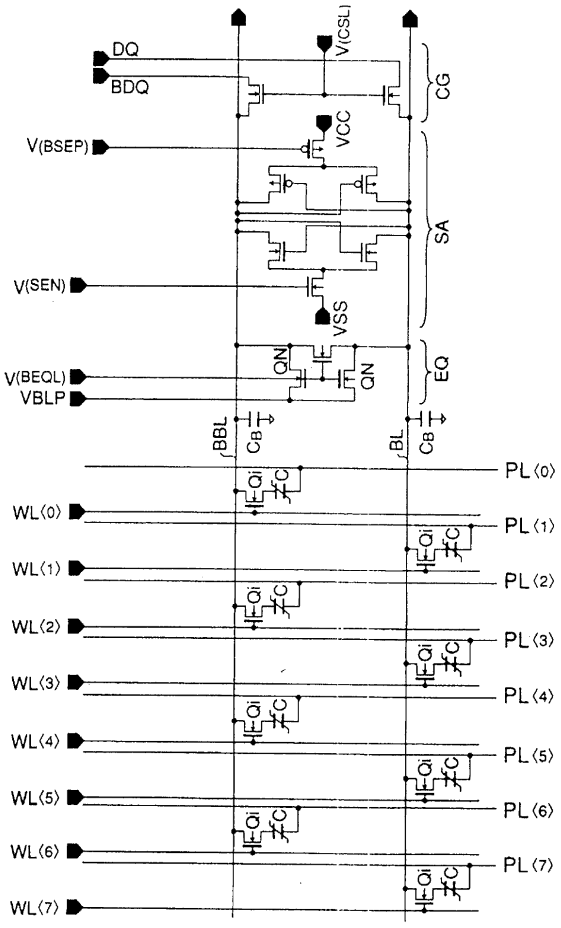
도면 14


DQ
BDQ
V(CSL)
CG
V(BSEP)
V(SAP)
SA
V(SEN)
VSS
QS
QS
φt
V(BEQL)
EQ
BL
VSS
BBL
M0
WL〈0〉
PL〈0〉
BM0
WL〈B0〉
PL〈B0〉

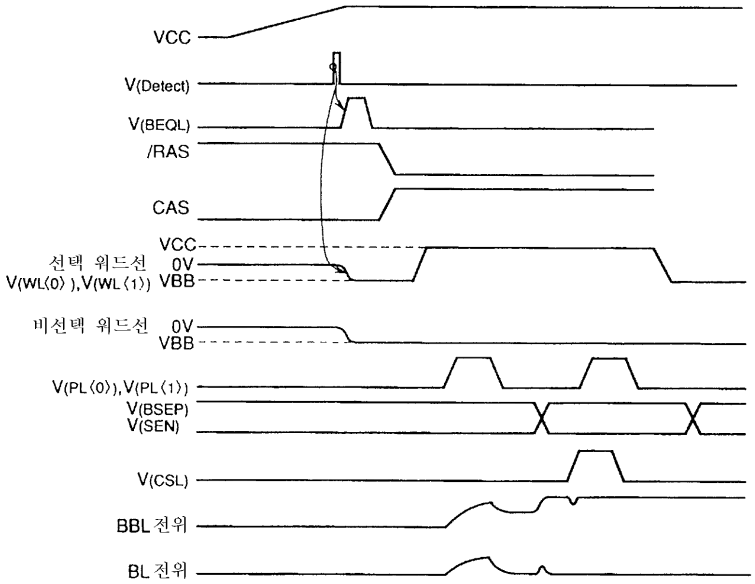
도면 15


V(BEQL)
V(WL〈0〉),
V(WL〈B0〉)
V(PLPW)
V(PL〈0〉)
V(PLPW)
V(PL〈B0〉)
φt
V(BSEP)
V(SEN)

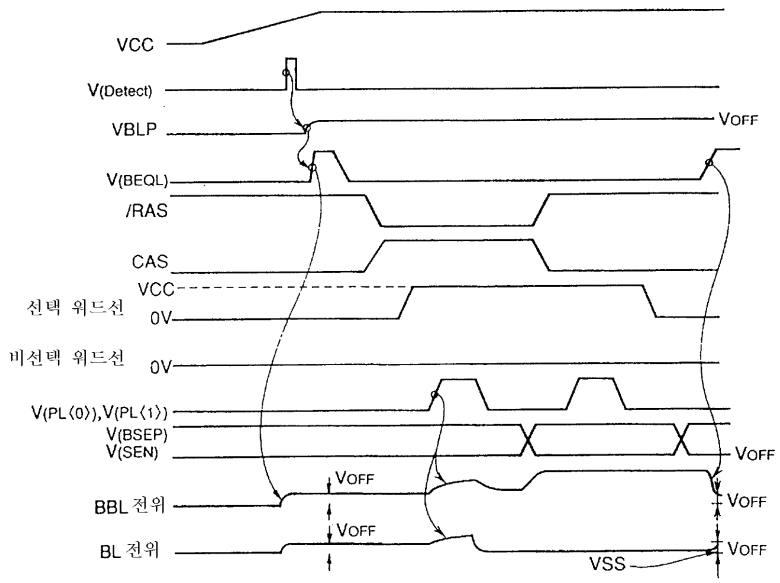
도면 16


DQ
BDQ
V(CSL)
CG
V(BSEP)
VCC
SA
V(SEN)
VSS
V(BEQL)
VBLP
QN
QN
EQ
BBL
BL
CB
CB
PL〈0〉
PL〈1〉
PL〈2〉
PL〈3〉
PL〈4〉
PL〈5〉
PL〈6〉
PL〈7〉
WL〈0〉
WL〈1〉
WL〈2〉
WL〈3〉
WL〈4〉
WL〈5〉
WL〈6〉
WL〈7〉
Qi
C

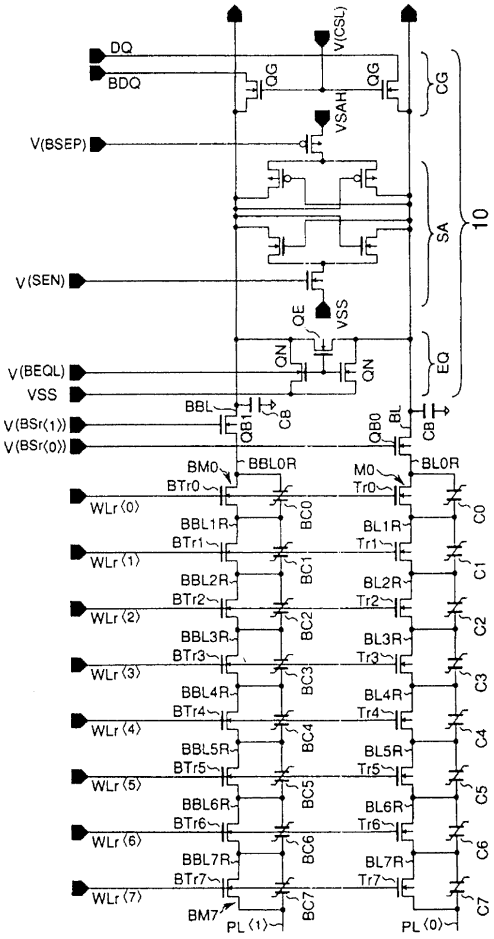
도면 17


VCC
V(Detect)
V(BEQL)
/RAS
CAS
선택 워드선
V(WL〈0〉),V(WL〈1〉)
VCC
0V
VBB
비선택 워드선
0V
VBB
V(PL〈0〉),V(PL〈1〉)
V(BSEP)
V(SEN)
V(CSL)
BBL 전위
BL 전위

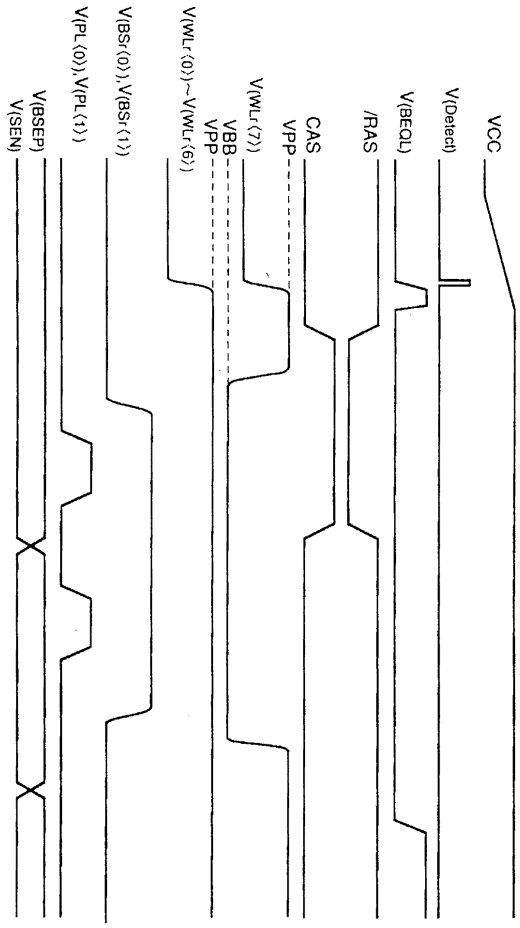
도면 18


VCC
V(Detect)
VBLP
VOFF
V(BEQL)
/RAS
CAS
선택 워드선
VCC
0V
비선택 워드선
0V
V(PL〈0〉),V(PL〈1〉)
V(BSEP)
V(SEN)
VOFF
VOFF
BBL 전위
VOFF
VOFF
BL 전위
VOFF
VSS

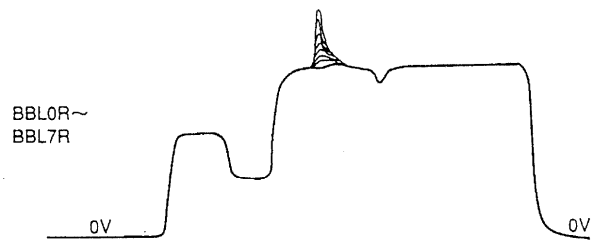
도면 19


DQ
BDQ
V(CSL)
QG
CG
VSAH
V(BSEP)
SA
10
V(SEN)
QE
VSS
QN
EQ
V(BEQL)
VSS
V(BSr(1))
V(BSr(0))
BBL
QB1
CB
QB0
BL
BM0
BBL0R
M0
BL0R
BTr0
Tr0
WLr(0)
BBL1R
BL1R
BTr1
Tr1
WLr(1)
BBL2R
BL2R
BTr2
Tr2
WLr(2)
BBL3R
BL3R
BTr3
Tr3
WLr(3)
BBL4R
BL4R
BTr4
Tr4
WLr(4)
BBL5R
BL5R
BTr5
Tr5
WLr(5)
BBL6R
BL6R
BTr6
Tr6
WLr(6)
BBL7R
BL7R
BTr7
Tr7
WLr(7)
BM7
BC0
BC1
BC2
BC3
BC4
BC5
BC6
BC7
C0
C1
C2
C3
C4
C5
C6
C7
PL(1)
PL(0)

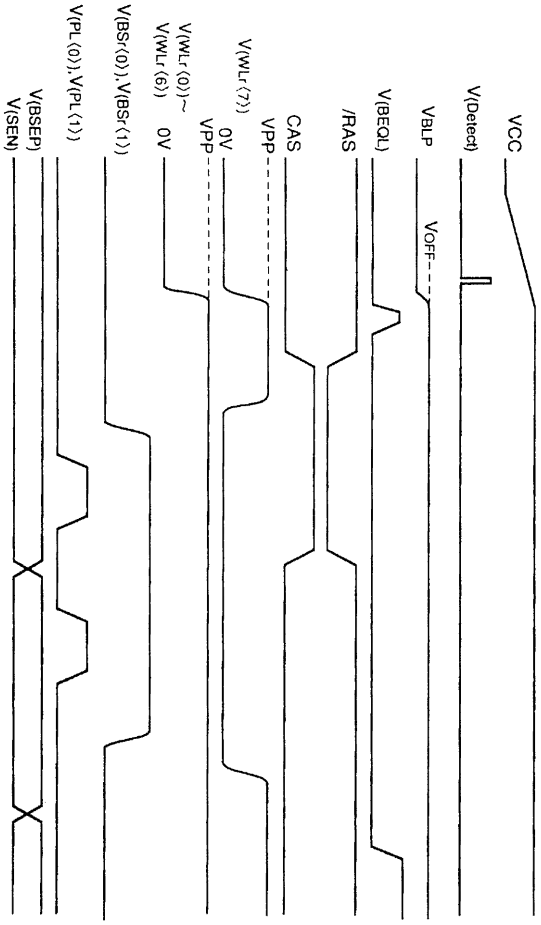
도면 20


V(SEN)
V(BSEP)
V(PL<0>),V(PL<1>)
V(BSr<0>),V(BSr<1>)
V(WLr<0>)~V(WLr<6>)
VPP
VBB
V(WLr<7>)
VPP
CAS
/RAS
V(BEQL)
V(Detect)
VCC

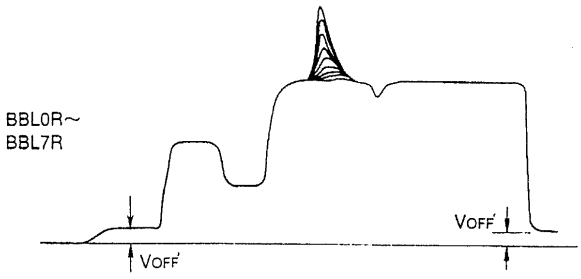
도면 21


BBL0R~
BBL7R
0V
0V

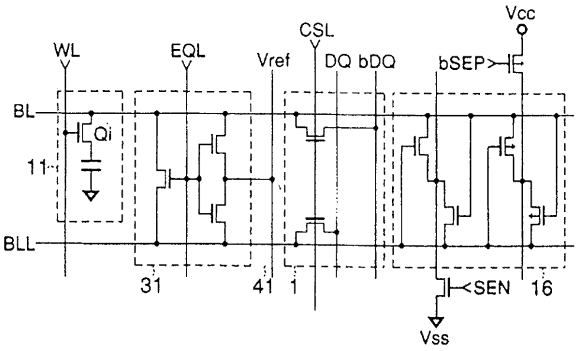
도면 22


V(SEN)
V(BSEP)
V(PL⟨0⟩),V(PL⟨1⟩)
V(BSr⟨0⟩),V(BSr⟨1⟩)
V(WLr⟨0⟩)~
V(WLr⟨6⟩)
0V
VPP
V(WLr⟨7⟩)
0V
VPP
CAS
VPP
/RAS
V(BEQL)
VBLP
VOFF
V(Detect)
VCC

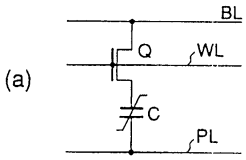
도면 23

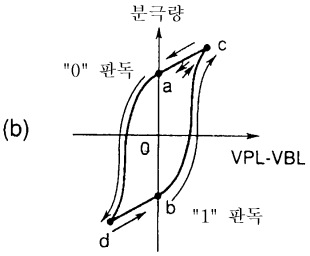

BBL0R~
BBL7R
VOFF
VOFF

도면 24

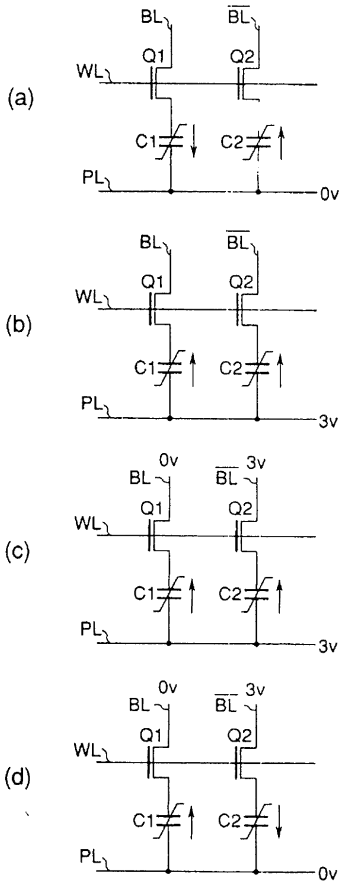

WL
EQL
Vref
CSL
DQ bDQ
Vcc
bSEP
BL
Qi
11
BLL
31
41
1
SEN
16
Vss

도면 25

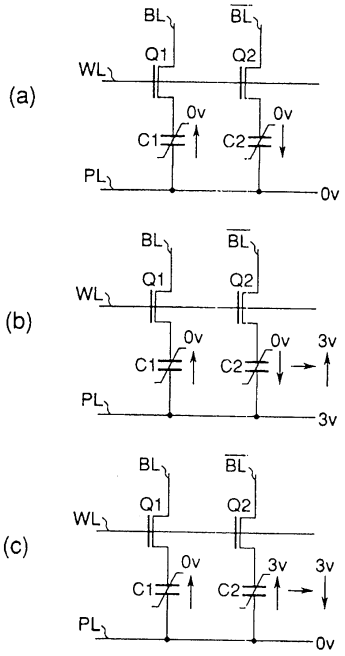

(a)
BL
Q
WL
C
PL


(b)
분극량
"0" 판독
a
c
0
VPL-VBL
b
"1" 판독
d

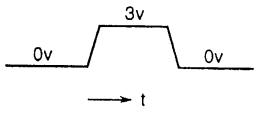
도면 26


(a)
BL
BL
Q1
Q2
WL
C1
C2
PL
0v
(b)
BL
BL
Q1
Q2
WL
C1
C2
PL
3v
(c)
0v
3v
BL
BL
Q1
Q2
WL
C1
C2
PL
3v
(d)
0v
3v
BL
BL
Q1
Q2
WL
C1
C2
PL
0v

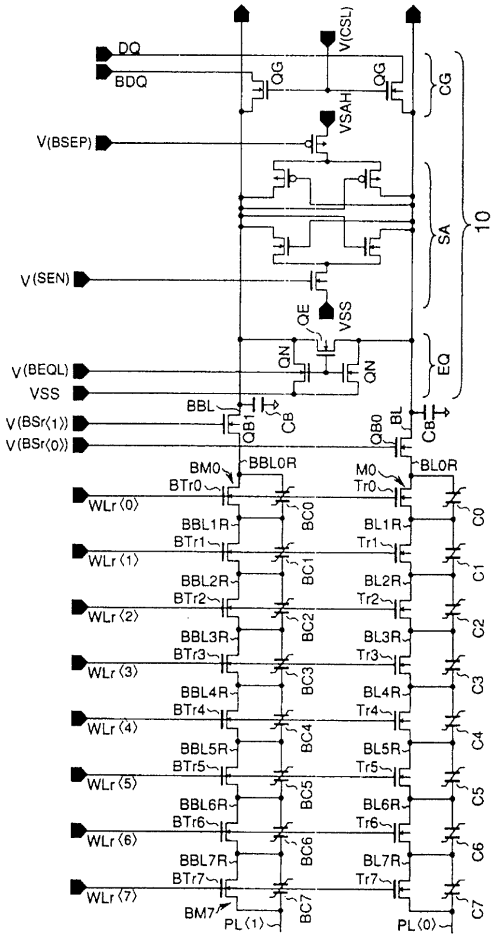
도면 27


(a)
BL
BL
Q1
Q2
WL
0v
0v
C1
C2
PL
0v
(b)
BL
BL
Q1
Q2
WL
0v
0v
3v
C1
C2
PL
3v
(c)
BL
BL
Q1
Q2
WL
0v
3v
3v
C1
C2
PL
0v

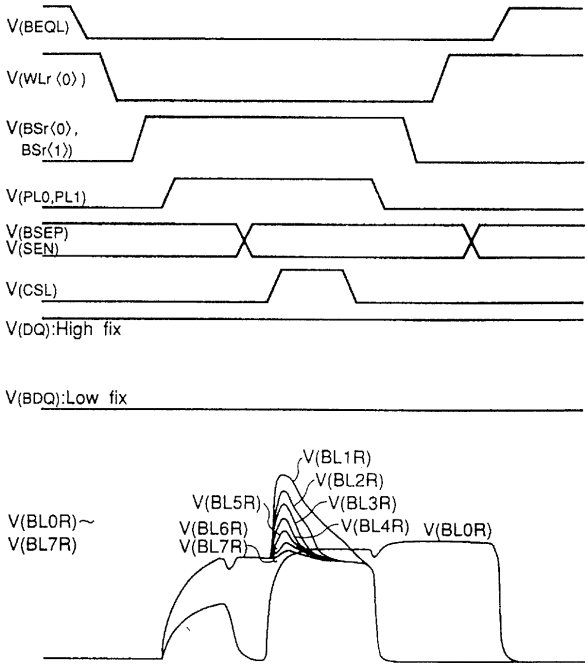
도면 28


3v
0v
0v
t

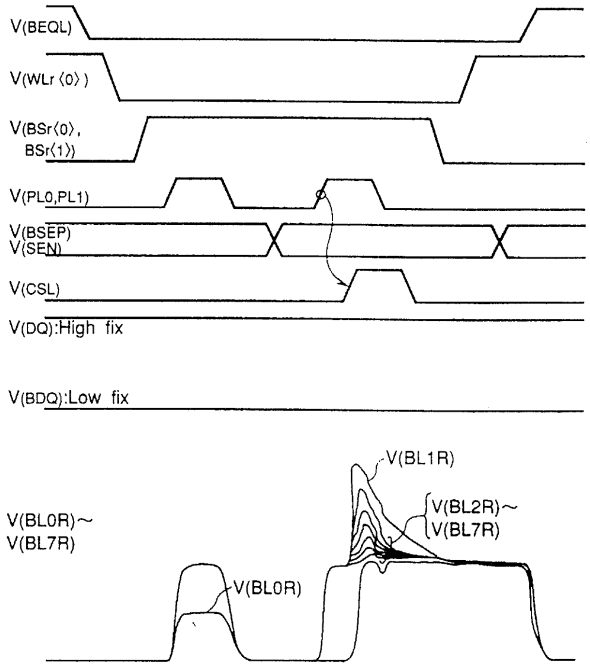
도면 29


DQ
BDQ
V(CSL)
QG
CG
VSAH
V(BSEP)
SA
10
V(SEN)
QE
VSS
QN
EQ
V(BEQL)
VSS
V(BSr⟨1⟩)
V(BSr⟨0⟩)
BBL
QB1
CB
QB0
BL
BM0
BBL0R
M0
BL0R
BTr0
Tr0
WLr⟨0⟩
BBL1R
BL1R
BTr1
Tr1
WLr⟨1⟩
BBL2R
BL2R
BTr2
Tr2
WLr⟨2⟩
BBL3R
BL3R
BTr3
Tr3
WLr⟨3⟩
BBL4R
BL4R
BTr4
Tr4
WLr⟨4⟩
BBL5R
BL5R
BTr5
Tr5
WLr⟨5⟩
BBL6R
BL6R
BTr6
Tr6
WLr⟨6⟩
BBL7R
BL7R
BTr7
Tr7
WLr⟨7⟩
BM7
PL⟨1⟩
PL⟨0⟩
BC0
BC1
BC2
BC3
BC4
BC5
BC6
BC7
C0
C1
C2
C3
C4
C5
C6
C7

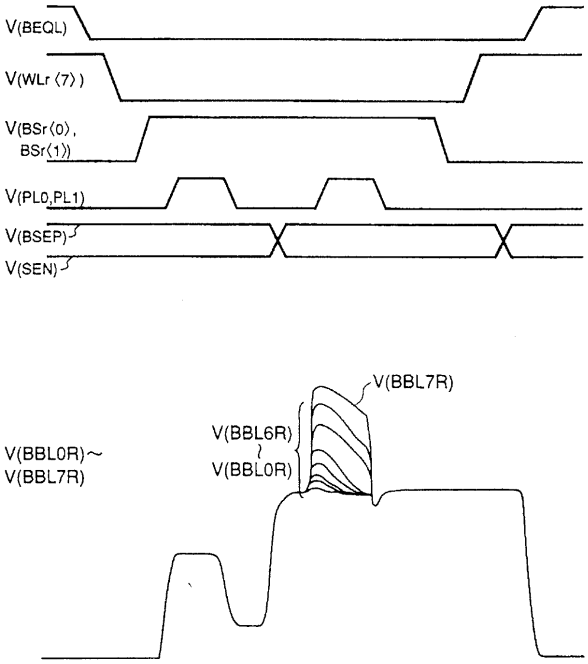
도면 30


V(BEQL)
V(WLr〈0〉)
V(BSr〈0〉,
BSr〈1〉)
V(PL0,PL1)
V(BSEP)
V(SEN)
V(CSL)
V(DQ):High fix
V(BDQ):Low fix
V(BL0R)~
V(BL7R)
V(BL1R)
V(BL2R)
V(BL5R)
V(BL3R)
V(BL6R)
V(BL4R)
V(BL7R)
V(BL0R)

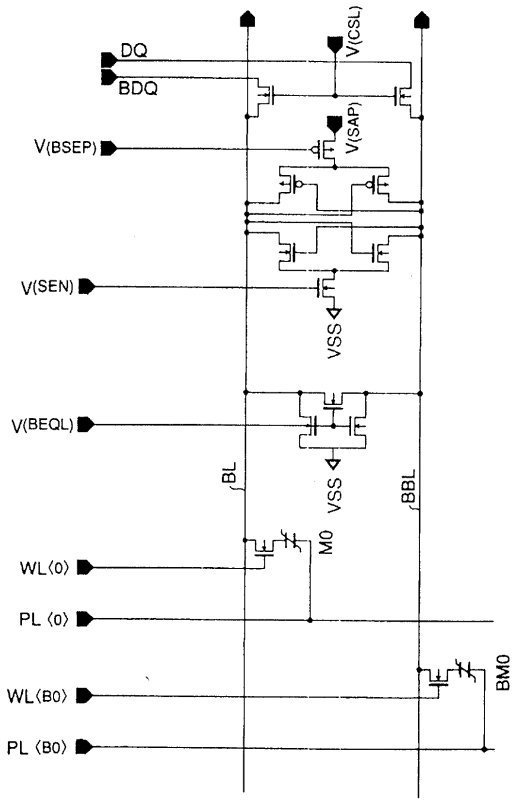
도면 31


V(BEQL)
V(WLr〈0〉)
V(BSr〈0〉, BSr〈1〉)
V(PL0,PL1)
V(BSEP)
V(SEN)
V(CSL)
V(DQ):High fix
V(BDQ):Low fix
V(BL1R)
V(BL2R)~ V(BL7R)
V(BL0R)~ V(BL7R)
V(BL0R)

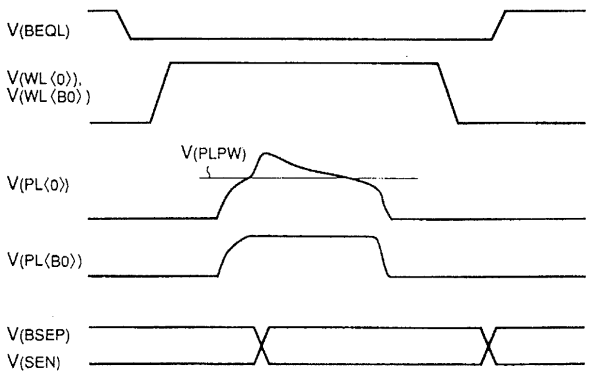
도면 32


V(BEQL)
V(WLr〈7〉)
V(BSr〈0〉,
BSr〈1〉)
V(PL0,PL1)
V(BSEP)
V(SEN)
V(BBL7R)
V(BBL6R)
V(BBL0R)
V(BBL0R)~
V(BBL7R)

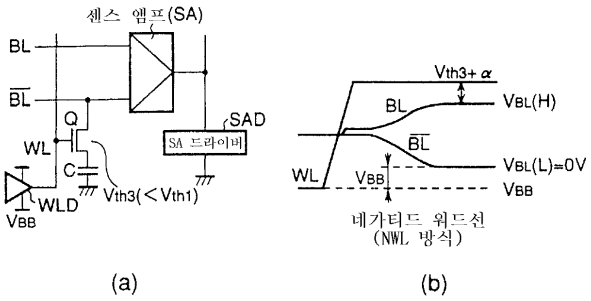
도면 33


DQ
BDQ
V(CSL)
V(SAP)
V(BSEP)
V(SEN)
VSS
V(BEQL)
BL
VSS
BBL
M0
WL〈0〉
PL〈0〉
BM0
WL〈B0〉
PL〈B0〉

도면 34

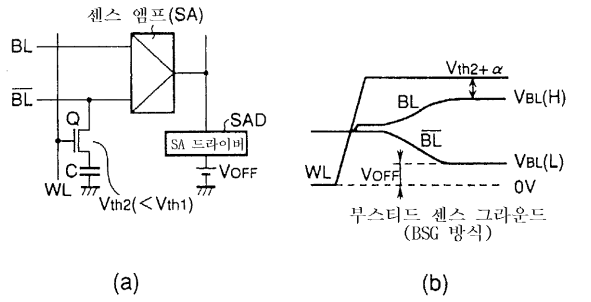

V(BEQL)
V(WL〈0〉),
V(WL〈B0〉)
V(PLPW)
V(PL〈0〉)
V(PL〈B0〉)
V(BSEP)
V(SEN)

도면 35



(a) (b)

도면 36



(a) (b)