

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年1月4日 (04.01.2007)

PCT

(10) 国際公開番号
WO 2007/000798 A1(51) 国際特許分類:
G06K 19/00 (2006.01)

(21) 国際出願番号: PCT/JP2005/011728

(22) 国際出願日: 2005年6月27日 (27.06.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西沢 裕孝 (NISHIZAWA, Hirotaka) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 和田 環 (WADA, Tamaki)

[JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 杉山 道昭 (SUGIYAMA, Michiaki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 大迫 潤一郎 (OSAKO, Junichiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP).

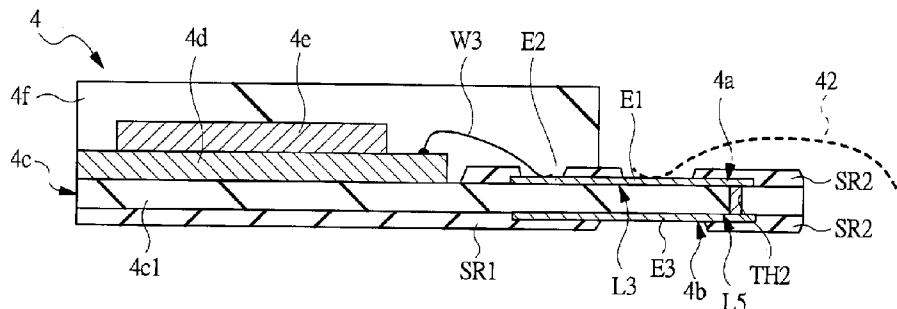
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿8丁目1番1号アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: An IC card chip (1c) has an IC card function and a memory card function. A semi-finished module (SFM)(4) having the portion of the memory card function of the IC card chip (1c) is prepared. The SFM (4) has a wiring substrate (4c), two semiconductor chips (4d, 4e) mounted on a first main surface of the wiring substrate, and a resin sealing body (4f) for sealing them. A memory circuit is formed on the semiconductor chip (4d), and an interface controller circuit for controlling operation of the memory circuit (M) is formed on the semiconductor chip (4e). External terminals (4a) are arranged on a part of the upper surface of the SFM (4) so as to be exposed to the outside of the SFM (4).

(57) 要約: ICカードチップ1cは、ICカード機能と、メモリカード機能とを具備している。このICカードチップ1cのメモリカード機能部分を具備するセミフィニッシュドモジュール(SFM)4を用意する。このSFM4は、配線基板4cとその第1主面上に実装された2つの半導体チップ4d、4eと、これらを封止する樹脂封止体4fとを有している。半導体チップ4dには、メモリ回路が形成され、半導体チップ4eには、上記メモリ回路Mの動作を制御するインタフェースコントローラ回路が形成されている。SFM4の上面の一部には、複数の外部端子4aがSFM4の外部に露出された状態で配置されている。



WO 2007/000798 A1



MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LI, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置技術に関し、特に、ICカード等のようなカード型情報媒体に用いる半導体装置に適用して有効な技術に関するものである。

背景技術

[0002] ICカードやメモ리카ード等のようなカード型情報媒体は、小型で薄く軽量なため、携帯性、可搬性および利便性に優れ、様々な分野での普及が進められている。

[0003] ICカードは、キャッシュカードサイズのプラスチック製薄板にICチップを埋め込み、情報を記録可能にしたカード型情報媒体である。ICカードは、認証性および耐タンパー性に優れる等の理由から、例えばクレジットカード、キャッシュカード、ETC (Electronic Toll Collection system) システム用カード、定期券、携帯電話用カードまたは認証カード等、金融、交通、通信、流通および認証等の高いセキュリティ性が要求される分野での普及が進んでいる。このようなICカードについては、例えば特開2001-357376号公報(特許文献1)の図9には、枠カードの開口部にブリッジを設けてSIM (Subscriber Identify Module) 型カードを固定した構成が開示されている。

[0004] 一方、上記メモ리카ードは、記憶媒体としてフラッシュメモリを採用するカード型情報媒体である。メモ리카ードは、ICカードよりも小型で、しかも大容量の情報を高速で書き込みおよび読み出しすることが容易であるために、例えばデジタルカメラ、ノート型パーソナルコンピュータ、携帯型音楽プレーヤー、携帯電話等のような可搬性が要求される携帯型情報機器の記録メディアとして普及している。代表的なメモ리카ード規格には、SD (Secure Digital) メモ리카ード (SDカード協会で規格化された規格がある)、miniSD、MMC (Multi Media Card、Infineon Technologies AGの登録商標である)、RS-MMC (Reduced Size MMC) 等がある。このようなメモ리카ードについては、例えば国際特許公開番号WO 02/099742 A1 (特許文献2)に記載があり、セキュリティ性の向上を目的として、フラッシュメモリチップと、セキュリティ処理を実行可能なICカードチップと、これらチップの回路動作を制御するコントローラチップとを

備えるメモリカードの構成が開示されている。

特許文献1:特開2001-357376号公報(図9等)

特許文献2:国際特許公開番号WO 02/099742 A1

発明の開示

発明が解決しようとする課題

[0005] ところで、本発明者は、ICカードの機能とメモリカードの機能とを融合することで、ICカードの機能の向上を図ることを検討した。その結果、ICカードの機能とメモリカードの機能とを有する機能および信頼性の高いカード型情報媒体を如何にして効率良く提供するかが重要な課題であることを見出した。

[0006] 本発明の目的は、ICカードの機能とメモリカードの機能とを有する機能および信頼性の高いカード型情報媒体を効率良く提供することのできる技術を提案することにある。

[0007] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0008] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0009] 本発明は、カード型情報媒体のメモリカードの機能を持つ半導体装置において、配線基板と、前記配線基板の主面に実装されたメモリカード機能を持つ半導体チップと、前記半導体チップを封止する樹脂封止体とを備え、前記配線基板の主面の一部には前記半導体チップと電氣的に接続される複数の端子が配置されており、前記複数の端子の少なくとも1つの端子の一部は前記樹脂封止体の外に露出されているものである。

発明の効果

[0010] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0011] すなわち、ICカードの機能とメモリカードの機能とを有する機能および信頼性の高

いカード型情報媒体を効率良く提供することができる。

図面の簡単な説明

[0012] [図1]本発明の一実施の形態である半導体装置を有するICカードの第1主面の全体平面図である。

[図2]図1のICカードの第1主面の反対面の第2主面の全体平面図である。

[図3]図1および図2のICカードの側面図である。

[図4]ICカードチップの第2主面の全体平面図である。

[図5]図4のICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図6]図5のX1－X1線の断面図である。

[図7]ICカードチップの配線接続の説明図である。

[図8]ICカードチップの配線基板の第1主面の全体平面図である。

[図9]ICカードチップの樹脂封止体の形成状態の変形例を示すICカードチップの第1主面の全体平面図である。

[図10]図9のICカードチップの側面図である。

[図11]ICカードチップの樹脂封止体の形成状態の変形例を示すICカードチップの第1主面の全体平面図である。

[図12]図11のICカードチップの側面図である。

[図13]図11のICカードチップを曲げている様子を示す説明図である。

[図14]ICカードチップの樹脂封止体の形成状態の変形例を示すICカードチップの第1主面の全体平面図である。

[図15]ICカードチップ内のICチップに形成されたICカードマイコン回路の一例の説明図である。

[図16]ICカードチップ内の半導体装置に形成されたインタフェースコントローラ回路の一例の説明図である。

[図17]本発明の一実施の形態である半導体装置を有するICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図18]図17に続くICカードチップの製造工程中における配線基板形成用のテープ

の第1主面側の要部拡大平面図である。

[図19]図18に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図20]図19に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図21]図20に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図22]本発明の一実施の形態である半導体装置の全体斜視図である。

[図23]図22の半導体装置を上面から見た平面図である。

[図24]図22の半導体装置を裏面から見た平面図である。

[図25]図22の半導体装置の内部を上面側から透かして見た全体平面図である。

[図26]図25のX2-X2線の断面図である。

[図27]図25の半導体装置の要部拡大平面図である。

[図28]図27のX3-X3破線の断面図である。

[図29]図22の半導体装置の外部端子の平面図である。

[図30]図22の半導体装置における中継配線を用いた半導体チップ間のワイヤ接続の一例を示す斜視図である。

[図31]図22の半導体装置の半導体チップのワイヤ接続の他の例を示す斜視図である。

[図32]図31の半導体装置の半導体チップのワイヤ接続例の側面図である。

[図33]ボンディングワイヤによるダメージの緩和対策の一例を示す半導体チップの要部断面図である。

[図34]ボンディングワイヤによるダメージの緩和対策の他の例を示す半導体チップの要部断面図である。

[図35]図27の半導体装置の半導体チップのワイヤ接続のさらに他の例を示す斜視図である。

[図36]図35の半導体装置の半導体チップのワイヤ接続例の側面図である。

[図37]図22の半導体装置の製造工程中の配線基板母体の第1主面側の全体平面

図である。

[図38]図37に続く半導体装置の製造工程中の配線基板母体の第1主面側の全体平面図である。

[図39]図38に続く半導体装置の製造工程中の配線基板母体の断面図である。

[図40]図39に続く半導体装置の製造工程中の配線基板母体の断面図である。

[図41]図40の段階の半導体装置の製造工程中の配線基板母体の要部拡大断面図である。

[図42]図41に続く半導体装置の製造工程である封止樹脂注入工程時における封止樹脂を流し込む方向と金型のキャビティ内の空気が外部に抜ける方向を示した配線基板母体の第1主面の全体平面図である。

[図43]図42の変形例を示す配線基板母体の第1主面の全体平面図である。

[図44]図41および図42に続く半導体装置の製造工程中の配線基板母体の断面図である。

[図45]図44に続く半導体装置の製造工程中の配線基板母体の断面図である。

[図46]図45に続く半導体装置の製造工程中の配線基板母体の断面図である。

[図47]本発明の他の実施の形態である半導体装置を有するICカードチップの第2主面の全体平面図である。

[図48]図47のICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図49]図48のX4－X4線の断面図である。

[図50]本発明の他の実施の形態である半導体装置を有するICカードチップの第2主面の全体平面図である。

[図51]図50のX5－X5線の断面図である。

[図52]本発明の他の実施の形態である半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図53]図52のX6－X6線の断面図である。

[図54]ICカードチップの厚さの説明図である。

[図55]図52のICカードチップの厚さの説明図である。

[図56]本発明の他の実施の形態である半導体装置の全体斜視図である。

[図57]図56の半導体装置を上面から見た平面図である。

[図58]図56の半導体装置を裏面から見た平面図である。

[図59]図56の半導体装置の内部を上面側から透かして見た全体平面図である。

[図60]図59の半導体チップを取り除いた状態で図59の半導体装置の内部を上面側から透かして見た全体平面図である。

[図61]図59の半導体装置の要部拡大平面図である。

[図62]図61のX7－X7破線の断面図である。

[図63]本発明の他の実施の形態である半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図64]図63のICカードチップの配線基板の第1主面におけるICチップ用の配線の経路を示す全体平面図である。

[図65]本発明の他の実施の形態である半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図66]図65の半導体装置の全体平面図である。

[図67]本発明の他の実施の形態である半導体装置の全体斜視図である。

[図68]図67の半導体装置の裏面の一例の全体平面図である。

[図69]図67の半導体装置の裏面の他の例の全体平面図である。

[図70]図67の半導体装置の内部を上面側から透かして見た一例の全体平面図である。

[図71]図70の半導体装置の要部拡大平面図である。

[図72]図71のX8－X8破線の断面図である。

[図73]図67の半導体装置の内部を上面側から透かして見た他の例の全体平面図である。

[図74]図73の半導体装置の要部拡大平面図である。

[図75]図74のX9－X9破線の断面図である。

[図76]図67の半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図77]図76のX10－X10線の断面図である。

[図78]図67の半導体装置の実装状態の一例の断面図である。

[図79]図67の半導体装置の実装状態の他の例の断面図である。

[図80]図67の半導体装置の実装状態のさらに他の例の断面図である。

[図81]本発明の他の実施の形態である半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図82]図81のX11－X11線の断面図である。

[図83]図81および図82のICカードチップの配線基板の第2主面にソルダーレジストを設けた場合における図81のX11－X11線の断面図である。

[図84]本発明の他の実施の形態である半導体装置を有するICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図85]図84に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図86]図85に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図87]図86に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図88]図87に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図89]図88に続くICカードチップの製造工程中における配線基板形成用のテープの第1主面側の要部拡大平面図である。

[図90]実装前の半導体装置の断面図である。

[図91]実装後の半導体装置の断面図である。

[図92]本発明の他の実施の形態である半導体装置を有するICカードチップの内部を第1主面側から透かして見た全体平面図である。

[図93]図92の半導体装置の全体平面図である。

発明を実施するための最良の形態

[0013] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまた

は実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0014] (実施の形態1)

図1は本実施の形態1の半導体装置を有するIC (Integrated Circuit) カード1の第1主面の全体平面図、図2は図1のICカード1の第1主面の反対面の第2主面の全体平面図、図3は図1および図2のICカード1の側面図を示している。なお、符号Xは第1方向(ICカード1の長手方向)を示し、符号Yは第1方向に直交する第2方向(ICカード1の幅方向)を示している。

[0015] ICカード1は、例えばSIM (Subscriber Identity Module) カードまたはUIM (User Identity Module) カードと称する加入者識別モジュール(カード型情報媒体)である。ICカード1の外形は、例えば長形状に形成されており、その外形寸法は、例えば85.6mm×54mm×0.76mm程度である。

[0016] このICカード1の外形を形成する枠体部1aは、例えばポリ塩化ビニル(PVC)、ポリカーボネート、ポリオレフィン(ポリプロピレン等)、ポリエチレンテレフタレート(poly ethylene terephthalate: PET)、ポリエチレンテレフタレート・グリコール(PET-G)また

はABS(アクリルニトリル・ブタジエン・スチレン樹脂)等のようなプラスチックにより形成されている。

[0017] このICカード1の枠体部1aの中央から角部側に離れた位置には、第1主面および第2主面間を貫通する開口部1bが形成されており、その開口部1bには、ICカードチップ(ICカード本体)1cが支持部1dにより枠体部1aに接合され支えられた状態で収まり良く嵌め込まれている。

[0018] このICカードチップ(以下、カードチップという)1cは、セキュリティ処理を実行可能な、いわゆるICカードとしての機能と、ICカードよりも大容量で高い機能を持つ、いわゆるメモリカードとしての機能とを合わせ持つ機能性の高い加入者識別モジュールである。すなわち、カードチップ1cは、例えば電話番号や電話帳のような情報が記憶された携帯電話用カードとして使用できる。また、カードチップ1cは、例えばクレジットカード、キャッシュカード、ETC(Electronic Toll Collection system)システム用カード、定期券または認証カード等、金融、交通、通信、流通および認証等のように、高いセキュリティ性が要求される様々な分野で使用できる。その上、カードチップ1cは、デジタルカメラ、ノート型パーソナルコンピュータ、携帯型音楽プレーヤー、携帯電話等のような可搬性が要求される携帯型情報機器の記録メディアとしても使用可能な構成になっている。

[0019] カードチップ1cの外形は、SIMカードやUIMカードの外形規格に準拠して、例えば略長方状に形成されており、その前面側の一方の角部はインデックス用に大きく面取されている。カードチップ1cの外形寸法は、例えば21.4mm×12.3mm×0.76mm程度である。カードチップ1cの第2主面には、ICカード機能用のISO準拠の8個の外部接続端子CAと、それ以外のメモリカード機能用の複数の外部接続端子CBとが露出された状態で配置されている。ICカード機能用の外部接続端子CAのうちの外部接続端子CA1は、高電位側の回路電圧(Vcc)供給用端子、外部接続端子CA2は、リセット信号端子、外部接続端子CA3は、クロック信号端子、外部接続端子CA4は、将来利用可能なリザーブ端子である。また、外部接続端子CA5は、基準電位(GND)供給用端子、外部接続端子CA6は、プログラム(書き込み)供給用端子、外部接続端子CA7は、データ入出力信号I/O端子、外部接続端子CA8は、将来利

用可能なリザーブ端子である。なお、カードチップ1cはカッターナイフ等のような簡単な切断工具や人手によって支持部1dを切断することで切り出せるようになっている。

[0020] 次に、図4は上記カードチップ1cの第2主面の全体平面図、図5は図4のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図6は図5のX1-X1線の断面図、図7はカードチップ1cの配線接続の説明図、図8はカードチップ1cの配線基板2の第1主面の全体平面図をそれぞれ示している。

[0021] カードチップ1cの配線基板2は、例えば多層(2層)配線構成を有するテープ基板またはプリント配線基板等からなり、その厚さ方向に沿って互いに反対側になる第1主面と第2主面とを有している。配線基板2の絶縁基材2aは、例えばガラスエポキシ樹脂またはポリイミド樹脂により形成されている。また、配線基板2の配線L1、L2、ダイパッドDPおよび上記外部接続端子CA、CBは、例えば銅(Cu)からなり、その露出表面には、例えばニッケル(Ni)下地メッキおよび金(Au)メッキが施されている。また、配線基板2の第1主面上には、ソルダレジストSR1が配線L1、L2を覆うように形成されている。ソルダレジストSR1の一部には、配線L1、L2の一部が露出される開口部が形成されており、その開口部から露出する配線L1、L2部分が電極(接続領域)になっている。この配線基板2の第1主面の配線L1、L2と第2主面の外部接続端子CA、CBとは、絶縁基材2aの第1、第2主面間を貫通するスルーホールTH1内の導体部(例えば銅)を通じて電氣的に接続されている。

[0022] このような配線基板2の第1主面には、ICチップ3と、セミフィニッシュドモジュール(Semi Finished Module:以下、SFMという)4とが実装されている。

[0023] ICチップ3は、例えばシリコン(Si)単結晶を基板とする半導体チップからなり、その主面を上に向けた状態で上記ダイパッドDP上に実装されている。ICチップ3は、上記外部接続端子CAが配置された端部側寄りに配置されている。このICチップ3は、このICチップ3の主面には、例えばICカードマイコン回路が形成されている。このICカードマイコン回路は、セキュリティコントローラとしての機能を有する回路であり、例えば電子決済サービスなどに利用可能なISO/IEC15408の評価・認証機関による認証済み機能を実現している。このICチップ3の主面の複数のボンディングパッド(外部端子、以下、パッドという)は、ボンディングワイヤ(以下、ワイヤという)W1を通じ

て配線基板2の第1主面の配線L1の上記電極に電氣的に接続されている。ワイヤW1は、例えば金 (Au) 等により形成されている。ワイヤW1の第1ボンディングは、ICチップ3のパッド側で行われ、第2ボンディングは、配線基板2の電極側で行われている。下地に与える衝撃が大きな第2ボンディングを配線基板2側で行うことにより、ICチップ3のワイヤW1による損傷を防止することができるので、カードチップ1Cの歩留まりや信頼性を向上させることができる。

[0024] 上記SFM4は、メモ리카ード回路が形成されたモジュールである。SFM4の上面の一部には、複数の外部端子4aがSFM4の外部に露出された状態で配置されている。SFM4は、上記複数の外部端子4aを上に向けた状態で、接着剤5によって配線基板2の第1主面上に固定されている。SFM4は、上記外部接続端子CBの配置領域側、すなわち、配線基板2のインデックス用の大きな面取部が形成された端部側寄りに配置されている。また、SFM4は、上記複数の外部端子4aの配置領域がICチップ3の配置側を向くように配置されている。このSFM4の上記複数の外部端子4aは、ワイヤW2を通じて配線基板2の第1主面の配線L2の上記電極に電氣的に接続されている。ワイヤW2の第1ボンディングは、配線基板2の電極側で行われ、第2ボンディングは、SFM4の外部端子4a側で行われている(リバースボンディング)。図7に示すように、ワイヤW2の第1ボンディングをSFM4の外部端子4aで行い、第2ボンディングを配線基板2の電極で行うこともできるが、SFM4の外部端子4aと配線基板2の電極との距離が近いので、破線Aで示すように、ワイヤW2がSFM5の一部に接触し(エリアタッチ)、配線断線不良や配線短絡不良等が生じる場合がある。これに対して、ワイヤW2の第1ボンディングを配線基板2の電極側で行い、第2ボンディングをSFM4の外部端子4a側で行う場合、ワイヤW2のループをSFM4から遠ざかるように形成できるので、SFM4の外部端子4aと配線基板2の電極との距離が近くても、エリアタッチを生じることなくワイヤボンディングできる。また、ワイヤW2の第2ボンディングは第1ボンディングに比べると下地に与える衝撃が大きい、SFM4の外部端子4aはICチップ3のパッドに比べると衝撃に強いので特に問題にならない。なお、SFM4の詳細な説明は後述する。

[0025] ここで、カードチップ1cは、その第1、第2主面に対して交差する方向に曲げながら

外部処理装置のソケットに挿入したり、そのソケットから抜き出したりする場合がある。その場合に、配線基板2の第1主面の中央に、ICカード機能とメモ리카ード機能とを持つモジュールまたは半導体チップを配置してしまうとカードチップ1cの曲げに対して不利になる。これに対して、本実施の形態1では、ICカード機能用のICチップ3と、メモ리카ード機能用のSFM4とに分けて配置することにより、ICチップ3と、SFM4との間に曲げに対して有利な領域を確保することができる。

[0026] 上記ICチップ3、ワイヤW1および電極等は、例えばエポキシ系のポッティング樹脂や紫外線(UV)硬化樹脂等のような樹脂封止体6により封止されている。これにより、ICチップ3及びワイヤW1を含む接続部での信頼性を確保できる。また、本実施の形態1では、その樹脂封止体6の一部により、上記SFM4の外部端子4a、ワイヤW2および電極等も封止されている。これにより、SFM4のワイヤW2を含む接続部分での信頼性を向上させることができるとともに、SFM4の固定状態を強化させることもできる。図9は樹脂封止体6の形成状態の変形例を示すカードチップ1cの第1主面の全体平面図、図10は図9のカードチップ1cの側面図をそれぞれ示している。この図9および図10に示すように、SFM4の全周の側面下部に樹脂封止体6を設けても良い。これにより、SFM4の固定状態をさらに強化させることができる。

[0027] また、上記のようにカードチップ1cを曲げる場合があることを考慮すると、樹脂封止体6は、例えばシリコーンゲル等のように機械的な力に対して弾性能力の高いプラスチック材料により形成することが好ましい。これにより、カードチップ1cを曲げたときに樹脂封止体6に割れや亀裂が生じるのを抑制または防止できる。また、カードチップ1cの曲げを考慮して、図6および図8に示すように、ICチップ3とSFM4との間の樹脂封止体6部分を平面的にも断面的にも他の部分よりも窪ませても良い。図11は樹脂封止体6の形成状態の変形例を示すカードチップ1cの第1主面の全体平面図、図12は図11のカードチップ1cの側面図、図13は図11のカードチップ1cを曲げている様子を示している。この図11および図12に示すように、樹脂封止体6をICチップ3とSFM4とで完全に分離しても良い。これにより、図11の破線で示すように、ICチップ3とSFM4との間に曲げに有利な領域Bを確保できるので、図13に示すようなカードチップ1cの曲げに対して有利な構造にすることができる。また、図14は樹脂封止体6の

形成状態の変形例を示すカードチップ1cの第1主面の全体平面図を示している。樹脂封止体6をICチップ3側とSFM4側とで完全に分離するために、図14に示すように、SFM4の配置を、図8等で示したものに対して180度反転させても良い。すなわち、SFM4は、その複数の外部端子4aが、配線基板2のインデックス用の大きな面取部が形成された端部側を向くように配置されている。これにより、樹脂封止体6をICチップ3側とSFM4側とで完全に分離することができ、図14の破線で示すように、ICチップ3とSFM4との間に曲げに有利な領域Bを確保できるので、カードチップ1cの曲げに対して有利な構造にすることができる。ここで、樹脂封止体6をICチップ3側とSFM4側とで完全に分離した場合、例えばICチップ3側の樹脂封止体6は耐腐食性のような信頼性の確保を目的とした材料で形成され、SFM4側の樹脂封止体6はSFM4の接着強度の確保を目的とした材料で形成する等、ICチップ3側の樹脂封止体6と、SFM4側の樹脂封止体6とをそれぞれ材料や成分を変えるようにしても良い。

[0028] このような配線基板2の第1主面側には、図6および図13に示すように、上記ICチップ3およびSFM4等を覆うようにキャップ7が被さっている。キャップ7は、上記ICカード1の枠体部1a等と同一の材料により形成されている。キャップ7と配線基板2とはそれらの間に充填された接着剤8によりしっかりと接合されている。

[0029] 次に、図15は、上記ICチップ3に形成されたICカードマイコン回路の一例を示している。ICカードマイコン回路10は、CPU (Central Processing Unit) 10a、ワークRAM (Random Access Memory) としてのRAM10b、タイマ10c、EEPROM (Electrically Erasable Programmable Read Only Memory) 10d、コプロセッサユニット10e、マスクROM10f、システムコントロールロジック10g、入出力ポート(I/Oポート) 10h、データバス10i、アドレスバス10jおよびその他の演算回路等のような集積回路を有している。

[0030] 上記マスクROM10fはCPU10aの動作プログラム(暗号化プログラム、復号プログラム、インタフェース制御プログラム等)およびデータを格納するのに利用される。上記RAM10bはCPU10aのワーク領域またはデータの一時記憶領域とされ、例えばSRAM若しくはDRAMからなる。I/Oポート10hにICカードコマンドが供給されると、システムコントロールロジック10gがこれをデコードし、当該コマンドの実行に必要な

処理プログラムをCPU10aに実行させる。すなわち、CPU10aは、システムコントロールロジック10gから指示されるアドレスでマスクROM10fをアクセスして命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。上記コプロセッサユニット10eはCPU10aの制御に従ってRSAや楕円曲線暗号演算における剰余演算処理などを行う。

- [0031] I/Oポート10hは1ビットの入出力端子I/Oを有し、データの入出力と外部割り込み信号の入力に兼用される。I/Oポート10hはデータバス10iに結合され、データバス10iには前記CPU10a、RAM10b、タイマ10c、EEPROM10dおよびコプロセッサユニット10e等が電氣的に接続される。
- [0032] システムコントロールロジック10gはICカードマイコン回路10の動作モードの制御および割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジック等を有する。ICカードマイコン回路10はリセット信号/RESによってリセット動作が指示されると、内部が初期化され、CPU10aはEEPROM10dのプログラムの先頭番地から命令実行を開始する。ICカードマイコン回路10はクロック信号CLKに同期して動作する。
- [0033] 上記EEPROM10dは、電氣的に消去処理及び書込み処理が可能にされ、個人を特定するために用いられるID (Identification) 情報や認証証明書などのデータを格納する領域として用いられる。EEPROM10dに代えてフラッシュメモリあるいは強誘電体メモリなどを採用しても良い。ICカードマイコン回路10は外部とのインタフェースに外部端子を用いる接触インタフェースをサポートする。
- [0034] 一方、上記SFM4は、例えばインタフェースコントローラ回路を有している。インタフェースコントローラ回路は、外部からの指示に従った制御態様、あるいは内部であらかじめ決定された設定に従って外部インタフェース動作とメモリインタフェース動作を制御する機能を有している。SFM4が有するインタフェース制御態様は、例えばMMC (Multi Media Card、Infineon Technologies AGの登録商標である。RS-MMC (Reduced Size MMC)を含む) 態様とされる。インタフェースコントローラ回路の機能は、外部接続端子CBを介して外部とやりとりするコマンドやバスの状態に応ずるメモリカードインタフェース制御態様の認識、認識したメモリカードインタフェース制御態

様に応ずるバス幅の切替え、認識したメモ리카ードインタフェース制御態様に応ずるデータフォーマット変換、パワーオンリセット機能、上記ICチップ3内のICカードマイコン回路10とのインタフェース制御、SFM内の半導体チップ内のメモリ回路とのインタフェース制御、及び電源電圧変換等とされる。

[0035] 図16は上記インタフェースコントローラ回路11の一例を示している。なお、図16中のメモリ回路Mは、上記SFM4内の半導体チップに形成されたメモリ回路を示している。

[0036] インタフェースコントローラ回路11は、ホストインタフェース回路11a、マイクロコンピュータ11b、フラッシュコントローラ11c、バッファコントローラ11d、バッファメモリ11eおよびICカード用インタフェース回路11fを有している。バッファメモリ11eはDRAM (Dynamic RAM) またはSRAM (Static RAM) 等から成る。ICカード用インタフェース回路11fにはICカードマイコン回路10が電氣的に接続される。マイクロコンピュータ11bはCPU (中央処理装置) 11b1、CPU11b1の動作プログラムを保有するプログラムメモリ (PGM) 11b2およびCPU11b1のワーク領域に利用されるワークメモリ (WRAM) 11b3等を有している。前記SD (Secure Digital) カード (SDカード協会で規格化された規格がある)、MMC (RS-MMCを含む)、HSM (High Speed Multi Media Card) インタフェース制御態様の制御プログラムはプログラムメモリ11b2に保有されている。

[0037] ホストインタフェース回路11aは、メモ리카ードイニシャライズコマンドの発行等を検出すると、割込みによってマイクロコンピュータ11bに対応するインタフェース制御態様の制御プログラムを実行可能にする。マイクロコンピュータ11bはその制御プログラムを実行する事によってホストインタフェース回路11aによる外部インタフェース動作を制御し、フラッシュコントローラ11cによるメモリ回路Mに対するアクセス (書き込み、消去および読み出し動作) とデータ管理を制御し、バッファコントローラ11dによるメモ리카ード固有のデータフォーマットとメモリに対する共通のデータフォーマットとの間のフォーマット変換を制御する。バッファメモリ11eには、メモリ回路Mから読み出されたデータまたはメモリ回路Mに書き込まれるデータが一時的に保持される。フラッシュコントローラ11cはメモリ回路Mをハードディスク互換のファイルメモリとして動作させ、

データをセクタ単位で管理する。なお、フラッシュコントローラ11cは図示を省略するECC回路を備え、メモリ回路Mへのデータ格納に際してECCコードを付加し、読み出しデータに対してECCコードによる選れエラー検出・訂正処理を行う。

[0038] 次に、上記枠体部1aを持たないカードチップ1c単体の製造方法の一例を図17～図21により説明する。なお、図17～図21はカードチップ1cの製造工程中における配線基板形成用のテープ15の第1主面側の要部拡大平面図を示している。

[0039] 図17に示すテープ15は、例えばポリイミド樹脂等により形成された可撓性を有する平面帯状の薄い絶縁材15aをベースとして形成されており、厚さ方向に沿って互いに反対側になる第1主面と第2主面とを有している。テープ15には、その延在方向に沿って複数の上記カードチップ1cの形成領域(破線)が配置されている。テープ15の第1主面において各カードチップ1cの形成領域には、上記配線L1, L2が配置されている。テープ15の第2主面において各カードチップ1cの形成領域には、図4で示したような外部接続端子CA, CBが配置されている。また、テープ15の両長辺の近傍には、テープ15の延在方向に沿って複数のテープ送り孔15bが規則的に並んで配置されている。

[0040] まず、図18に示すように、テープ15の第1主面上に接着剤5を塗布した後、図19に示すように、テープ15の第1主面上に接着剤5を介してSFM4を接着する。また、テープ15の第1主面上にICチップ3を接着する。接着剤5はICチップ3の接着に用いるものを使用しても良い。続いて、図20に示すように、ICチップ3のパッドとテープ15上の電極とをワイヤW1により接続し、SFM4の外部端子4aとテープ15上の電極とをワイヤW2により接続する。その後、図21に示すように、テープ15の第1主面上に、ポッティング樹脂を塗布することにより、ICチップ3およびSFM4の一部を樹脂封止体6により封止する。その後、テープ15から個々のカードチップ1c部分を切り出し、キャップ7を被せることでカードチップ1cを製造する。このように本実施の形態1では、予め用意されたSFM4をテープ15に実装するだけで良いので、ICカードの機能とメモリカードの機能との両方の機能を具備する機能および信頼性の高いカードチップ1cを効率良く提供することができる。なお、各工程は、テープ15を送りながら各ステージで行う。

[0041] 次に、上記SFM4の構成の一例を説明する。

[0042] 図22はSFM4の全体斜視図、図23は図22のSFM4を上面から見た平面図、図24は図22のSFM4を裏面から見た平面図をそれぞれ示している。

[0043] SFM4は、上記メモ리카ード機能を1つにまとめて構成されたモジュールである。この状態でメモ리카ードとしての電気的特性および機能試験が済んでいる。SFM4の外形寸法は、例えば10mm×14mm×0.50(MAX)mm程度である。SFM4の上面側においてSFM4の長手方向の一端部は階段状に欠けており、その部分に複数(ここでは、例えば7個)の外部端子4aが外部に露出された状態でSFM4の幅方向に沿って並んで配置されている。

[0044] 外部端子4aのうちの外部端子4a1は、将来利用可能なリザーブ端子、外部端子4a2は、コマンド(CMD)端子、外部端子4a3は、第1低電位側の回路電圧(Vss1)供給用端子、外部端子4a4は、高電位側の回路電圧(Vdd)供給用端子である。また、外部端子4a5は、クロック信号端子、外部端子4a6は、第2低電位側の回路電圧(Vss2)供給用端子、外部端子4a7は、データ入出力信号I/O端子である。

[0045] 一方、SFM4の裏面側において、上記外部端子4aの裏側に当たる位置には、複数(ここでは、外部端子4aに合わせて7個)のテスト端子4bが外部に露出された状態でSFM4の幅方向に沿って並んで配置されている。

[0046] 次に、図25は上記SFM4の内部を上面側から透かして見た全体平面図、図26は図25のX2-X2線の断面図をそれぞれ示している。

[0047] SFM4は、配線基板4cと、これに実装された半導体チップ(第1半導体チップ)4dと、その上に積層された半導体チップ(第2半導体チップ)4eと、これら半導体チップ4d、4e等を封止する樹脂封止体4fとを有している。

[0048] SFM4の配線基板4cは、例えば多層(2層)配線構成を有するプリント配線基板等からなり、その厚さ方向に沿って互いに反対側になる第1主面と第2主面とを有している。配線基板4cの絶縁基材4c1は、例えばガラスエポキシ樹脂により形成されている。絶縁基材4c1の材料は、これに限定されるものではなく種々変更可能であり、例えばBTレジンまたはアラミド不織布材等を用いても良い。

[0049] また、配線基板4cの絶縁基材4c1の第1主面には、上記外部端子4a、配線L3、お

よび中継配線L4が配置されている。また、配線基板4cの絶縁基材4c1の第2主面には、上記テスト端子4bおよび配線L5が配置されている。これら外部端子4a、テスト端子4b、配線L3、L5および中継配線L4は、例えば銅(Cu)からなり、その表面一部には、例えばニッケル(Ni)下地メッキおよび金(Au)メッキが施されている。外部端子4aと配線L3とは一体的にパターンニングされている。この配線L3の一部は樹脂封止体4f内に配置されている(ここでは配線L3のうち樹脂封止体4fの外部の部分を外端子4aとしている)。中継配線L4は孤立パターンで全体が樹脂封止体4fに内包されている。また、テスト端子4bと配線L5とは一体的にパターンニングされている。

[0050] 相対的にサイズの大きな上記半導体チップ4dは、例えばシリコン(Si)単結晶等からなる半導体基板を有しており、その主面には、例えば電氣的にデータの消去及び書き込み可能なフラッシュメモリ等のような不揮発性のメモリ回路M(図16参照)が形成されている。半導体チップ4dの記憶容量は、他の半導体チップ4eのメモリ部に比べて最も大容量とされている。半導体チップ4dの主面のパッドP1は、例えば金(Au)等により形成されているワイヤW3を通じて上記外部端子4aや中継配線L4に電氣的に接続されている。上記半導体チップ4dのメモリ回路Mを構成する複数のメモリセルは、例えばメモリセルのフローティングゲート等に電子が注入されると閾値電圧が上昇し、また、フローティングゲート等から電子を引き抜くと閾値電圧が低下するようになっている。メモリセルは、データ読み出しのためのワード線電圧に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、例えばメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態とする。

[0051] 半導体チップ4d上の相対的にサイズの小さな上記半導体チップ4eは、例えばシリコン(Si)単結晶等からなる半導体基板を有しており、その主面には、上記インタフェースコントローラ回路11が形成されている。上記半導体チップ4dのメモリ回路Mの動作は、この半導体チップ4eのインタフェースコントローラ回路11に制御される。半導体チップ4eの主面のパッドP2は、例えば金(Au)等により形成されているワイヤW4を通じて上記外部端子4aや中継配線L4に電氣的に接続されている。

[0052] このような配線L3の一部、中継配線L4の全体、半導体チップ4d、4e、ワイヤW3、W4は、樹脂封止体4fによって封止されている。樹脂封止体4fは、例えばエポキシ

樹脂により形成されている。

[0053] 次に、図27は図25のSFM4の要部拡大平面図、図28は図27のX3-X3破線の断面図、図29は図27のSFM4の外部端子4aの平面図をそれぞれ示している。

[0054] 配線基板4cの絶縁基材4c1の第1主面および第2主面上には、ソルダレジストSR2が配線L3、L5、中継配線L4の一部を覆うように形成されている。ソルダレジストSR2の一部には、配線L3、L5および中継配線L4の一部が露出される開口部が形成されている。配線L3においてソルダレジストSR2の開口部から露出する部分は、樹脂封止体4fの外部において上記外部端子4aの接続領域E1になっており、樹脂封止体4fの内部において接続領域E2になっている。上記半導体チップ4dのパッドP1は、ワイヤW3を通じて上記配線L3の接続領域E2または中継配線L4の接続領域に電氣的に接続されている。また、上記半導体チップ4eのパッドP2は、ワイヤW4を通じて上記配線L3の接続領域E2または中継配線L4の接続領域に電氣的に接続されている。ワイヤW3、W4の材料は上記ワイヤW1と同じである。また、配線L5においてソルダレジストSR2の開口部から露出する部分は上記テスト端子4bの接続領域E3になっている。

[0055] このような外部端子4aとテスト端子4bとは、配線基板4cの第1主面および第2主面間を貫通するスルーホールTH2内の導体部（例えば銅）を通じてテスト端子4bおよび配線L5と電氣的に接続されている。このようにテスト端子4bを配線基板4cの第2主面に設けている理由は、例えば次のとおりである。すなわち、SFM4の小型化の観点からは外部端子4aの幅（第2方向Yの長さ）はワイヤW2の接続に必要な最小限な寸法に抑えておきたい。しかし、ワイヤW2の接続に必要な外部端子4aの幅は、テスト用の探針を当てるには小さすぎてテストが難しいという問題がある。そこで、本実施の形態1では、配線基板4cの第1主面の外部端子4aをスルーホールTH2を通じて配線基板4cの第2主面のテスト端子4bに引き出すようにしている。配線基板4cの裏面側は、テスト用の探針を当てるのに必要な大きさのテスト端子4bの寸法を確保できるので、テストを容易に行うことができる。もちろん、テスト端子4bは、通常の外部端子として使用することもできる。

[0056] また、複数の外部端子4aのうちの所望の外部端子4aは、その先端部が複数の外

部端子4aが配置される第2方向Yに折れ曲がって延在しており、例えば平面L字状に形成されている。すなわち、外部端子4aは、相対的に幅(第2方向Yの長さ)の狭い領域と相対的に幅の広い領域との幅の異なる2つの領域を有するようにパターンニングされている。この外部端子4aの第2方向Yの先端側には、上記スルーホールTH2が配置されている。このような構成にしている理由は、例えば次のとおりである。

[0057] すなわち、上記のように配線基板4cの第1主面の外部端子4aを、配線基板4cの第2主面のテスト端子4bに電氣的に接続するには、スルーホールTH2の配置が必要である。しかし、ワイヤW2の接続領域E1にスルーホールTH2が配置されているとワイヤW2の接続不良が生じる場合がある。そこで、ワイヤW2の接続領域E1とスルーホールTH2の配置領域とを分ける必要がある。ここで、図29の下段に示すように、外部端子4aの長さを第1方向Xに延在させて、その延在領域にスルーホールTH2を配置することもできる。しかし、そのようにすると外部端子4aの第1方向Xの長さXAが長くなる分、寸法上厳しいSFM4の第1方向Xの寸法も長くしなければならない。そこで、本実施の形態1では、外部端子4aの先端を、複数の外部端子4aが並んで配置される第2方向Yに延在させて、その延在領域にスルーホールTH2を配置するようにしている。SFM4の第2方向Yは、寸法上の余裕があるので、外部端子4aの先端部を第2方向Yの方向に延在させたからといってSFM4の第2方向Yの寸法を大きくしなければならないということもない。すなわち、SFM4の寸法を増大させることなくスルーホールTH2を配置できる。複数の外部端子4aにおいて、第2方向Yに延在する領域を持つものと持たないものとを交互に配置することも好ましい。

[0058] また、複数の外部端子4aのうちの平面が長方形状に形成されているものも、樹脂封止体4fに覆われた配線L3の先端部分が、上記所望の外部端子4aと同様に、第2方向Yに延在されている。その配線L3は、その第2方向Yに延在する領域に配置されたスルーホールTH2を通じて配線基板4cの第2主面のテスト端子4bに電氣的に接続されている。ワイヤW3, W4が接触する接続領域E2とスルーホールTH2が配置される接続領域とを分けているのは、上記同様、ワイヤW3, W4の接続不良を防止するためである。配線L3の先端部分を第2方向Yに折り曲げているのは、上記同様、SFM4の寸法を増大させることなくスルーホールTH2を配置するためである。

[0059] 次に、図30～図36により半導体チップ4d, 4eと配線基板4cとのワイヤ接続例について説明する。

[0060] まず、図30は中継配線L4を用いた半導体チップ4d, 4e間のワイヤ接続例の斜視図を示している。半導体チップ4d, 4e間を電氣的に接続する場合、半導体チップ4dのパッドP1と半導体チップ4eのパッドP2とをワイヤによって直接接続しても良い。しかし、上記したようにワイヤの第2ボンディングは下地に与える衝撃が大きいので第2ボンディングが行われる半導体チップのパッド下に損傷が生じる場合がある。そこで、本実施の形態1では、ワイヤW3, W4の第1ボンディングを半導体チップ4d, 4eのパッドP1, P2で行い、ワイヤW3, W4の第2ボンディングをダメージに強い配線基板4c上の中継配線L4で行う。これにより、半導体チップ4d, 4eに損傷を生じることなくワイヤ接続ができるので、SFM4の歩留まりおよび信頼性を向上させることができる。

[0061] この場合、ワイヤW3, W4の第2ボンディング部を第1方向Xに並べて配置すると中継配線L4の第1方向Xの長さも長くなり、その結果、寸法上厳しいSFM4の第1方向Xの寸法を長くしなければならなくなる。そこで、本実施の形態1では、ワイヤW3, W4の第2ボンディング部が第2方向Yに並んで配置されるようにする。これにより、中継配線L4の第1方向Xの方向の長さを短く抑えることができるので、SFM4の第1方向Xの寸法増大を招くことなく、中継配線L4を配置することができる。

[0062] 次に、図31および図32は半導体チップ4d, 4eと配線基板4cとのワイヤ接続例の斜視図および側面図を示している。ここでは、上側の半導体チップ4eと配線基板4cとを接続するワイヤW4のループを低くするために、敢えて、ワイヤW4の第2ボンディングを半導体チップ4eのパッドP2で行い、ワイヤW4の第1ボンディングを配線基板4cの配線L3または中継配線L4で行うようにしている。この場合、配線基板4cの第1主面からワイヤW4の最も高い位置までの高さh1を低く抑えることができるので、樹脂封止体4fを薄くでき、SFM4の薄型化を推進することができる。その結果、上記キャップ7の天井部を厚くすることができるようになり、キャップ7の割れ等を抑制または防止できる。

[0063] ただし、この場合、上記のように半導体チップ4eのパッドP2下がワイヤW4の第2ボンディングによりダメージを受ける場合がある。その対策としては、下記の構成を採用

することが好ましい。例えばワイヤW4の接続前に半導体チップ4eのパッドP2に緩衝部材として、例えば金(Au)等からなる金属バンプを形成しておく。また、図33に示すように、パッドP1を最上層の配線18aとその直下の層の配線18bとの積層構成とする。配線18a, 18bは、例えばアルミニウム等により形成されている。配線18a, 18bを積層することにより、ワイヤW4の第2ボンディングによる衝撃を緩和でき、パッドP2下に損傷が生じるのを抑制または防止できる。この他の対策として、図34に示すように、集積回路素子が形成される活性領域19を、パッドP2下のダメージ領域20から離して配置しても良い。

[0064] なお、下側の半導体チップ4dと配線基板4cとのワイヤW3による接続については、図30で説明したのと同じである。すなわち、ワイヤW3の第1ボンディングを半導体チップ4dのパッドP1で行い、ワイヤW3の第2ボンディングをダメージに強い配線基板4c上の中継配線L4または外部端子4aで行う。

[0065] 次に、図35および図36は半導体チップ4d, 4e間のワイヤ接続例の斜視図および側面を示している。ここでは、図31および図32で説明したのと同様の理由から半導体チップ4d, 4e間をワイヤW5により直接接続する場合に、ワイヤW5の第1ボンディングを下側の半導体チップ4dのパッドP1で行い、ワイヤW5の第2ボンディングを上側の半導体チップ4eのパッドP2で行っている。この場合、配線基板4cの第1主面からワイヤW5の最も高い位置までの高さh1を低く抑えることができるので、樹脂封止体4fを薄くでき、SFM4の薄型化を推進することができる。ただし、この場合も、ワイヤW5の第2ボンディングによるパッドP2下での損傷の抑制または防止の観点から上記した対策を採ることが好ましい。なお、ワイヤW5は、ワイヤW3, W4と同じ材料のものである。また、半導体チップ4d, 4eの電源(高電位側および低電位側)のパッドはワイヤW3, W4を通じて配線基板4cに電氣的に接続する。これにより、配線抵抗を低減できる。

[0066] 次に、SFM4の製造方法の一例を説明する。なお、ここでは、例えば基板に搭載された複数の半導体チップを一括して封止するMAP(Mold Array Package)方式を用いる場合について説明する。

[0067] まず、図37に示すように、例えば平面長方形の薄板状の配線基板母体(以下、基

基板母体という)25を用意する。図37は、基板母体25の第1主面の全体平面図を示している。この基板母体25は、上記配線基板4cの母体である。

[0068] この基板母体25には、例えば2行×3列で合計6個の配線基板4cの形成領域が配置されている。基板母体25の各配線基板4cの形成領域の第1主面には、上記外部端子4a、配線L3および中継配線L4等がパターンニングされている。また、基板母体25の各配線基板4cの形成領域の第2主面には、上記テスト端子4bおよび配線L5がパターンニングされている。基板母体25の断面構成は上記配線基板4cと同じである。

[0069] 基板母体25の各配線基板4cの形成領域は、その各々の外部端子4a等の配置領域が、第1方向Xの端部側に位置するように配置されている。すなわち、第1方向Xに沿って配置された2つの配線基板4cの背面同士が接するように配置されている。

[0070] 続いて、図38に示すように、基板母体25の各配線基板4cの形成領域に、半導体チップ4d、4eを搭載した後、ワイヤW3、W4、W5を接続する。図38はワイヤ接続工程後の基板母体25の第1主面の全体平面図を示している。

[0071] 次いで、図39に示すように、基板母体25を成型金型の下型に載置する。図39は、成型金型に載置した段階の基板母体25の断面図を示している。基板母体25の第1主面の上方には、ラミネートフィルム(以下、フィルムという)26を介して上型27が設置されている。フィルム26は、例えばフッ素系の樹脂等のような耐熱性が高く柔軟な絶縁フィルムにより形成されている。基板母体25に対する上型27の対向面には複数の配線基板4cの形成領域を包括するような平面寸法の断面凹状のキャビティ27aが形成されている。フィルム26の平面的な大きさは、成型金型の上型27のキャビティ27aの内壁面をほぼ全体的にカバーできる程度の大きさに形成されている。

[0072] 続いて、図40に示すように、フィルム26を上型27側に真空吸引して上型27のキャビティ27a内に密着させた後、下型と上型27とで基板母体25を挟み込むようにして保持する。このようにして、上型27のキャビティ27aと基板母体25の第1主面とで囲まれる実質的なキャビティ28を形成する。この時、基板母体25の第1主面の外周部は、フィルム26を介して上型27のキャビティ27aの外側外周部に押し付けられ、基板母体25の総厚の数%程度潰された状態とされる。このため、図41に示すように、基板母体25の第1主面の外部端子4a等の配置領域も、最終的に樹脂封止体の外部に

露出される領域なので、上型27の外周部により押し付けられる。この際、本実施の形態1では、上型27の外周部の底面と、基板母体25の第1主面との間にフィルム26が介在されるため、上型27から外部端子4a等に加わる力をフィルム26により緩和できる。これにより、外部端子4a等の損傷等を防止できる。

[0073] その後、キャビティ28内に、例えばエポキシ系樹脂等のような熱硬化性の封止樹脂（モールド樹脂）を流し込む。図42および図43は、封止樹脂を流し込む方向R1, R2とキャビティ27a内の空気が外部に抜ける方向V1, V2を示している。図42では、外部端子4aの配置方向に対して交差する方向に沿って封止樹脂を流し込んでいる。一方、図43では、外部端子4aの配置方向に沿って封止樹脂を流し込んでいる。このようにして、基板母体25の第1主面の複数の配線基板4cの形成領域の半導体チップ4d, 4eおよびワイヤW3, W4, W5等を一括して封止する。

[0074] その後、上記封止樹脂のキュアが完了した後、フィルム25に対する真空吸引を止め、フィルム30の張力を利用して、図44に示すように、一括封止体30が形成された基板母体25を上型27から離す。続いて、図45に示すように、一括封止体30の上面を研磨砥石等により10mm程度研磨する。一括封止体30の上面には、上型27との離型性を向上させるための離型ワックス等の成分が吸収され変質しているため、上記キャップ7とSFM4とを接着する接着剤8の接着性が低下する問題がある。この問題はフィルム25を使用しないで一括封止体30を成型する場合に特に問題となる。そこで、上記のように一括封止体30の上面を研磨し変質層を除去する。これにより、SFM4の樹脂封止体4fと接着剤8との接着性を向上させることができる。

[0075] その後、基板母体25を裏返し、一括封止体30を粘着テープ等で固定した後、図46に示すように、ダイシングと同じ要領で、基板母体25の第2主面側にダイシングブレード31を当てて基板母体25および一括封止体30を配線基板4c毎に切断する。このようにして同時に複数個のSFM4を製造する。

[0076] （実施の形態2）

本実施の形態2では、カードチップ1cの配線基板2が1層配線構成の場合の一例を説明する。

[0077] 図47は本実施の形態2のカードチップ1cの第2主面の全体平面図、図48は図47

のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図49は図48のX4-X4線の断面図をそれぞれ示している。

[0078] 本実施の形態2では、カードチップ1cの配線基板2が1層配線構成とされている。配線基板2の第2主面の複数の外部接続端子CBは、配線基板2の中央に向かって延在しており、その終端には幅広パターンCBwが形成されている。配線基板2の第1主面には、外部接続端子CAの裏面および外部接続端子CBの幅広パターンCBwの裏面の一部が露出されるスルーホールTH3が形成されている。ICチップ3のパッドに接続されたワイヤW1は、その端部が上記スルーホールTH3を通じて外部接続端子CAに直接接触されることで外部接続端子CAに電氣的に接続されている。また、SFM4の外部端子4aに接続されたワイヤW2も、その端部が上記スルーホールTH3を通じて外部接続端子CBの幅広パターンCBwに直接接触されることで外部接続端子CBに電氣的に接続されている。これ以外の構成は、前記実施の形態1と同じである。

[0079] 本実施の形態2では、カードチップ1cの配線基板2を1層配線構成としたことにより、配線基板2の第1主面から樹脂封止体6の上面までの高さを低く抑えることができるので、その分、上記キャップ7の天井部を厚くすることができるようになり、キャップ7の割れ等を抑制または防止できる。また、配線基板2を1層配線構成としたことにより、カードチップ1cのコストを低減することができる。

[0080] (実施の形態3)

本実施の形態3では、カードチップ1cの配線基板2が1層配線構成の場合の他の一例を説明する。

[0081] 図50は本実施の形態3のカードチップ1cの第2主面の全体平面図、図51は図50のX5-X5線の断面図をそれぞれ示している。

[0082] 本実施の形態3では、カードチップ1cの配線基板2の第2主面に溶剤レジストSR3が被覆されている。この溶剤レジストSR3の一部には、全ての外部接続端子CAの全体と、全ての外部接続端子CBの一部とが露出されるような開口部35が形成されている。

[0083] 外部接続端子CBは、細く配線基板2に対する接着面積も小さいので、その接着強

度が2層配線構成に比べて低く、外部接続端子CBが剥離する虞がある。そこで、本実施の形態3では、各外部接続端子CBの長手方向の両端部分を溶剤レジストSR3で覆うようにした。これにより、カードチップ1cの外部接続端子CBの剥離を抑制または防止することができる。このため、外部接続端子CBの剥離による短絡不良等の発生率を低減できる。

[0084] (実施の形態4)

本実施の形態4では、カードチップ1cの配線基板2が1層配線構成の場合のさらに他の一例を説明する。

[0085] 図52は本実施の形態4のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図53は図52のX6-X6線の断面図をそれぞれ示している。

[0086] 本実施の形態4では、配線基板2の第1主面には開口部37a、37bが形成されている。一方の開口部37aの底面からは、配線基板2の第2主面の外部接続端子CAの裏面の一部が露出されている。開口部37aには、上記ICチップ3が上記外部接続端子CA上に接着層5aを介して実装された状態で収まっている。

[0087] 他方の開口部37bの底面からは、配線基板2の第2主面の導体パターン38の裏面が露出されている。導体パターン38は、外部接続端子CA、CBと同層に形成されており、外部接続端子CA、CBと同じ金属材料により形成されている。開口部37bには、上記SFM4が上記導体パターン38上に接着層5bを介して実装された状態で収まっている。SFM4は、その複数の外部端子4aの配置部分が配線基板2の大きく面取された角部側の端部を向くように配置されている。

[0088] ここで、図54および図55はカードチップ1cの厚さの説明図を示している。図54は配線基板2の第1主面上にSFM4が実装されている場合を示し、図55は本実施の形態4のように配線層上にSFM4が実装されている場合を示している。カードチップ1cの厚さD1は、例えば0.76mm、配線基板2の厚さD2は、例えば0.15mm、SFM4の厚さは、例えば0.45mm程度である。このため、図54の場合、外部接続端子CBの裏面からSFM4の上面までの高さD3は、例えば0.6mm程度、SFM4の上面からキャップ7内の天井面までの距離D4が、例えば0.01mmとすると、キャップ7の天井部の厚さD5は、例えば0.15mm程度しか確保できない。

[0089] これに対して、図55に示す本実施の形態4の場合、外部接続端子CBの裏面からSFM4の上面までの高さD6を、例えば0.55mm程度まで低くすることができる。このため、キャップ7内の天井面までの距離D4が、例えば0.01mmとすると、キャップ7の天井部の厚さD7を、例えば0.2mm程度にすることができ、図54の場合よりも厚くすることができる。

[0090] このように本実施の形態4では、ICチップ3およびSFM4を配線基板2の1層目の導体層上に実装したことにより、配線基板2の第1主面から樹脂封止体6およびSFM4の上面までの高さをさらに低くすることができるので、その分、上記キャップ7の天井部を厚くすることができるようになり、キャップ7の割れ等を抑制または防止できる。

[0091] (実施の形態5)

本実施の形態5では、上記SFM4の配線基板4cが1層配線構成の場合の他の一例を説明する。

[0092] 図56は本実施の形態5のSFM4の全体斜視図、図57は図56のSFM4を上面から見た平面図、図58は図56のSFM4を裏面から見た平面図をそれぞれ示している。

[0093] 本実施の形態5では、SFM4の配線基板4cが1層配線構成とされている。本実施の形態5の場合もSFM4の上面側においてSFM4の長手方向の一端部は階段状に欠けており、その部分に複数(ここでは、例えば7個)の外部端子4aが外部に露出された状態でSFM4の幅方向に沿って並んで配置されている。一方、SFM4の裏面には、複数(ここでは、外部端子4aに合わせて7個)のテスト端子4bが外部に露出された状態でSFM4の幅方向に沿って千鳥状に並んで配置されている。

[0094] 次に、図59は上記SFM4の内部を上面側から透かして見た全体平面図、図60は図59の半導体チップ4d、4eを取り除いた状態で上記SFM4の内部を上面側から透かして見た全体平面図、図61は図59のSFM4の要部拡大平面図、図62は図61のX7-X7破線の断面図をそれぞれ示している。

[0095] 本実施の形態5のSFM4の配線基板4cは、例えば1層配線構成を有するプリント配線基板等により形成されている。配線基板4cの第1主面の外部端子4aは、平面長方形形状に形成されている。各外部端子4aは、配線L3を通じて配線基板4cの中央に

向かって延在しており、その終端には幅広パターンL3wが一体的に形成されている。配線L3および幅広パターンL3wの表面は、上記接続領域E2を除いて溶剤レジストSR2に被覆されている。これにより、半導体チップ4dと配線L3または幅広パターンL3wとが短絡しないようになっている。一方、配線基板2の第2主面には、複数の開口部40が千鳥状に配置されている。各開口部40からは、配線基板2の第1主面の上記幅広パターンL3wの裏面の一部が露出されている。そして、この幅広パターンL3wの露出部分がテスト端子4bとなっている。これ以外は、前記実施の形態1〜4と同じなので説明を省略する。

[0096] 本実施の形態5では、SFM4の配線基板4cを1層配線構成としたことにより、SFM4の薄型化を推進できる。このため、上記のようにキャップ7の天井部を厚くすることができるようになり、キャップ7の割れ等を抑制または防止できる。また、配線基板4cを1層配線構成としたことにより、SFM4のコストを低減することができる。

[0097] (実施の形態6)

本実施の形態6では、上記ICチップ3とSFM4との配置を逆にする場合の一例を説明する。

[0098] 図63は本実施の形態6のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図64は図63のカードチップ1cの配線基板2の第1主面におけるICチップ3用の配線の経路を示す全体平面図をそれぞれ示している。

[0099] 本実施の形態6のカードチップ1cでは、配線基板2の第1主面上においてICチップ3用の外部接続端子CAの真裏にSFM4が配置され、配線基板2の第1主面上においてSFM4用の外部接続端子CB側にICチップ3が配置されている。

[0100] 配線基板2としては、例えば前記実施の形態1等で説明した2層配線構成の配線基板が使用されている。配線基板2の第1主面上において、ICチップ3用の外部接続端子CAに接続された配線L1は、配線L1aを通じてICチップ3側に引き出され、配線L1aの終端の電極L1bに電氣的に接続されている。そして、ICチップ3のパッドはワイヤW1を通じて電極L1aに電氣的に接続されている。配線L1、L1aおよび電極L1aは、例えば銅からなり、配線基板2の第1主面上に一体的にパターンニングされている。一方、SFM4の外部端子4aは、ワイヤW2を通じて配線基板2の第1主面上の

配線L2に電氣的に接続されている。配線L2はスルーホールTH1内の導体部を通じて配線基板2の第2主面の外部接続端子CBに電氣的に接続されている。

[0101] このような本実施の形態6では、以下の効果を得ることができる。すなわち、カードチップ1cにおいてSFM4用の外部接続端子CBの配置領域側は、その角部にインデックス用の大きな面取部が形成されているので、ICチップ3用の外部接続端子CAの配置領域側よりも面積が小さい。このため、SFM4が大面積化した場合、SFM4用の外部接続端子CBの配置領域側にSFM4を配置することが難しくなる場合が考えられる。そこで、本実施の形態6では、配線基板2の第1主面上においてICチップ3用の外部接続端子CAの配置領域側にSFM4を配置した。ICチップ3用の外部接続端子CAの配置領域側は、SFM4用の外部接続端子CBの配置領域側に比べて大きな面積を確保できるので、SFM4の大面積化に対応できる。

[0102] (実施の形態7)

本実施の形態7では、上記ICチップ3とSFM4との配置を逆にする場合の他の一例を説明する。

[0103] 図65は本実施の形態7のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図66は図65のSFM4の全体平面図をそれぞれ簡単化して示している。

[0104] 本実施の形態7のカードチップ1cでは、前記実施の形態6と同様に、配線基板2の第1主面上においてICチップ3用の外部接続端子CAの真裏にSFM4が配置され、配線基板2の第1主面上においてSFM4用の外部接続端子CB側にICチップ3が配置されている。前記実施の形態6と異なるのは、本実施の形態7のSFM4の配線基板4cには、ICチップ3とカードチップ1cの第2主面の外部接続端子CAとを電氣的に接続するための電源用または信号用あるいはその両方の配線経路が形成されていることである。

[0105] すなわち、ICチップ3のパッドはワイヤW1を通じてSFM4の外部端子4aiに電氣的に接続されている。外部端子4aiの構成は前記外部端子4aと同じであるが、この外部端子4aiは、SFM4の配線基板4cの第1主面上に形成された配線L3iを通じて配線基板4cの第2主面の外部端子4giに電氣的に接続されている。外部端子4giの構成は、上記テスト端子4bと同じである。この外部端子4giは、カードチップ1cの配線基

板2の第1主面上の上記配線L1に電氣的に接続され、さらに上記スルーホールTH1内の導体部を通じて配線基板2の第2主面の外部接続端子CAに電氣的に接続されている。なお、この外部端子4aiにはテスト端子4bを接続しなくても良い。

[0106] SFM4には、ICチップ3用の全ての外部接続端子CAに接続される配線経路(外部端子4ai, 4giおよび配線L3i)を形成しても良いし、一部の外部接続端子CAに接続される配線経路を形成しても良い。SFM4の配線基板4cに一部の外部接続端子CA用の配線経路を設ける場合は、他の外部接続端子CA用の配線経路は、前記実施の形態6で説明したように、カードチップ1cの配線基板2に設ければ良い。以上のような構成以外は、前記実施の形態1～5で説明したのと同じである。

[0107] このような本実施の形態7では、前記実施の形態6と同様に、SFM4の大面积化に対応できる。また、前記実施の形態6に比べて、ICチップ3から外部接続端子CAまでの配線長を短くできる(配線L3iの長さを短くできる上、ワイヤW1の長さも短くできる)ので、配線抵抗や寄生容量を低減でき、ICチップ3の動作性能および信頼性を確保することができる。また、前記実施の形態6に比べて、ICチップ3用の配線経路の引き回しを容易にすることができる。

[0108] (実施の形態8)

本実施の形態8では、上記SFM4の他の一例を説明する。

[0109] 図67は本実施の形態8のSFM4の全体斜視図、図68はSFM4の配線基板4cが2層配線構成の場合におけるSFM4の裏面の平面図、図69はSFM4の配線基板4cが1層配線構成の場合におけるSFM4の裏面の平面図をそれぞれ示している。

[0110] 本実施の形態8では、SFM4の上面には外部端子が配置されておらず、SFM4の裏面(配線基板4cの第2主面)の一端側に複数の外部端子4aが露出された状態で配置されている。図68では、複数の外部端子4aがSFM4の裏面の一端の辺に沿って直線状に並んで配置されている。図69では、複数の外部端子4aがSFM4の裏面の一端の辺に沿って千鳥状に並んで配置されている。

[0111] 次に、図70は配線基板4cが2層配線構成の場合の本実施の形態8のSFM4の内部を上面側から透かして見た全体平面図、図71は図70のSFM4の要部拡大平面図、図72は図71のX8-X8破線の断面図をそれぞれ示している。

- [0112] この場合のSFM4の構成は、前記実施の形態1の図22～図28で説明したのとはほぼ同じである。異なるのは、前記実施の形態1で外部端子4aに相当していた配線L3部分が樹脂封止体4fにより覆われ、前記実施の形態1でテスト端子4bとしていた部分が、本実施の形態8では、テスト用および通常の回路動作用の外部端子4aになっていることである。
- [0113] 次に、図73は配線基板4cが1層配線構成の場合の本実施の形態8のSFM4の内部を上側から透かして見た全体平面図、図74は図73のSFM4の要部拡大平面図、図75は図74のX9－X9破線の断面図をそれぞれ示している。
- [0114] この場合のSFM4の構成は、実施の形態5の図56～図62で説明したのとはほぼ同じである。異なるのは、前記実施の形態5で外部端子4aに相当していた配線L3および幅広パターンL3w部分が樹脂封止体4fにより覆われ、前記実施の形態5でテスト端子4bとしていた部分が、本実施の形態8では、テスト用および通常の回路動作用の外部端子4aになっていることである。また、その外部端子4aがSFM4の裏面の第1方向Xの一端側に寄って配置されていることである。
- [0115] 次に、本実施の形態8のSFM4の実装例を説明する。図76は上記SFM4を有するカードチップ1cの内部を第1主面側から透かして見た全体平面図、図77は図76のX10－X10線の断面図をそれぞれ示している。
- [0116] このカードチップ1cの配線基板2は、前記実施の形態1の図4～図6等で説明したのと同様の2層配線構成の配線基板とされている。ICチップ3およびSFM4の配置も前記実施の形態1で説明したのと同じである。
- [0117] 本実施の形態8のSFM4は、その裏面(配線基板4cの第2主面)を配線基板2の第1主面に向けた状態で配線基板2の第1主面上に実装されている。SFM4の裏面の外部端子4aは、導体部45を通じて配線基板2の配線L2の電極に電氣的に接続されている。導体部45は、例えば銀(Ag)ペーストや鉛(Pb)ボール等により形成されている。
- [0118] 次に、図78～図80は、SFM4の実装状態例の断面図である。図78には、SFM4が接着剤46により配線基板2に固定されている例が示されている。接着剤46は、SFM4の裏面(配線基板4cの第2主面)の上記外部端子4aが配置されている端部とは

反対側の端部側において、SFM4の裏面と配線基板2の第1主面との間に介在されている。

[0119] また、図79には、SFM4がICチップ3を封止する樹脂封止体6により固定されている例が示されている。樹脂封止体6は、SFM4の外周側面下部に被覆されているとともに、SFM4の裏面と配線基板2の第1主面との対向面間に充填されている。これにより、SFM4の固定強度を向上させることができる。

[0120] また、図80には、SFM4が導体部47により配線基板2に固定されている例が示されている。この場合、SFM4の裏面には、固定用の導体パターン48が形成されている。この導体パターン48は、例えば銅(Cu)からなり、配線基板4cの第2主面に配線を形成する際に同時にパターンニングされている。ただし、この導体パターン48は、SFM4の回路とは電氣的に分離されている。一方、配線基板2の第1主面において、上記導体パターン48が対向する位置には、固定用の導体パターン49が形成されている。この導体パターン49は、例えば銅(Cu)からなり、配線基板2の第1主面に配線を形成する際に同時にパターンニングされている。ただし、この導体パターン49も回路とは電氣的に分離されている。上記導体部47は、上記導体パターン48、49の間に介在されている。この導体部47は、上記導体部45と同時に形成されたもので、例えば銀(Ag)ペーストや鉛(Pb)ボール等により形成されている。このようにSFM4と配線基板2とを導体部47により接合することにより、SFM4の固定強度をさらに向上させることができる。

[0121] 本実施の形態8においても、機能および信頼性の高いカードチップ1cを効率よく提供できる。

[0122] (実施の形態9)

本実施の形態9では、前記実施の形態8のSFM4を実装するカードチップ1cの配線基板2が1層配線構成の場合の一例を説明する。

[0123] 図81は本実施の形態9のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図82は図81のX11-X11線の断面図をそれぞれ示している。

[0124] このカードチップ1cの配線基板2は、前記実施の形態2の図47～図49等で説明したのと同様の1層配線構成の配線基板とされている。ICチップ3およびSFM4の配置

も前記実施の形態2で説明したのと同じである。

[0125] 本実施の形態9のSFM4は、その裏面(配線基板4cの第2主面)を配線基板2の第1主面に向けた状態で配線基板2の第1主面上に実装されている。SFM4の裏面の外部端子4aは、配線基板2のスルーホールTH3内の導体部45を通じて配線基板2の幅広パターンCBwおよび外部接続端子CBに電氣的に接続されている。導体部45は、例えば銀(Ag)ペーストや鉛(Pb)ボール等により形成されている。本実施の形態9においても前記実施の形態2と同様の効果を得ることができる。

[0126] また、図83は図81および図82のカードチップ1cの配線基板2の第2主面にソルダーレジストSR3を設けた場合における図81のX11-X11線の断面図を示している。この例は、前記実施の形態3で説明したのと同じである。すなわち、各外部接続端子CBの長手方向の両端部分がソルダーレジストSR3により覆われている。これにより、前記実施の形態3と同様に、カードチップ1cの外部接続端子CBの剥離を抑制または防止することができるので、外部接続端子CBの剥離による短絡不良の発生率を低減できる。

[0127] 次に、本実施の形態9のカードチップ1cの製造方法の一例を図84～図89により説明する。なお、図84～図89はカードチップ1cの製造工程中における配線基板形成用のテープ15の第1主面側の要部拡大平面図を示している。

[0128] 図84に示すテープ15は、例えばポリイミド樹脂等により形成された可撓性を有する平面帯状の薄い絶縁材15aをベースとして形成されており、厚さ方向に沿って互いに反対側になる第1主面と第2主面とを有している。テープ15には、その延在方向に沿って複数の上記カードチップ1cの形成領域(破線)が配置されている。このテープ15の第2主面において各カードチップ1cの形成領域には、図81等で示した外部接続端子CA、CBが配置されている。また、このテープ15の第1主面において各カードチップ1cの形成領域には、スルーホールTH3が形成されている。このスルーホールTH3からは上記外部接続端子CA、CBの裏面の一部が露出されている。

[0129] まず、図85に示すように、テープ15の第1主面上に接着剤5を塗布した後、図86に示すように、SFM4実装領域側のスルーホールTH3内に、例えば銀ペーストまたは鉛(Pb)ボールのような導体部45を充填する。続いて、図87に示すように、テープ

15の第1主面上にSFM4を実装する。この時、SFM4の外部端子4aと上記導体部45を充填したスルーホールTH3との位置を合わせた状態で、SFM4の裏面をテープ15の第1主面に押し付けて接着剤5によりテープ15に接着するとともに、SFM4の外部端子4aと、テープ15側の導体部45とを接合する。接着剤5はICチップ3の接着に用いるものを使用しても良い。

[0130] 続いて、図88に示すように、ICチップ3をテープ15の第1主面上に実装した後、ICチップ3のパッドと外部接続端子CAとをスルーホールTH3を通じてワイヤW1により接続する。その後、図89に示すように、テープ15の第1主面上に、ポッティング樹脂等を塗布することにより、ICチップ3を樹脂封止体6により封止する。その後、テープ15から個々のカードチップ1c部分を切り出し、キャップ7を被せることでカードチップ1cを製造する。

[0131] なお、上記の例では、SFM4の実装工程において、スルーホールTH3内に導体部45を充填しておく場合について説明したが、これに限定されるものではない。図90は、実装前のSFM4の断面図を示している。SFM4の外部端子4aには、例えば鉛(Pb)ボール等からなる導体部45が予め接合されている。このSFM4の外部端子4aに接合された導体部45を、図91に示すように、スルーホールTH3を通じて外部接続端子CBに接合するようにしても良い。

[0132] このように本実施の形態9においても、予め用意されたSFM4をテープ15に実装するだけで良いので、ICカードの機能とメモ리카ードの機能との両方の機能を具備する、機能および信頼性の高いカードチップ1cを効率良く提供することができる。なお、各工程は、テープ15を送りながら各ステージで行う。

[0133] (実施の形態10)

本実施の形態10では、前記実施の形態8のSFM4を用いたカードチップ1cにおいて、ICチップ3とSFM4との配置を逆にする場合の一例を説明する。

[0134] 図92は本実施の形態10のカードチップ1cの内部を第1主面側から透かして見た全体平面図、図93は図92のSFM4の全体平面図をそれぞれ簡単化して示している。

[0135] 本実施の形態10のカードチップ1cでは、前記実施の形態6, 7と同様に、配線基板

2の第1主面上においてICチップ3用の外部接続端子CAの真裏にSFM4が配置され、配線基板2の第1主面上においてSFM4用の外部接続端子CB側にICチップ3が配置されている。本実施の形態10のSFM4の配線基板4cには、ICチップ3とカードチップ1cの第2主面の外部接続端子CAとを電氣的に接続するための電源用または信号用あるいはその両方の配線経路が形成されている。

[0136] すなわち、ICチップ3のパッドはワイヤW1を通じて、カードチップ1cの配線基板2の第1主面上の配線L7に電氣的に接続されている。この配線L7は、SFM4の裏面の外部端子4aiに電氣的に接続されている。外部端子4aiの構成は前記実施の形態8等で説明した外部端子4aと同じであるが、この外部端子4aiは、SFM4の配線基板4cの第1主面上に形成された配線L3iを通じて配線基板4cの第2主面の外部端子4giに電氣的に接続されている。外部端子4giの構成は、上記外部端子4aiと同じである。この外部端子4giは、カードチップ1cの配線基板2の第1主面上の上記配線L1に電氣的に接続され、さらに上記スルーホールTH1内の導体部を通じて配線基板2の第2主面の外部接続端子CAに電氣的に接続されている。

[0137] 本実施の形態10の場合もSFM4には、ICチップ3用の全ての外部接続端子CAに接続される配線経路(外部端子4ai、4giおよび配線L3i)を形成しても良いし、一部の外部接続端子CAに接続される配線経路を形成しても良い。SFM4の配線基板4cに一部の外部接続端子CA用の配線経路を設ける場合は、他の外部接続端子CA用の配線経路は、前記実施の形態6で説明したように、カードチップ1cの配線基板2に設ければ良い。以上のような構成以外は、前記実施の形態8、9で説明したのと同じである。

[0138] このような本実施の形態10では、前記実施の形態6と同様に、SFM4の大面积化に対応できる。また、前記実施の形態6に比べて、ICチップ3から外部接続端子CAまでの配線長を短くできる(配線L3iの長さを短くできる上、ワイヤW1の長さも短くできる)ので、配線抵抗や寄生容量を低減でき、ICチップ3の動作性能および信頼性を確保することができる。また、前記実施の形態6に比べて、ICチップ3用の配線経路の引き回しを容易にすることができる。

[0139] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが

、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

[0140] 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSIMカードに適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えば他のICカードにも適用できる。

産業上の利用可能性

[0141] 本発明の半導体装置は、カード型情報媒体に用いる半導体装置の製造業に適用できる。

請求の範囲

- [1] (a) 厚さ方向に沿って互いに反対側となる第1面および第2面を有する配線基板と、
、
(b) 前記配線基板の第1面に実装され、メモリ回路およびその動作を制御する制御回路を有する半導体チップと、
(c) 前記半導体チップを封止するように前記配線基板の第1面に被覆された樹脂封止体とを備え、
前記配線基板の第1面の一部には前記半導体チップと電氣的に接続される複数の端子が配置されており、前記複数の端子の少なくとも1つの端子の一部は前記樹脂封止体の外に露出されていることを特徴とする半導体装置。
- [2] 請求項1記載の半導体装置において、前記複数の端子の少なくとも1つの端子は、前記配線基板に形成された接続孔を通じて、前記配線基板の第2面に配置されたテスト用の端子に電氣的に接続されていることを特徴とする半導体装置。
- [3] 請求項1記載の半導体装置において、前記複数の端子の少なくとも1つの端子の一部は、前記配線基板に形成された接続孔を通じて、前記配線基板の第2面に露出されており、その露出部分がテスト用の端子とされていることを特徴とする半導体装置。
- [4] 請求項1記載の半導体装置において、前記複数の端子の少なくとも1つの端子は、幅の異なる領域を有することを特徴とする半導体装置。
- [5] 請求項4記載の半導体装置において、前記幅の異なる領域を有する端子は、前記配線基板に形成され、前記端子の一部に配置された接続孔を通じて、前記配線基板の第2面に配置されたテスト用の端子に電氣的に接続されていることを特徴とする半導体装置。
- [6] 請求項5記載の半導体装置において、前記端子の前記接続孔の配置領域以外にボンディングワイヤが接続されることを特徴とする半導体装置。
- [7] 請求項1記載の半導体装置において、
前記半導体チップは、前記メモリ回路が形成された第1半導体チップと、前記制御回路が形成された第2半導体チップとを、前記第1半導体チップ上に前記第2半導体

チップが積層された状態で有しており、

前記第1半導体チップの所望の端子と、前記第2半導体チップの所望の端子とが、それぞれボンディングワイヤを介して前記配線基板の第1面の同一の配線に電氣的に接続される接続構成を有することを特徴とする半導体装置。

[8] 請求項1記載の半導体装置において、

前記半導体チップは、前記メモリ回路が形成された第1半導体チップと、前記制御回路が形成された第2半導体チップとを、前記第1半導体チップ上に前記第2半導体チップが積層された状態で有しており、

前記第2半導体チップの所望の端子はボンディングワイヤを通じて前記第1半導体チップの所望の端子と電氣的に接続され、前記第1半導体チップの前記所望の端子はボンディングワイヤを通じて前記配線基板の第1面の前記複数の端子のうちの所望の端子に電氣的に接続される接続構成を有することを特徴とする半導体装置。

[9] 請求項1記載の半導体装置において、前記配線基板の第1面の前記複数の端子は、前記メモリ回路と前記制御回路とで形成されるメモリカード回路用の端子のみとされていることを特徴とする半導体装置。

[10] 請求項1記載の半導体装置において、前記配線基板の第1面の前記複数の端子の中には、ICカード回路用の外部端子に電氣的に接続される端子が配置されていることを特徴とする半導体装置。

[11] (a) 厚さ方向に沿って互いに反対側となる第1面および第2面を有する配線基板と、

(b) 前記配線基板の第1面に実装され、メモリ回路およびその動作を制御する制御回路を有する半導体チップと、

(c) 前記半導体チップを封止するように前記配線基板の第1面に被覆された樹脂封止体とを備え、

前記配線基板の第2面には前記半導体チップと電氣的に接続される複数の端子が前記配線基板の第2面の片側外周に沿うように配置されていることを特徴とする半導体装置。

[12] 請求項11記載の半導体装置において、

前記半導体チップは、前記メモリ回路が形成された第1半導体チップと、前記制御回路が形成された第2半導体チップとを、前記第1半導体チップ上に前記第2半導体チップが積層された状態で有しており、

前記第1半導体チップの所望の端子と、前記第2半導体チップの所望の端子とが、それぞれボンディングワイヤを介して前記配線基板の第1面に配置された同一の配線に電氣的に接続される接続構成を有することを特徴とする半導体装置。

[13] 請求項11記載の半導体装置において、

前記半導体チップは、前記メモリ回路が形成された第1半導体チップと、前記制御回路が形成された第2半導体チップとを、前記第1半導体チップ上に前記第2半導体チップが積層された状態で有しており、

前記第2半導体チップの所望の端子はボンディングワイヤを通じて前記第1半導体チップの所望の端子と電氣的に接続され、前記第1半導体チップの前記所望の端子はボンディングワイヤを通じて前記配線基板の第1面の所望の端子に電氣的に接続される接続構成を有することを特徴とする半導体装置。

[14] 請求項11記載の半導体装置において、前記配線基板の第2面の前記複数の端子は、前記メモリ回路と前記制御回路とで形成されるメモリカード回路用の端子のみとされていることを特徴とする半導体装置。

[15] 請求項11記載の半導体装置において、前記配線基板の第2面の前記複数の端子の中には、ICカード回路用の外部端子に電氣的に接続される端子が配置されていることを特徴とする半導体装置。

[16] (a) 厚さ方向に沿って互いに反対側となる第1面および第2面を有する配線基板と、

(b) 前記配線基板の第1面に実装され、メモリ回路およびその動作を制御する制御回路を有する半導体チップと、

(c) 前記半導体チップを封止するように前記配線基板の第1面に被覆された樹脂封止体とを備え、

前記配線基板の第2面には前記半導体チップと電氣的に接続される複数の端子が配置されており、

前記配線基板の第2面の前記複数の端子の中には、ICカード回路用の外部端子に電氣的に接続される端子が配置されていることを特徴とする半導体装置。

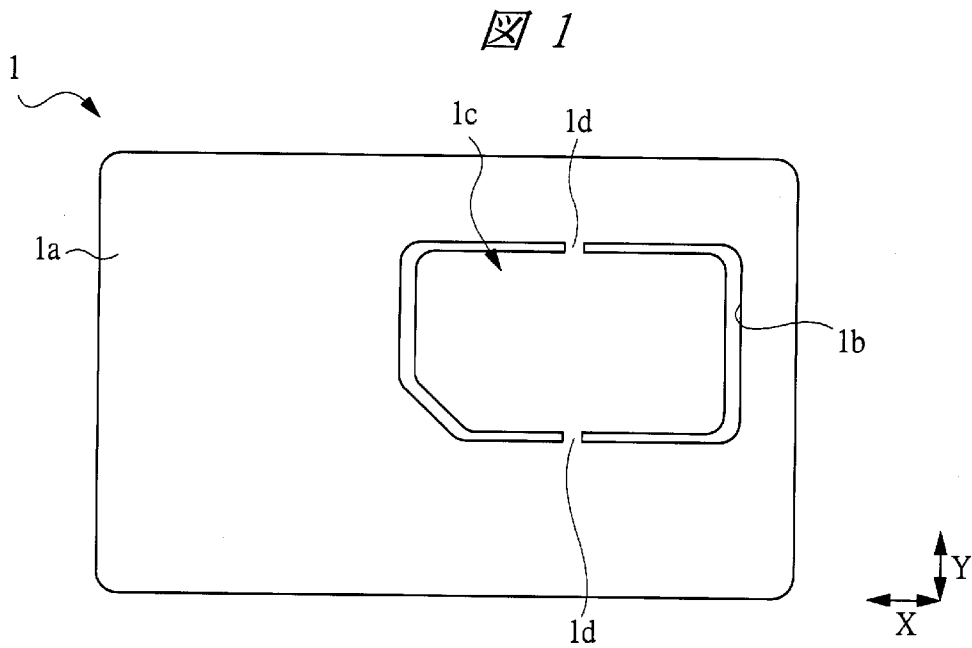
[17] 請求項16記載の半導体装置において、

前記半導体チップは、前記メモリ回路が形成された第1半導体チップと、前記制御回路が形成された第2半導体チップとを、前記第1半導体チップ上に前記第2半導体チップが積層された状態で有しており、

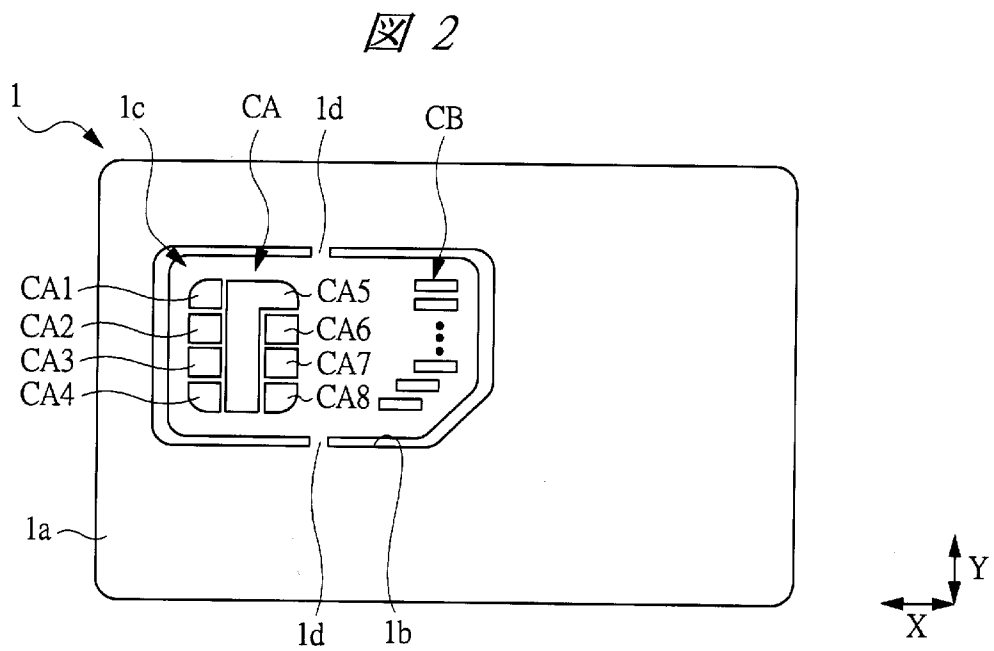
前記第1、第2半導体チップの端子は、ボンディングワイヤを通じて、前記配線基板の第1面に配置された複数の端子と電氣的に接続される接続構成を有しており、

前記配線基板の第1面の前記複数の端子は、前記配線基板に形成された接続孔を通じて、前記配線基板の第2面の前記複数の端子に電氣的に接続されていることを特徴とする半導体装置。

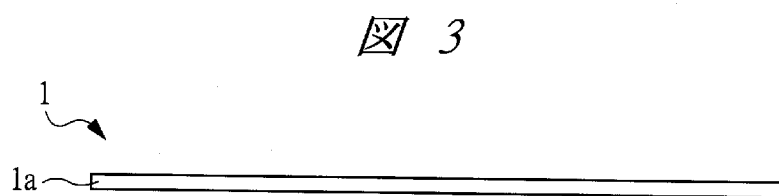
[図1]



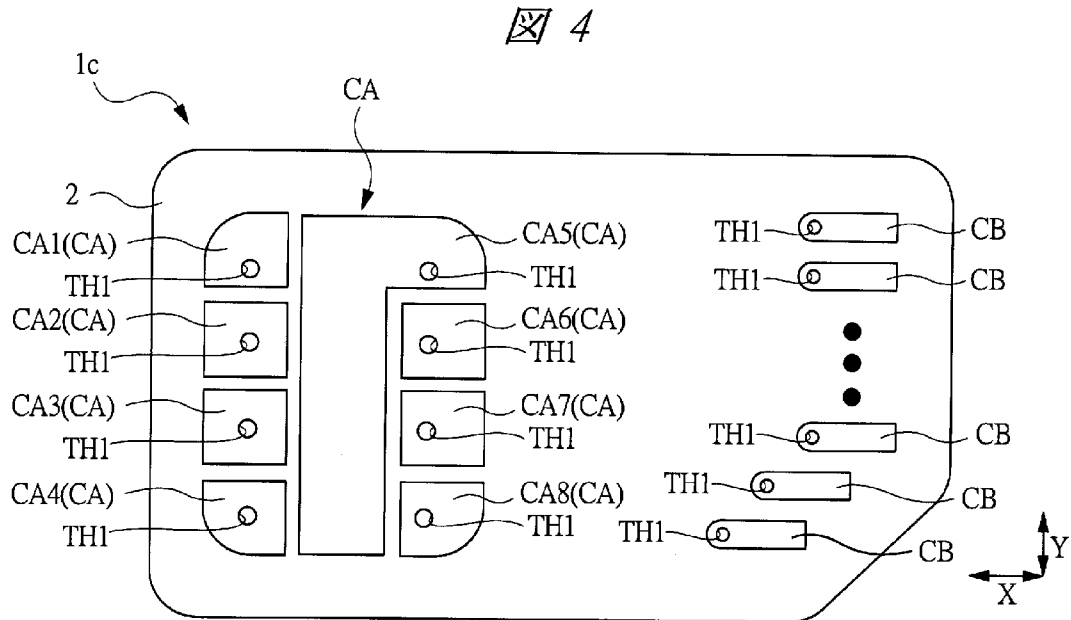
[図2]



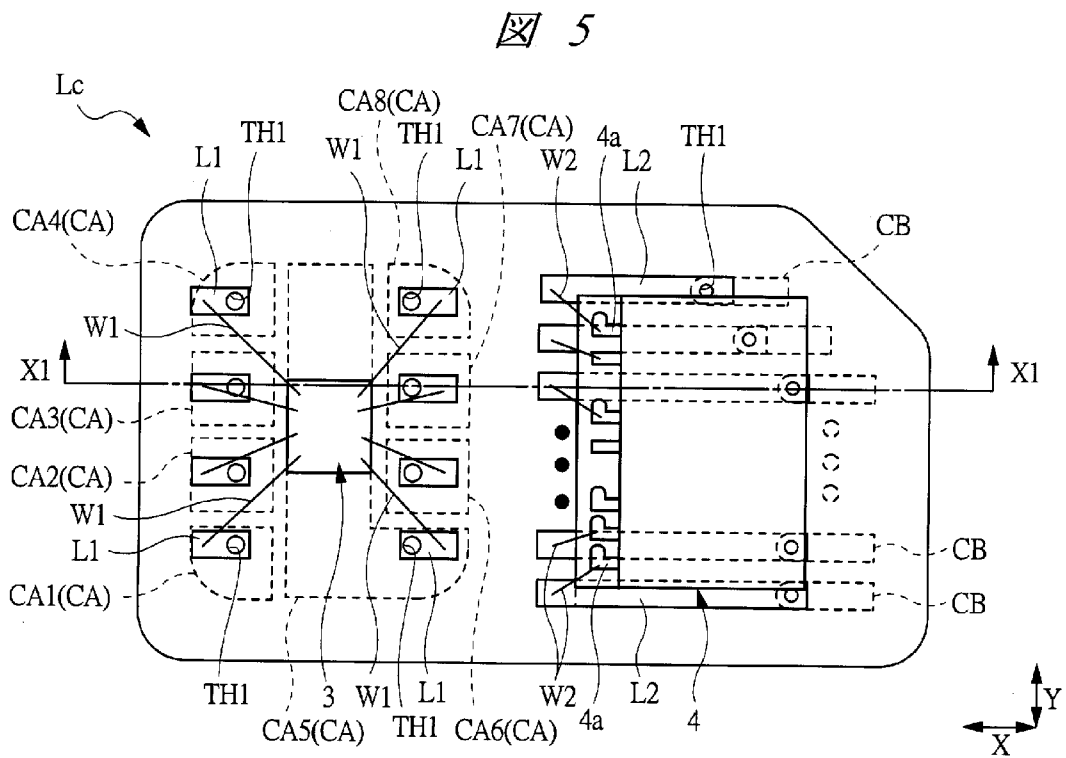
[図3]



[図4]

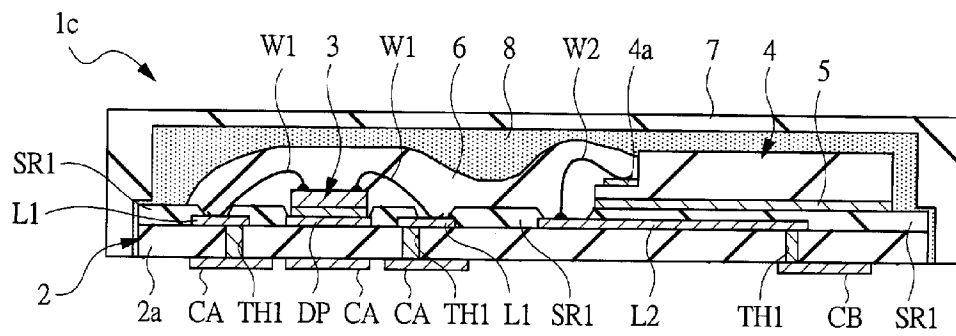


[図5]



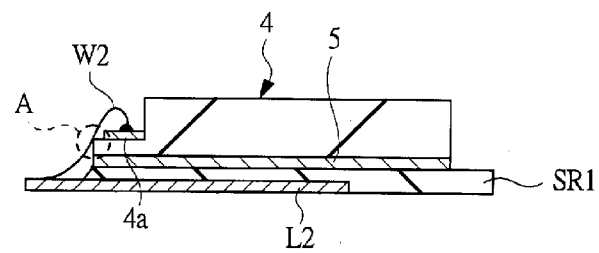
[図6]

図 6



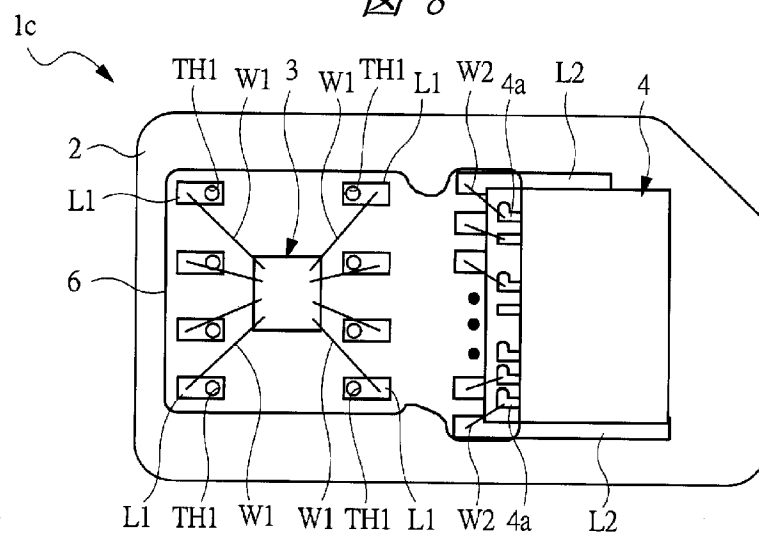
[図7]

図 7

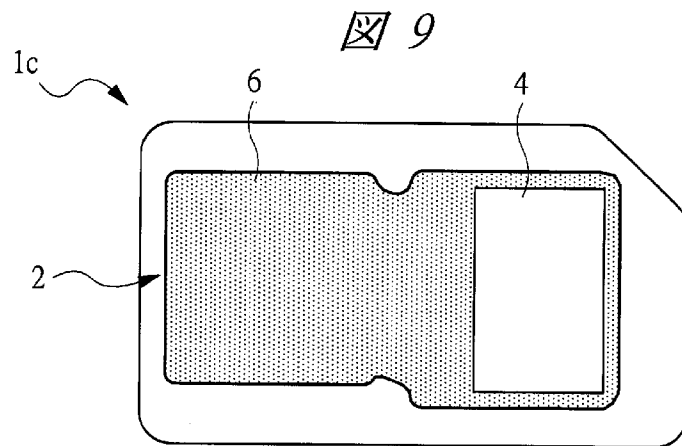


[図8]

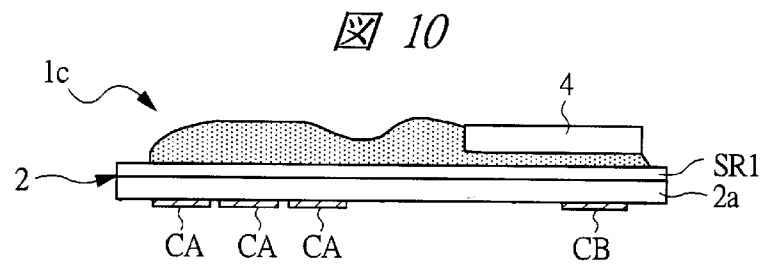
図 8



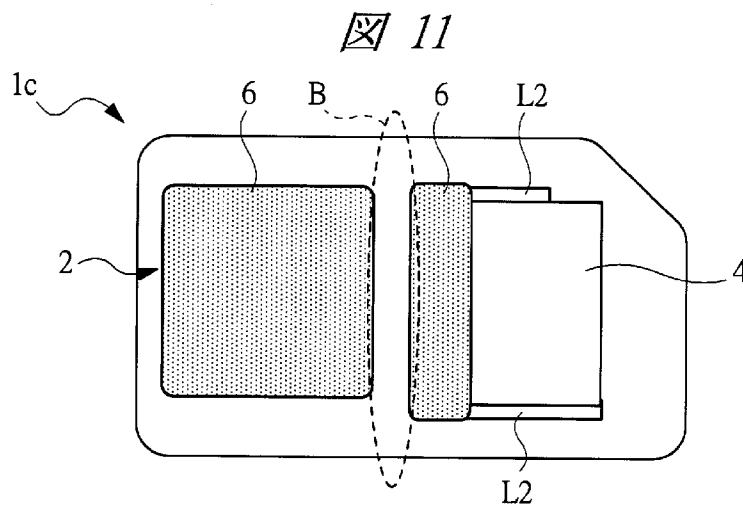
[図9]



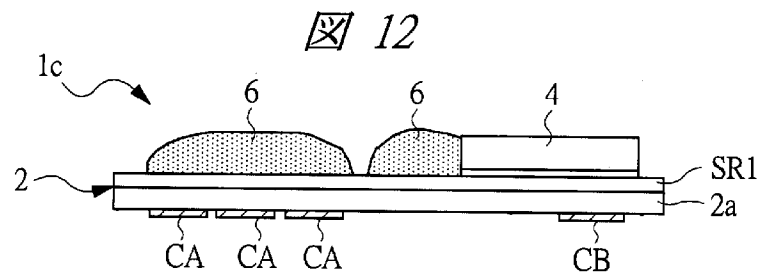
[図10]



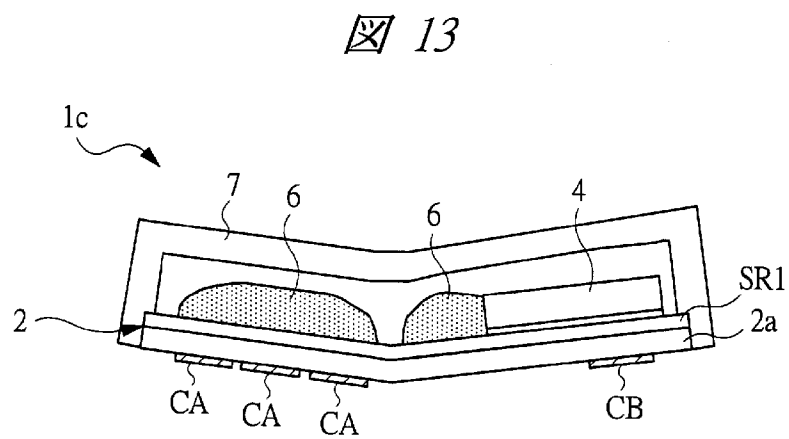
[図11]



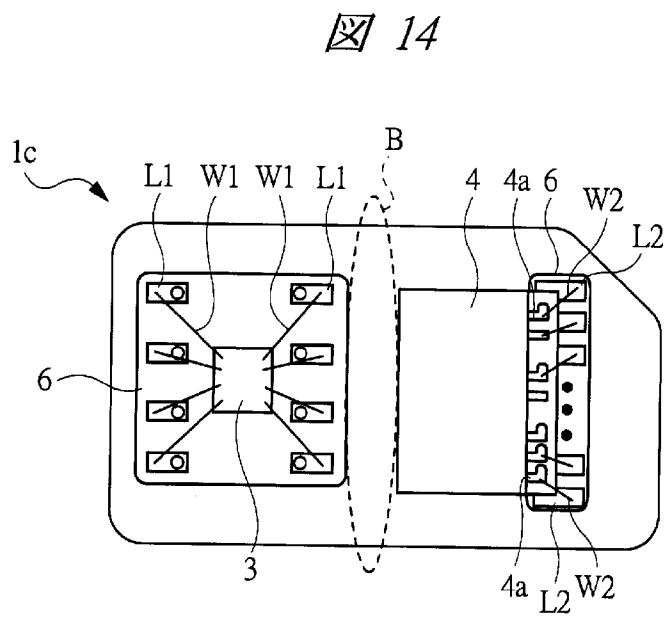
[図12]



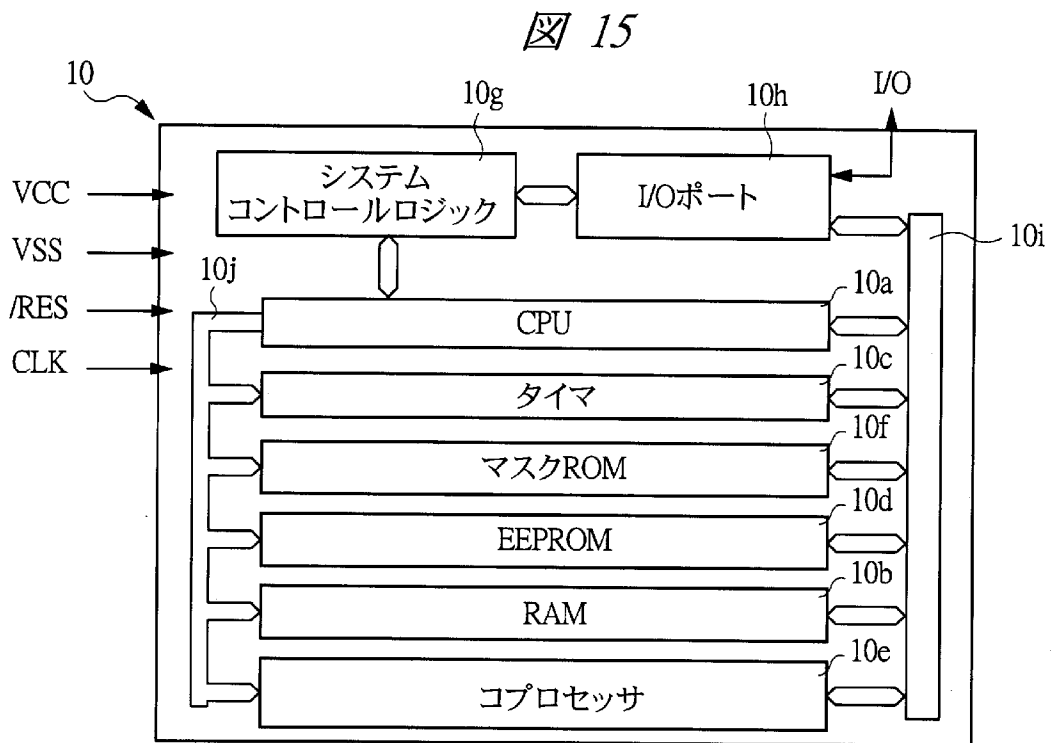
[図13]



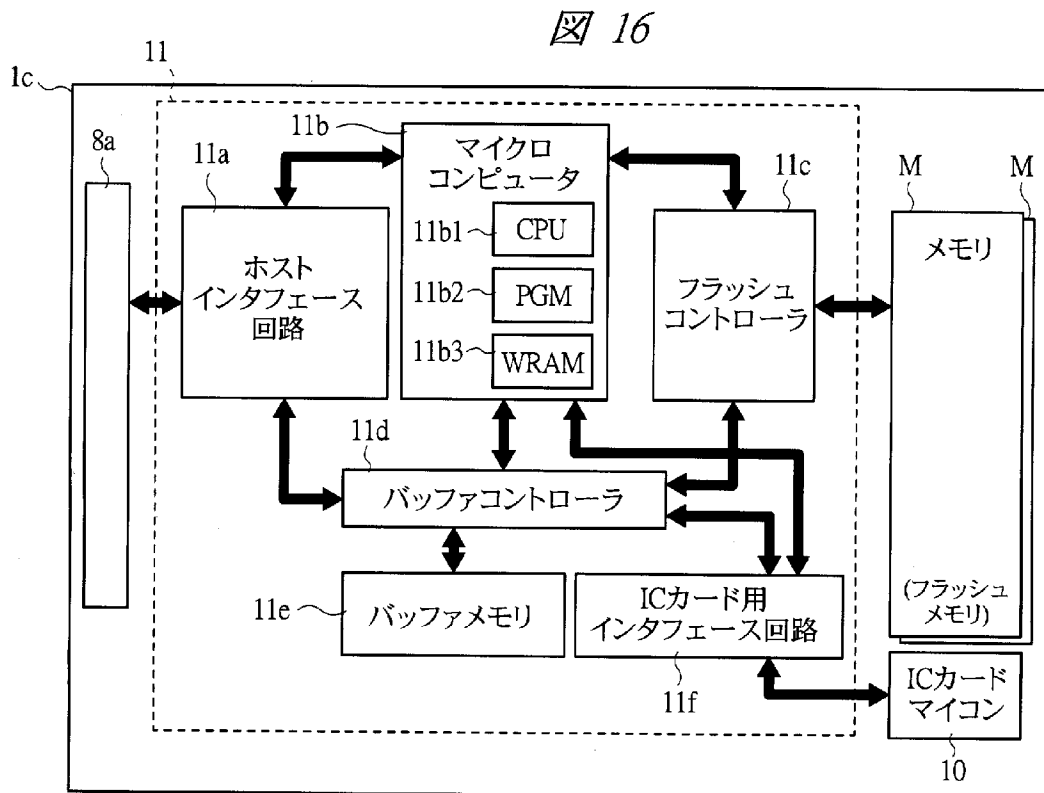
[図14]



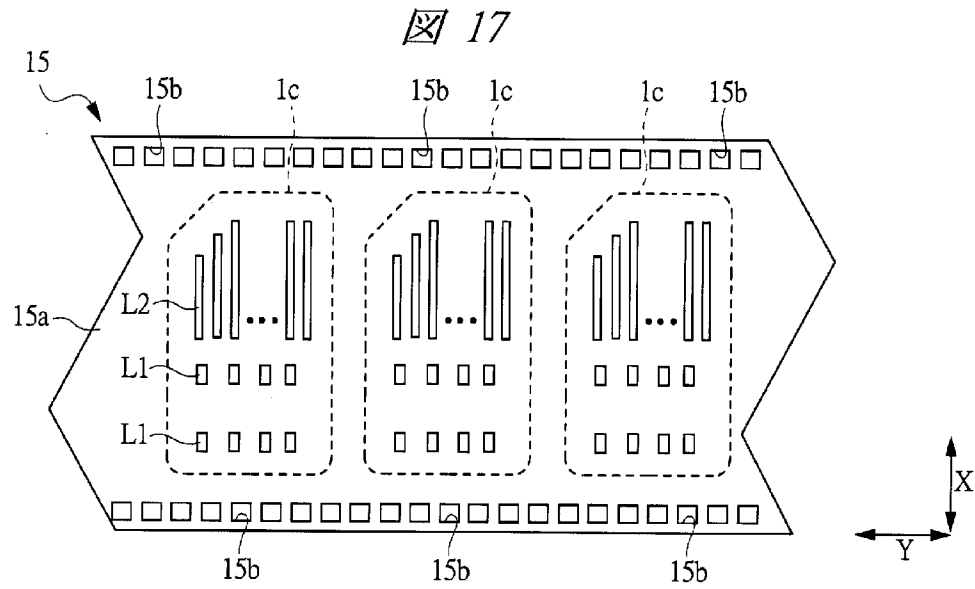
[図15]



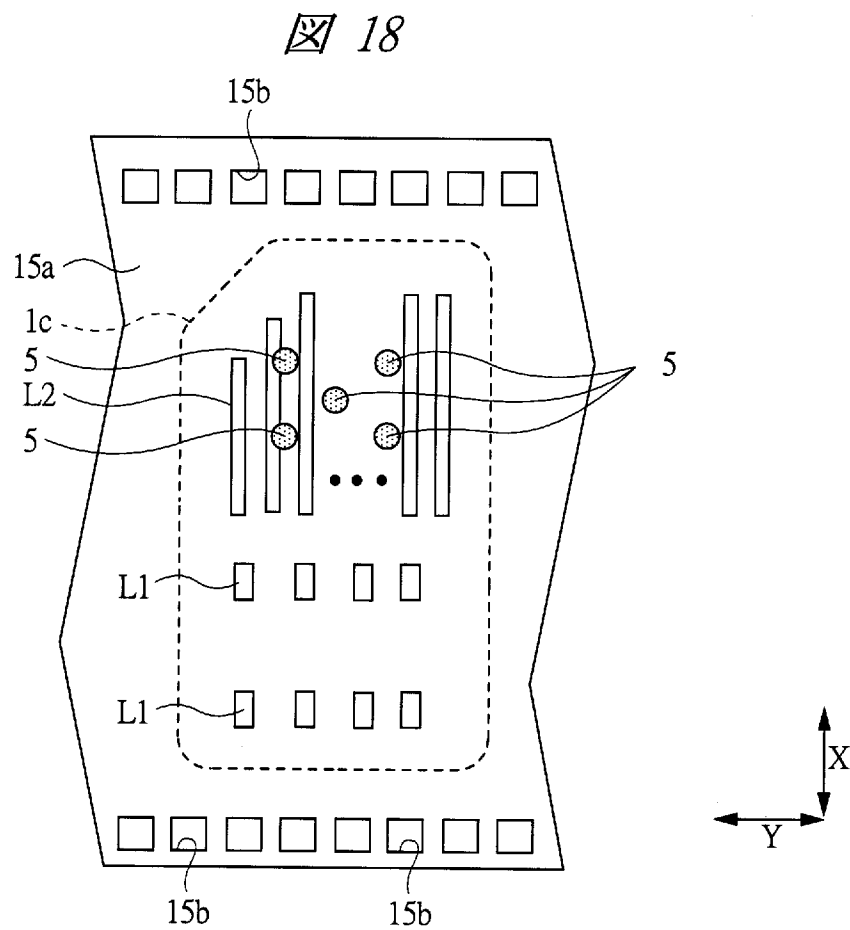
[図16]



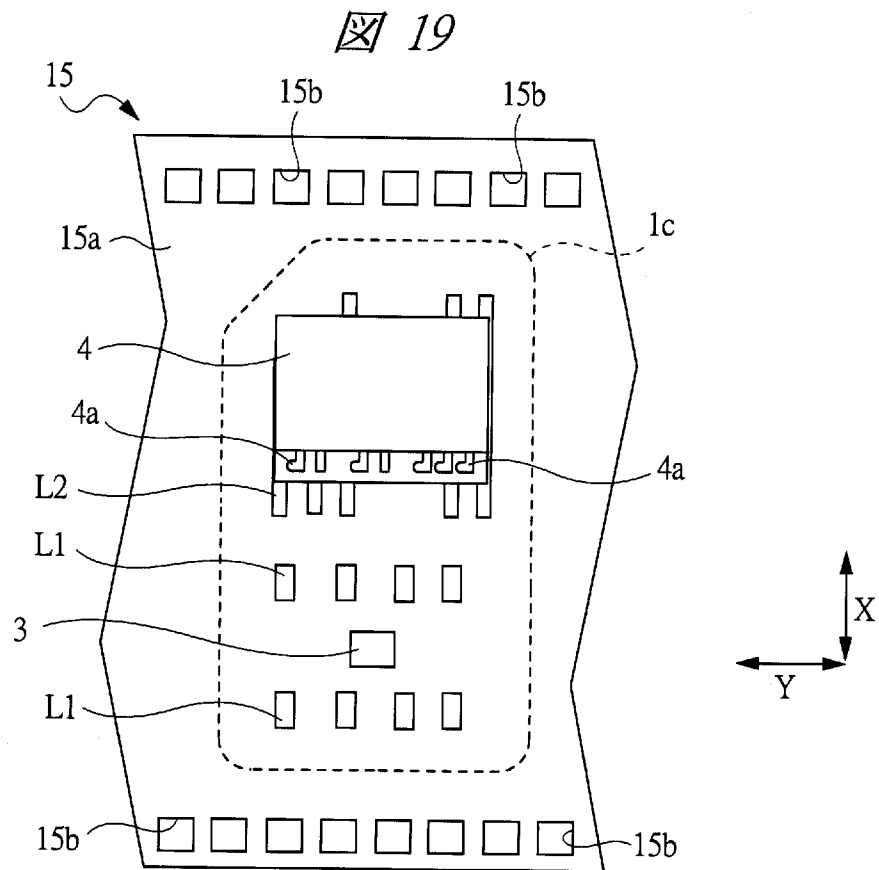
[図17]



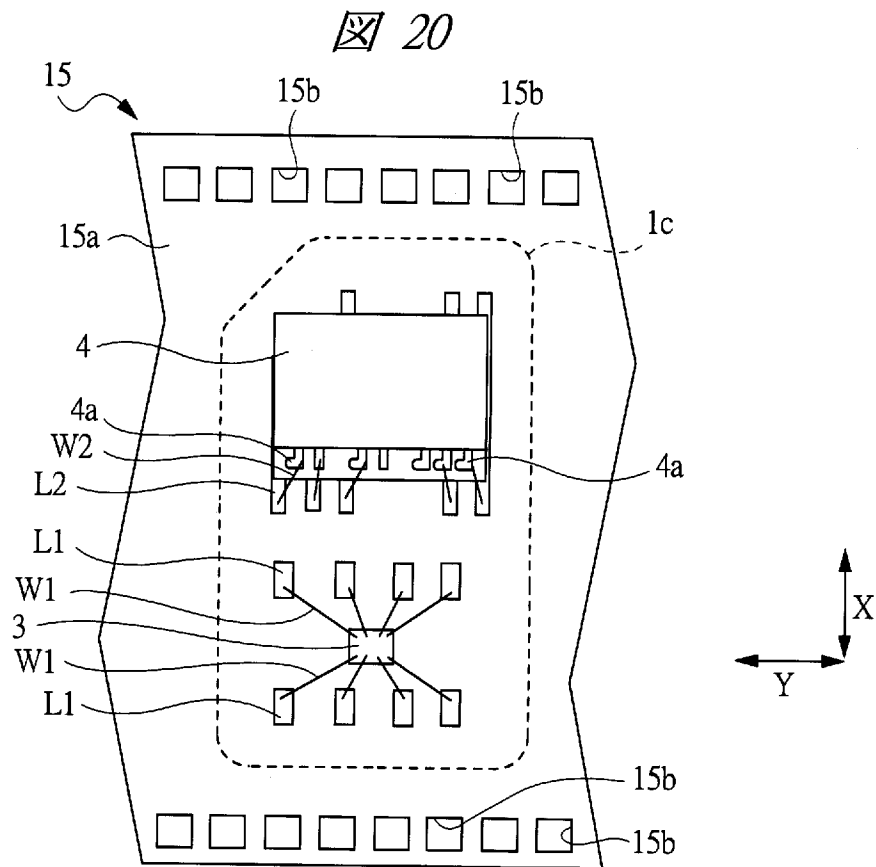
[図18]



[図19]

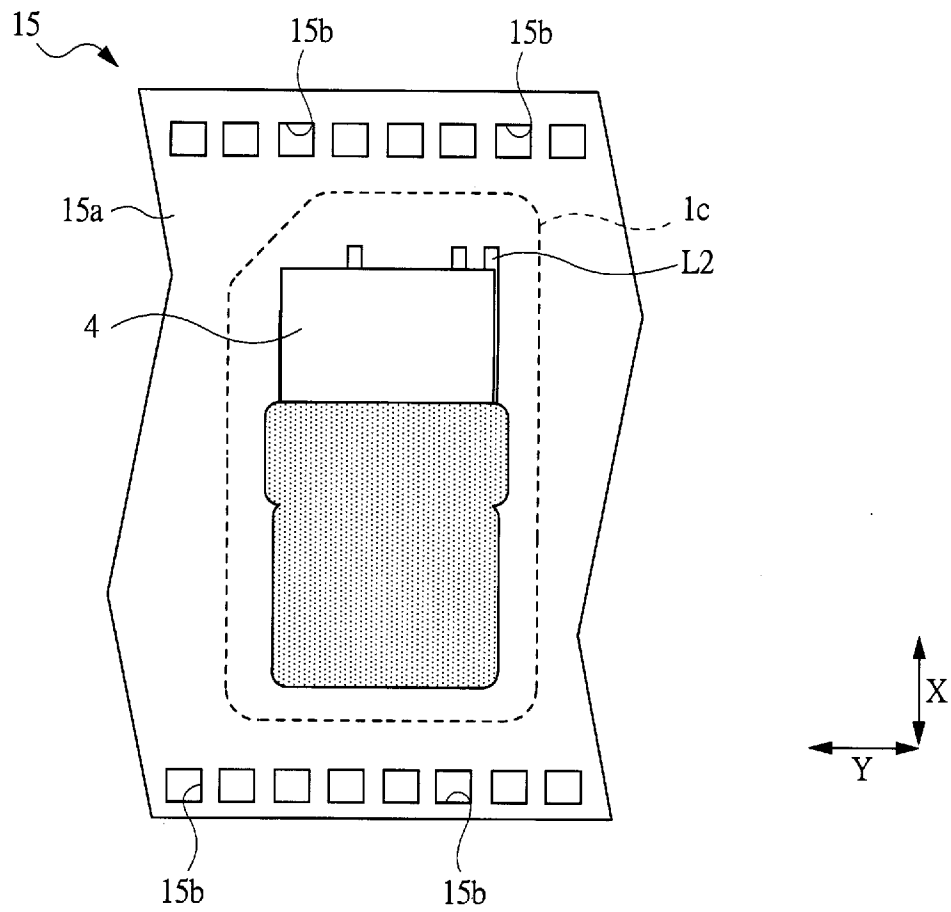


[図20]



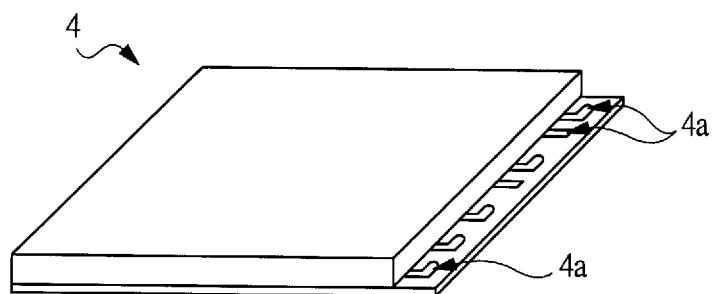
[図21]

図 21

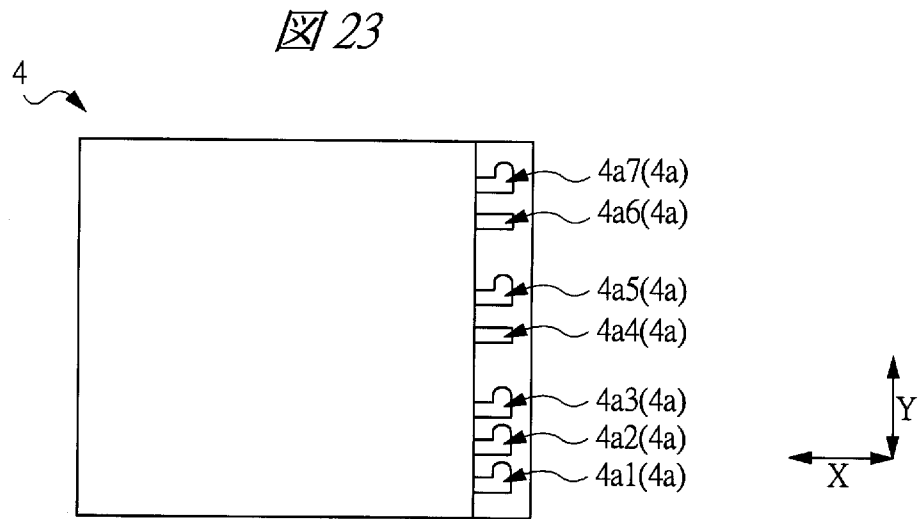


[図22]

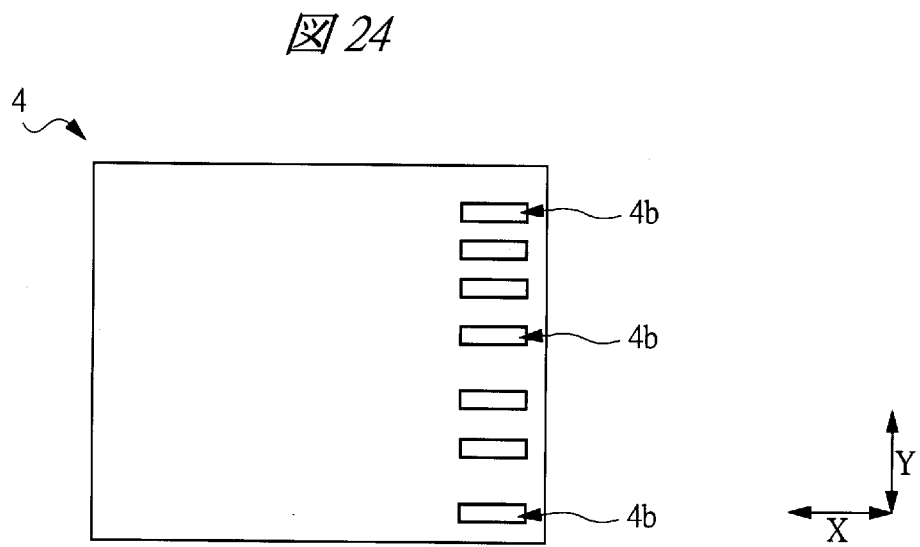
図 22



[図23]

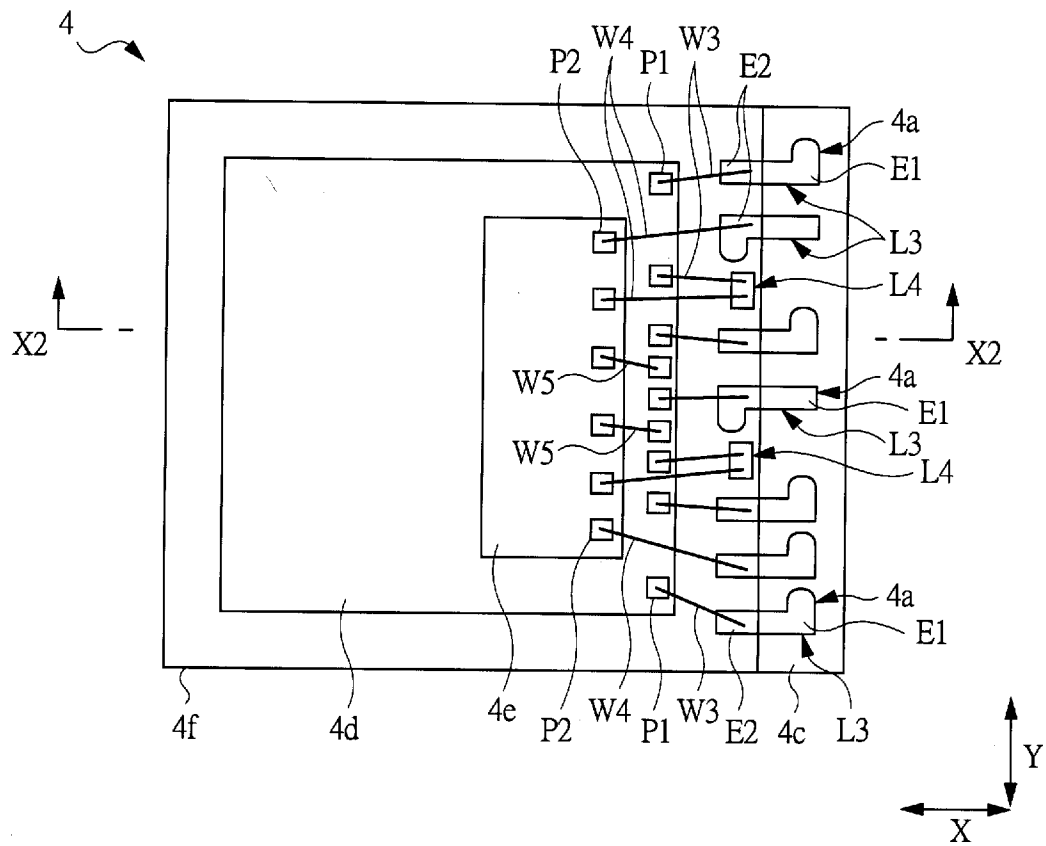


[図24]



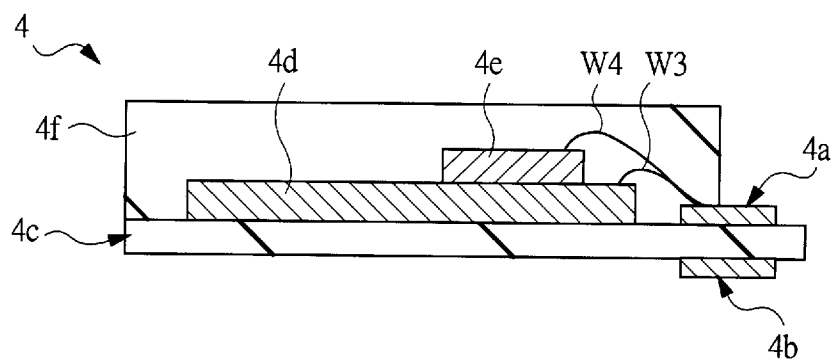
[図25]

図 25



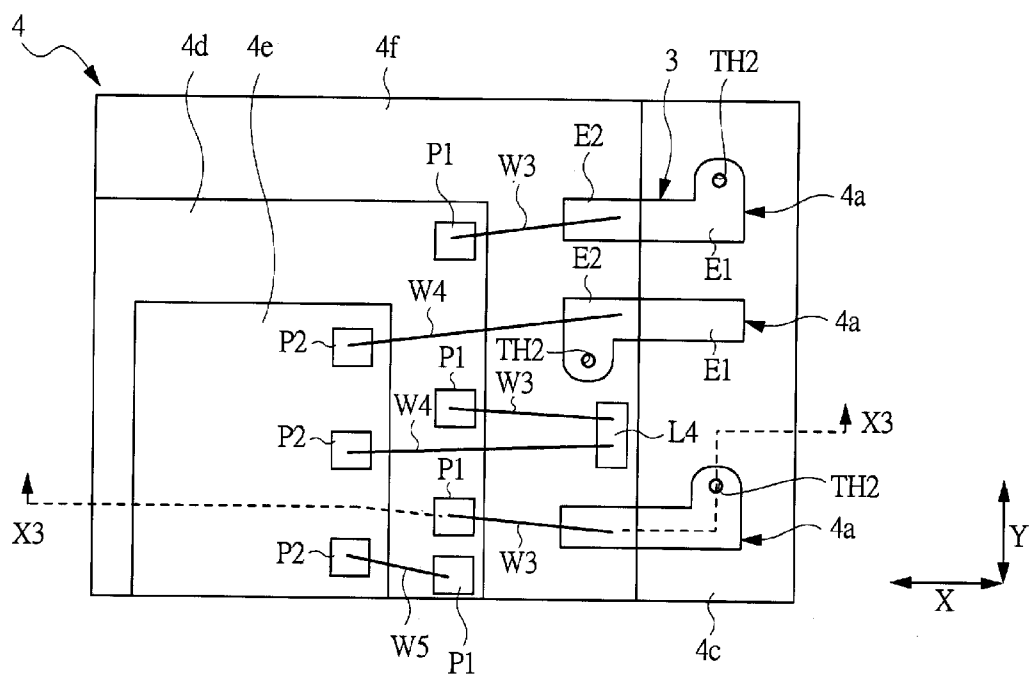
[図26]

図 26



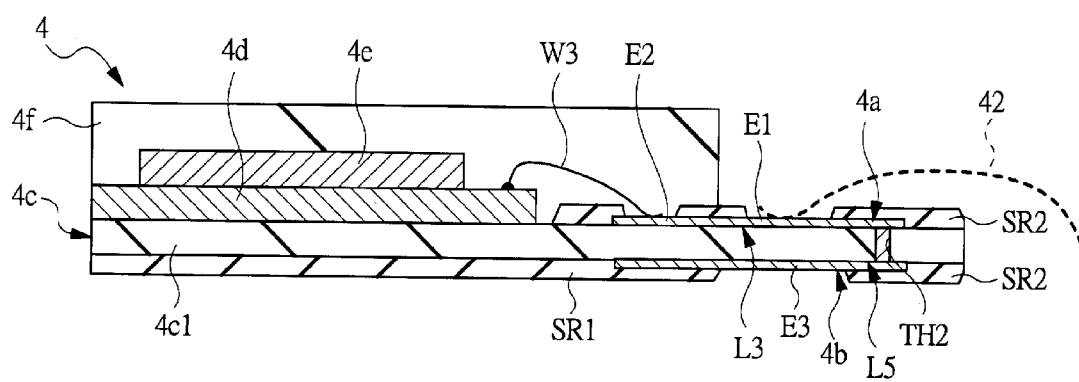
[図27]

図 27



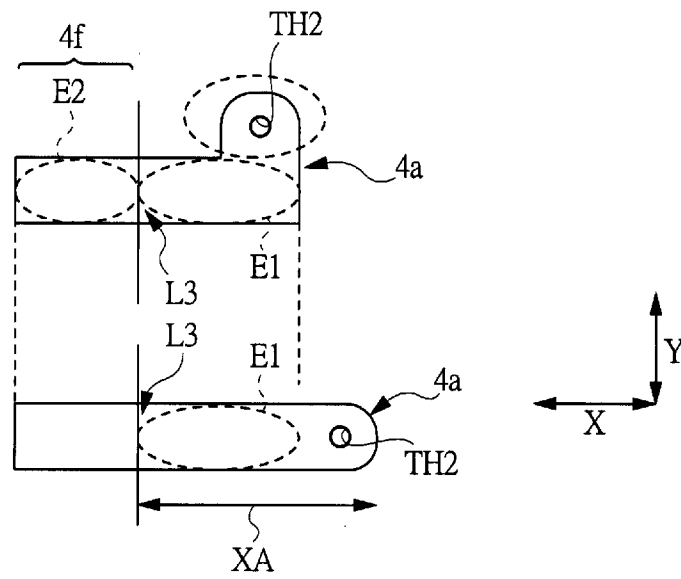
[図28]

図 28



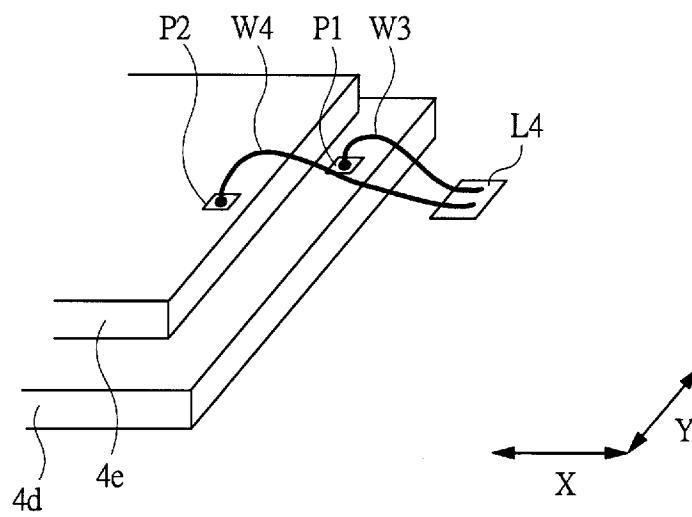
[図29]

図 29

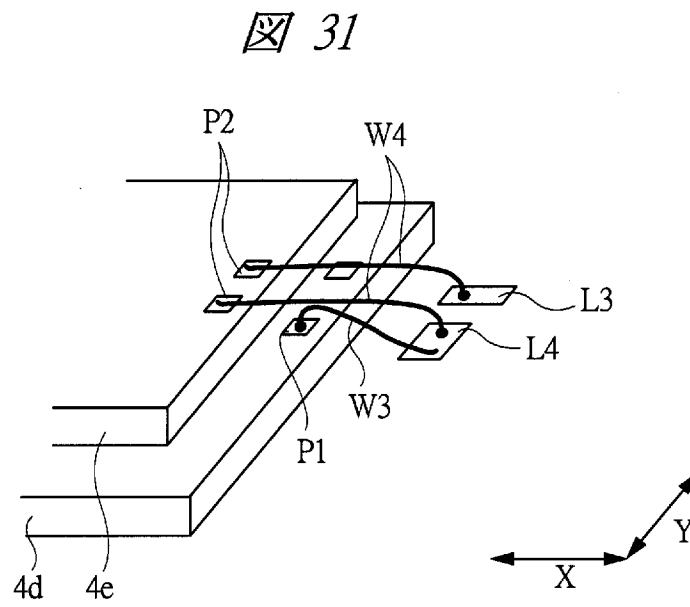


[図30]

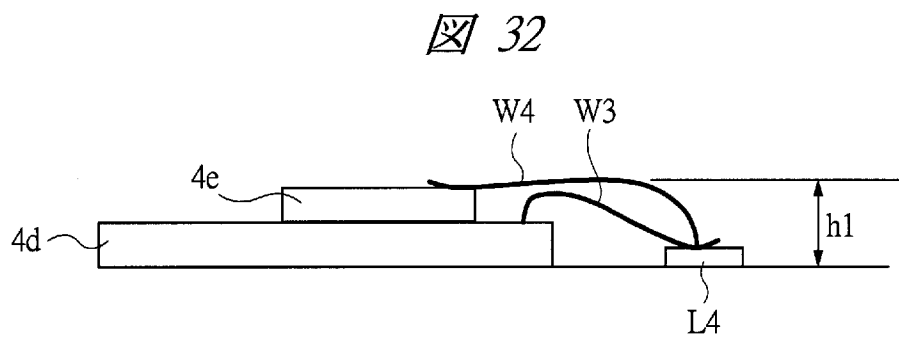
図 30



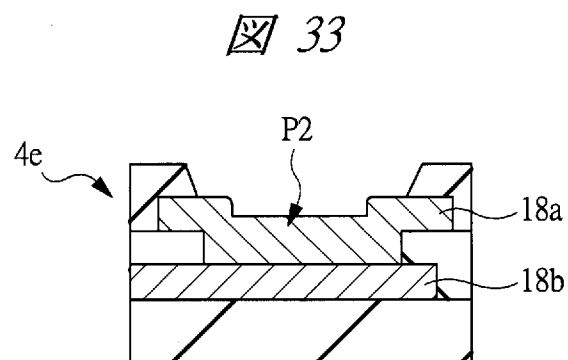
[図31]



[図32]

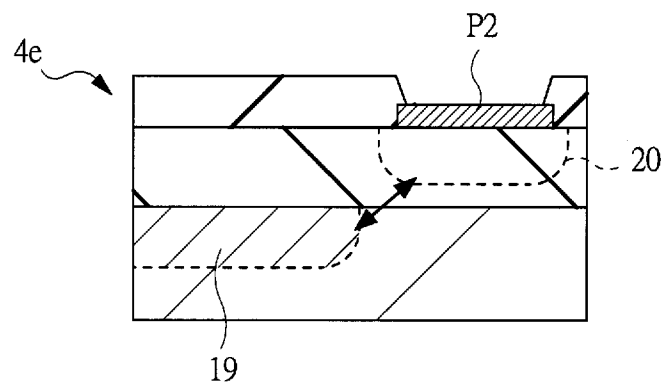


[図33]



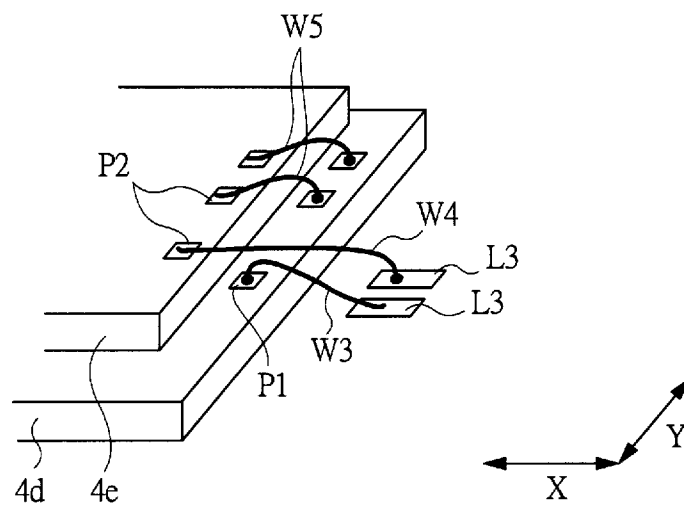
[図34]

図 34



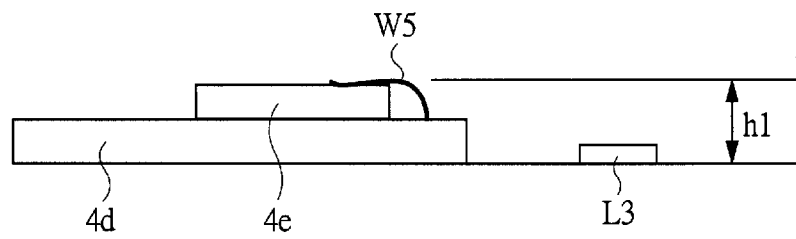
[図35]

図 35



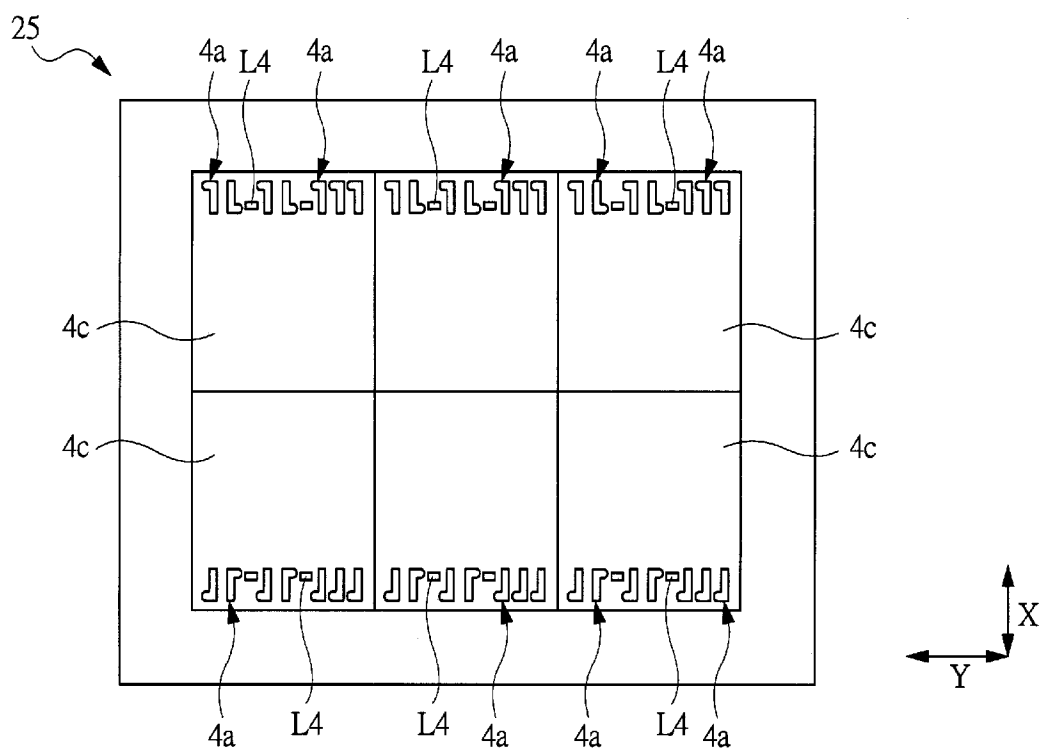
[図36]

図 36



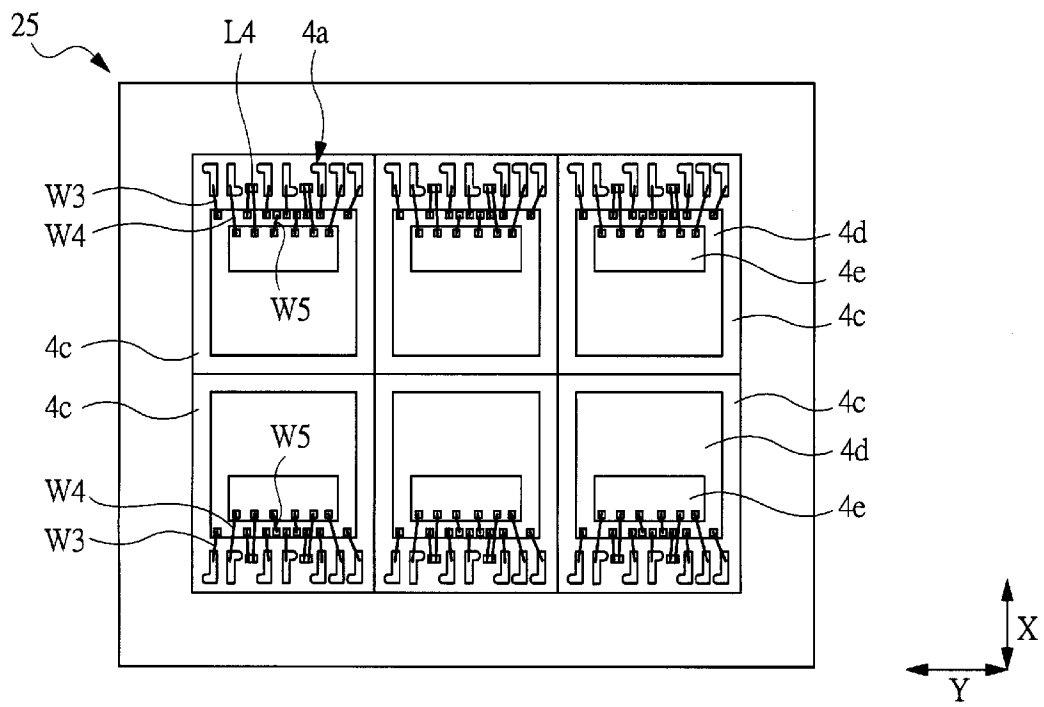
[図37]

図 37



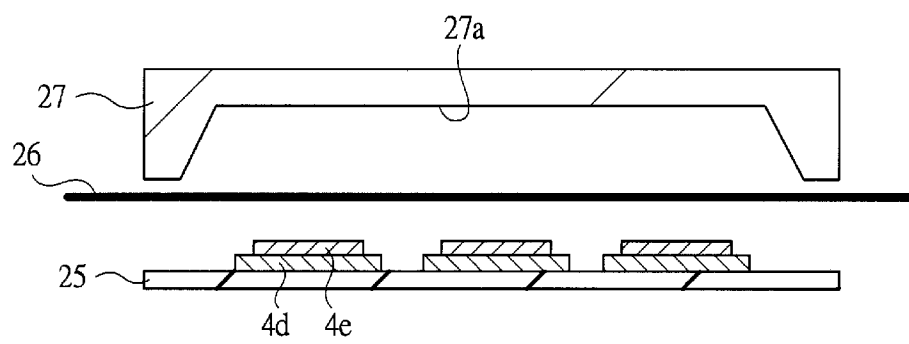
[図38]

図 38

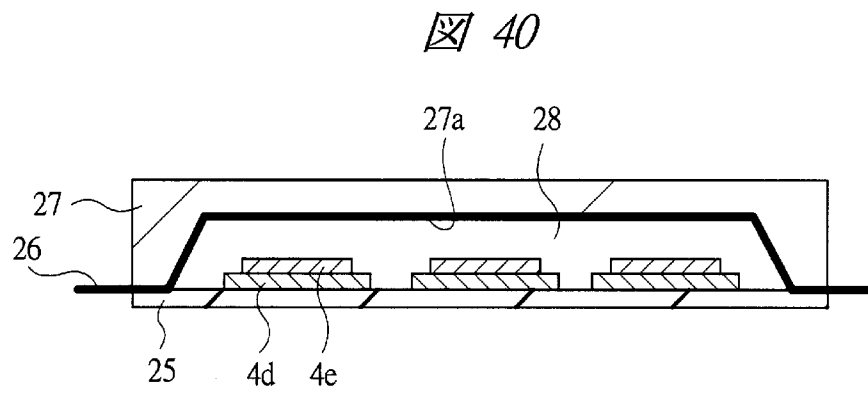


[図39]

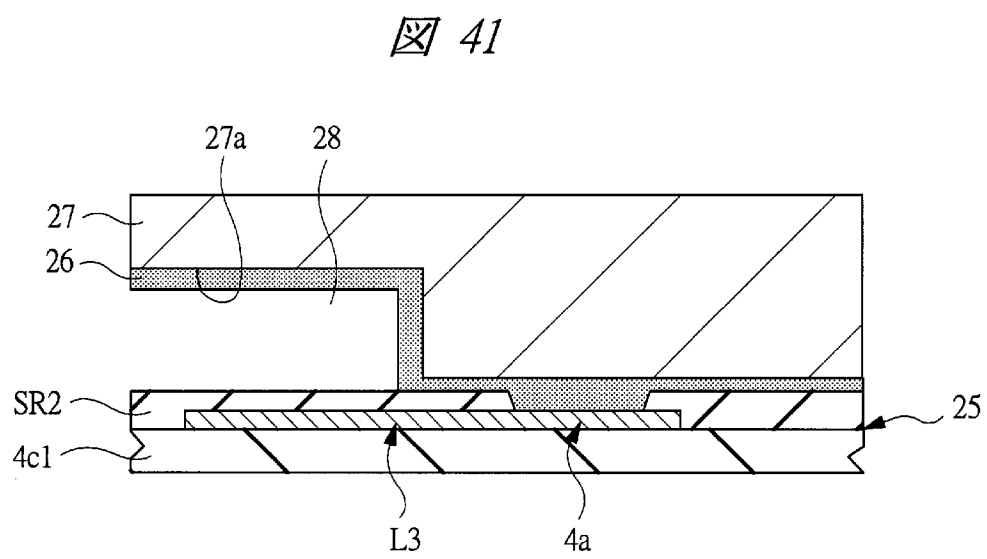
図 39



[図40]

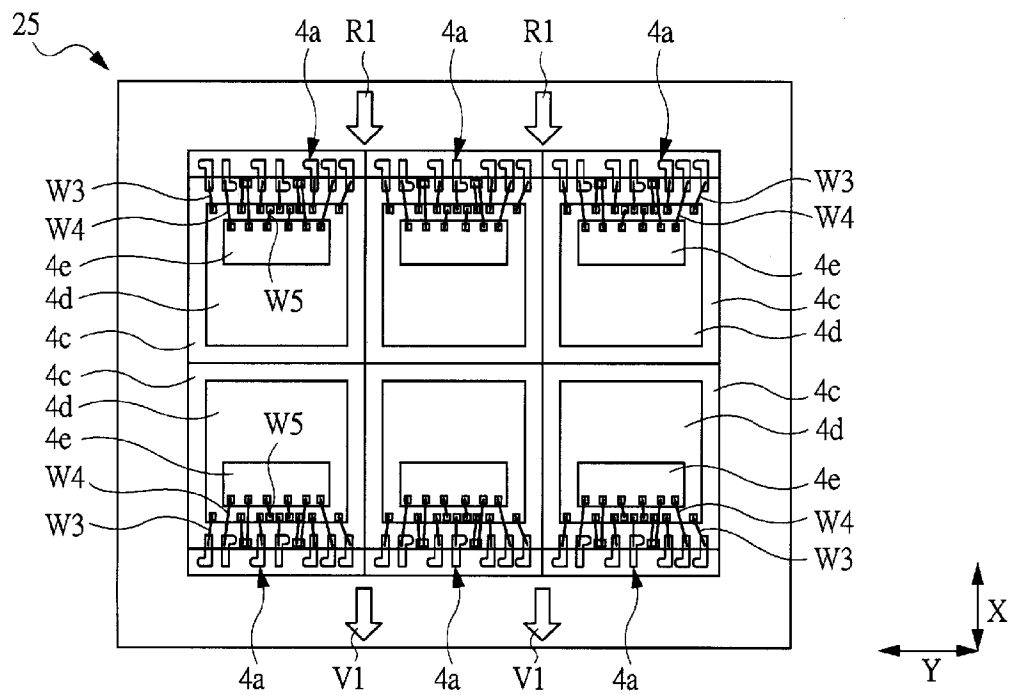


[図41]



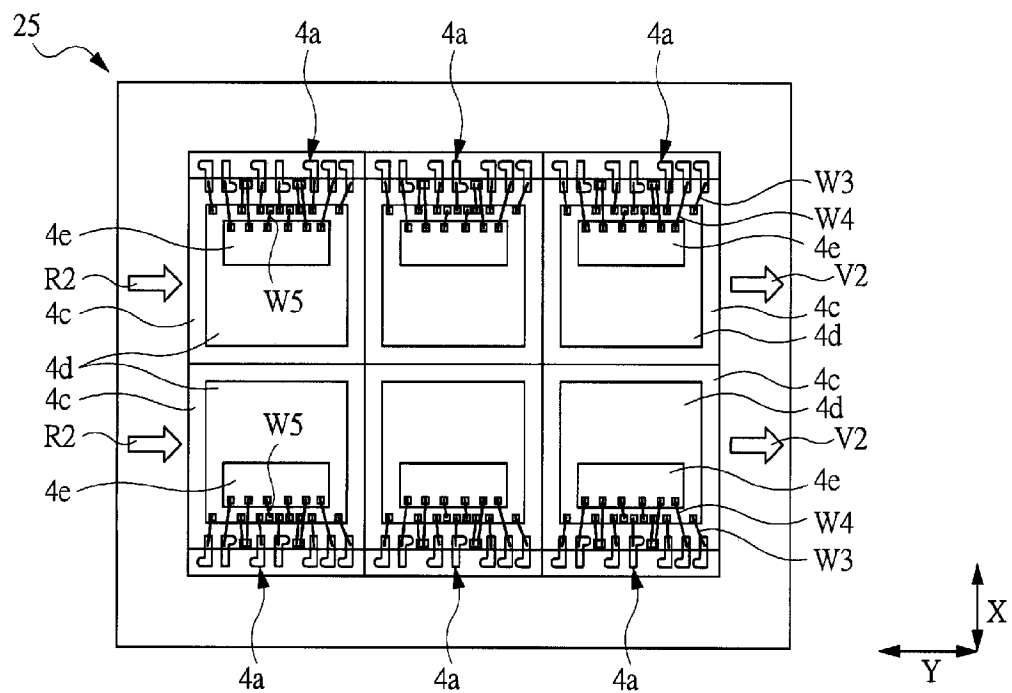
[図42]

図 42



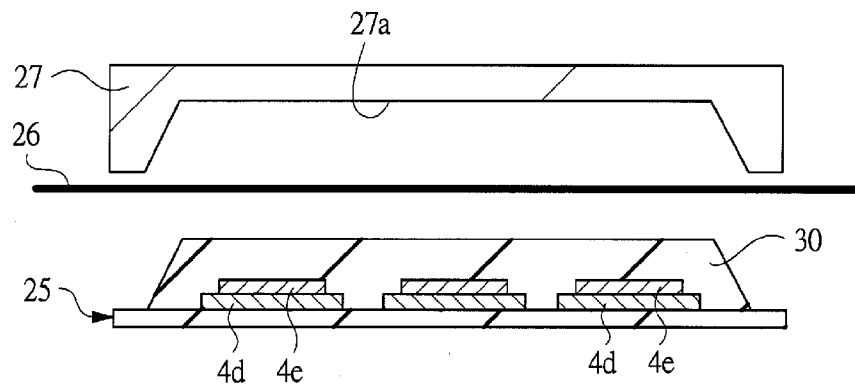
[図43]

図 43



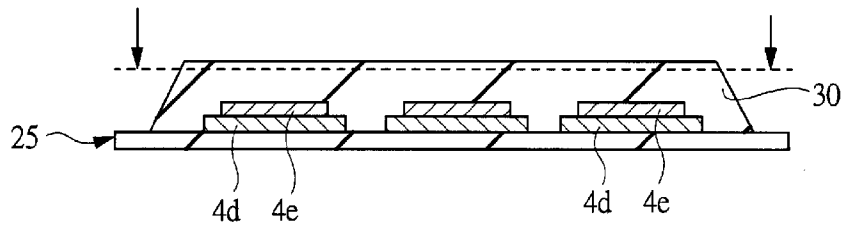
[図44]

図 44



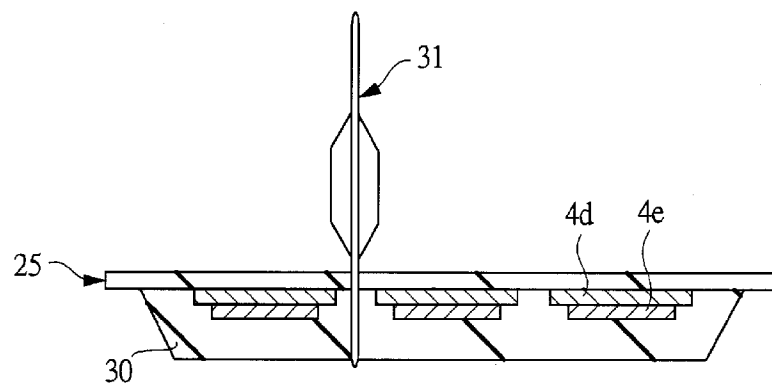
[図45]

図 45



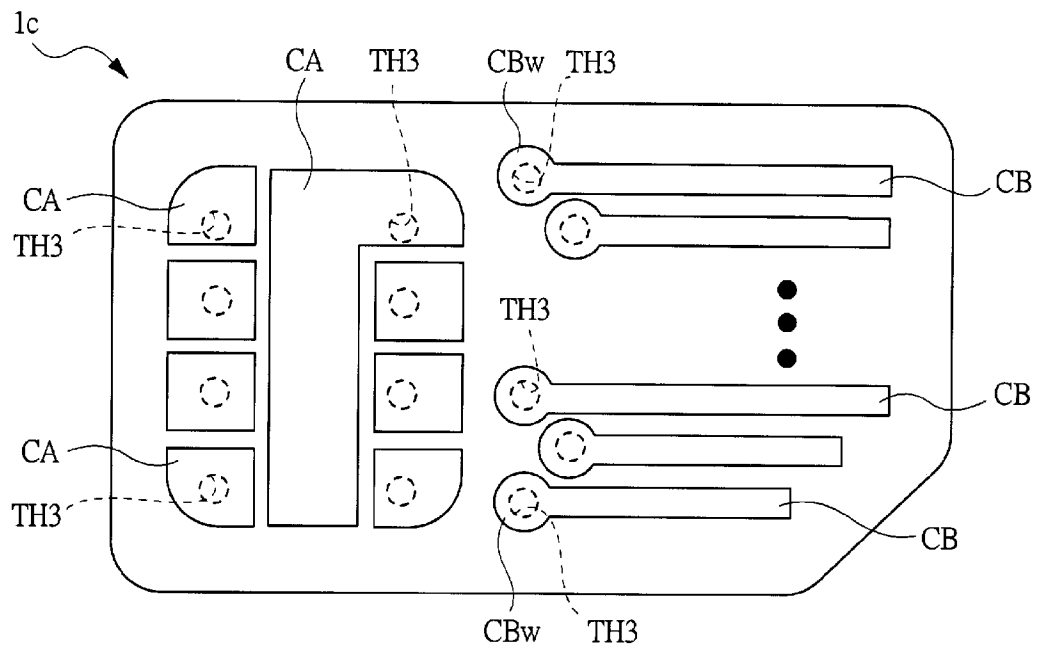
[図46]

図 46



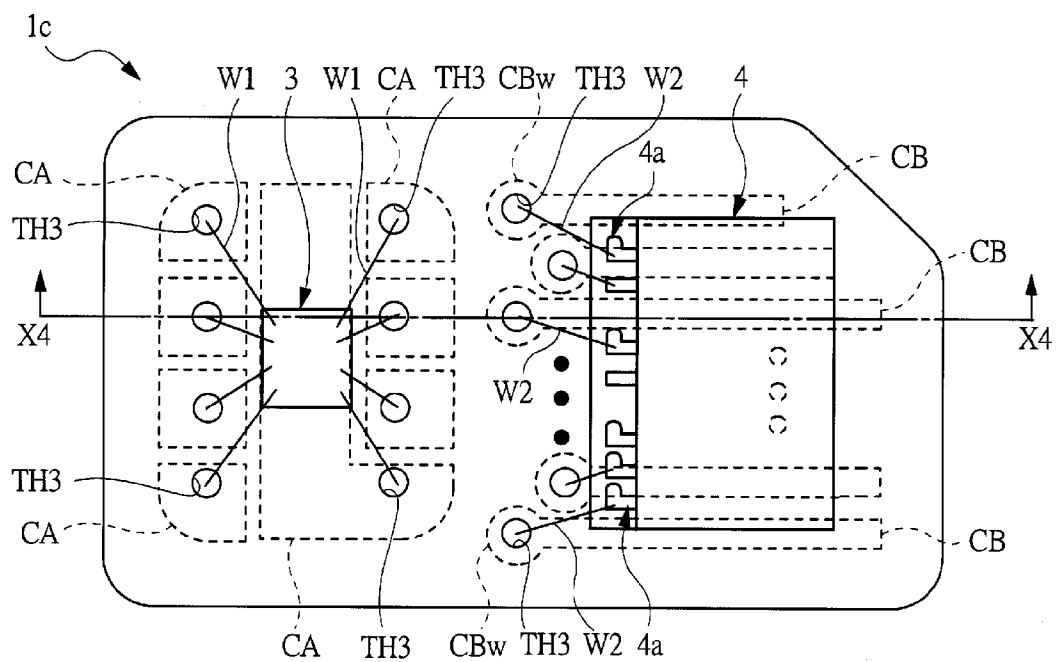
[図47]

図 47



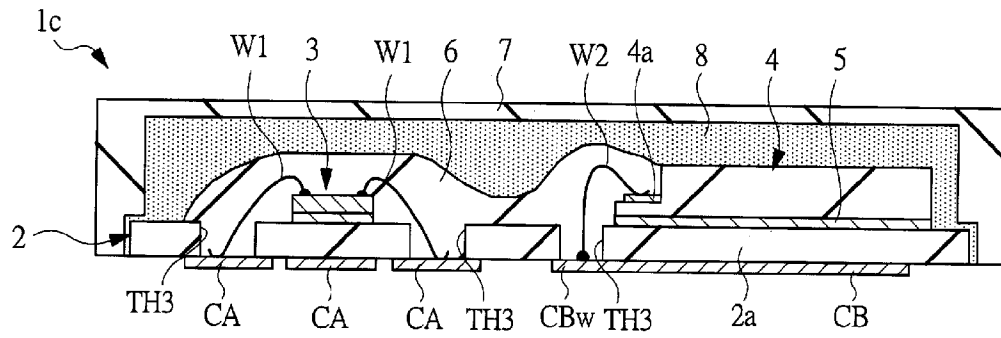
[図48]

図 48



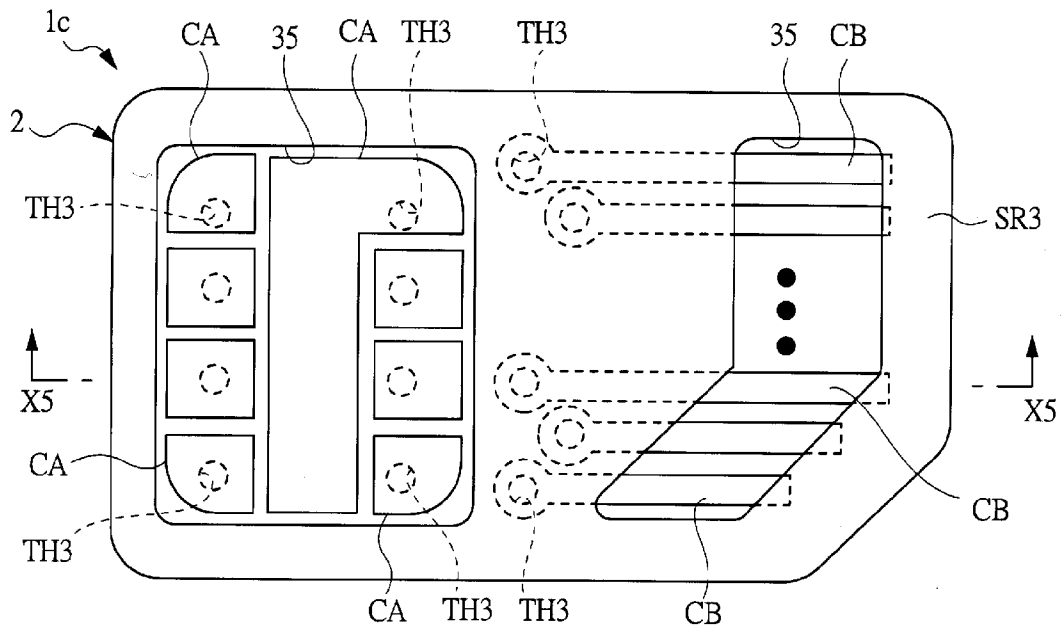
[図49]

図 49



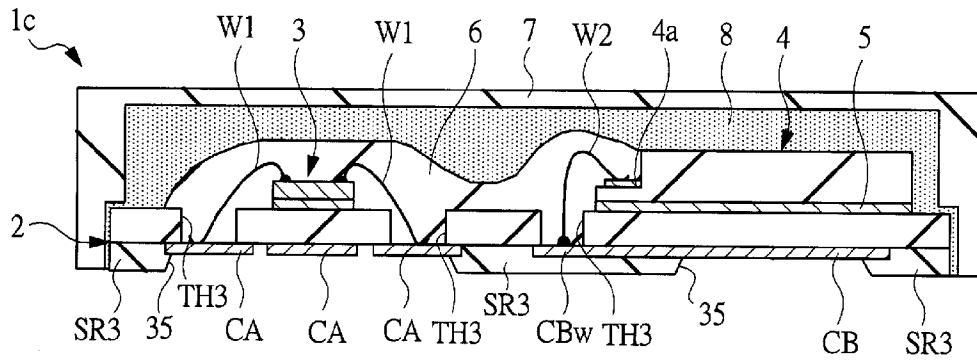
[図50]

図 50



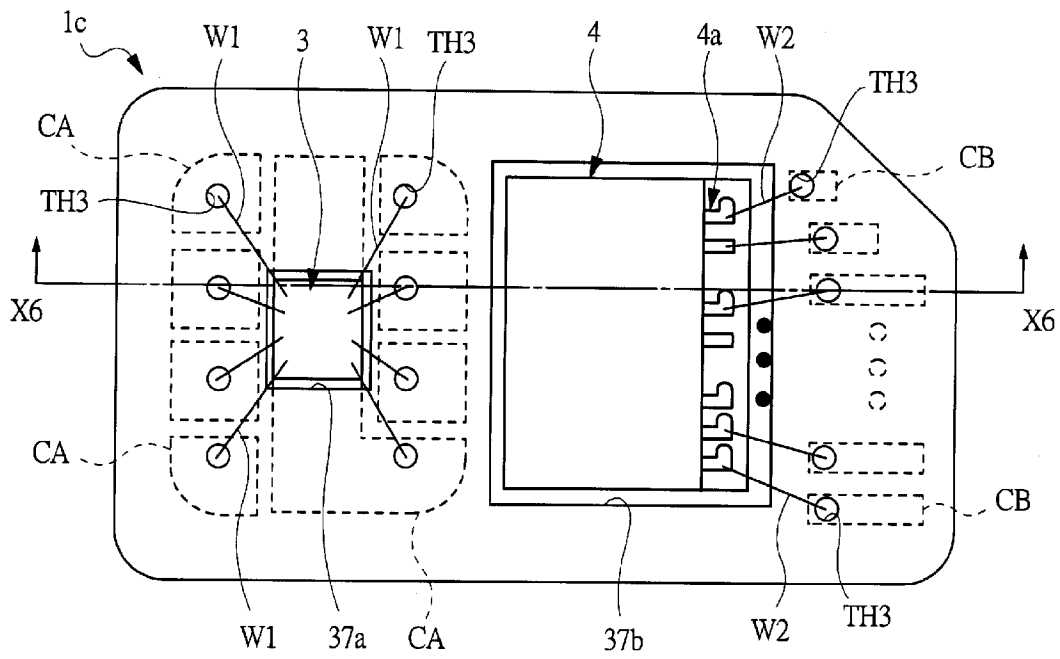
[図51]

図 51



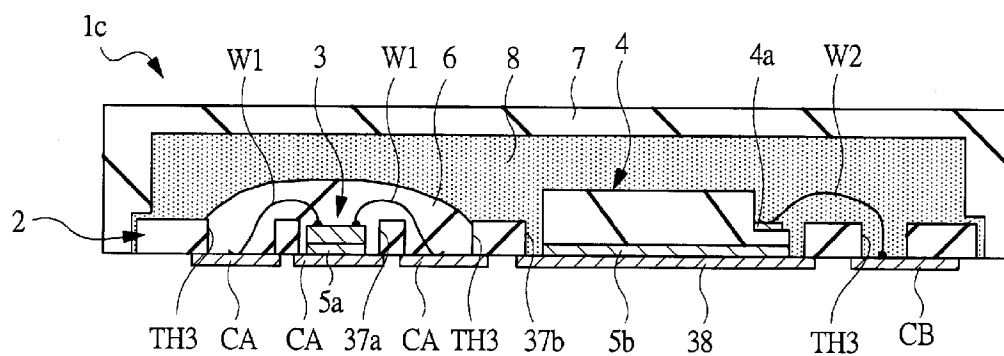
[図52]

図 52



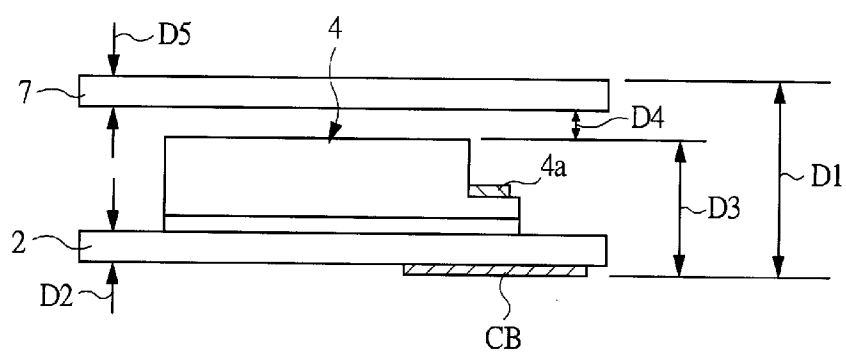
[図53]

図 53



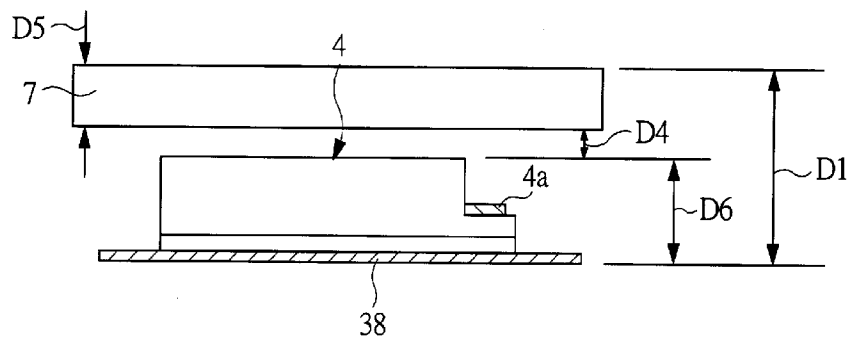
[図54]

図 54



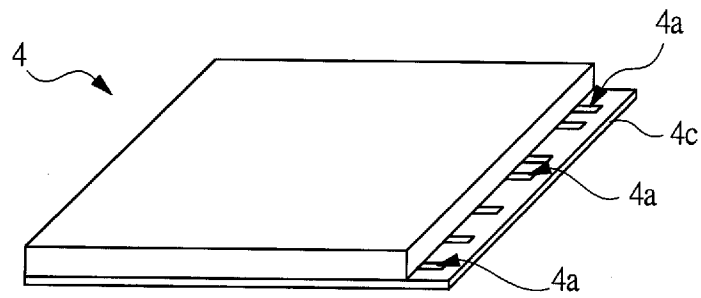
[図55]

図 55

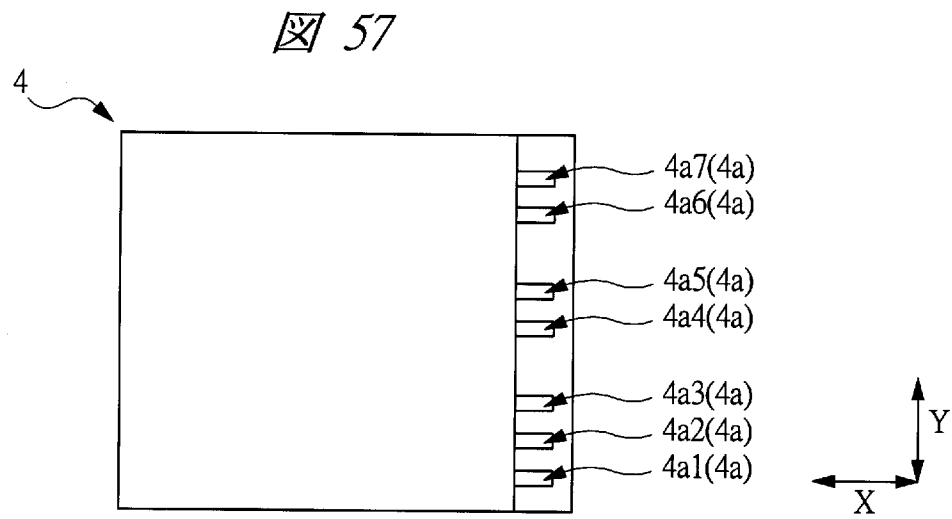


[図56]

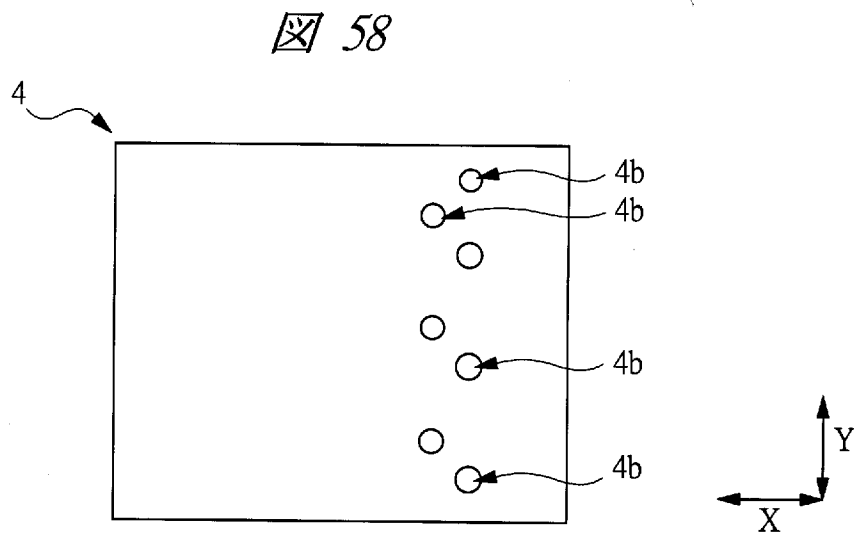
図 56



[図57]

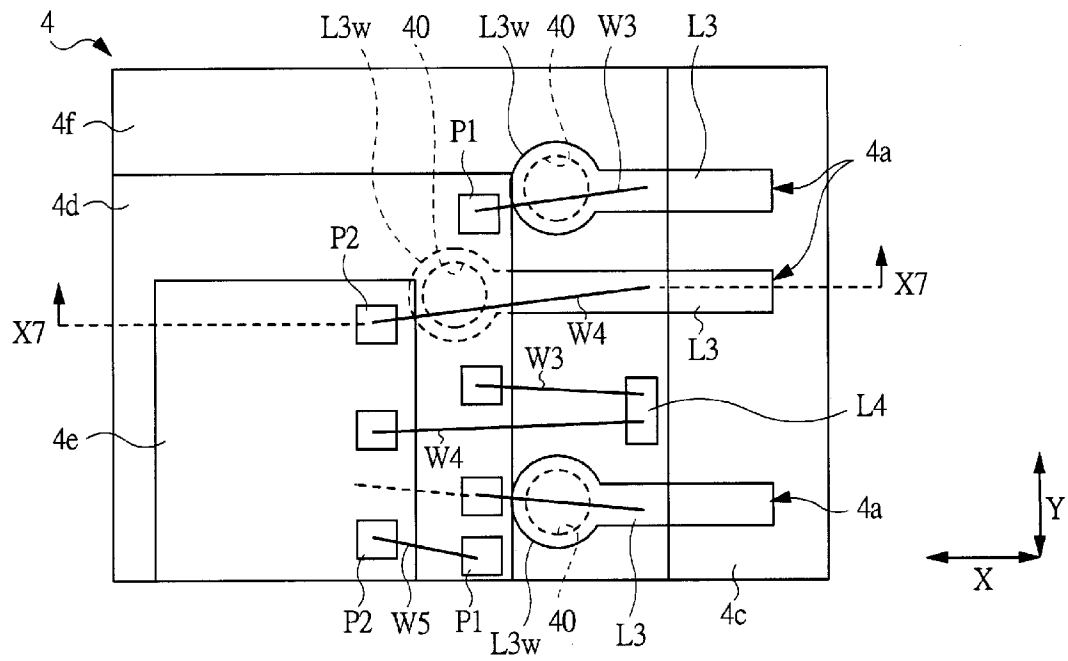


[図58]



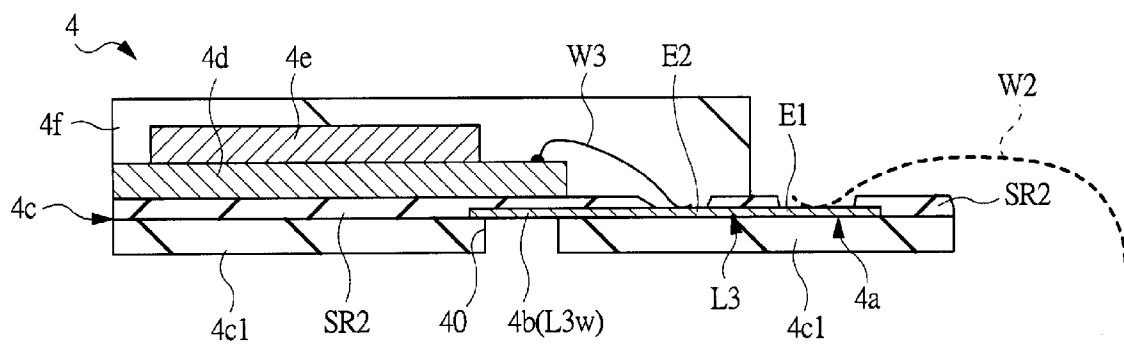
[[図61]]

図 61



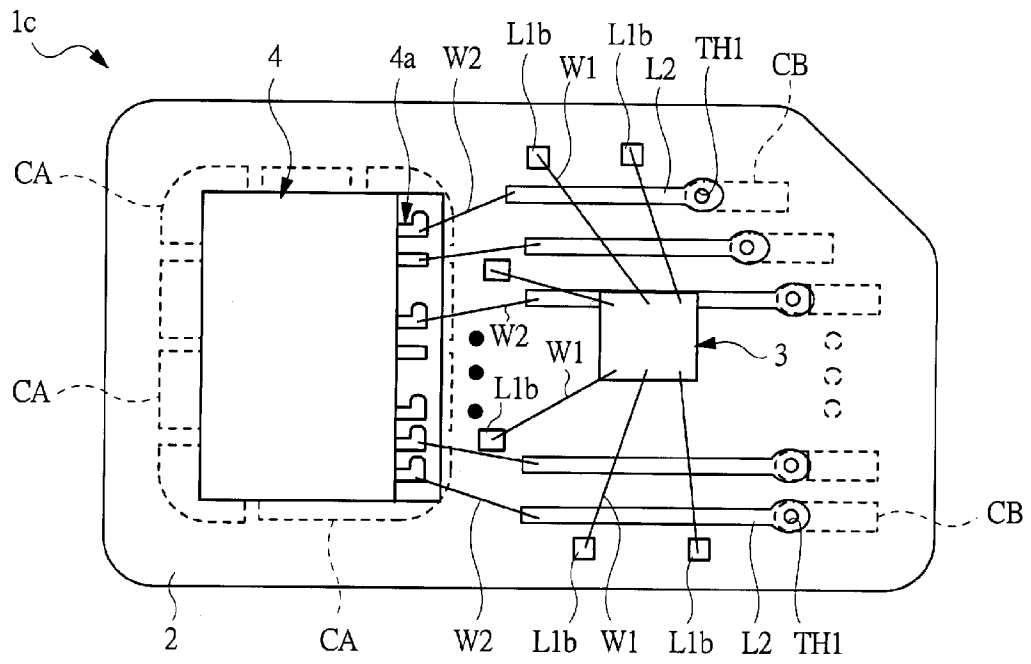
[[図62]]

図 62



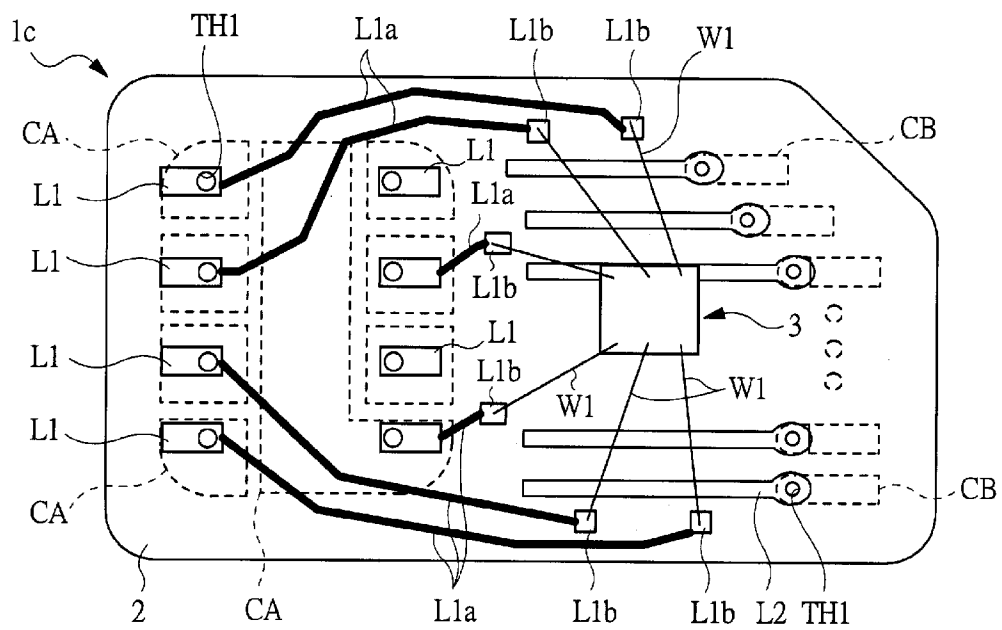
[図63]

図 63



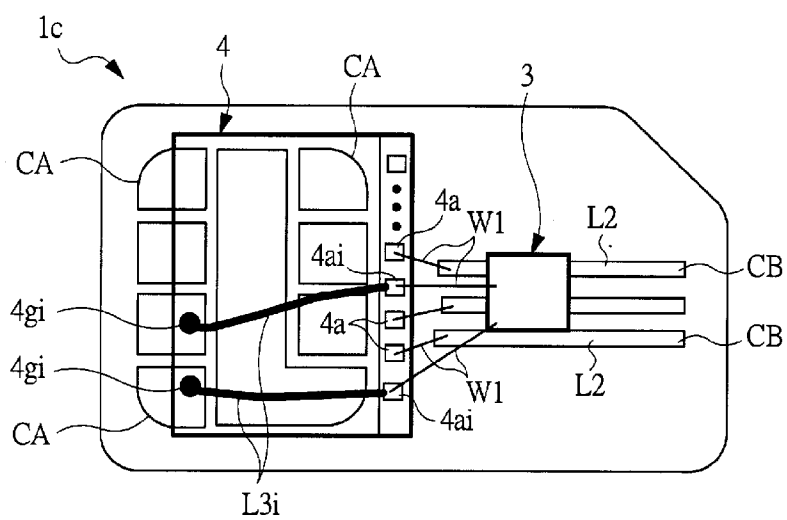
[図64]

図 64



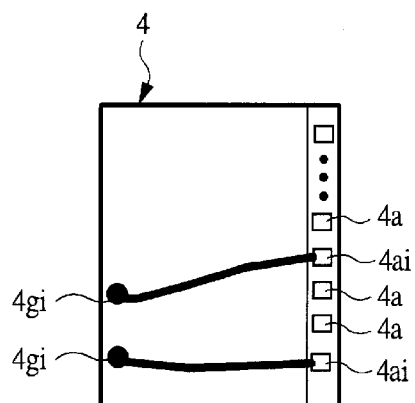
[図65]

☒ 65

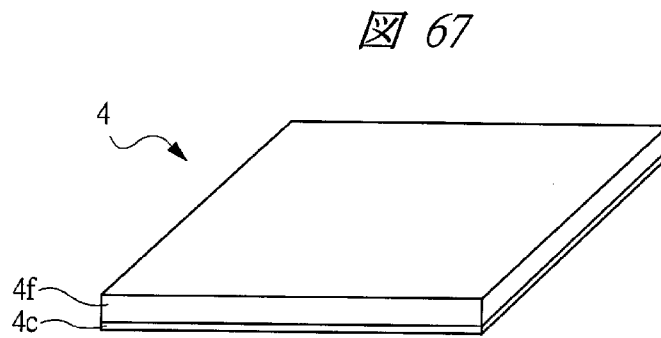


[図66]

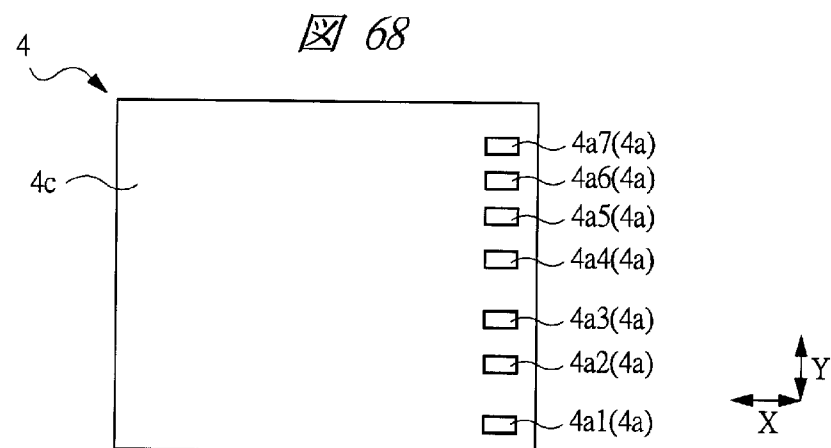
☒ 66



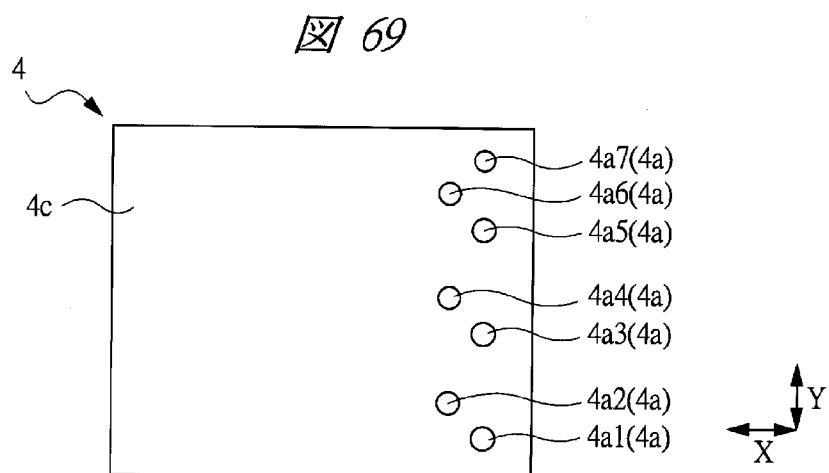
[図67]



[図68]

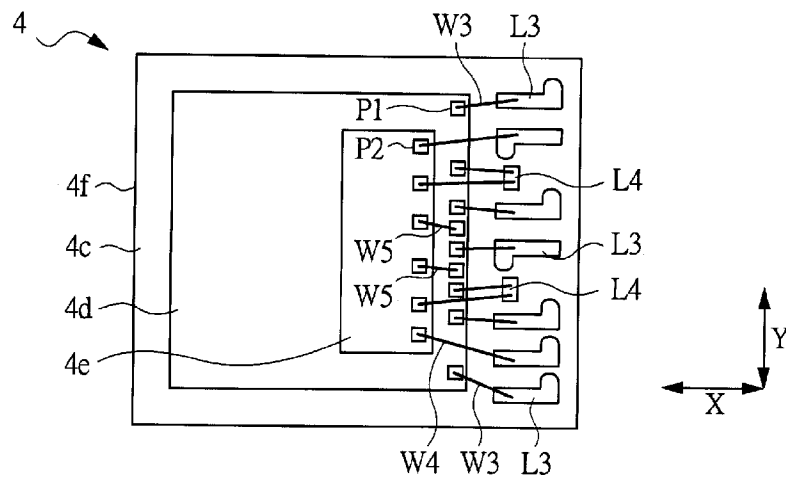


[図69]



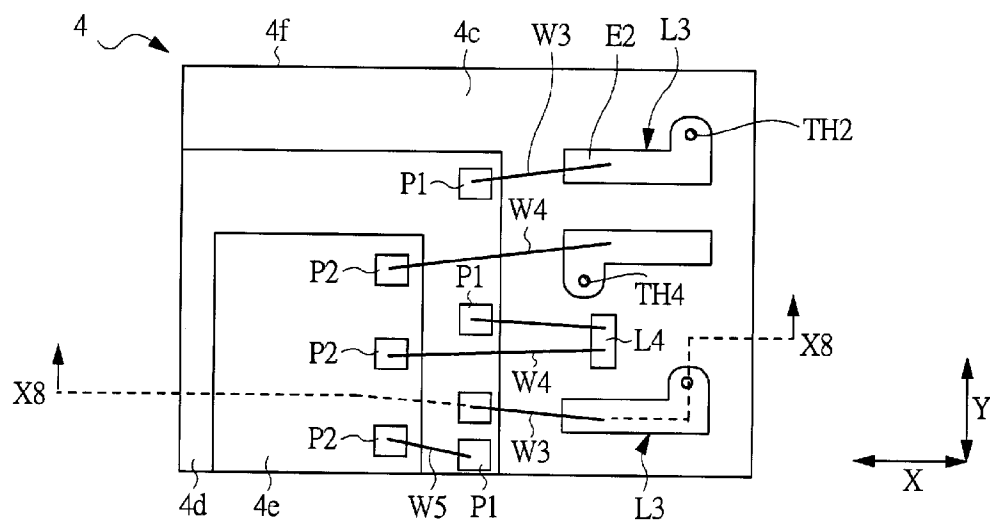
[図70]

図 70

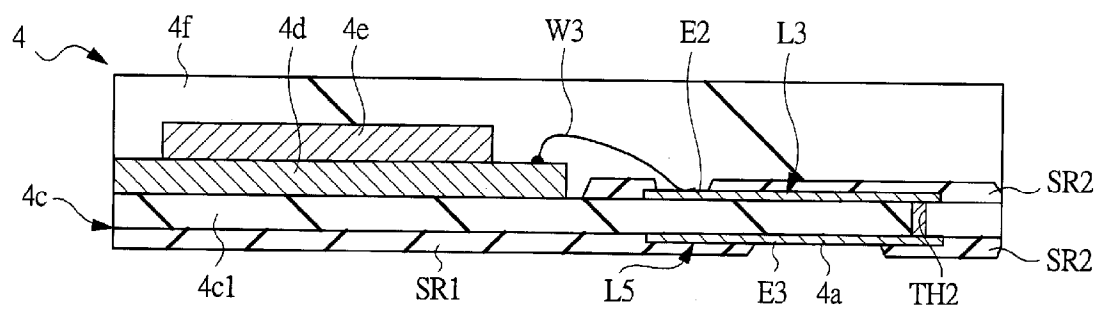


[図71]

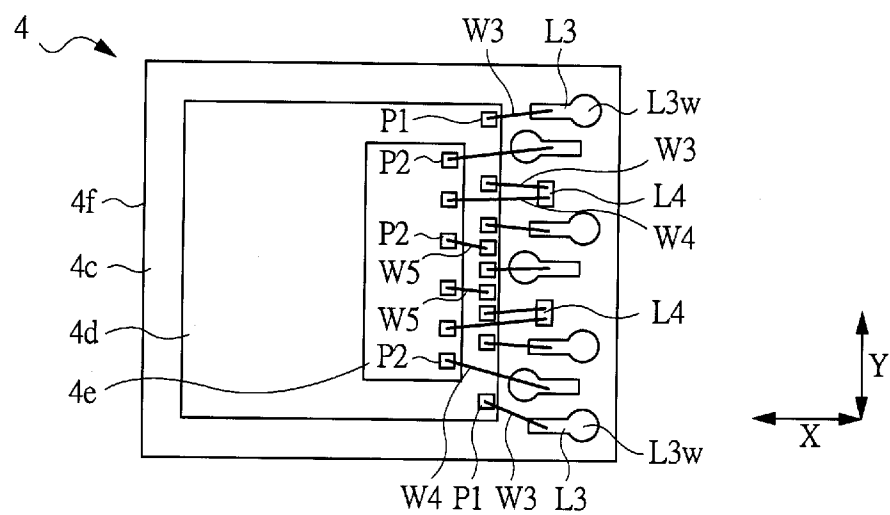
図 71



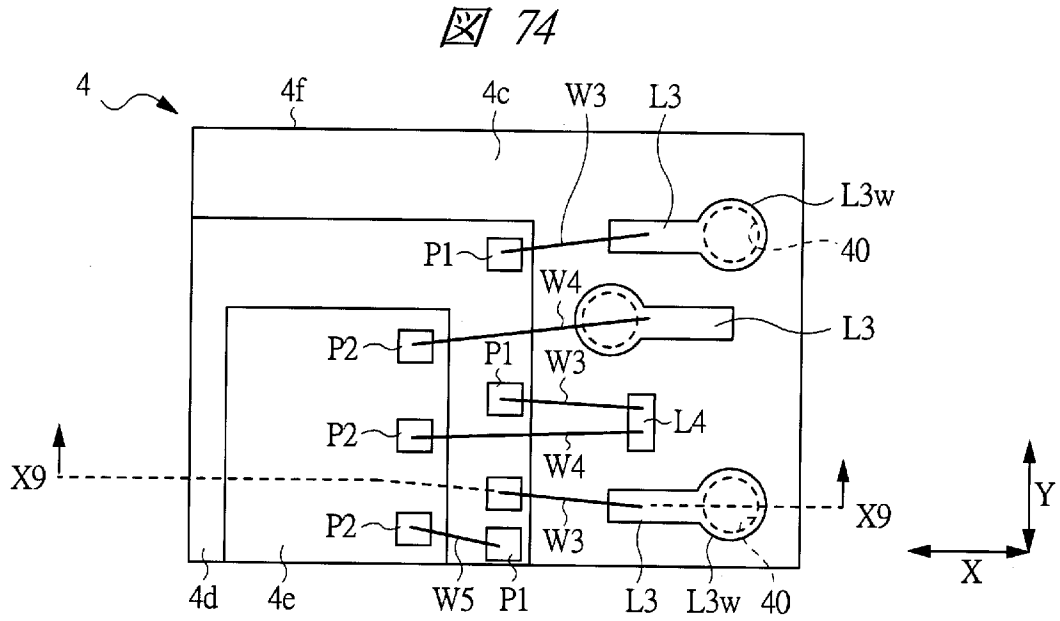
72



73



[図74]



[図75]

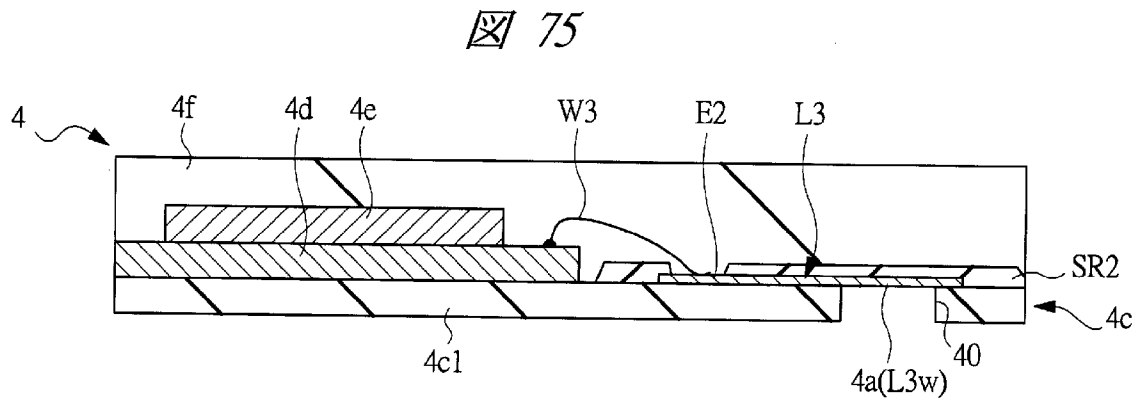
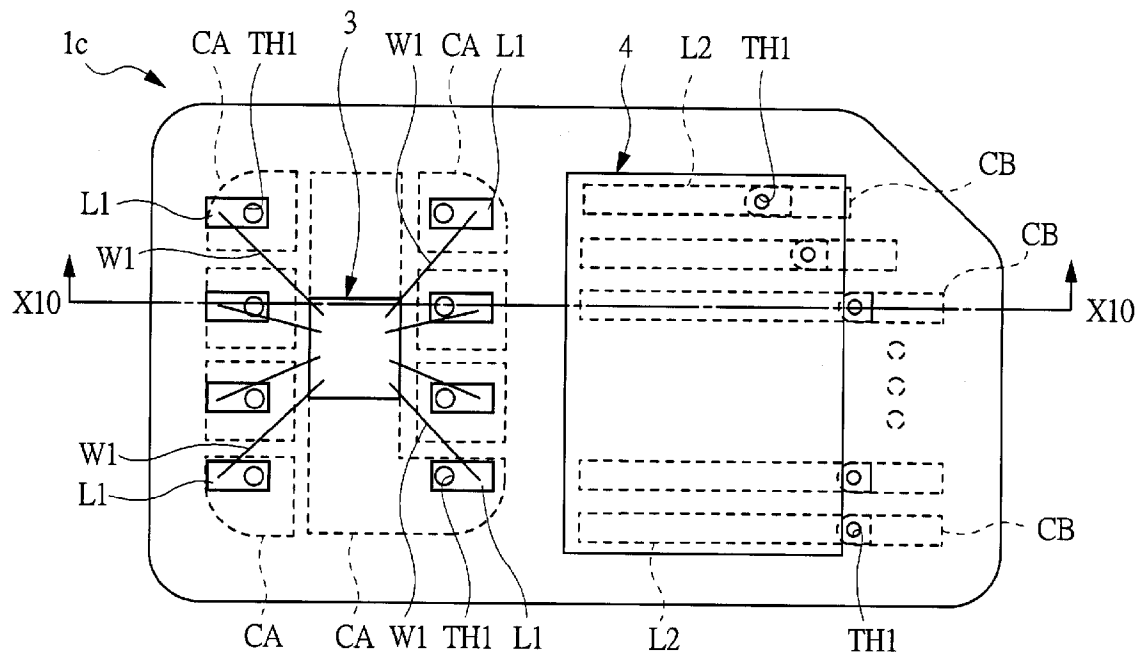
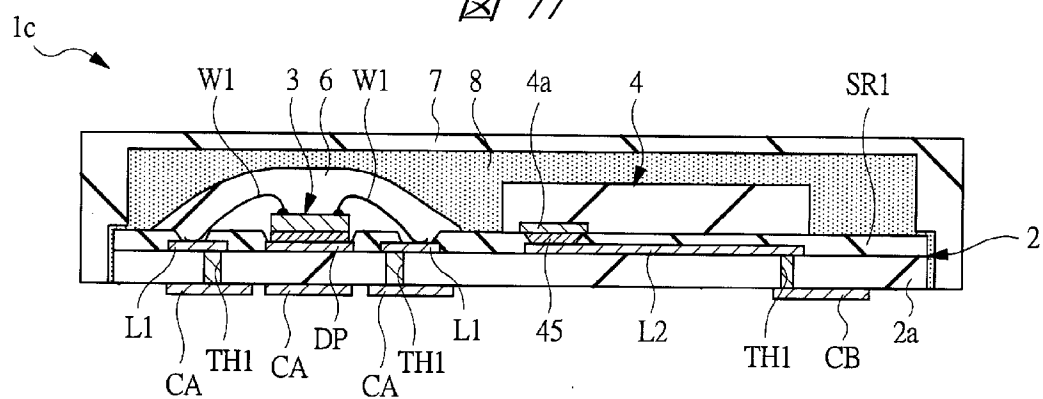


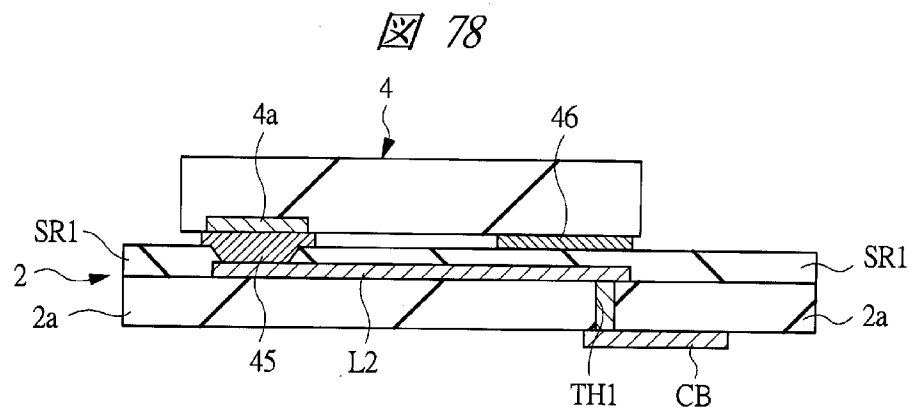
图 76



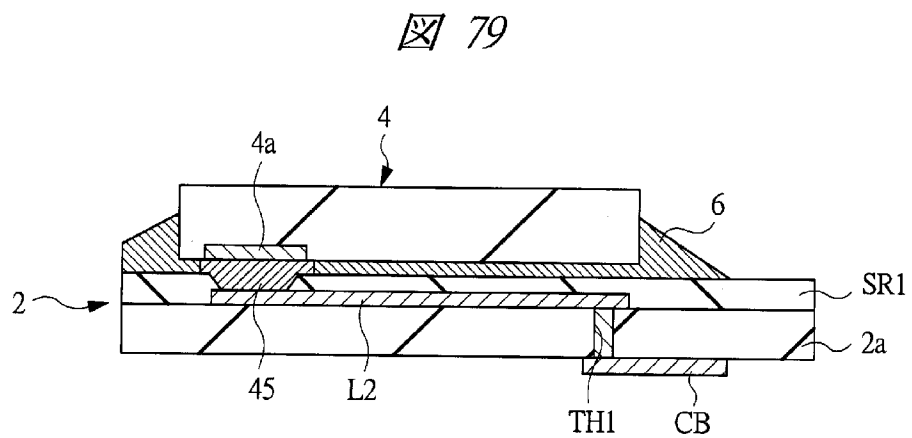
义 77



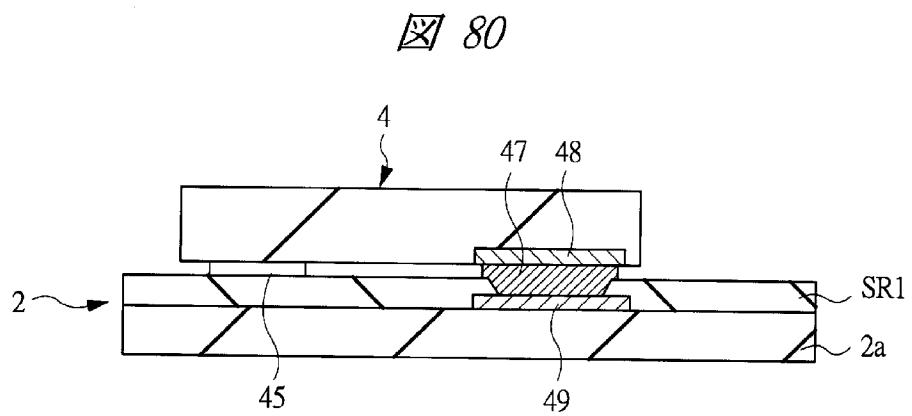
[図78]



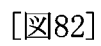
[図79]



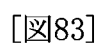
[図80]



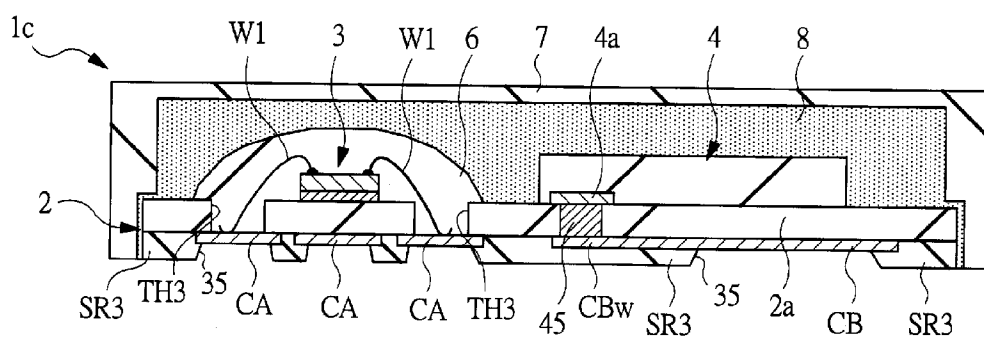
✕ 81



82

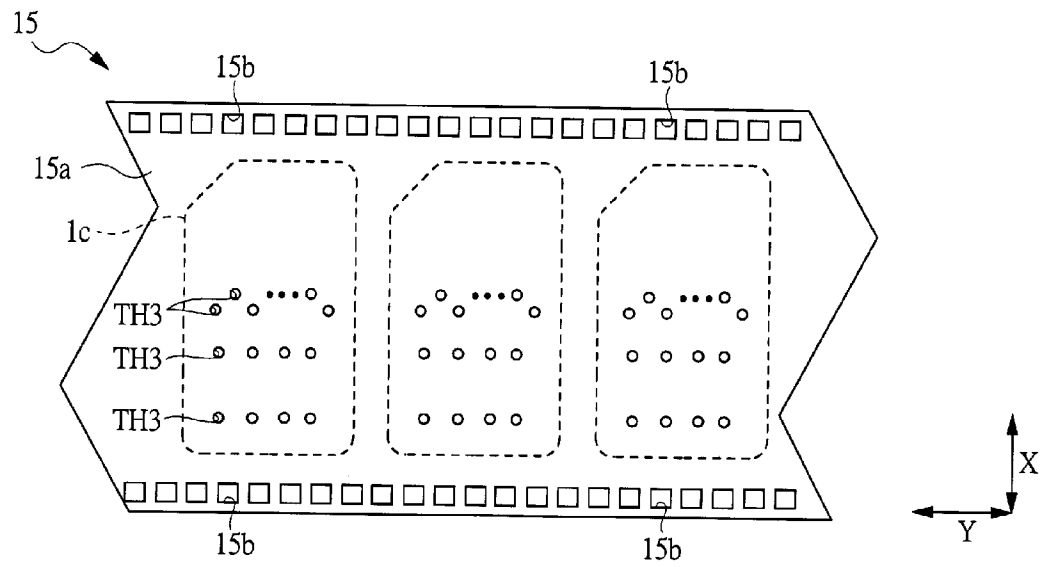


83



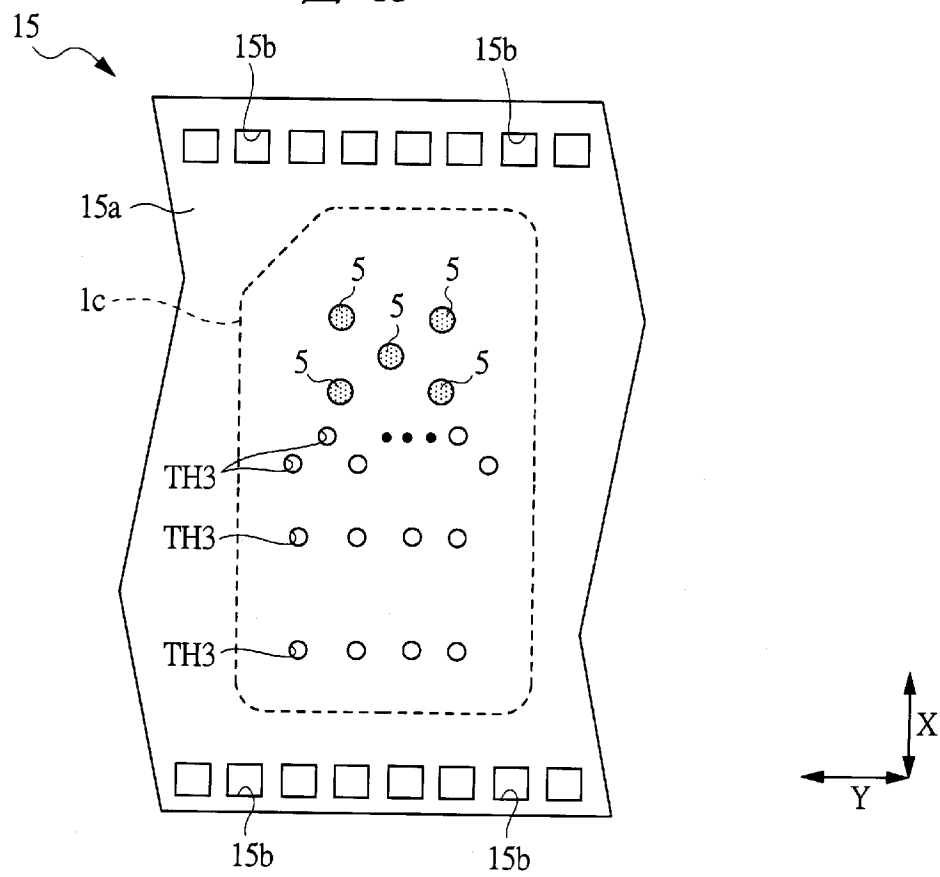
[図84]

図 84

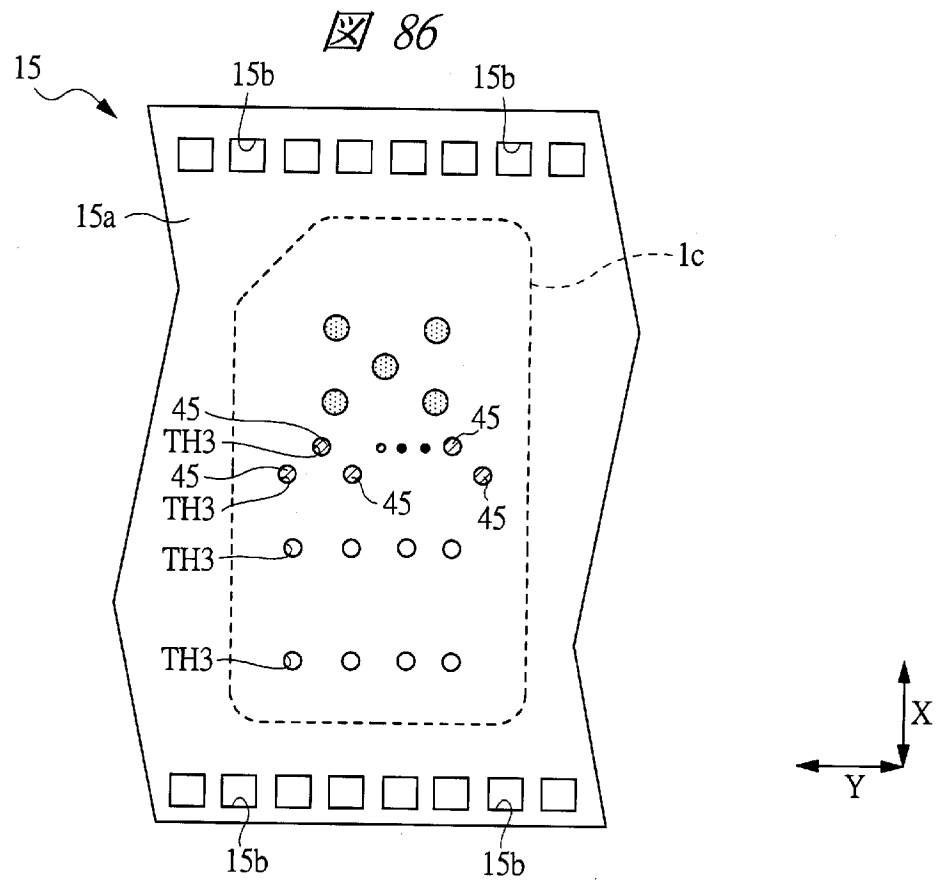


[図85]

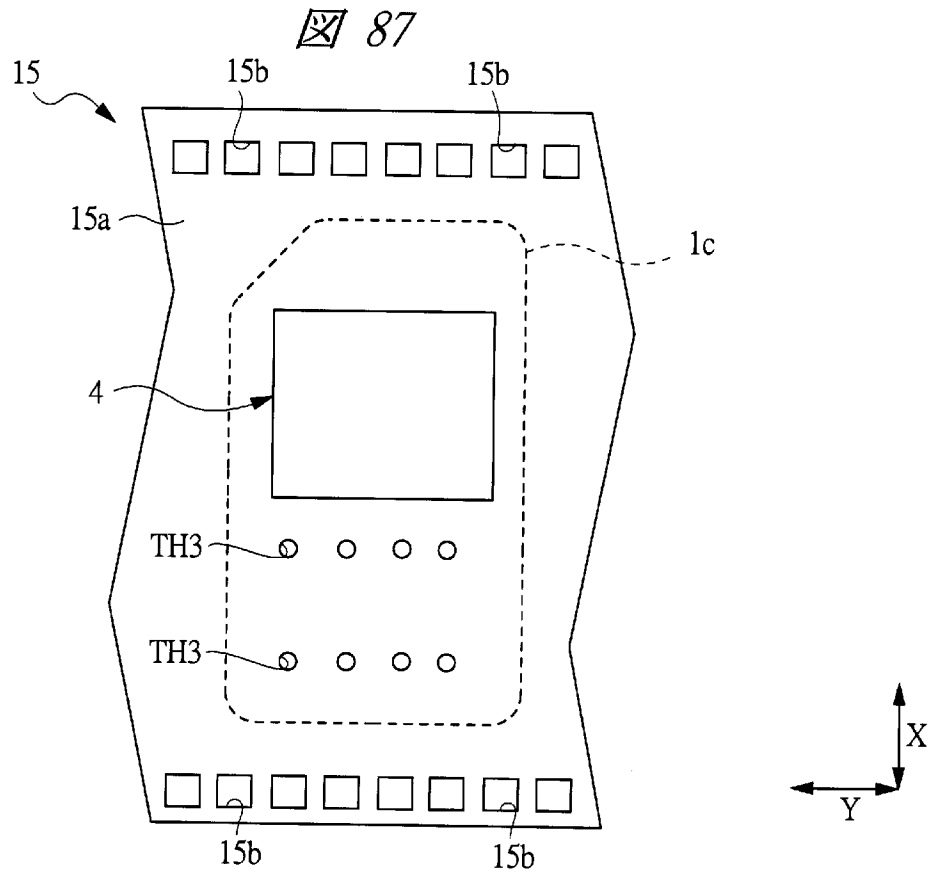
図 85



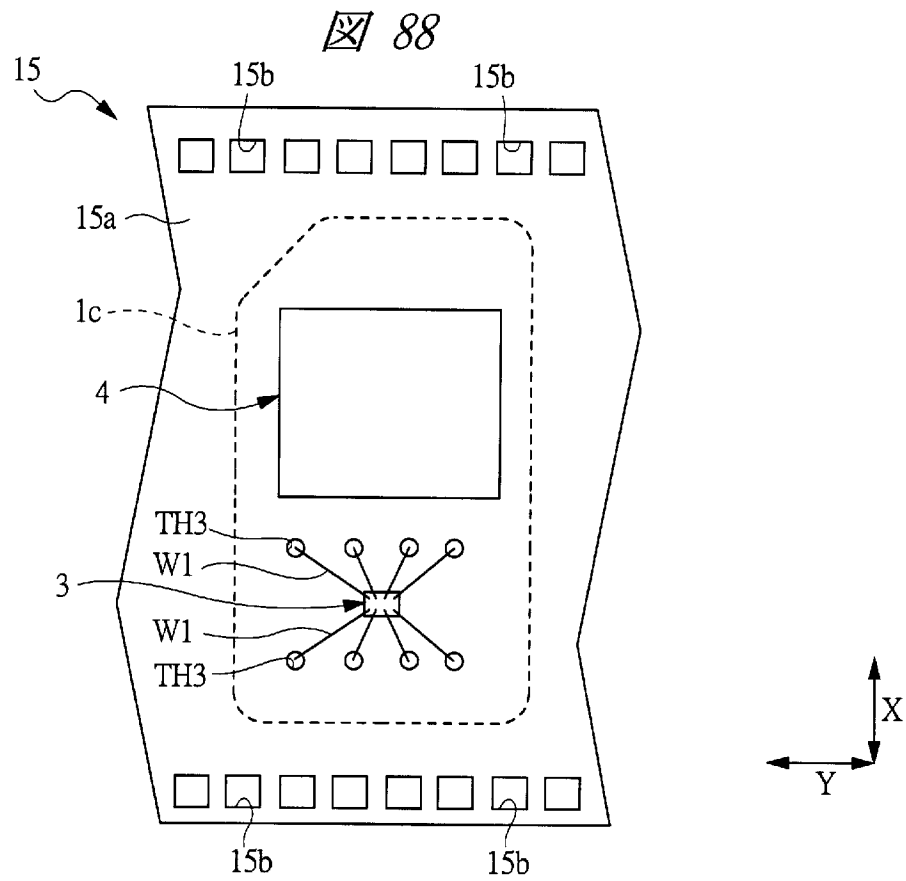
[図86]



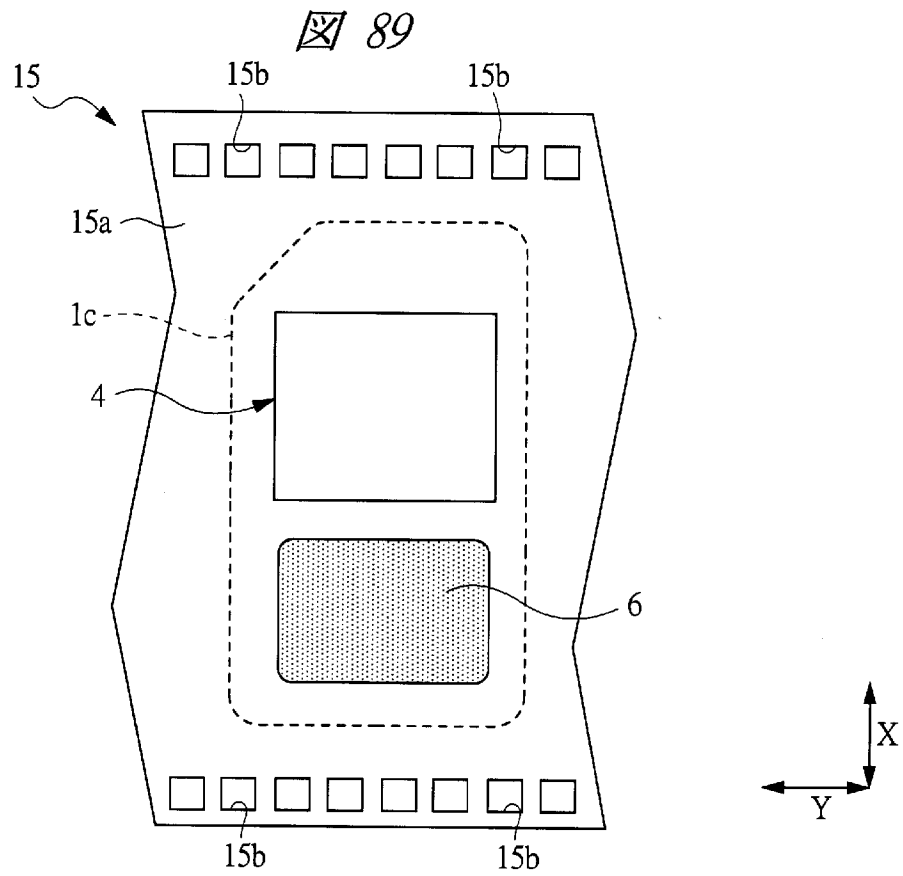
[図87]



[図88]

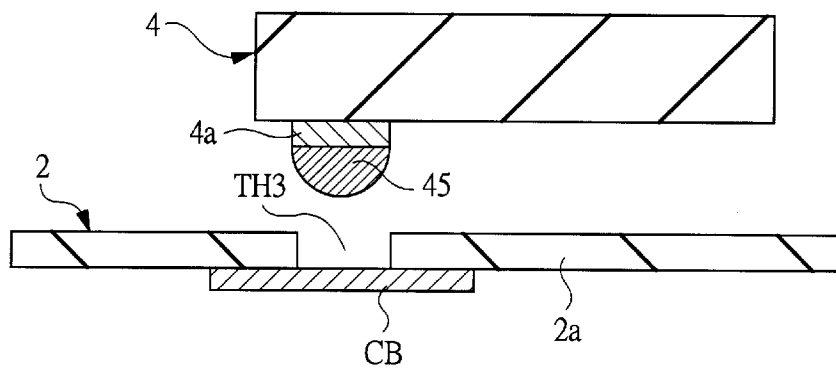


[図89]



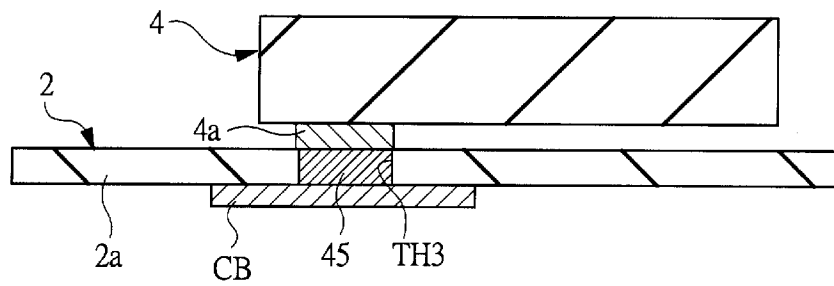
[図90]

90



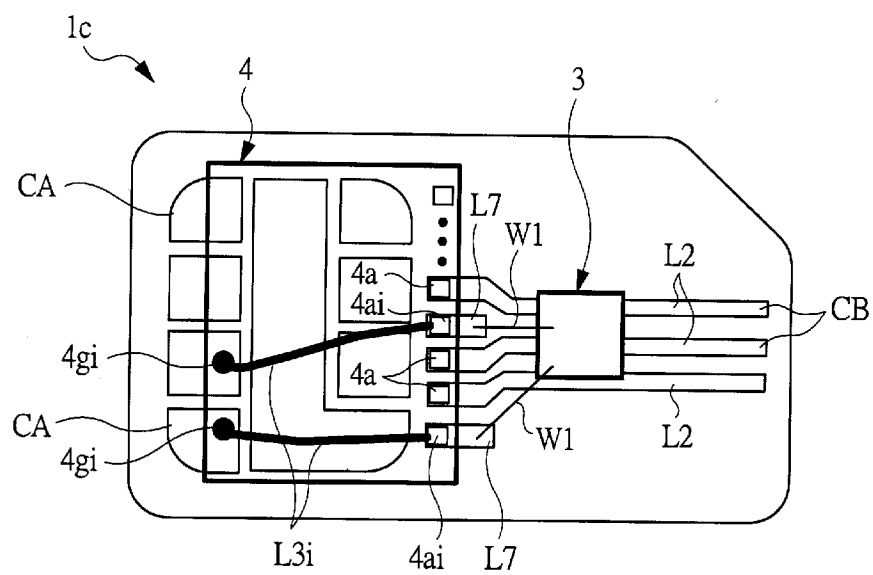
[図91]

図 91



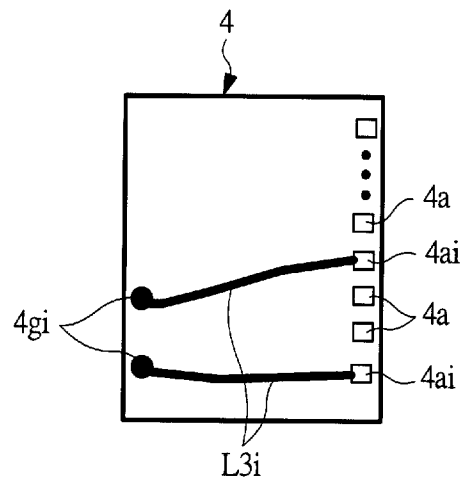
[図92]

図 92



[図93]

図 93



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011728

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06K19/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06K19/00-19/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-248808 A (Dainippon Printing Co., Ltd.), 05 September, 2003 (05.09.03), Fig. 1 (Family: none)	1, 4, 9, 10 2, 3, 5-8, 11-17
Y	JP 2005-78101 A (Dainippon Printing Co., Ltd.), 24 March, 2005 (24.03.05), Figs. 1, 3 (Family: none)	2, 3, 5-8, 11-17
Y	JP 4-35058 A (Hitachi, Ltd.), 05 February, 1992 (05.02.92), Fig. 1A (Family: none)	7, 8, 12-15, 17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2005 (05.09.05)

Date of mailing of the international search report
20 September, 2005 (20.09.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011728

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims [1, 4, 9, 10], [2, 3, 5, 6, 11-17], and [7, 8] is the semiconductor device of claim 1.

The semiconductor device of claims 1, 4, 9, and 10 is not novel because the search has revealed that it is disclosed in JP 2003-248808 A (Dainippon Printing Co., Ltd.), 05 September, 2003 (05.09.03), FIG. 1.

Consequently, there is no matter common to claims [1, 4, 9, 10], [2, 3, 5, 6, 11-17], and [7, 8].

(continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011728

Continuation of Box No.III of continuation of first sheet (2)

Since there is no other common matter that can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

As a result, it is apparent that the inventions of claims [1, 4, 9, 10], [2, 3, 5, 6, 11-17], and [7, 8] do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G 0 6 K 1 9 / 0 0

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G 0 6 K 1 9 / 0 0 - 1 9 / 1 0

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-248808 A (大日本印刷株式会社)、2003.09.05, 図1 (ファミリーなし)	1, 4, 9, 10
Y		2, 3, 5-8, 11-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.09.2005

国際調査報告の発送日

20.9.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大塚 良平

電話番号 03-3581-1101 内線 3546

5 B

8 6 2 7

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2005-78101 A (大日本印刷株式会社)、2005.03.24, 図1, 図3 (ファミリーなし)	2, 3, 5-8, 11-17
Y	J P 4-35058 A (株式会社日立製作所)、1992.02.05, 第1A図 (ファミリーなし)	7, 8, 12-15, 17

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査することを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲 [1, 4, 9, 10]、[2, 3, 5, 6, 11-17]、[7, 8] に係る発明の共通の事項は、請求の範囲1の半導体装置である。

調査の結果、請求の範囲1, 4, 9, 10の半導体装置は、文献 JP 2003-248808 A（大日本印刷株式会社）、2003.09.05、図1に開示されているから、新規でないことが明らかとなった。

この結果、請求の範囲 [1, 4, 9, 10]、[2, 3, 5, 6, 11-17]、[7, 8] に係る発明の共通の事項はない。

PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見出すことはできない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第Ⅲ欄の続き

よって、請求の範囲 [1, 4, 9, 10]、[2, 3, 5, 6, 11-17]、[7, 8] に係る発明は発明の単一性の要件を満たしていないことが明らかである。