

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/12 (2006.01)



[12] 发明专利说明书

专利号 ZL 02817513.1

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367489C

[22] 申请日 2002.9.4 [21] 申请号 02817513.1

[30] 优先权

[32] 2001.9.7 [33] JP [31] 272091/2001

[32] 2001.9.7 [33] JP [31] 272098/2001

[86] 国际申请 PCT/JP2002/008996 2002.9.4

[87] 国际公布 WO2003/023851 英 2003.3.20

[85] 进入国家阶段日期 2004.3.8

[73] 专利权人 株式会社理光

地址 日本东京都

[72] 发明人 木村圭一 高井正巳

[56] 参考文献

JP2000-353762A 2000.12.19

US6259238B1 2001.7.10

JP2000-183214A 2000.6.30

JP63-310139A 1988.12.19

审查员 徐 健

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽 马 莹

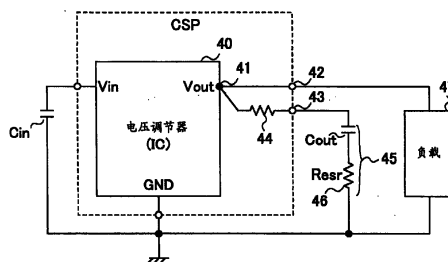
权利要求书 1 页 说明书 10 页 附图 12 页

[54] 发明名称

半导体器件

[57] 摘要

本发明公开了一种具有芯片级封装的半导体器件。所述芯片级封装包括：半导体芯片，具有至少一个焊接焊盘；所述芯片级封装的至少一个端子；和在所述焊接焊盘和在所述芯片级封装上的所述端子之间形成的再布线。形成所述再布线使其具有期望的电阻值。



1. 一种具有芯片级封装的半导体器件，所述芯片级封装包括：

半导体芯片，具有焊接焊盘（1； 11）；

多个端子（2， 3； 12， 13， 14）； 和

多条再布线（4a， 4b； 15a， 15b， 15c），

其特征在于：

所述多条再布线被布置在所述焊接焊盘（1； 11）和在所述芯片级封装上的所述多个端子（2， 3； 12， 13， 14）之间形成以便将所述焊接焊盘（1； 11）连接到所述多个端子，其中形成所述多条再布线使其分别具有期望的电阻值。

2. 按照权利要求 1 的半导体器件，其中通过延长再布线、将再布线变窄或选择再布线的材料来设计再布线的期望电阻值。

3. 按照权利要求 1 的半导体器件，其中所述半导体芯片包括电压调节器电路，以及一个负载连接到与在多个再布线中具有最低电阻值的再布线连接的一个端子，一个相位补偿电容器连接到与在多个再布线中具有预定电阻值的另一个再布线连接的另一个端子。

4. 按照权利要求 3 的半导体器件，其中所述预定电阻值在 10 毫欧姆和 10 欧姆之间。

5. 按照权利要求 1 的半导体器件，其中半导体芯片包括电压调节器电路，以及一个负载和一个相位补偿电容器连接到与具有期望电阻值的所述再布线连接的芯片级封装的端子。

6. 按照权利要求 5 的半导体器件，其中通过延长再布线、将再布线变窄或选择再布线的材料来设计再布线的期望电阻值。

7. 按照权利要求 5 的半导体器件，其中期望电阻值在 10 毫欧姆和 200 毫欧姆之间。

半导体器件

技术领域

本发明涉及一种使用芯片级封装 (chip size package) (CSP) 的半导体器件, 具体涉及其中使用再布线 (reroute trace) 来灵活地提供电路设计的半导体器件。本发明适合于 CSP 上的电压调节器或 CSP 上的其他模拟电路的相位补偿电路。

背景技术

各种用于 LSI 芯片的封装是公知的。近来, 已经在开发与 LSI 芯片具有几乎相同尺寸的芯片级封装 (CSP), 以便降低封装的尺寸。

图 1 示出了用于各种传统的芯片级封装的封装处理。图 1 所示的附图标记 101 示出了用于引线框封装的封装处理, 图 1 所示的附图标记 102 示出了用于细距球栅阵列 (FBGA) 的封装处理, 图 1 所示的附图标记 103 示出了用于晶片级 (wafer-level) CSP 的封装处理。

图 1 所示的用于引线框 (lead frame) 封装的封装处理 101 和用于 FBGA 的封装处理 102 是传统的封装处理 (切割成片处理 A1, 芯片粘结处理 A2, 引线键合处理 A3, 密封处理 A4, 引线成形处理 A5/引线表面修整处理和用于单个化的切割处理 (将晶片切割为单个芯片) A6 或端子修整处理和用于单个化的切割处理 A7)。在这些封装处理中, 通过切割成片处理来切割由前端处理 10 处理的每个芯片, 并且通过组装处理来组装所述芯片。但是, 在如图 1 所示的本发明的晶片级 CSP 中的封装处理 103 中, 由前端处理处理的晶片直接进行封装处理 103 (PI 薄膜形成处理 A11, 重新路由选择跟踪处理 A12, 二次成形处理 A13, 密封处理 A14, 端子抛光处理 A15)。然后, 切割晶片以单个化每个芯片 (分割成片处理 A16)。

图 2 示出了通过晶片级 CSP 技术制造的芯片的剖视图。在图 2 中, 附图标记 B1 示出了 IC 芯片 (硅片)、附图标记 B2 示出了在 IC 芯片 B1 的焊盘上布置的铝电极, 附图标记 B3 示出了阻挡金属层, 附图标记 B4 示出了位于阻

挡金属层 B3 上的再布线层 (Cu), 附图标记 B5 示出了铜柱, 附图标记 B6 示出了焊料块 (焊料球), 附图标记 B7 示出了钝化层, 附图标记 B8 示出了模压层 (例如树脂密封层), 附图标记 B9 示出了保护膜。

在传统的晶片级 CSP 中, 假定位于 IC 芯片 B1 的焊盘上的铝电极 B2 仅仅通过具有尽可能低的电阻的再布线 B4 连接到铜柱 B5 和焊料块 (焊料球) B6。

但是, 存在问题: 如果假定位于 IC 芯片 B1 的焊盘上的铝电极仅仅通过具有尽可能低的电阻的再布线 B4 连接到铜柱 B5 和焊料块 (焊料球) B6, 则 CSP 的规范和性能就受到 IC 芯片的结构限制。

发明内容

因此, 本发明的一个总目的在于提供一种半导体器件和电压调节器, 其中消除了上述的缺点。

本发明的一个更具体的目的是提供一种半导体器件, 其中可以扩展 IC 芯片本身的规格和性能, 并且所述半导体器件提供灵活的电路设计。

本发明的另一个目的是提供一种包括电压调节器的半导体器件, 其中可以容易地抑制电压调节器的振荡。

本发明的上述目的通过具有芯片级封装的半导体器件来实现, 所述芯片级封装包括:

半导体芯片, 具有焊接焊盘;

多个端子; 和

多条再布线,

所述多条再布线被布置在所述焊接焊盘和在所述芯片级封装上的所述多个端子之间形成以便将所述焊接焊盘连接到所述多个端子, 其中形成所述多条再布线使其分别具有期望的电阻值。

本发明的上述目的通过半导体器件来实现, 其中所述芯片级封装具有多个端子, 其中每个端子通过多个再布线之一连接到焊接焊盘。

通过半导体器件来实现本发明的上述目的, 其中通过延长再布线、将再布线变窄或选择再布线的材料来设计再布线的期望电阻值。

按照本发明, 有可能提供这样的半导体器件, 其中可以扩展 IC 芯片的规格和性能, 并且所述半导体器件提供灵活的电路。

本发明的上述目的的实现是通过这样的半导体器件，其中所述半导体芯片包括：电压调节器电路，以及一个负载连接到与在多个再布线中具有最低

电阻的再布线连接的一个端子，一个相位补偿电容器连接到与在多个再布线中具有预定电阻的另一个再布线连接的另一个端子。

本发明的上述目的通过这样的半导体器件来被实现，其中所述预定电阻在 10 毫欧姆和 10 欧之间。

本发明的上述目的通过这样的半导体器件来实现，其中半导体芯片包括电压调节器电路，以及一个负载和一个相位补偿电容器连接到与具有期望电阻值的所述再布线连接的芯片级封装的端子。

本发明的上述目的是通过这样的半导体器件来被实现，其中通过延长再布线、将再布线变窄或选择再布线的材料来设计再布线的期望电阻值。

本发明的上述目的是通过这样的半导体器件来实现的，其中期望电阻值在 10 毫欧姆和 200 毫欧姆之间。

按照本发明，有可能提供包括电压调节器的半导体器件，其中可以容易地抑制振荡。

如上所述，按照本发明，有可能在 CSP 制造过程期间确定电压调节器的电路特性，以便使用相位补偿电容器。因此，本发明能够灵活地提供在晶片级的电路设计。而且，容易改善电路特性而不改变在晶片级的电路设计。而且，有可能提供这样的电压调节器，其中陶瓷电容器被用作相位补偿电容器，以便防止电压调节器振荡。

附图说明

通过下面结合附图详细说明，本发明的其他目的、特点和优点将会变得更加清楚，其中：

图 1 示出了对于各种芯片级封装的传统的制造处理；

图 2 示出了使用晶片级芯片尺寸封装技术的所制造的芯片的剖面图；

图 3A 示出了本发明的第一实施例的图；

图 3B 示出了本发明的第一实施例的图；

图 3C 示出了本发明的第一实施例的图；

图 3D 示出了本发明的第一实施例的图；

图 4A 示出了本发明的第二实施例的图；

图 4B 示出了本发明的第二实施例的图；

图 5 示出了处于工作状态的通用电压调节器的示例；

图 6 示出了图 5 所示的通用电压调节器的内部结构；
图 7A 示出了振荡的电压调节器的开环增益与频率响应的关系图；
图 7B 示出了振荡的电压调节器的开环相位与频率响应的关系图；
图 8A 示出了不振荡的电压调节器的开环增益与频率响应的关系图；
图 8B 示出了不振荡的电压调节器的相位与频率响应的关系图；
图 9 示出了本发明的第三实施例（电压调节器）的图；
图 10 示出了图 9 所示的电压调节器的再布线图案的剖面图；
图 11 示出了图 10 所示的再布线图案的顶视图；
图 12 示出了在电阻 R_{out} 和图 9 所示的电路的稳定系数之间的关系；
图 13 示出了本发明的第四实施例（电压调节器）的图；
图 14 示出了图 13 所示的电压调节器的再布线图案的剖面图；
图 15 示出了在图 14 所示的再布线图案的顶视图；
图 16 示出了在电阻 R_{out} 和图 13 所示的电路的稳定系数之间的关系。

具体实施方式

现在，参照附图来详细说明本发明的实施例。

[第一实施例]

图 3A-3D 示出了本发明的第一实施例，其中 IC 芯片的焊接焊盘通过多个再布线连接到作为芯片级封装（CSP）的输出端子的多个焊料块。

图 3A 示出了一种配置，其中 IC 芯片的焊接焊盘 1 通过两个再布线 4a 和 4b 连接到两个焊料块 2 和 3。图 3B 示出了图 3A 所示的配置的等效电路。图 3C 示出了一种配置，其中 IC 芯片的焊接焊盘 11 通过三个再布线 15a、15b 和 15c 连接到三个焊料块 12、13 和 14。图 3D 示出了图 3C 所示的配置中的等效电路。可以明白，IC 芯片的焊接焊盘可以通过再布线连接到超过三个的焊料块。

这个配置能够将每个焊接焊盘通过再布线连接到位于芯片级封装上的期望位置的多个焊料块。因此，能够通过位于芯片级封装上的期望位置的多个焊料块来输出从 IC 芯片的焊接焊盘提供的信号。结果，可以大大地扩展芯片级封装的应用面积。

[第二实施例]

接着将说明本发明的第二实施例。

在本发明的第一实施例中，未考虑再布线的电阻（或假定再布线具有近乎 0 的电阻）。在本发明的第二实施例中，将焊接焊盘与多个焊料块之一连接的一个再布线的电阻被设计为具有预定值。

图 4A 和 4B 示出了本发明的第二实施例。图 4A 示出了在图 3A 中所示的配置的等效电路，其中再布线 4a 的电阻被设计为近乎 0，并且再布线 4b 的电阻被设计为具有 $r1$ 值。图 4B 示出了在图 3C 中所示的配置的等效电路，其中再布线 15a 的电阻被设计为近乎 0，并且再布线 15b 的电阻被设计为具有 $r2$ 值，并且再布线 15c 的电阻被设计为具有 $r3$ 值。对每条再布线的电阻的选择进行设计，并且每个电阻值取决于本发明所采用的电路。使用这种配置，与上述的本发明的第一实施例相比较，可以进一步扩展芯片级封装的应用面积。

[第三实施例]

接着，将说明本发明的第三实施例。在第三实施例中，本发明被应用到电压调节器。但是，可以明白本发明也可以被应用到任何模拟电路和各种半导体器件。图 5 示出了处于工作状态的电压调节器的电路图的一个示例。在图 5 中，具有电容 C_{out} 的电容器 21 连接在电压调节器 20 的输出端 V_{out} 和地 GND 之间，具有电容 C_{in} 的电容器 22 连接在电压调节器 20 的输入端 V_{in} 和地 GND 之间，以便使输入电压和输出电压稳定。电阻 ESR（等效串联电阻）示出了电容器 21 的内部电阻。

图 6 示出了通用电压调节器的示例的内部结构。如图 6 所示，通用电压调节器 30 具有恒压源 31、差分放大器 32、输出晶体管 33 以及电阻器 34 和 35。通用电压调节器 30 可能振荡，因为电阻器 34 和 35 构成反馈电路。 VDD 示出了电源的输入端子， V_{out} 示出了电压调节器的输出端，GN 示出了地。

图 7A 示出了通用电压调节器 30 的开环增益与频率响应的关系，图 7B 示出了通用电压调节器 30 的开环相位与频率响应的关系。

通用电压调节器 30 通常在差分放大器 32（具有两级）和输出晶体管 33 中具有两个或三个极点。当存在一个极点时，通用电压调节器 30 的开环增益被降低 6 dB/倍频程（octave），并且开环的相位被延迟 90 度。因此，开环的频率响应具有图 7A 所示的增益特性和图 7B 所示的相位延迟特性。因为存在相位延迟是 180 度的频率，因此当控制回路接近构成反馈回路时通用电压调节器 30 可能振荡。因此，需要补偿相位以便防止通用电压调节器 30 振荡。

在电压调节器 20 内执行相位补偿。但是，相位补偿使用零点，它是极点的倒数，它是通过连接到输出端 Vout 的电容器 21 的电容 Cout 和电阻 ESR 形成的。在图 8B 中，零点被布置在频率 $1/(2*\pi*Cout*ESR)[Hz]$ 上。因此，有可能将开环的相位提前，以便使频率点 C 的相位不延迟超过 180 度。结果，能够防止电压调节器 20 振荡。

存在用于电压调节器 20 的几种电容器 21，诸如钽电容器和陶瓷电容器。钽电容器的 ESR 是几个欧姆，陶瓷电容器的 ESR 是几十个毫欧姆。

当将通常使用的、具有几个微法电容的钽电容器用于相位补偿时，在开环增益是大约 0dB 的频率处出现零点。在开环增益是大约 0dB 的频率，相位裕量降低到 0 度左右，因为随着频率的增加，相位被延迟。因此，容易通过具有几个微法的电容的电容器来补偿相位。

但是，对于陶瓷电容器，；零点出现的频率比钽电容器的高，因为具有与钽电容器相同的电容的陶瓷电容器的 ESR 小于钽电容器的 ESR。结果，相位补偿值被降低，并且相位不能被充分地补偿。因此，需要通过一些方式来向陶瓷电容器的 ESR 增加电阻。如果通过将一个电阻器串联到 ESR 来提高 ESR，则可以容易地补偿相位。

这个要求是通过将电压调节器布置在本发明的 CSP 上而被实现的。于是有可能通过使用本发明的 CSP 将通过再布线构造的电阻器串联到 ESR。结果，可以容易地执行对于电压调节器的相位补偿。

接着，将说明本发明的第三实施例，其中在 CSP 上布置了电压调节器。如图 2 所示，在 CSP 中，保护膜 B9 被沉淀在 IC 芯片 B1 的钝化层 B7 上。再布线 B4 被沉淀在铝电极 B2 上并且被连接到铜柱 B5。然后，树脂密封层 B8 被沉淀，最后，焊料块（焊料球）B6 置于铜柱 B5 上。

如上所述，需要将一个电阻器与 ESR 串联以便进行相位补偿。在电压调节器 20 的输出端串联一个电阻器以便将其串联到 ESR。

在电压调节器 20 的输出端串联一个电阻器存在两种方式。一种方式如图 9 所示。在图 9 中，IC 的输出端的焊接焊盘通过图 4A 所示的本发明的两个再布线连接到两个焊料块。这个结构可用完全地防止由于负载电流引起的、在负载的输入端的电压降。

如图 9 所示，电压调节器 40 的输出端的焊接焊盘 41 连接到焊料块 42 和 43。负载 47 连接到焊料块 42，并且具有电容值 Cout 和电阻 46 的 Resr 的电

容器 45 连接到焊料块 43。在焊接焊盘 41 和焊料块 42 之间的再布线被设计为具有近乎 0 的电阻值。另一方面，在焊接焊盘 41 和焊料块 43 之间的再布线被设计来形成具有 R_{out} （几百毫欧姆）的电阻的电阻器 44，用于将电阻器 44 串联到 $Resr$ 46。这可以通过小心地延长或变窄在焊接焊盘 41 和焊料块 43 之间的铜再布线的图案来实现。在这个实施例中所示的结构可以完全地防止由于负载电流而引起的在负载 47 的输入端的电压降。因此有可能将电阻器 44 串联到 $Resr$ 46 而在负载 47 的输入端没有电压降。结果，容易补偿开环的相位。

而且，即使提高端子的数量，CSP 的面积大小由于 CSP 而保持不变。也能够形成要对所使用的电容器选择的、多个再布线和端子，其中每个再布线具有不同的电阻，以便将电阻器串联到电容器的 $Resr$ 以最佳地匹配要使用的电容器。图 10 示出了图 9 中所示的电压调节器的剖面图，其中包括再布线图案，图 11 示出了图 10 所示的再布线图案的顶视图。

在图 9 中，电阻器 44 的电阻 R_{out} 如下：

通常使用的电容器 45 具有 0.1 到 10 微法的电容。在图 9 所示的实施例中，电阻器 44 的电阻 R_{out} 可以具有较大值，因为负载 47 通过具有电阻值近乎 0 的再布线连接到与焊接焊盘 41 连接的焊料块 42。在图 9 中，适合于使得电阻器 44 具有在 10 毫欧姆和 10 欧之间的电阻 R_{out} 。图 12 示出了在电阻器 44 的电阻 R_{out} 和图 9 所示的电路的稳定系数（factor）之间的关系。标记“X”表示电路振荡。标记“O”表示电路不振荡。当使用超过 10 欧姆的电阻 R_{out} 时，仍然能够防止电路振荡。但是，因为大的再布线面积而难于使用再布线来形成具有这样高的电阻值的电阻器 44。因此，在这个实施例中，适合于使得电阻器 44 具有在 10 毫欧姆和 10 欧之间的电阻 R_{out} 。

在所述实施例中，在 CSP 上布置了电压调节器，并且在 CSP 上执行相位补偿以防止电压调节器振荡。但是，应当明白，本发明可以被应用到各种模拟电路。

这可以通过下述方式来被实现：小心地延长或变窄或者同时延长和变窄在焊接焊盘 41 和焊料块 43 之间的铜再布线，或可以通过将材料改变为诸如铬（Cr）或钛（Ti）的阻挡金属来实现这一点。结果，可以将电阻 R_{out} 设计为任何期望的值。

如上所述，按照这个实施例，有可能在 CSP 制造处理期间确定电路特性。

因此，本发明使得能够灵活地提供晶片级的电路设计。而且，容易改善电路特性而不用改变晶片级的电路设计。

而且，有可能增加 CSP 的端子的数量而不增加 CSP 的面积尺寸。因此，有可能形成多个端子，其中每个用于不同的用途。结果，这个构造可以完全地防止由于负载电流引起的在负载的输入点的电压降。而且，有可能在各种电容器中选择用于相位补偿的电容器，因为有可能形成多个连接到不同电阻器的端子。

[第四实施例]

图 13 示出了另一种方式。图 13 示出了本发明的第四实施例（电压调节器）的图。如图 13 所示，IC 芯片 40 的输出端的焊接焊盘 41 通过本发明的再布线 44 连接到焊料块 42。负载 47 和电容器 45 并联到焊料块 42。再布线 44 具有电阻 R_{out} 。设计电阻 R_{out} 具有按照本发明的期望值。这可以通过下述方式来实现：小心地延长或变窄或者同时延长和变窄在焊接焊盘 41 和焊料块 43 之间的铜再布线 44，或可以通过将材料改变为诸如铬（Cr）或钛（Ti）的阻挡金属来实现这一点。结果，将电阻 R_{out} 串联到 R_{esr} 以最佳地匹配要使用的电容器。图 14 示出了图 13 所示的电压调节器的剖面图，其中包括再布线图案，图 15 示出了图 14 所示的再布线图案的顶视图。

在图 13 中，电阻器 44 的电阻 R_{out} 如下。

通常使用的电容器具有 0.1 到 10 微法的电容。但是，再布线 44 的电阻 R_{out} 连接在 IC 芯片 40 的焊接焊盘 41 和焊料块 42 之间，并且负载 47 也连接到焊料块 42，以便 R_{out} 和负载 47 串联。结果，电压调节器的驱动能力变低。在图 13 中，因此在焊接焊盘 41 和焊料块 42 之间的电阻器 44 适合于具有在 10 毫欧姆和 200 毫欧姆之间的电阻 R_{out} 。

图 16 示出了在图 13 所示的电路的电阻 R_{out} 和稳定系数之间的关系和其他特性。标志“X”表示电路振荡。标志“O”表示电路不振荡。标记“S”表示比在标志“O”的状态更稳定的状态。图 16 示出了在焊接焊盘 41 和焊料块 42 之间的电阻器 44 适合于具有在 10 毫欧姆和 200 毫欧姆之间的电阻值 R_{out} 。在图 16 中的“其他特性”表示由于通过电阻 R_{out} 的负载电流引起的电压降。电阻 R_{out} 变得越高，则电压降越大。

如上所述，按照所述实施例，有可能在 CSP 制造处理期间确定电压调节器的电路特性。因此，本发明能灵活地提供在晶片级的电路设计。而且，容

易改善电路特性而不改变在晶片级的电路设计。

如上所述，按照所述实施例，有可能使用与具有在 10 毫欧姆和 200 毫欧姆之间的电阻的再布线连接的 CSP 的端子相连接的相位补偿电容器来防止电压调节器振荡。

按照本发明，有可能提供一种半导体器件，其中可以扩展 IC 芯片的规格和性能，并且所述半导体器件灵活地提供电路设计。

而且，按照本发明，有可能提供一种半导体器件，它包括电压调节器，其中可以容易地抑制振荡。

因为在 CSP 的制造处理期间确定的电路常数（例如再布线的电阻）被用于相位补偿，因此通过改变在 CSP 上的再布线的设计，能够改善电压调节器的特性，而不改变在晶片级的电路设计。因此，改善了在晶片级的电路设计的裕量。特别是，因为这个设计裕量，有可能容易地开发出其中使用陶瓷电容器来作为相位补偿电容器的电压调节器，。

本发明不限于具体公开的实施例，但是可以在不脱离本发明的范围的情况下进行改变和修改。

本发明基于 2001 年 9 月 7 日提交的日本优先权申请第 2001-272091 号和 2001 年 9 月 7 日提交的日本优先权申请第 2001-272098 号，在此通过引用来并入其整体内容。

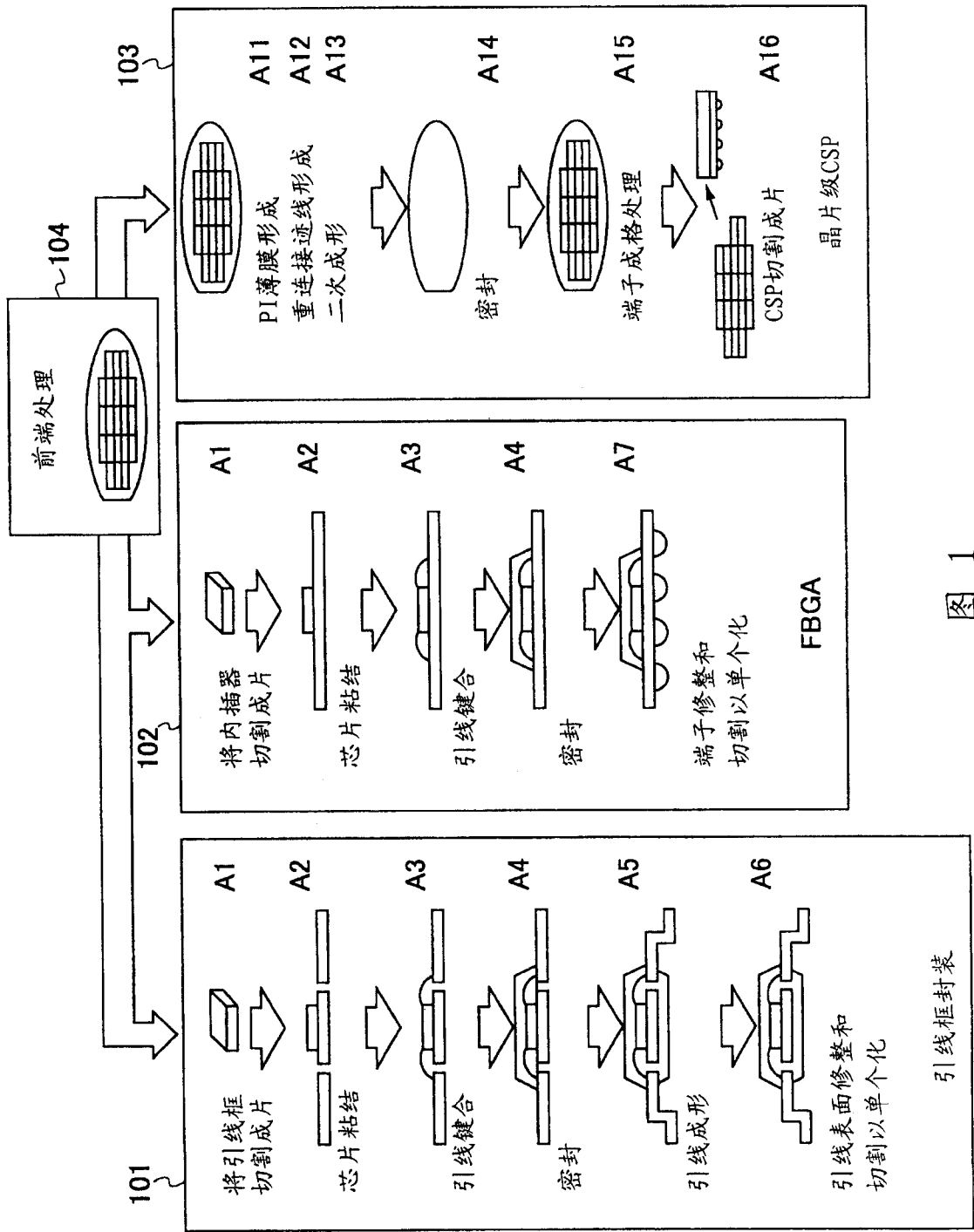


图 1

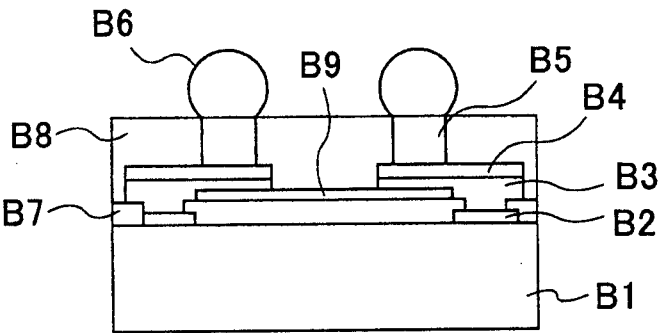


图 2

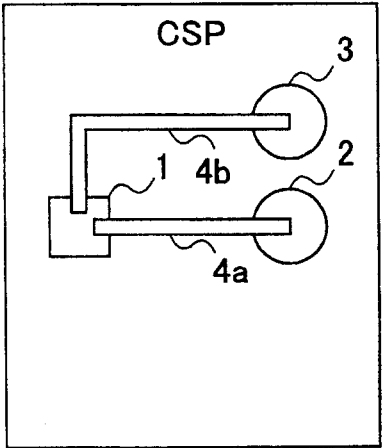


图 3A

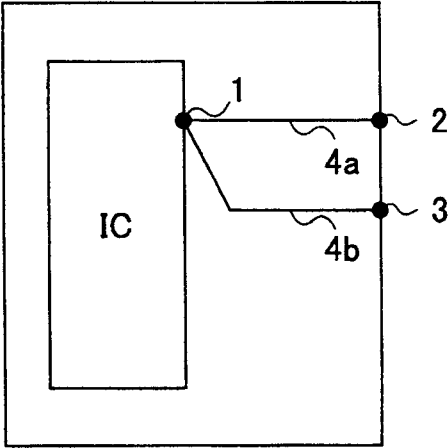


图 3B

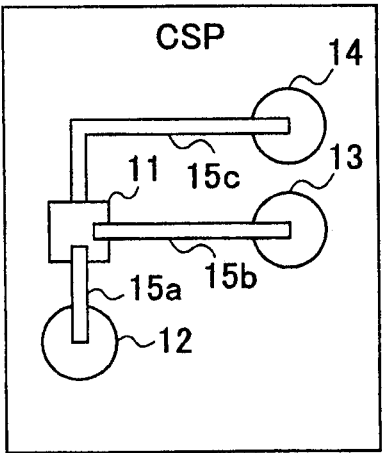


图 3C

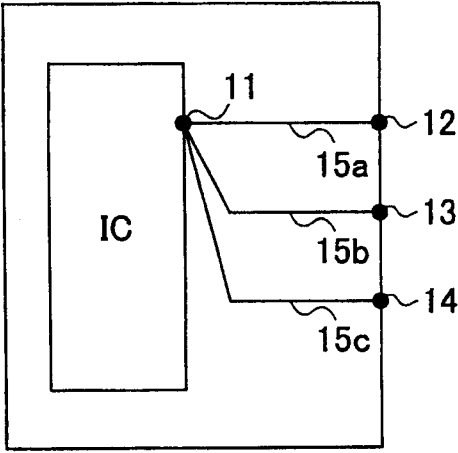


图 3D

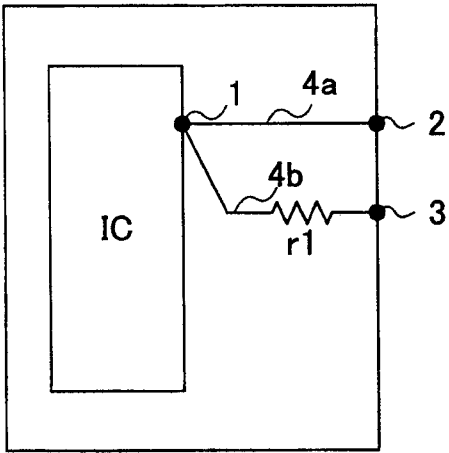


图 4A

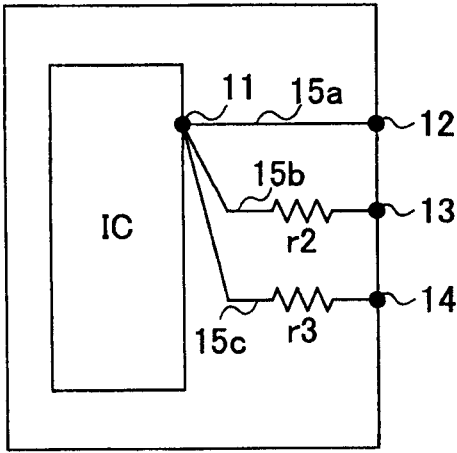


图 4B

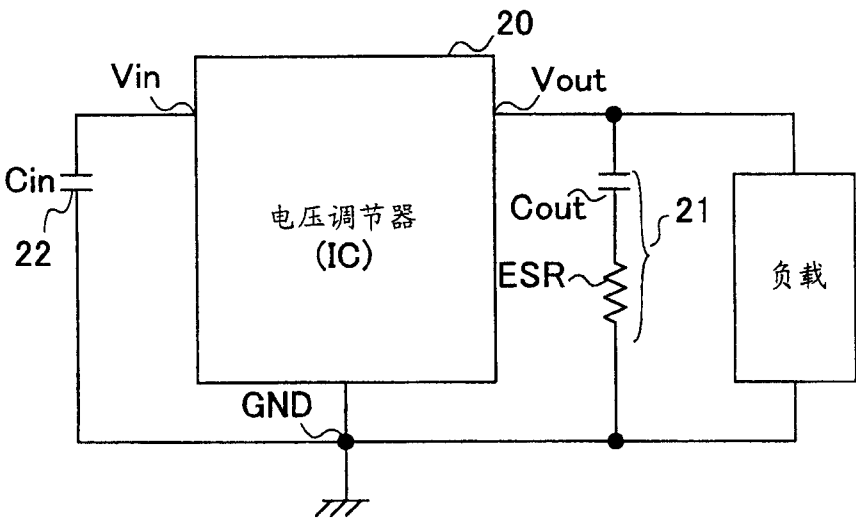


图 5

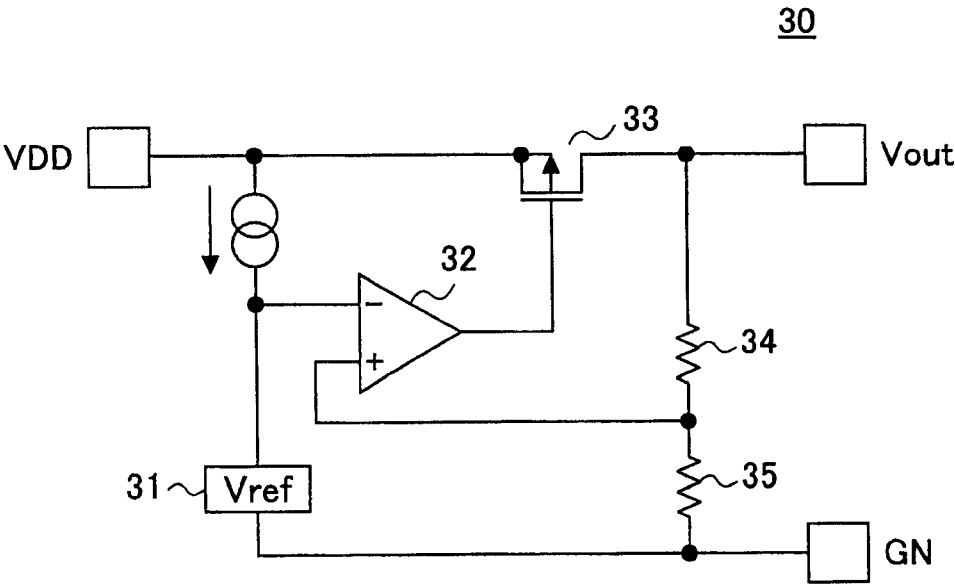


图 6

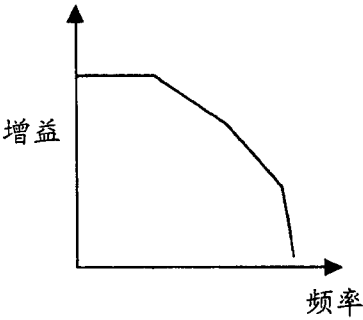


图 7A

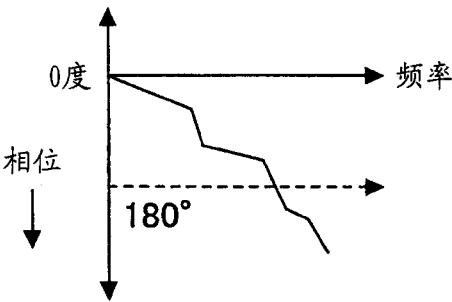


图 7B

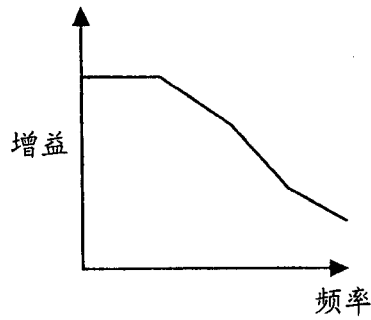


图 8A

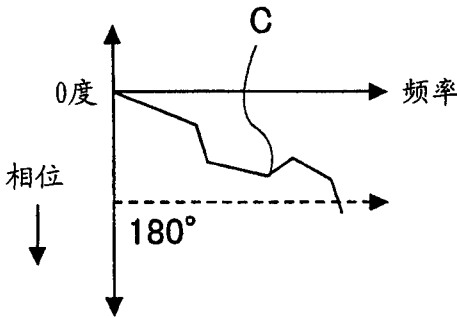


图 8B

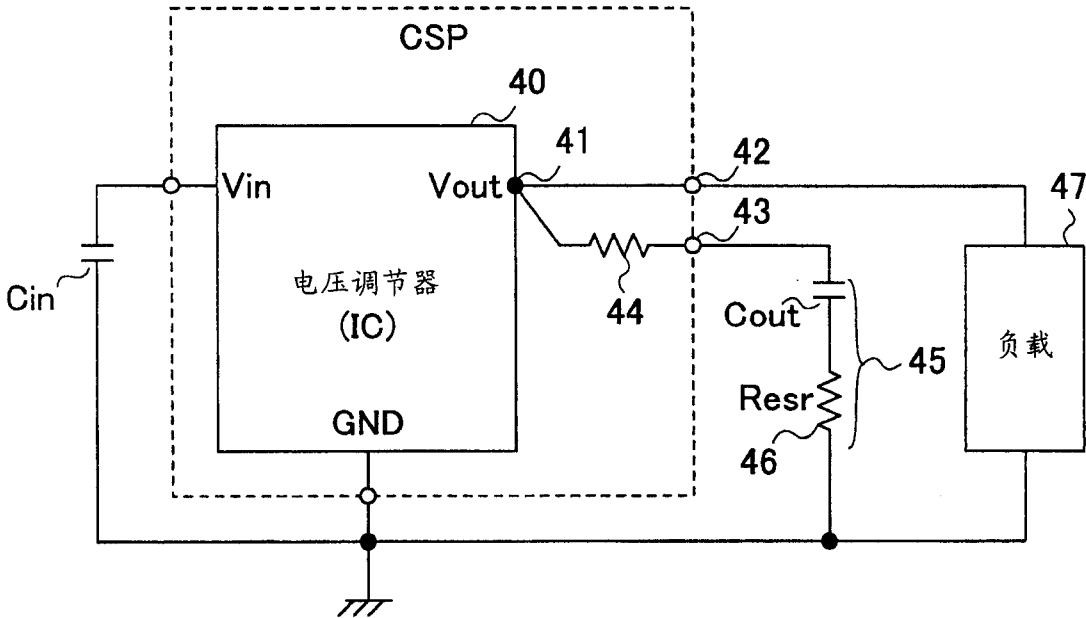


图 9

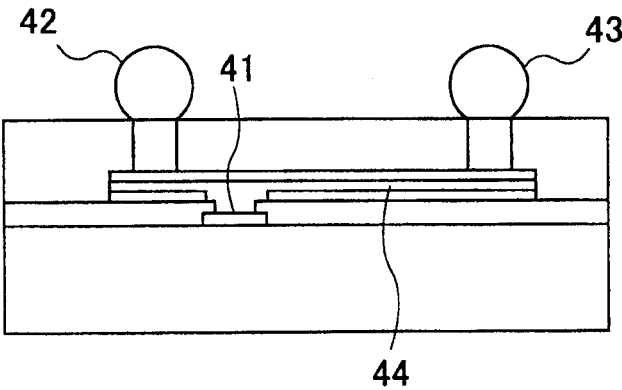


图 10

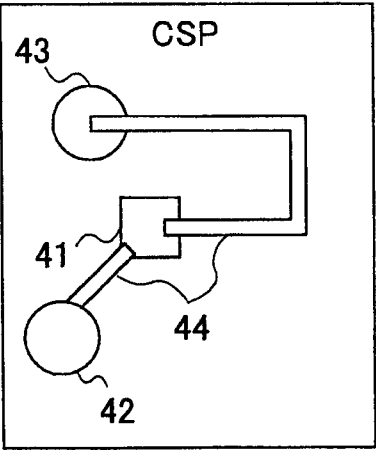


图 11

	5mΩ	10mΩ	50mΩ	100mΩ	500mΩ	1Ω	5Ω	10Ω	20Ω
电路稳定性	×	○	○	○	○	○	○	○	○

图 12

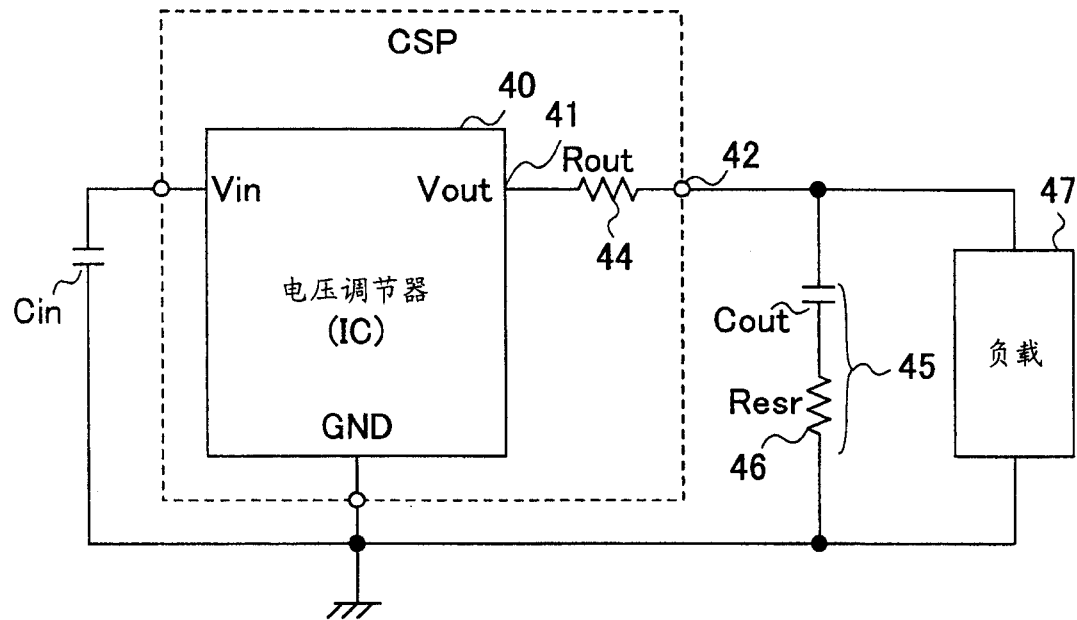


图 13

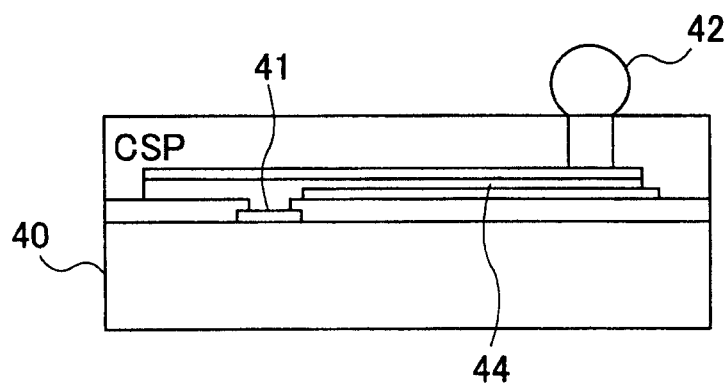


图 14

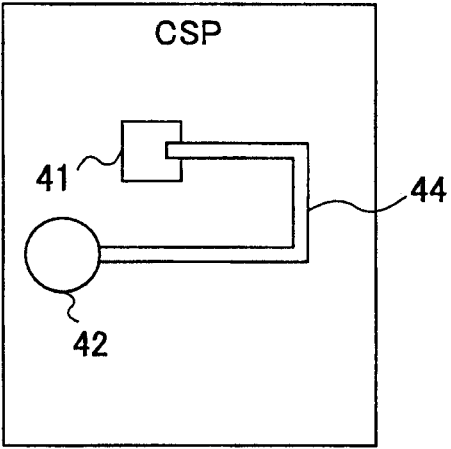


图 15

	5mΩ	10mΩ	30mΩ	50mΩ	70mΩ	100mΩ	150mΩ	200mΩ	250mΩ
电路稳定性	x	O	O	S	S	S	S	S	S
其他特性	S	S	S	S	S	O	O	O	x

图 16