

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月14日(14.04.2022)



(10) 国際公開番号

WO 2022/075150 A1

(51) 国際特許分類:
H03K 3/356 (2006.01) H03K 17/687 (2006.01)
G09G 3/20 (2006.01) H01L 27/32 (2006.01)
G09G 3/3291 (2016.01) H01L 51/50 (2006.01)

(21) 国際出願番号: PCT/JP2021/035875

(22) 国際出願日: 2021年9月29日(29.09.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-169930 2020年10月7日(07.10.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

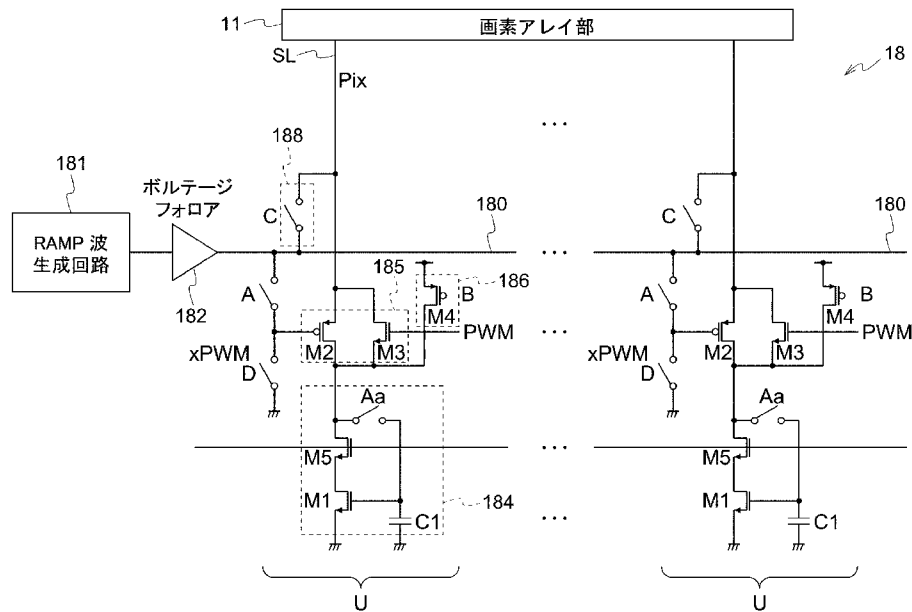
(72) 発明者: 吉岡 雅樹 (YOSHIOKA Masaki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: SIGNAL LINE DRIVING CIRCUIT

(54) 発明の名称: 信号線駆動回路



11 Pixel array unit
181 RAMP wave generating circuit
182 Voltage follower

(57) Abstract: [Problem] To suppress variations of a signal line voltage. [Solution] A signal line driving circuit for driving a plurality of signal lines, comprising: a reference voltage generating unit for generating, in a first period before the plurality of signal lines are driven, a reference voltage having a voltage level varying in accordance with time; a current holding unit provided corresponding to the signal lines to hold a current in accordance with a load on the signal lines and a temporal change in the reference voltage; and a current control unit for allowing the current being held by the current

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

holding unit to flow in a corresponding signal line in a second period after the elapse of the first period, to generate a driving voltage for the signal line.

(57) 要約: [課題] 信号線電圧のばらつきを抑制する。[解決手段] 信号線駆動回路は、複数の信号線を駆動する信号線駆動回路であって、前記複数の信号線を駆動する前の第1期間内において、電圧レベルが時間に応じて変化する基準電圧を生成する基準電圧生成部と、前記信号線に対応して設けられ、前記信号線の負荷と前記基準電圧の時間変化とに応じた電流を保持する電流保持部と、前記第1期間の経過後の第2期間内に、前記電流保持部が保持する電流を対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する電流制御部と、を備える。

明 細 書

発明の名称： 信号線駆動回路

技術分野

[0001] 本開示による実施形態は、信号線駆動回路に関する。

背景技術

[0002] ディスプレイ等では、複数の画素回路を駆動する信号線駆動回路が用いられる。信号線駆動回路では、複数のボルテージフォロア回路で信号線を駆動する方式が広く用いられている。しかし、この方式では、アンプ回路を含むボルテージフォロア回路にバイアス電流を流す必要があり、消費電力が増大するという問題がある。

[0003] このバイアス電流を削減するために、定電流源を用いて、表示データ（信号電圧）に応じた期間、容量負荷に一定電流を流すことにより、所望の信号線電圧で複数の画素回路を駆動する方式が提案されている（特許文献1 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-004720号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、この方式では、例えば、定電流源となるトランジスタの移動度等の特性ばらつきに起因する電流ばらつきによって、書き込み電圧のばらつきが生じてしまう問題がある。また、このような書き込み電圧（信号線電圧）のばらつきによって、例えば、ディスプレイの表示品質が低下する問題もある。

[0006] そこで、本開示では、信号線電圧のばらつきを抑制することができる信号線駆動回路を提供するものである。

課題を解決するための手段

- [0007] 上記の課題を解決するために、本開示によれば、
複数の信号線を駆動する信号線駆動回路であって、
前記複数の信号線を駆動する前の第 1 期間内において、電圧レベルが時間に応じて変化する基準電圧を生成する基準電圧生成部と、
前記信号線に対応して設けられ、前記信号線の負荷と前記基準電圧の時間変化とに応じた電流を保持する電流保持部と、
前記第 1 期間の経過後の第 2 期間内に、前記電流保持部が保持する電流に対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する電流制御部と、を備える、信号線駆動回路が提供される。
- [0008] 前記電流保持部及び前記電流制御部は、前記複数の信号線のそれぞれごとに設けられてもよい。
- [0009] 前記電流保持部は、対応する前記信号線の前記負荷に、前記基準電圧の単位時間当たりの電圧変化値を乗じた値に応じた電流を保持してもよい。
- [0010] 前記基準電圧生成部は、前記第 1 期間内では時間に応じて線形に電圧レベルが変化する前記基準電圧を生成し、前記第 2 期間内では電圧レベルが一定の前記基準電圧を生成してもよい。
- [0011] 前記第 2 期間は、個々の前記信号線に固有の時間長さを有し、
前記電流制御部は、前記第 2 期間内に前記信号線に前記電流を継続して流すことにより、前記信号線の駆動電圧を生成してもよい。
- [0012] 前記電流制御部は、前記第 2 期間の時間長さに応じたパルス幅を有するパルス幅変調信号の論理に応じて、前記電流保持部で保持された電流に対応する前記信号線に流すか否かを切り替えてもよい。
- [0013] 前記パルス幅変調信号は、対応する前記信号線の駆動電圧に応じたパルス幅を有してもよい。
- [0014] 前記信号線の駆動電圧は、前記信号線にて駆動される画素の階調電圧であり、
前記パルス幅変調信号は、前記階調電圧に応じたパルス幅を有してもよい。

- [0015] 前記電流制御部は、導電型が互いに異なり、互いに同期してオン又はオフする並列接続された2つのトランジスタを有してもよい。
- [0016] 前記2つのトランジスタのうち一方は、ソースフォロワ回路の一部を構成してもよい。
- [0017] 前記電流保持部は、
前記第1期間内に流れる前記電流に応じた電荷を蓄積する第1キャパシタと、
前記第1キャパシタの蓄積電荷に基づいて、前記第2期間内に前記信号線に前記電流を継続して流す第1トランジスタと、を有してもよい。
- [0018] 前記電流保持部は、前記第1期間内に前記第1トランジスタをダイオード接続させるスイッチをさらに有し、
前記第1キャパシタは、ダイオード接続された前記第1トランジスタを流れる前記電流に応じた電荷を蓄積してもよい。
- [0019] 前記電流保持部は、前記第1トランジスタにカスコード接続された第2トランジスタをさらに有し、
前記第2トランジスタは、前記第1期間から前記第2期間にかけてオン状態に設定され、
前記スイッチは、前記第1期間内に、ダイオード接続された前記第1トランジスタ及び前記第2トランジスタを流れる電流に応じた電荷を前記第1キャパシタに蓄積してもよい。
- [0020] 前記電流保持部は、
前記基準電圧の時間変化に応じた前記電流をデジタル値に変換するアナログデジタル変換部と、
前記デジタル値を記憶する電流記憶部と、
前記電流記憶部に記憶される前記デジタル値を前記電流に変換するデジタルーアナログ変換部と、を有し、
前記電流制御部は、前記デジタルーアナログ変換部で変換された前記電流を対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成して

もよい。

- [0021] 前記複数の信号線に対応して、複数の前記電流保持部が設けられ、
前記複数の電流保持部は、前記基準電圧生成部から出力される電流を並行して保持してもよい。
- [0022] 前記基準電圧生成部と前記電流保持部との間に接続され、前記第 1 期間内に前記基準電圧を前記電流保持部に供給するボルテージフォロア回路をさらに備えてもよい。
- [0023] 前記第 1 期間が経過してから前記第 2 期間が始まるまでの第 3 期間内に、前記信号線を所定の基準電圧に設定する初期電圧設定部を備えてもよい。
- [0024] 前記負荷は、個々の前記信号線の寄生容量であってもよい。

図面の簡単な説明

- [0025] [図1]第 1 実施形態による表示装置の概略構成を示すブロック図である。
- [図2]画素回路の内部構成の一例を示す回路図である。
- [図3]信号出力部の内部構成の一例を示す回路図である。
- [図4]信号出力部の動作の一例を示すタイミングチャートである。
- [図5]表示装置の動作の一例を示すタイミングチャートである。
- [図6]比較例による信号出力部及び電流保持部の内部構成の一例を示す回路図である。
- [図7]変形例による信号出力部の動作の一例を示すフロー図である。
- [図8]第 2 実施形態による電流保持部の内部構成の一例を示すブロック図である。

発明を実施するための形態

- [0026] 以下、図面を参照して、信号線駆動回路の実施形態について説明する。以下では、信号線駆動回路の主要な構成部分を中心に説明するが、信号線駆動回路には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。
- [0027] また、図面は模式的または概念的なものであり、各部分の比率などは、必

ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0028] (第1実施形態)

図1は、第1実施形態による表示装置1の概略構成を示すブロック図である。図1の表示装置1は、例えば、有機EL (Electroluminescence)素子 (以下では、OLED : Organic Light Emitting Diodeとも呼ぶ) 等の発光素子を有する表示装置である。しかし、これに限られず、表示装置1は、他の表示装置であってもよい。

[0029] 表示装置1は、画素アレイ部11と、信号線SLと、信号線駆動回路12と、を備える。

[0030] 画素アレイ部11は、水平方向及び垂直方向に配置される複数の画素回路15を有する。各画素回路15は、例えば有機EL素子等の発光部と、発光部を制御する複数のトランジスタと、複数の容量とを有する。画素回路15の内部構成は後述する。

[0031] 信号線駆動回路12は、複数の信号線SLを駆動する。図1に示す信号線駆動回路12は、表示装置1に設けられ、画素回路15の信号線SLの駆動に用いられる。しかし、これに限られず、信号線駆動回路12は、他の信号線の駆動に用いられてもよい。信号線駆動回路12は、例えば、複数の信号線を駆動させる装置に用いられることが好ましい。

[0032] 信号線駆動回路12は、画素アレイ部11に表示されるべき映像信号の信号処理を行ってもよい。信号処理の具体的内容は問わないが、例えばガンマ補正などである。

[0033] 信号線駆動回路12は、後述する図2に示すように、書き込み走査部16と、駆動走査部17と、信号出力部18と、を有する。

[0034] 書き込み走査部16は、各画素回路15に信号電圧を書き込むに際して、各走査線に書き込み走査信号を順次供給して、各走査線WS1~WSnを順次駆動する。

- [0035] 駆動走査部 17 は、書き込み走査部 16 による線順次走査に同期して、各駆動線に発光制御信号を供給し、発光部の発光と非発光を制御する。
- [0036] 信号出力部 18 は、ランプ波電圧を、各画素の階調に応じたタイミングで保持して信号電圧を生成する。信号出力部 18 は、信号電圧又はオフセット電圧 V_{ofs} を選択的に選択して、対応する信号線 S_L に供給する。オフセット電圧 V_{ofs} は、信号電圧の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）であり、後述する閾値補正動作を行うために用いられる。
- [0037] 信号出力部 18 から択一的に出力される信号電圧又はオフセット電圧 V_{ofs} は、信号線 S_L を介して各画素回路 15 に供給され、書き込み走査部 16 による走査で選択された行単位で、各画素回路 15 に設定される。
- [0038] 図 2 は、画素回路 15 の内部構成の一例を示す回路図である。図 2 の画素回路 15 は、有機 EL 素子を有する発光部 41 と、駆動トランジスタ 42 と、サンプリングトランジスタ 43 と、発光制御トランジスタ 44 と、保持容量（キャパシタ）45 と、補助容量（キャパシタ）46 とを有する。画素回路 15 は、シリコン等の半導体基板上に形成され、駆動トランジスタ 42、サンプリングトランジスタ 43 及び発光制御トランジスタ 44 は例えば PMOS (Metal Oxide Semiconductor) トランジスタである。各トランジスタはバックゲートには電源電圧が印加されている。
- [0039] サンプリングトランジスタ 43 は、信号出力部 18 から信号線 S_L を介して供給されるオフセット電圧 V_{ofs} 又は信号線電圧 V_{sig} をサンプリングすることによって保持容量 45 に書き込む。発光制御トランジスタ 44 は、電源電圧 V_{cc} の電源ノードと駆動トランジスタ 42 のソース電極との間に接続され、発光制御信号 D_S による駆動の下に、発光部 41 の発光／非発光を制御する。
- [0040] 保持容量 45 は、駆動トランジスタ 42 のゲート電極とソース電極との間に接続されている。この保持容量 45 は、サンプリングトランジスタ 43 によるサンプリングによって書き込まれた信号線電圧 V_{sig} を保持する。駆動トランジスタ 42 は、保持容量 45 の保持電圧に応じた駆動電流を発光部 41

に流すことによって発光部 4 1 を駆動する。補助容量 4 6 は、駆動トランジスタ 4 2 のソース電極と、固定電位のノード、例えば、電源電圧 V_{cc} の電源ノードとの間に接続されている。この補助容量 4 6 は、信号線電圧 V_{sig} を書き込んだときに駆動トランジスタ 4 2 のソース電位が変動するのを抑制するとともに、駆動トランジスタ 4 2 のゲートソース間電圧 V_{gs} を駆動トランジスタ 4 2 の閾値電圧 V_{th} に合わせる作用を行う。

[0041] スイッチングトランジスタ 4 8 は、発光部 4 1 の発光を制御する。スイッチングトランジスタ 4 8 のゲートには、信号 A_Z が入力されており、信号 A_Z の論理により、スイッチングトランジスタ 4 8 はオン又はオフする。スイッチングトランジスタ 4 8 がオンの間は、発光部 4 1 は発光を停止する。スイッチングトランジスタ 4 8 は、駆動トランジスタ 4 2 の閾値電圧とオフセット電圧の補正を行っている期間内はオンしており、閾値電圧オフセット電圧の補正が終わるとオフし、発光部 4 1 の発光が行われる。

[0042] 図 3 は、信号出力部 1 8 の内部構成の一例を示す回路図である。

[0043] 信号出力部 1 8 は、ランプ波生成回路 1 8 1 と、ボルテージフォロア回路 1 8 2 と、スイッチ A と、 $\times$ PWM スイッチ D と、電流保持部 1 8 4 と、電流制御部 1 8 5 と、電圧設定部 1 8 6 と、リセット部 1 8 8 と、を備える。

[0044] 基準電圧生成部としてのランプ波生成回路 1 8 1 は、複数の信号線 S_L を駆動する前の第 1 期間 P_1 内において、電圧レベルが時間に応じて変化する基準電圧を生成する。第 1 期間 P_1 は、図 4 に示すカレントサンプリング期間である。基準電圧は、例えば、電圧レベルが連続的に変化するランプ波電圧である（図 4 を参照）。基準電圧は、ランプ波電圧に限られず、時間に応じて略一定の傾きで変化する電圧であればよい。なお、第 1 期間 P_1 の詳細については、図 4 を参照して、後で説明する。以下では、ランプ波生成回路 1 8 1 が、第 1 期間 P_1 内では時間に応じて線形に電圧レベルが変化するランプ波電圧を生成し、第 2 期間 P_2 内では電圧レベルが一定の電圧を生成する例を主に説明する。

[0045] ボルテージフォロア回路 1 8 2 は、ランプ波生成回路 1 8 1 と電流保持部

184との間に接続され、第1期間P1内に基準電圧を電流保持部184に供給する。ボルテージフォロア回路182は、ランプ配線180にランプ波電圧を出力する。

[0046] なお、信号出力部18は、オフセット電圧生成回路（図示せず）をさらに備えていてもよい。この場合、ボルテージフォロア回路182は、画素回路15内の駆動トランジスタ42の閾値補正を行うためのオフセット電圧 V_{ofs} と、電圧レベルが連続的に変化するランプ波電圧と、を切り替えてランプ配線180に出力する。

[0047] ランプ配線180には、複数のスイッチAと、複数のリセット部188と、が接続されている。スイッチA、 $\times$ PWMスイッチD、電流保持部184、電流制御部185、電圧設定部186及びリセット部188は、1つの信号線SLに対応する駆動ユニットUである。従って、ランプ配線180には、複数の信号線SLに対応する複数の駆動ユニットUが接続されている。すなわち、電流保持部184及び電流制御部185は、複数の信号線SLのそれぞれごとに設けられる。

[0048] スイッチAは、ランプ配線180と電流制御部185との間に接続される。

[0049] $\times$ PWMスイッチDは、スイッチA及び電流制御部185と、グラウンドとの間に接続される。 $\times$ PWMスイッチDには、例えば、後で説明するトランジスタM3に入力されるPWM（Pulse Width Modulation）信号とは反対のレベルの信号が入力される。

[0050] 電流制御部185は、信号線SLと電流保持部184との間に接続されている。電流制御部185は、トランジスタM2と、トランジスタM3と、を有する。トランジスタM2は、例えば、p型MOSトランジスタである。トランジスタM2は、ソースフォロアとして機能する。すなわち、トランジスタM2は、電流制御部185の一部とバッファ部とを兼ねる。なお、トランジスタM3の詳細については、後で説明する。

[0051] トランジスタM2のゲートは、スイッチAを介してランプ配線180と接

続されている。また、トランジスタM2のゲートは、xPWMスイッチDを介してグランドと接続される。トランジスタM2のドレインは、電流保持部184と接続され、トランジスタM2のソースは、信号線SLと接続される。

[0052] トランジスタM2に並列にトランジスタM3が設けられている。トランジスタM2とM3からなる電流制御部185は、駆動期間P2の時間長さに応じたパルス幅を有するPWM信号の論理に応じて、電流保持部184で保持された電流を対応する信号線SLに流すか否かを切り替える。PWM信号は、対応する信号線の駆動電圧に応じたパルス幅を有する。より具体的な一例では、信号線SLの駆動電圧は、信号線SLにて駆動される画素の階調電圧であり、PWM信号は、階調電圧に応じたパルス幅を有する。すなわち、PWM信号は、信号線SLごとに固有のパルス幅を有する。

[0053] 電流制御部185を構成するトランジスタM2、M3は互いに異なる導電型を有する。例えば、トランジスタM2はp型MOSトランジスタであり、トランジスタM3はn型MOSトランジスタである。トランジスタM2、M3は、同期してオン又はオフする。また、トランジスタM2は、ソースフォロワ回路の一部を構成している。

[0054] 電流保持部184は、信号線SLに対応して設けられ、信号線SLの負荷と基準電圧の時間変化とに応じた電流を保持する。すなわち、電流保持部184は、対応する信号線の負荷に、基準電圧の単位時間当たりの電圧変化値を乗じた値に応じた電流を保持する。第1期間（カレントサンプリング期間）P1において電流を保持した電流保持部184は、図4に示す駆動期間（第2期間）において、略一定の電流を流す定電流源として機能する。ここで、信号線SLの負荷とは、信号線SLの寄生容量であり、信号線SLごとに固有の値である。すなわち、信号線SLの負荷は、信号線SLごとに異なる値である。基準電圧が、時間に応じて電圧レベルが線形に変化するランプ波電圧の場合、基準電圧の電圧変化は一定値になる。よって、電流保持部184が保持する電流は、信号線SLごとに、各信号線SLの寄生容量の違

いにより電流レベルが異なる電流を保持する。

- [0055] 電流保持部 184 は、第 1 トランジスタ M1 と、第 2 トランジスタ M5 と、スイッチ Aa と、第 1 キャパシタ C1 と、を有する。
- [0056] 第 1 キャパシタ C1 は、第 1 期間 P1 内に流れる電流に応じた電荷を蓄積する。第 1 キャパシタ C1 は、ランプ波生成回路 181（ボルテージフォロア回路 182）から出力される電流に応じた電荷を蓄積する。
- [0057] 第 1 キャパシタ C1 は、第 1 トランジスタ M1 のゲート及びスイッチ Aa とグラウンドとの間に接続される。
- [0058] 第 1 トランジスタ M1 は、第 1 キャパシタ C1 の蓄積電荷に基づいて、第 2 期間 P2 内に信号線 SL に電流を継続して流す。第 2 期間 P2 は、図 4 に示す駆動期間内の期間である。なお、第 2 期間 P2 の詳細については、図 4 を参照して、後で説明する。第 1 トランジスタ M1 は、例えば、n 型 MOS トランジスタである。
- [0059] 第 1 トランジスタ M1 は、第 2 トランジスタ M5 とグラウンドとの間に接続される。第 1 トランジスタ M1 のゲートは、第 1 キャパシタ C1 と接続され、また、スイッチ Aa を介して電流制御部 185 及び第 2 トランジスタ M5 と接続される。
- [0060] 第 2 トランジスタ M5 は、第 1 トランジスタ M1 にカスコード接続される。また、第 2 トランジスタ M5 は、第 1 期間 P1 から第 2 期間 P2 にかけてオン状態に設定される。第 2 トランジスタ M5 は、電圧の変動を抑制するために用いられる。第 2 トランジスタ M5 は、例えば、n 型 MOS トランジスタである。
- [0061] 第 2 トランジスタ M5 は、電流制御部 185 及びスイッチ Aa と、第 1 トランジスタ M1 と、の間に接続されている。第 2 トランジスタ M5 は、例えば、第 1 トランジスタ M1 及び第 2 トランジスタ M5 の両方がオンする電圧にゲートがバイアスされている。第 2 トランジスタ M5 は、例えば、常時、オン状態でよい。第 2 トランジスタ M5 のバイアス電圧は、他の信号線 SL に対する第 2 トランジスタ M5 も同様である。

- [0062] スイッチA aは、第1期間P 1内に第1トランジスタM 1をダイオード接続させる。
- [0063] スイッチA aは、電流制御部1 8 5及び第2トランジスタM 5と、第1キャパシタC 1及び第1トランジスタM 1のゲートと、の間に接続されている。スイッチA aがオン（閉状態）になると、第1トランジスタM 1のゲートと第1トランジスタM 1のドレイン（第2トランジスタM 5のドレイン）との間が接続されるため、第1トランジスタM 1がダイオード接続される。
- [0064] また、より詳細には、第1キャパシタC 1は、ダイオード接続された第1トランジスタM 1を流れる電流に応じた電荷を蓄積する。また、より詳細には、スイッチA aは、第1期間P 1内に、ダイオード接続された第1トランジスタM 1及び第2トランジスタM 5を流れる電流に応じた電荷を第1キャパシタC 1に蓄積する。すなわち、第1キャパシタC 1は、第1期間P 1において、ダイオード接続される第1トランジスタM 1のゲート－ソース間電圧に対応する電圧を保持する。
- [0065] 電流制御部1 8 5は、信号線S Lの駆動電圧に応じた第2期間P 2内に、信号線S Lと電流保持部1 8 4との間に電流を流す。負荷は、上述したように、信号線S Lの寄生容量である。
- [0066] 電流制御部1 8 5の一部であるトランジスタM 3は、信号線の駆動電圧に応じたパルス幅を有するPWM信号がゲートに入力され、信号線S Lと電流保持部1 8 4との間に、電流保持部1 8 4が保持する電流に応じた電流を流す。トランジスタM 3は、例えば、n型MOSトランジスタである。
- [0067] トランジスタM 3は、電流保持部1 8 4と信号線S Lとの間に接続されている。すなわち、トランジスタM 3は、トランジスタM 2と並列に接続されている。
- [0068] 電圧設定部1 8 6は、電流制御部1 8 5と、電流保持部1 8 4と、の間の電圧を設定する。電圧設定部1 8 6は、例えば、電流制御部1 8 5と、電流保持部1 8 4と、の間の電圧を所望の初期電圧に設定する。これにより、PWM信号によって電流制御部1 8 5をより適切に動作させることができる。

- [0069] 電圧設定部 186 は、トランジスタ M4 を有する。トランジスタ M4 は、例えば、p 型 MOS トランジスタである。
- [0070] トランジスタ M4 は、電源と、電流保持部 184 及び電流制御部 185 と、の間に接続される。電源電圧は、例えば、約 3 V ～ 約 5 V である。トランジスタ M4 は、リセット部 188 とともに、第 1 期間 P1 が経過してから駆動期間（第 2 期間）P2 が始まるまでの第 3 期間内に、信号線 SL を所定の基準電圧（例えば電源電圧）に設定する初期電圧設定部を構成している。
- [0071] ここで、電流制御部 185 は、第 1 期間 P1 の経過後の第 2 期間 P2 内に、電流保持部 184 が保持する電流を対応する信号線 SL に流すことにより、信号線 SL の駆動電圧を生成する。信号線 SL の負荷は、上述したように、信号線 SL の寄生容量であり、信号線 SL ごとに固有の値である。駆動電圧は、信号線 SL ごとに異なる PWM 信号のパルス幅によって決まる電圧であり、信号線 SL ごとに異なる電圧である。
- [0072] 電流保持部 184 は、信号線 SL の寄生容量に応じた電流を保持する。このため、電流制御部 185 が電流保持部 184 に保持された電流を信号線 SL に流すことで、各信号線 SL の寄生容量に依存しない駆動電圧を各信号線 SL に設定できる。
- [0073] リセット部 188 は、信号線 SL の電圧をリセットする。リセット部 188 は、スイッチ C を有する。
- [0074] スイッチ C は、信号線 SL とランプ配線 180 との間に接続される。スイッチ C は、オン状態になると、信号線 SL の寄生容量に蓄積される電荷を放出させる。これにより、信号線電圧がリセットされる。
- [0075] 次に、信号出力部 18 の動作について説明する。
- [0076] 図 4 は、信号出力部 18 の動作の一例を示すタイミングチャートである。
- [0077] カレントサンプリング期間（第 1 期間 P1）は、バッファ部として機能する電流制御部 185 のトランジスタ M2 を介して、電流保持部 184 が電流を保持する期間である。リセット期間は、カレントサンプリング期間において信号線 SL の電圧を、リセット部 188 がリセットする期間である。駆動

期間は、電流制御部 185 が電流を流すことにより、信号線 S L の駆動電圧を生成する期間である。

[0078] RAMP は、ランプ波生成回路 181 が出力する電圧を示す。A、A_a は、スイッチ A、A_a のオン状態又はオフ状態を示す。B は、電圧設定部 186 のトランジスタ M4 のゲート電圧を示す。なお、トランジスタ M4 は、電圧 B が H (High) レベルの場合にオフ状態となり、電圧 B が L (Low) レベルの場合にオン状態となる。C は、スイッチ C のオン状態又はオフ状態を示す。PWM は、電流制御部 185 のトランジスタ M3 のゲートに入力される PWM 信号を示す。P_ix は、信号線 S L における電圧 (信号線電圧) を示す。図 4 に示す信号線電圧 P_ix の最大値は、例えば、電圧設定部 186 と接続される電源電圧である約 3 V ~ 約 5 V よりわずかに小さい電圧である。図 4 に示す信号線電圧 P_ix の最小値は、例えば、約 1 V である。

[0079] 図 4 に示すタイミングチャートは、複数の信号線において同時に実行される。また、信号線ごとに、PWM 信号のパルス幅 (第 2 期間 P₂) が異なっている。これにより、信号線は、信号線ごとに固有の信号線電圧 P_ix で駆動される。

[0080] カレントサンプリング期間の前の初期状態では、スイッチ C がオンである。また、ボルテージフォロア回路 182 は、0 階調電圧 V₀ を出力する。従って、信号線 S L の信号線電圧 P_ix は、0 階調電圧 V₀ にバイアスされる。

[0081] 次に、スイッチ C がオフになった後、ボルテージフォロア回路 182 は、一定の傾きで電圧が時間変化するランプ波を出力する。また、スイッチ A、A_a がオンになる。これにより、トランジスタ M2 は、ソースフォロア動作を行い、第 1 トランジスタ M1 及び第 2 トランジスタ M5 はダイオード接続となる。

[0082] ここで、ランプ波の電圧が時間 d t に対して d V 変化する場合、信号線の負荷容量を C_p とすると、トランジスタ M2 に流れる電流 I は、式 1 により表される。

$$I = C_p \times (dV / dt) \quad (\text{式 1})$$

電流 I の大きさは、ランプ波電圧の傾き (dV/dt) に比例している。この電流 I は、信号線 SL とともに第1トランジスタ $M1$ に流れる。第1トランジスタ $M1$ のゲート電圧には、ドレイン電流が電流 I となるゲート電圧 V_g が発生する。なお、信号線 SL に流れる電流により、図4に示す信号線電圧 P_{ix} が変化している。

[0083] 次に、スイッチ A 、 A_a が順次オフになると、第1トランジスタ $M1$ のゲート電圧 V_g が第1キャパシタ $C1$ に保持される。

[0084] 以上の動作により、複数の信号線（チャネル）に対して同時に、各信号線のトランジスタの閾値電圧 V_{th} 及び移動度等のばらつきによらず、第1キャパシタ $C1$ にゲート電圧 V_g が設定される。このゲート電圧 V_g は、各信号線をランプ波電圧の傾き (dV/dt) で時間変化させる電流 I を発生させることができる。なお、式1に示すように、電流保持部184が保持する電流は、各信号線の寄生容量である負荷容量 C_p に依存する。

[0085] また、各信号線におけるランプ波電圧には、ランプ配線180の配線抵抗及び寄生容量により、ボルテージフォロア回路182から各信号線までの距離に応じて遅延及び電圧差が発生する場合がある。しかし、ランプ波電圧の傾き自体は場所によらず略一定である。従って、電流保持部184は、ランプ配線180の配線抵抗及び寄生容量の影響を抑制して、各信号線で略一定の電流を保持することができる。この結果、配線抵抗を下げるために配線幅を太くする必要がなく、小面積で実装できる。

[0086] リセット期間は、カレントサンプリング期間で信号線電圧 P_{ix} にランプ波が書かれた状態を駆動期間の前に初期状態に設定する期間である。

[0087] まず、電圧 B が L レベルになり、スイッチ C がオンになる。これにより、ランプ配線180の電圧、並びに、トランジスタ $M2$ のソース電圧及びドレイン電圧が0階調電圧 V_0 に設定される。なお、スイッチ A のオフのタイミングと電圧 B の L レベルのタイミングとは、ほぼ同期している。しかし、いずれのタイミングが他のタイミングよりもわずかに早くてもよい。

[0088] 駆動期間は、カレントサンプリング期間で設定した定電流源と、表示デー

タによってパルス幅が変わるPWM信号と、を用いて、信号線SLに信号電圧（駆動電圧）を書き込む動作である。

[0089] まず、スイッチCがオフになり、電圧BがHレベルになり、PWMレベルがHレベルになり、xPWMレベルがLレベルになった後、表示データに応じた時間Tの経過後にPWM信号がLレベルになり、xPWMがHレベルになる。これにより信号線SLには、 $V_0 - (dV/dt) \times T$ の信号線電圧 P_{ix} が書き込まれる。

[0090] すなわち、第2期間P2は、信号線SLの駆動電圧に応じた時間長さであり、PWM信号のパルス幅により指定される。また、電流制御部185は、第2期間P2内に信号線SLに電流を継続して流すことにより、信号線SLの駆動電圧を生成する。第2期間P2は、時間Tに対応する。従って、第2期間P2が短いほど信号線電圧 P_{ix} は高くなる。一方、第2期間P2が長いほど信号線電圧 P_{ix} は低くなる。

[0091] 駆動期間において、電流は、電流保持部184から電流制御部185のトランジスタM2及びM3を介して信号線SLに流れる。従って、駆動期間において、ランプ波生成回路181及びボルテージフォロア回路182による電流の出力は必要としない。ボルテージフォロア回路182は、バイアス電流が必要なアンプ回路である。従って、カレントサンプリング期間以外の期間ではボルテージフォロア回路182のバイアス電流を流す必要が無く、信号線を駆動するための必要最小限の電流しか消費しないため、消費電力を抑制することができる。

[0092] また、各信号線に書かれた電圧は、上記のカレントサンプリング期間の動作により電流設定が行われている。従って、電流保持部184における電流源のばらつき、及び、ランプ配線180の寄生容量ばらつきの影響を抑制することができ、信号線間偏差を抑制した信号線電圧を生成することができる。

[0093] 次に、図2に示す表示装置1の動作について説明する。

[0094] 図5は、表示装置1の動作の一例を示すタイミングチャートである。

[0095] 信号線駆動回路 12 は、書き込み走査部 16 が 1 本の走査線を駆動するたびに、全信号線の駆動電圧を生成する。1 フレームには、複数の走査線が設けられており、1 本の走査線に接続された複数の画素を 1 水平ライン (1 H) と呼ぶ。図 5 は、1 フレーム内の全画素を、1 水平ラインごとに順繰りに駆動する場合の画素回路内の代表的な信号のタイミングチャートを示している。信号 DS は、発光制御トランジスタ 44 のゲート信号である。信号 AZ は、スイッチングトランジスタ 48 のゲート信号である。信号 WS はサンプリングトランジスタ 43 のゲート信号である。

[0096] 以下、図 5 のタイミングチャートに基づいて、図 2 の画素回路の動作を説明する。まず、時刻 t_1 で、信号 AZ がハイからローに遷移するため、スイッチングトランジスタ 48 はオンし、発光部 41 の発光は停止される。また、サンプリングトランジスタ 43 がオンし、信号線上のオフセット電圧 V_{ofs} が保持容量 45 の一端に供給される。このとき、発光制御トランジスタ 44 はオンしており、保持容量 45 の他端には電源電圧 V_{cc} が供給されている。よって、保持容量 45 の両端には、 $(V_{cc} - V_{ofs})$ の電圧が印加されている。

[0097] その後、時刻 t_2 になると、発光制御トランジスタ 44 はオフする。これにより、保持容量 45 に蓄積されていた電荷の一部は、補助容量 46 に移動し、電荷の分配が行われる。具体的には、駆動トランジスタ 42 の閾値電圧に応じた電荷が保持容量 45 に蓄積される。

[0098] その後、時刻 t_3 になると、サンプリングトランジスタ 43 がオフする。その後、時刻 t_4 になると、信号線上には、信号線電圧 V_{sig} が供給される。その後、時刻 t_5 になると、サンプリングトランジスタ 43 がオンし、駆動トランジスタ 42 のゲートには、信号線電圧 V_{sig} が供給される。保持容量 45 により駆動トランジスタ 42 の閾値電圧分の補正が行われているため、駆動トランジスタ 42 のゲートソース間には、信号線電圧 V_{sig} に対してオフセット補正及び閾値補正された電圧が印加される。

[0099] その後、時刻 t_6 になると、発光制御トランジスタ 44 がオンするととも

に、スイッチングトランジスタ 48 がオフし、発光部 41 のアノードには、信号線電圧 V_{sig} に応じた電圧が印加され、そのアノード電圧に応じた発光輝度で発光部 41 は発光する。

[0100] 図 5 に示すように、書き換え期間である 1 水平ライン (1 H) ごとに、カレントサンプリング期間、リセット期間及び駆動期間の動作が実行されることが好ましい。これは、第 1 キャパシタ C1 で電流値を記憶するため、一回の駆動によって、スイッチのノイズで信号線電圧がずれる場合があるためである。

[0101] なお、カレントサンプリング用のランプ波駆動と、オフセット電圧 V_{ofs} の書き込みと、を兼用してもよい。

[0102] 以上のように、第 1 実施形態によれば、ランプ波生成回路 181 は、電圧レベルが時間に応じて変化する基準電圧 (ランプ波電圧) を生成する。また、信号線 SL に対応して設けられる電流保持部 184 は、ランプ波電圧の時間変化に応じた電流を保持する。

[0103] これにより、複数の信号線に対して、電流をより高精度に複製することができる。すなわち、複数の電流保持部 184 には、それぞれ略同じ電流値が保持される。従って、駆動期間における信号線電圧 P_{ix} は、各信号線で略同じ傾きで変化ようになる。この結果、信号線ごとの信号線電圧ばらつきを抑制することができる。従って、それぞれの画素回路 15 に対して、PWM のパルス幅を階調に応じて設定することにより、各信号線に所望の駆動電圧を書き込むことができる。この結果、表示装置 1 の輝度ばらつきを抑制することができ、表示品質の低下を抑制することができる。

[0104] 電流値を複製する他の方法として、例えば、カレントミラー回路が知られている。しかし、カレントミラー回路では、トランジスタの素子特性のばらつきにより、電流のばらつきが発生する場合がある。また、信号線ごとの寄生容量ばらつきにより、信号線間で信号線電圧のばらつきが発生してしまう。

[0105] 図 6 は、比較例による信号出力部 18C 及び電流保持部 184C の内部構

成の一例を示す回路図である。図6は、電流値を複製する他の方法として、カレントサンプリング回路を説明する図である。図6に示す比較例では、ランプ波生成回路181に代えて、基準電流源が設けられている。

[0106] 図6に示す電流保持部184Cは、図3に示す電流保持部184とほぼ同様でよい。図6に示す例では、電流保持部184Cは、電流入力側において、スイッチEを介して、基準電流源と接続されている。電流保持部184Cは、電流出力側において、電流制御部185のトランジスタM3（図示せず）と接続されている。

[0107] 図6に示すカレントサンプリング回路は、高い精度で基準電流源の電流を複製することができる。しかし、複数の信号線に対して同時に電流を複製することが困難である。従って、各信号線における電流保持部184Cに、1つずつ順番に基準電流源の電流を複製する必要がある、時間がかかってしまう。また、高精細パネルほど、電流の複製のために、さらに長い時間が必要になる。また、カレントミラー回路と同様に、信号線ごとの寄生容量ばらつきにより、信号線間で信号線電圧のばらつきが発生してしまう。

[0108] 上記のカレントミラー回路及び図6に示すカレントサンプリング回路に対して、第1実施形態では、複数の電流保持部184は、ランプ波生成回路181から出力される電流を並行して保持する。なお、複数の信号線SLに対応して、複数の電流保持部184が設けられている。従って、全信号線（チャンネル）に対して同時にランプ波形で電圧駆動を行い、その際に流れる電流を各信号線で同時にカレントサンプリングを行うことにより、定電流源の電流値を設定することができる。これにより、複数信号線に対して同時に電流を複製することができ、より高精度、かつ、より短時間の電流設定が可能となる。また、各信号線にはスイッチ及びキャパシタのみを追加すればよく、小面積で実装することができる。また、定電流源の電流値は、各信号線の寄生容量値に応じた電流値になる。定電流源から流れる電流が寄生容量によって駆動電圧に変換される際に、寄生容量の影響がキャンセルされる。従って、寄生容量ばらつきに起因する信号線間の信号電圧ばらつきを抑制すること

ができる。

[0109] なお、図4に示す例では、ランプ波電圧は、負側に変化している。しかし、これに限られず、ランプ波電圧は、正側に変化してもよい。この場合、図3に示すトランジスタM1～M5は、それぞれ逆極性のMOSトランジスタとすればよい。

[0110] (変形例)

図7は、変形例による信号出力部18の動作の一例を示すフロー図である。変形例は、カレントサンプリング期間の動作が1水平ラインごと(毎H)には実行されない点で、第1実施形態と異なる。

[0111] 図7に示す例では、カレントサンプリング期間(S10)の後、リセット期間(S20)及び駆動期間(S30)が繰り返されている。例えば、図5に示す1フレーム分は、1度のカレントサンプリング期間(S10)の動作により得られる共通の電流値が用いられる。一方、1フレーム内の1水平ラインごとに信号線電圧Vsigを変更するため、第1実施形態と同様に、リセット期間(S20)及び駆動期間(S30)の動作が1水平ラインごとに繰り返し実行される。

[0112] このように、カレントサンプリング期間の後に設定値(電流保持部184の電流値)を変える必要が無ければ、電流設定後に駆動期間が複数回実行されてもよい。カレントサンプリング期間の動作は電力消費が大きいため、カレントサンプリング期間の回数を減らすことにより、消費電力をさらに抑制することができる。

[0113] 変形例による信号線駆動回路12のその他の構成は、第1実施形態による信号線駆動回路12の対応する構成と同様であるため、その詳細な説明を省略する。変形例による信号線駆動回路12は、第1実施形態と同様の効果を得ることができる。

[0114] (第2実施形態)

図8は、第2実施形態による電流保持部184の構成の一例を示すブロック図である。

- [0115] 電流保持部 184 は、ADC (Analog to Digital Converter) 1841 と、メモリ 1842 と、DAC (Digital to Analog Converter) 1843 と、を有する。
- [0116] アナログーデジタル変換部としての ADC 184 は、基準電圧の時間変化に応じた電流をデジタル値に変換する。
- [0117] 電流記憶部としてのメモリ 1842 は、デジタル値を記憶する。メモリ 1842 は、例えば、SRAM (Static Random Access Memory) 及びラッチ等の揮発性のメモリでよい。
- [0118] デジタルーアナログ変換部としての DAC 1843 は、メモリ 1842 に記憶されるデジタル値を電流に変換する。
- [0119] また、電流制御部 185 は、DAC 1843 で変換された電流を対応する信号線 SL に流すことにより、信号線 SL の駆動電圧を生成する。より詳細には、電流制御部 185 は、DAC 1843 で変換された電流と駆動期間（第 2 期間）P2 の時間長さに基づいて、信号線 SL の駆動電圧を生成する。
- [0120] 第 2 実施形態では、第 1 キャパシタ C1 を省略することができ、第 1 キャパシタ C1 のリークによる設定電流の変動を抑制することができる。すなわち、第 1 実施形態において説明した、1 回の駆動により生じるノイズの影響を抑制することができる。この結果、変形例において説明したように、カレントサンプリング期間の動作は、1 水平ラインごと（毎 H）に実行される必要がなく、例えば、フレーム単位で実行されてもよい。
- [0121] 第 2 実施形態による信号線駆動回路 12 のその他の構成は、第 1 実施形態による信号線駆動回路 12 の対応する構成と同様であるため、その詳細な説明を省略する。第 2 実施形態による信号線駆動回路 12 は、第 1 実施形態と同様の効果を得ることができる。また、第 2 実施形態による信号線駆動回路 12 に変形例を組み合わせてもよい。
- [0122] なお、本技術は以下のような構成を取ることができる。
- （1）複数の信号線を駆動する信号線駆動回路であって、

前記複数の信号線を駆動する前の第 1 期間内において、電圧レベルが時間に応じて変化する基準電圧を生成する基準電圧生成部と、

前記信号線に対応して設けられ、前記信号線の負荷と前記基準電圧の時間変化とに応じた電流を保持する電流保持部と、

前記第 1 期間の経過後の第 2 期間内に、前記電流保持部が保持する電流を対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する電流制御部と、を備える、信号線駆動回路。

(2) 前記電流保持部及び前記電流制御部は、前記複数の信号線のそれぞれごとに設けられる、(1)に記載の信号線駆動回路。

(3) 前記電流保持部は、対応する前記信号線の前記負荷に、前記基準電圧の単位時間当たりの電圧変化値を乗じた値に応じた電流を保持する、(1)又は(2)に記載の信号線駆動回路。

(4) 前記基準電圧生成部は、前記第 1 期間内では時間に応じて線形に電圧レベルが変化する前記基準電圧を生成し、前記第 2 期間内では電圧レベルが一定の前記基準電圧を生成する、(1)乃至(3)のいずれか一項に記載の信号線駆動回路。

(5) 前記第 2 期間は、個々の前記信号線に固有の時間長さを有し、
前記電流制御部は、前記第 2 期間内に前記信号線に前記電流を継続して流すことにより、前記信号線の駆動電圧を生成する、(1)乃至(4)のいずれか一項に記載の信号線駆動回路。

(6) 前記電流制御部は、前記第 2 期間の時間長さに応じたパルス幅を有するパルス幅変調信号の論理に応じて、前記電流保持部で保持された電流を対応する前記信号線に流すか否かを切り替える、(3)乃至(5)のいずれか一項に記載の信号線駆動回路。

(7) 前記パルス幅変調信号は、対応する前記信号線の駆動電圧に応じたパルス幅を有する、(6)に記載の信号線駆動回路。

(8) 前記信号線の駆動電圧は、前記信号線にて駆動される画素の階調電圧であり、

前記パルス幅変調信号は、前記階調電圧に応じたパルス幅を有する、（７）に記載の信号線駆動回路。

（９）前記電流制御部は、導電型が互いに異なり、互いに同期してオン又はオフする並列接続された２つのトランジスタを有する、（６）乃至（８）のいずれか一項に記載の信号線駆動回路。

（１０）前記２つのトランジスタのうち一方は、ソースフォロフ回路の一部を構成する、（９）に記載の信号線駆動回路。

（１１）前記電流保持部は、

前記第１期間内に流れる前記電流に応じた電荷を蓄積する第１キャパシタと、

前記第１キャパシタの蓄積電荷に基づいて、前記第２期間内に前記信号線に前記電流を継続して流す第１トランジスタと、を有する、（５）乃至（１０）のいずれか一項に記載の信号線駆動回路。

（１２）前記電流保持部は、前記第１期間内に前記第１トランジスタをダイオード接続させるスイッチをさらに有し、

前記第１キャパシタは、ダイオード接続された前記第１トランジスタを流れる前記電流に応じた電荷を蓄積する、（１１）に記載の信号線駆動回路。

（１３）前記電流保持部は、前記第１トランジスタにカスコード接続された第２トランジスタをさらに有し、

前記第２トランジスタは、前記第１期間から前記第２期間にかけてオン状態に設定され、

前記スイッチは、前記第１期間内に、ダイオード接続された前記第１トランジスタ及び前記第２トランジスタを流れる電流に応じた電荷を前記第１キャパシタに蓄積する、（１２）に記載の信号線駆動回路。

（１４）前記電流保持部は、

前記基準電圧の時間変化に応じた前記電流をデジタル値に変換するアナログーデジタル変換部と、

前記デジタル値を記憶する電流記憶部と、

前記電流記憶部に記憶される前記デジタル値を前記電流に変換するデジタルーアナログ変換部と、を有し、

前記電流制御部は、前記デジタルーアナログ変換部で変換された前記電流を対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する、（１）乃至（１０）のいずれか一項に記載の信号線駆動回路。

（１５）前記複数の信号線に対応して、複数の前記電流保持部が設けられ、

前記複数の電流保持部は、前記基準電圧生成部から出力される電流を並行して保持する、（１）乃至（１４）のいずれか一項に記載の信号線駆動回路。

（１６）前記基準電圧生成部と前記電流保持部との間に接続され、前記第１期間内に前記基準電圧を前記電流保持部に供給するボルテージフォロア回路をさらに備える、（１）乃至（１５）のいずれか一項に記載の信号線駆動回路。

（１７）前記第１期間が経過してから前記第２期間が始まるまでの第３期間内に、前記信号線を所定の基準電圧に設定する初期電圧設定部を備える、（１）乃至（１６）のいずれか一項に記載の信号線駆動回路。

（１８）前記負荷は、個々の前記信号線の寄生容量である、（１）乃至（１７）のいずれか一項に記載の信号線駆動回路。

[0123] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0124] １ 表示装置、１２ 信号線駆動回路、１５ 画素回路、１８ 信号出力部、１８１ ランプ波生成回路、１８２ ボルテージフォロア回路、１８４ 電流保持部、１８５ 電流制御部、A a スイッチ、C １ 第１キャパシタ

、M1 第1トランジスタ、M5 第2トランジスタ、M3 トランジスタ
、Pix 信号線電圧、P1 第1期間、P2 第2期間、SL 信号線、
Vsig 信号線電圧

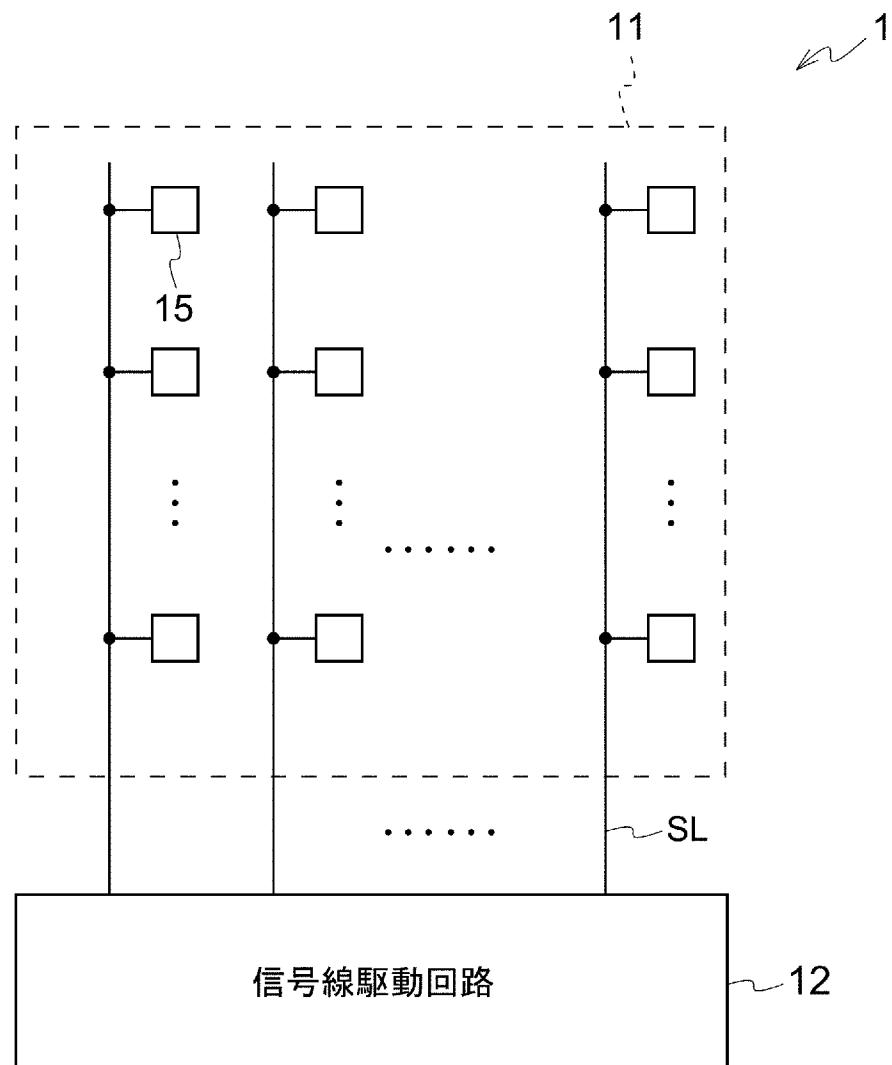
請求の範囲

- [請求項1] 複数の信号線を駆動する信号線駆動回路であって、
前記複数の信号線を駆動する前の第1期間内において、電圧レベルが時間に応じて変化する基準電圧を生成する基準電圧生成部と、
前記信号線に対応して設けられ、前記信号線の負荷と前記基準電圧の時間変化とに応じた電流を保持する電流保持部と、
前記第1期間の経過後の第2期間内に、前記電流保持部が保持する電流に対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する電流制御部と、を備える、信号線駆動回路。
- [請求項2] 前記電流保持部及び前記電流制御部は、前記複数の信号線のそれぞれごとに設けられる、請求項1に記載の信号線駆動回路。
- [請求項3] 前記電流保持部は、対応する前記信号線の前記負荷に、前記基準電圧の単位時間当たりの電圧変化値を乗じた値に応じた電流を保持する、請求項1に記載の信号線駆動回路。
- [請求項4] 前記基準電圧生成部は、前記第1期間内では時間に応じて線形に電圧レベルが変化する前記基準電圧を生成し、前記第2期間内では電圧レベルが一定の前記基準電圧を生成する、請求項1に記載の信号線駆動回路。
- [請求項5] 前記第2期間は、個々の前記信号線に固有の時間長さを有し、
前記電流制御部は、前記第2期間内に前記信号線に前記電流を継続して流すことにより、前記信号線の駆動電圧を生成する、請求項1に記載の信号線駆動回路。
- [請求項6] 前記電流制御部は、前記第2期間の時間長さに応じたパルス幅を有するパルス幅変調信号の論理に応じて、前記電流保持部で保持された電流に対応する前記信号線に流すか否かを切り替える、請求項3に記載の信号線駆動回路。
- [請求項7] 前記パルス幅変調信号は、対応する前記信号線の駆動電圧に応じたパルス幅を有する、請求項6に記載の信号線駆動回路。

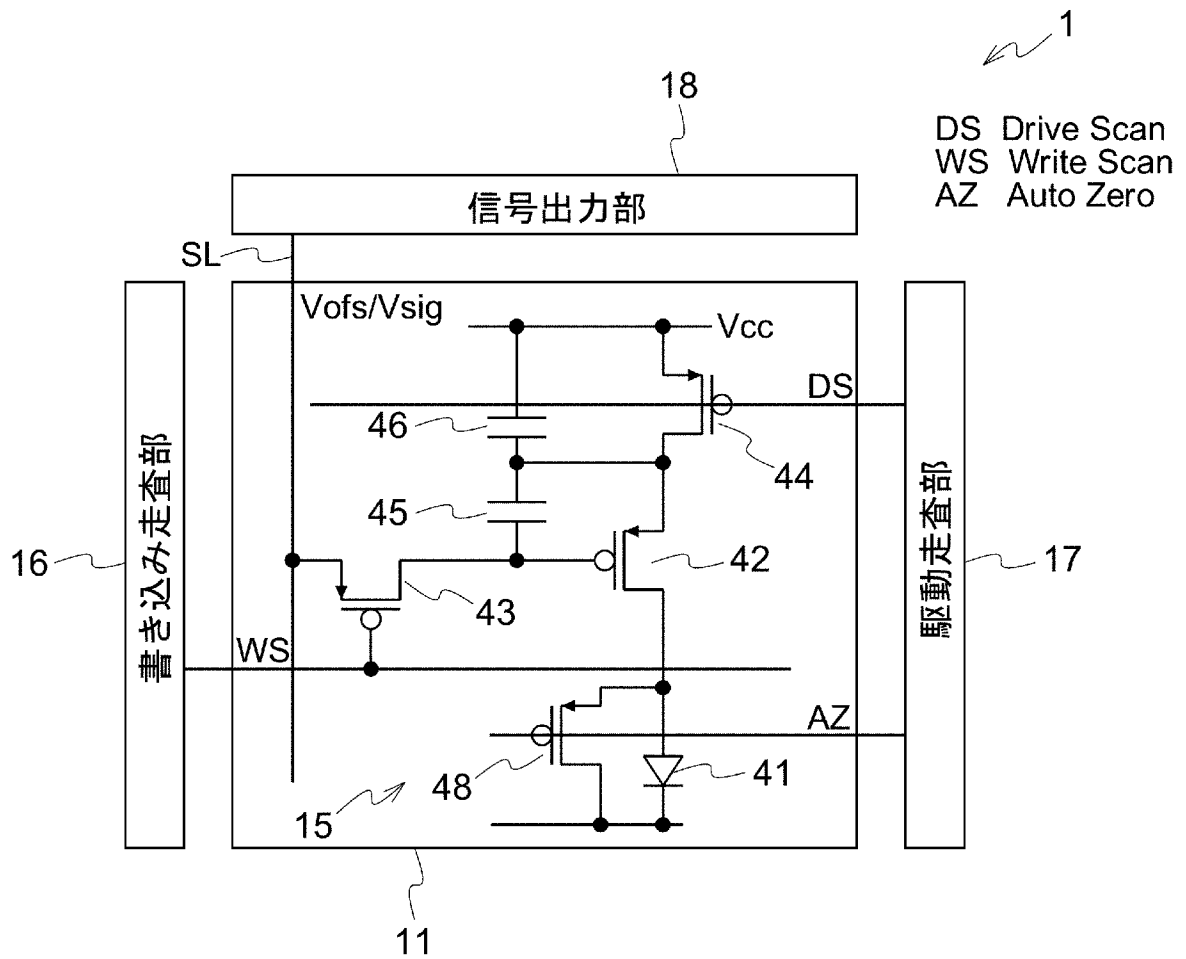
- [請求項8] 前記信号線の駆動電圧は、前記信号線にて駆動される画素の階調電圧であり、
- 前記パルス幅変調信号は、前記階調電圧に応じたパルス幅を有する、請求項7に記載の信号線駆動回路。
- [請求項9] 前記電流制御部は、導電型が互いに異なり、互いに同期してオン又はオフする並列接続された2つのトランジスタを有する、請求項6に記載の信号線駆動回路。
- [請求項10] 前記2つのトランジスタのうち一方は、ソースフォロワ回路の一部を構成する、請求項9に記載の信号線駆動回路。
- [請求項11] 前記電流保持部は、
- 前記第1期間内に流れる前記電流に応じた電荷を蓄積する第1キャパシタと、
- 前記第1キャパシタの蓄積電荷に基づいて、前記第2期間内に前記信号線に前記電流を継続して流す第1トランジスタと、を有する、請求項5に記載の信号線駆動回路。
- [請求項12] 前記電流保持部は、前記第1期間内に前記第1トランジスタをダイオード接続させるスイッチをさらに有し、
- 前記第1キャパシタは、ダイオード接続された前記第1トランジスタを流れる前記電流に応じた電荷を蓄積する、請求項11に記載の信号線駆動回路。
- [請求項13] 前記電流保持部は、前記第1トランジスタにカスコード接続された第2トランジスタをさらに有し、
- 前記第2トランジスタは、前記第1期間から前記第2期間にかけてオン状態に設定され、
- 前記スイッチは、前記第1期間内に、ダイオード接続された前記第1トランジスタ及び前記第2トランジスタを流れる電流に応じた電荷を前記第1キャパシタに蓄積する、請求項12に記載の信号線駆動回路。

- [請求項14] 前記電流保持部は、
前記基準電圧の時間変化に応じた前記電流をデジタル値に変換するアナログーデジタル変換部と、
前記デジタル値を記憶する電流記憶部と、
前記電流記憶部に記憶される前記デジタル値を前記電流に変換するデジタルーアナログ変換部と、を有し、
前記電流制御部は、前記デジタルーアナログ変換部で変換された前記電流を対応する前記信号線に流すことにより、前記信号線の駆動電圧を生成する、請求項1に記載の信号線駆動回路。
- [請求項15] 前記複数の信号線に対応して、複数の前記電流保持部が設けられ、
前記複数の電流保持部は、前記基準電圧生成部から出力される電流を並行して保持する、請求項1に記載の信号線駆動回路。
- [請求項16] 前記基準電圧生成部と前記電流保持部との間に接続され、前記第1期間内に前記基準電圧を前記電流保持部に供給するボルテージフォロア回路をさらに備える、請求項1に記載の信号線駆動回路。
- [請求項17] 前記第1期間が経過してから前記第2期間が始まるまでの第3期間内に、前記信号線を所定の基準電圧に設定する初期電圧設定部を備える、請求項1に記載の信号線駆動回路。
- [請求項18] 前記負荷は、個々の前記信号線の寄生容量である、請求項1に記載の信号線駆動回路。

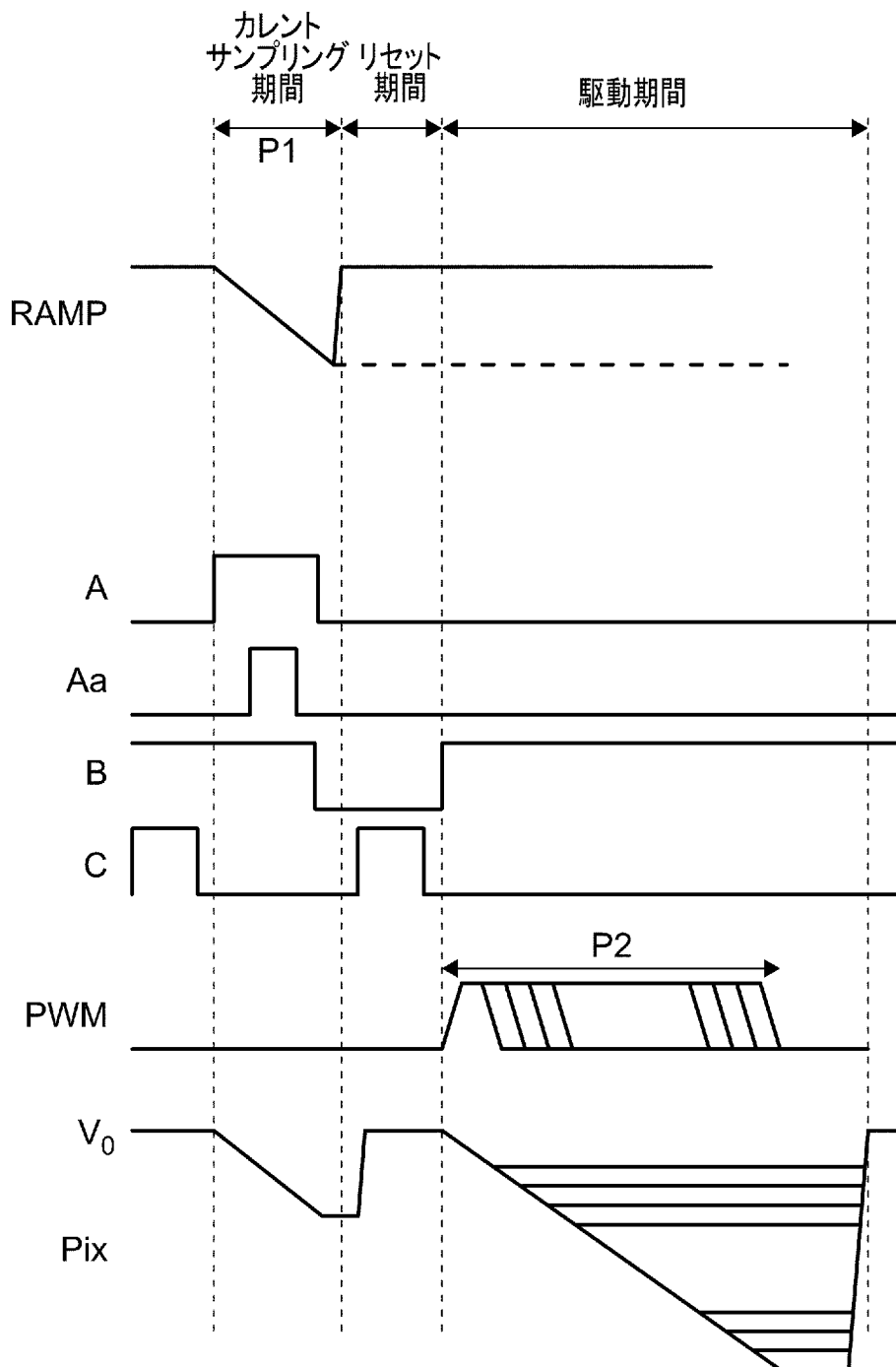
[図1]



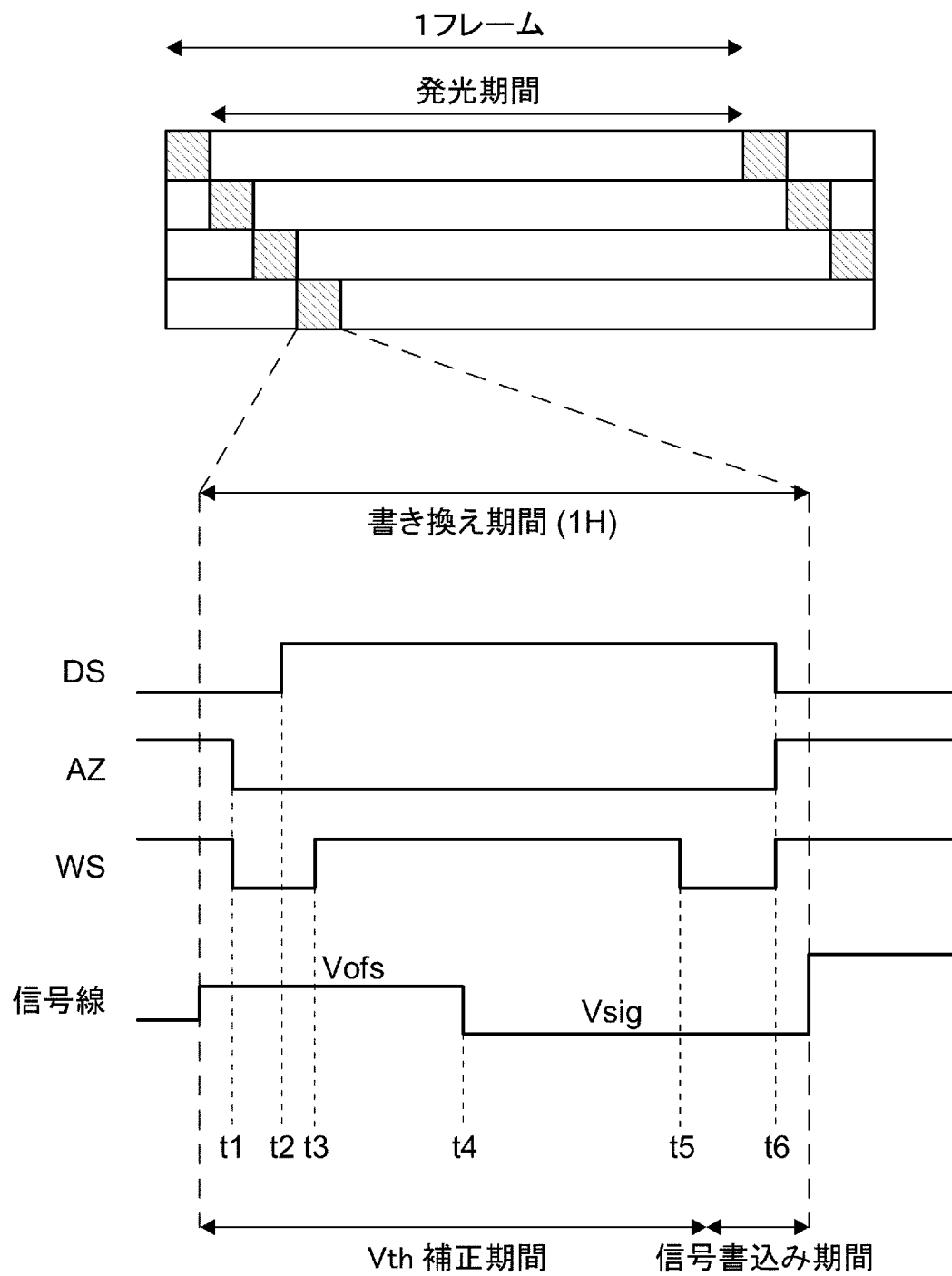
[図2]



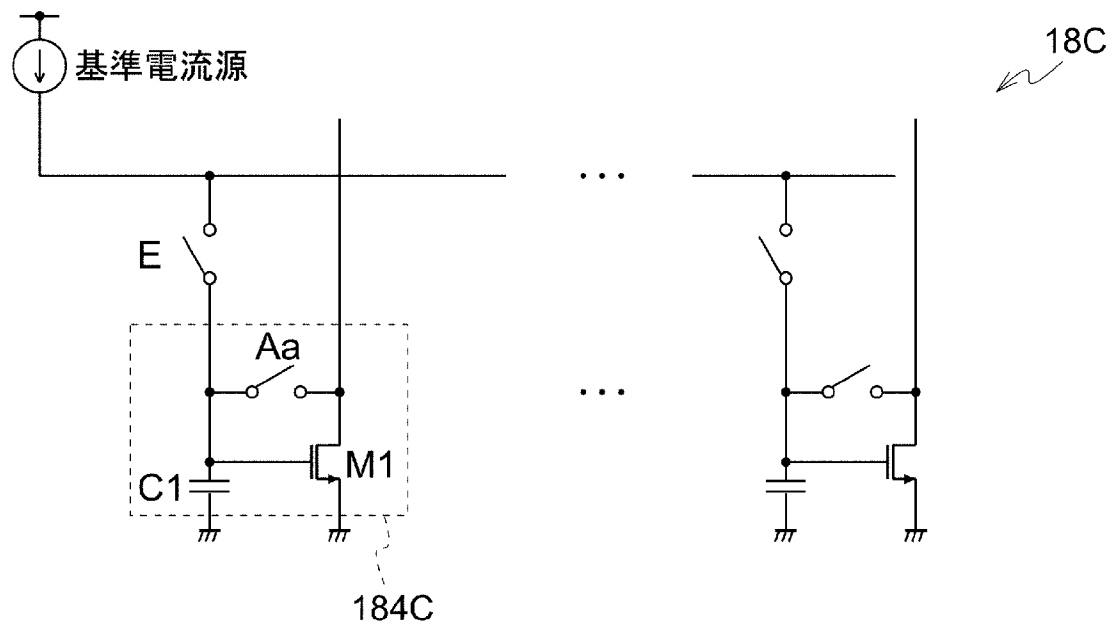
[図4]



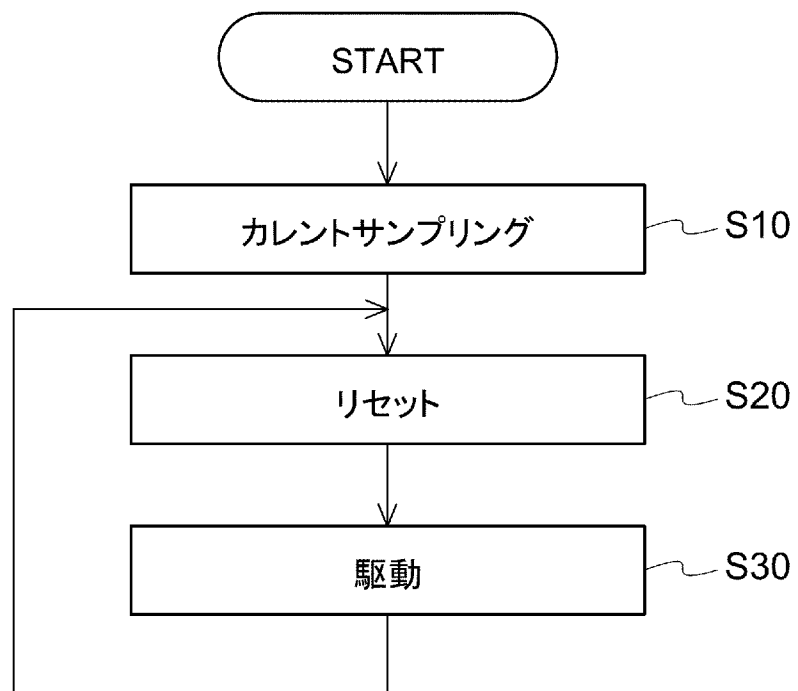
[図5]



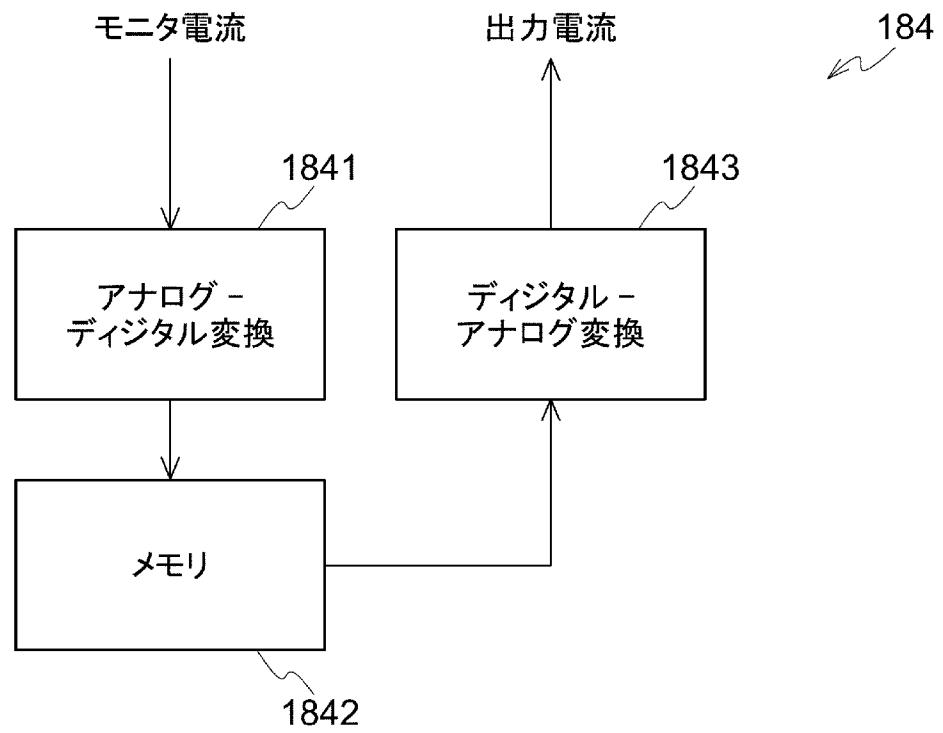
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/035875

A. CLASSIFICATION OF SUBJECT MATTER

H03K 3/356(2006.01)i; **G09G 3/20**(2006.01)i; **G09G 3/3291**(2016.01)i; **H03K 17/687**(2006.01)i; **H01L 27/32**(2006.01)i; **H01L 51/50**(2006.01)i

FI: G09G3/3291; G09G3/20 612E; G09G3/20 611H; G09G3/20 623B; G09G3/20 623R; G09G3/20 641A; G09G3/20 623N; G09G3/20 623F; G09G3/20 611A; H05B33/14 A; H01L27/32; H03K17/687 G; H03K3/356 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/356; G09G3/20; G09G3/3291; H03K17/687; H01L27/32; H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-319908 A (SARNOFF CORP) 04 December 1998 (1998-12-04) entire text, all drawings	1-18
A	JP 2010-281864 A (SEIKO EPSON CORP) 16 December 2010 (2010-12-16) entire text, all drawings	1-18
A	JP 2006-293289 A (SEIKO EPSON CORP) 26 October 2006 (2006-10-26) entire text, all drawings	1-18
A	JP 2005-311591 A (MATSUSHITA ELECTRIC IND CO LTD) 04 November 2005 (2005-11-04) entire text, all drawings	1-18
A	US 2018/0211605 A1 (SAMSUNG DISPLAY CO., LTD.) 26 July 2018 (2018-07-26) entire text, all drawings	1-18
A	JP 2005-234063 A (SHARP CORP) 02 September 2005 (2005-09-02) entire text, all drawings	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 December 2021

Date of mailing of the international search report

28 December 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/035875

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
JP	10-319908	A	04 December 1998	US 5952789	A	
				entire text, all drawings		
				KR 10-1998-0081367	A	
JP	2010-281864	A	16 December 2010	US 2010/0302286	A1	
				entire text, all drawings		
JP	2006-293289	A	26 October 2006	US 2006/0158396	A1	
				entire text, all drawings		
				KR 10-2006-0083877	A	
				CN 1808549	A	
JP	2005-311591	A	04 November 2005	US 2005/0231241	A1	
				entire text, all drawings		
				CN 1691100	A	
US	2018/0211605	A1	26 July 2018	KR 10-2018-0087919	A	
				entire text, all drawings		
JP	2005-234063	A	02 September 2005	(Family: none)		

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 3/356(2006.01)i; G09G 3/20(2006.01)i; G09G 3/3291(2016.01)i; H03K 17/687(2006.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i FI: G09G3/3291; G09G3/20 612E; G09G3/20 611H; G09G3/20 623B; G09G3/20 623R; G09G3/20 641A; G09G3/20 623N; G09G3/20 623F; G09G3/20 611A; H05B33/14 A; H01L27/32; H03K17/687 G; H03K3/356 B																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K3/356; G09G3/20; G09G3/3291; H03K17/687; H01L27/32; H01L51/50 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2021年																						
日本国実用新案登録公報	1996-2021年																						
日本国登録実用新案公報	1994-2021年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 10-319908 A（サーノフ コーポレイション）04.12.1998（1998-12-04） 全文全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2010-281864 A（セイコーエプソン株式会社）16.12.2010（2010-12-16） 全文全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2006-293289 A（セイコーエプソン株式会社）26.10.2006（2006-10-26） 全文全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2005-311591 A（松下電器産業株式会社）04.11.2005（2005-11-04） 全文全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2018/0211605 A1（SAMSUNG DISPLAY CO., LTD.）26.07.2018（2018-07-26） 全文全図</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2005-234063 A（シャープ株式会社）02.09.2005（2005-09-02） 全文全図</td> <td>1-18</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 10-319908 A（サーノフ コーポレイション）04.12.1998（1998-12-04） 全文全図	1-18	A	JP 2010-281864 A（セイコーエプソン株式会社）16.12.2010（2010-12-16） 全文全図	1-18	A	JP 2006-293289 A（セイコーエプソン株式会社）26.10.2006（2006-10-26） 全文全図	1-18	A	JP 2005-311591 A（松下電器産業株式会社）04.11.2005（2005-11-04） 全文全図	1-18	A	US 2018/0211605 A1（SAMSUNG DISPLAY CO., LTD.）26.07.2018（2018-07-26） 全文全図	1-18	A	JP 2005-234063 A（シャープ株式会社）02.09.2005（2005-09-02） 全文全図	1-18
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
A	JP 10-319908 A（サーノフ コーポレイション）04.12.1998（1998-12-04） 全文全図	1-18																					
A	JP 2010-281864 A（セイコーエプソン株式会社）16.12.2010（2010-12-16） 全文全図	1-18																					
A	JP 2006-293289 A（セイコーエプソン株式会社）26.10.2006（2006-10-26） 全文全図	1-18																					
A	JP 2005-311591 A（松下電器産業株式会社）04.11.2005（2005-11-04） 全文全図	1-18																					
A	US 2018/0211605 A1（SAMSUNG DISPLAY CO., LTD.）26.07.2018（2018-07-26） 全文全図	1-18																					
A	JP 2005-234063 A（シャープ株式会社）02.09.2005（2005-09-02） 全文全図	1-18																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 15.12.2021		国際調査報告の発送日 28.12.2021																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 橋本 直明 21 9707 電話番号 03-3581-1101 内線 3273																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/035875

引用文献			公表日	パテントファミリー文献			公表日
JP	10-319908	A	04.12.1998	US	5952789	A	
				全文全図			
				KR	10-1998-0081367	A	
JP	2010-281864	A	16.12.2010	US	2010/0302286	A1	
				全文全図			
JP	2006-293289	A	26.10.2006	US	2006/0158396	A1	
				全文全図			
				KR	10-2006-0083877	A	
				CN	1808549	A	
JP	2005-311591	A	04.11.2005	US	2005/0231241	A1	
				全文全図			
				CN	1691100	A	
US	2018/0211605	A1	26.07.2018	KR	10-2018-0087919	A	
				全文全図			
JP	2005-234063	A	02.09.2005	(ファミリーなし)			