

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96135771

※申請日期：2007 年 9 月 26 日

※IPC 分類：

一、發明名稱：(中文/英文)

用於缺陷鈍化之高K閘極堆疊的氟電漿處理

FLUORINE PLASMA TREATMENT OF HIGH-K GATE STACK FOR
DEFECT PASSIVATION

H01L 21/205, 21/336
(2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·應用材料股份有限公司

APPLIED MATERIALS, INC.

代表人：(中文/英文)

鄭錦安

KWONG, RAYMOND K.

住居所或營業所地址：(中文/英文)

美國加州聖大克勞拉市波爾斯大道 3050 號

3050 Bowers Avenue, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓名：(中文/英文)

克勞司菲利浦 A/KRAUS, PHILIP A.

國籍：(中文/英文)

美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2006 年 9 月 26 日；60/827,023

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明之實施例大體上提供一種用以形成具有少量鍵結缺陷之介電質材料於基板上之方法。在一實施例中，此方法包含：形成具有欲得厚度之一介電質層於一基板之表面上；將該基板暴露於包含有一氟源氣體之一低能量電漿，以不蝕刻該介電質層而形成一氟化介電質層於該基板上；以及形成一閘極電極於該基板上。在特定實施例中，氟源氣體為一不含碳氣體。在特定實施例中，此方法更包含與氟源氣體共流一氣體，該氣體係選自由氬、氦、 N_2 、 O_2 、與其組合物構成之群組。

六、英文發明摘要：

Embodiments of the present invention generally provide a method for forming a dielectric material with reduced bonding defects on a substrate. In one embodiment, the method comprises forming a dielectric layer having a desired thickness on a surface of a substrate, exposing the substrate to a low energy plasma comprising a fluorine source gas to form a fluorinated dielectric layer on the substrate without etching the dielectric layer, and forming a gate electrode on the substrate. In certain embodiments, the fluorine source gas is a carbon free gas. In certain embodiments, the method further comprises co-flowing a gas selected from the group consisting of argon, helium, N_2 , O_2 , and combinations thereof with the fluorine source gas.

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 100 形成一氟化高 k 介電質層於基板表面上之方法
- 110 形成一高 k 介電質層於基板表面上
- 120 將基板暴露於包含氟源之電漿，以形成一氟化高 k 介電質層
- 130 形成一閘極電極於基板上

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明之實施例大體上係有關於一種用以沉積高 k 介電質材料於基板上之方法與設備，且特別地係有關於用以在形成高 k 閘極堆疊之時能沉積且穩定化介電質材料之方法。

【先前技術】

在半導體製造領域、平面面板顯示器處理或其他電子元件處理中，氣相沉積製程對於沉積材料於基板上已經扮演重要角色。隨著電子元件之幾何形狀持續縮小且元件密度持續增加，特徵之尺寸與深寬比變得更激進，例如正在考量 65 奈米或更小的特徵尺寸及 10 或更大的深寬比。因為仍然保持有縮小元件特徵的需求，需要新的閘極介電材料與/或製程。

將二氧化矽 (SiO_2) 取代成新的閘極介電材料 (例如高 k 介電質形式材料) 具有挑戰。例如，高 k 介電質材料係典型地利用化學氣相沉積 (CVD) 或原子層沉積 (ALD) 技術來沉積，其中 CVD 與 ALD 傾向於使得含前驅物材料之碳及其他污染物被併入至經沉積的膜內。碳與其他污染物會不利地影響閘極介電質層之介電性質。此外，經 CVD 或 ALD 沉積之高 k 膜及通道區域之間的界面的性質係不如二氧化矽層強健。

再者，當介電質材料 (例如高 k 介電質材料) 在後續

的製程期間暴露於高溫 ($> 500^{\circ}\text{C}$) 時，介電質材料可能會經歷形態變化。例如，氮化鈦時常利用 CVD 製程在約 600°C 沉積在氧化鈣或氧化鋁上。在這樣的高溫，氧化鈣或氧化鋁會結晶，損失了非晶形與低漏電流性質。此外，即使可以避免介電質材料之完全結晶化，暴露於高溫會形成介電質材料之結晶粒成長與/或相分離，造成了因為高漏電流導致的劣等元件效能。

所以，需要一種形成介電質材料（尤其是高 k 介電質材料）的製程，其中該介電質材料為形態地穩定且具有少量鍵結缺陷。

【發明內容】

本發明之實施例大體上提供一種用以形成具有少量鍵結缺陷之介電質材料於基板上之方法。在一實施例中，此方法包含：形成具有欲得厚度之一介電質層於一基板之表面上；將該基板暴露於包含有一氟源氣體之一低能量電漿，以不蝕刻該介電質層而形成一氟化介電質層於該基板上；以及形成一閘極電極於該基板上。在特定實施例中，氟源氣體為一不含碳氣體。在特定實施例中，此方法更包含與氟源氣體共流一氣體，該氣體係選自由氫、氬、 N_2 、 O_2 、與其組合物構成之群組。在特定實施例中，使用一電感式脈衝射頻電漿製程來形成低能量電漿。在特定實施例中，使用一連續波電容式源電漿來形成電漿。在特定實施例中，使用一連續波混合之電感式及電容式源電漿來形成

電漿。

在另一實施例中，本發明提供一種形成一高 k 閘極堆疊之方法。此方法包含形成一高 k 介電質層於一基板上。將基板暴露於一低離子能量含氟電漿，以鈍化高 k 閘極堆疊中之氧空缺與其他鍵結缺陷。形成一閘極電極於基板上。在特定實施例中，高 k 介電質層為一含金屬氧化物層。在特定實施例中，高 k 介電質層被退火。

【實施方式】

本發明之實施例大體上係有關於一種用以沉積高 k 介電質材料於基板上之方法與設備，且特別地係有關於用以在形成高 k 閘極堆疊之時能沉積且穩定化介電質材料之方法。含氟電漿被用來鈍化一高 k 閘極堆疊中的氧空缺 (vacancy) 與其他鍵結缺陷。可以在單基板電漿反應器內完成電漿氟化。電漿氟化可以是原位的，其中單晶圓電漿反應器係與高 k 沉積或後沉積處理整合，因而在暴露於外界大氣前可以進行進一步處理。成功的電漿氟化實施需要低離子能量電漿，以避免離子轟擊損壞與相關的鹵素蝕刻。低離子能量電漿可以利用電感式脈衝電漿、連續波電容式源電漿、與連續波混合之電感式及電容式源電漿來形成。

本文中使用的術語「高 k 介電質」大致上係指各種均質的、非均質的、分級的、與/或多層之堆疊或壓層的組成。高 k 介電質可以包括鈺、鋁、鈦、鉭、鎢、鋁、矽、氧、與/或氮的組合。高 k 介電質材料可以包括矽氧氮化合物

(SiO_xN_y)、含鈺材料 (例如氧化鈺 (HfO_x , 包括 HfO_2)、鈺矽酸鹽 (HfSi_xO_y , 包括 HfSiO_4)、鈺矽氧氮化物 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、鈺氧氮化物 (HfO_xN_y)、鈺鋁酸鹽 (HfAl_xO_y)、鈺鋁矽酸鹽 ($\text{HfAl}_x\text{Si}_y\text{O}_z$)、鈺鋁矽氧氮化物 ($\text{HfAl}_w\text{Si}_x\text{O}_y\text{N}_z$)、鈺釷氧化物 (HfLa_xO_y))、含鋯材料 (例如氧化鋯 (ZrO_x , 包括 ZrO_2)、鋯矽酸鹽 (ZrSi_xO_y , 包括 ZrSiO_4)、鋯矽氧氮化物 ($\text{ZrSi}_x\text{O}_y\text{N}_z$)、鋯氧氮化物 (ZrO_xN_y)、鋯鋁酸鹽 (ZrAl_xO_y)、鋯鋁矽酸鹽 ($\text{ZrAl}_x\text{Si}_y\text{O}_z$)、鋯鋁矽氧氮化物 ($\text{ZrAl}_w\text{Si}_x\text{O}_y\text{N}_z$)、鋯釷氧化物 (ZrLa_xO_y))、其他含鋁材料或含釷材料 (例如氧化鋁 (Al_2O_3 或 AlO_x)、鋁氧氮化物 (AlO_xN_y)、鋁矽酸鹽 (AlSi_xO_y)、鋁矽氧氮化物 ($\text{AlSi}_x\text{O}_y\text{N}_z$)、釷鋁氧化物 (LaAl_xO_y)、氧化釷 (LaO_x 或 La_2O_3))、其他合適的材料、其組成、及其組合。其他有用於介電質層之高 k 介電質材料包括氧化鈦 (TiO_x 或 TiO_2)、鈦氧氮化物 (TiO_xN_y)、氧化鉭 (TaO_x 或 Ta_2O_5)、與鉭氧氮化物 (TaO_xN_y)。對於高 k 介電質層有用之介電質材料的壓層膜 (laminate film) 係包括 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2/\text{SiO}_2$ 、 $\text{La}_2\text{O}_3/\text{Al}_2\text{O}_3$ 、與 $\text{HfO}_2/\text{SiO}_2/\text{Al}_2\text{O}_3$ 。

本文中使用的術語「基板」大致上係指任何基板或形成在上基板之材料表面，其中在該基板或材料表面上係執行膜處理。例如，基板 (其中膜處理可以執行於該基板上) 視其應用可以包括材料 (例如矽、氧化矽、伸張矽 (strained silicon)、矽覆絕緣物 (silicon on insulator, SOI)、摻雜碳之氧化矽、氮化矽、經摻雜之矽、鍺、砷化鎵、玻璃、藍

寶石(sapphire))，與任何其他材料(例如金屬、金屬氮化物、金屬合金)，與其他導電材料。基板表面上之阻障層、金屬或金屬氮化物係包括鈦、氮化鈦、氮化鎢、鉭、與氮化鉭。基板可以具有各種尺寸，例如 200 毫米或 300 毫米直徑之晶圓以及矩形或方形板。除非特別指明，本文之實施例與實例係較佳地被執行於具有 200 毫米直徑或 300 毫米直徑(更較佳地為 300 毫米直徑)的基板上。本文實施例之製程係沉積介電質材料於許多基板與表面上。本發明有用的基板係包括但不限定於半導體晶圓，例如結晶矽(例如 $\text{Si} \langle 100 \rangle$ 或 $\text{Si} \langle 111 \rangle$)、氧化矽、伸張矽、鍺化矽、經摻雜或未摻雜之多晶矽、經摻雜或未摻雜之矽晶圓、以及經圖案化或未圖案化之晶圓。基板可以暴露於一預處理製程，以研磨、蝕刻、還原、氧化、氮氧化、退火、與/或烘烤基板表面。

本文中使用的術語「原子層沉積」或「循環沉積」大致上係指連續地注入兩個或更多個反應性化合物以在基板表面上沉積一層材料。此兩個、三個或更多個反應性化合物可以交替地被注入製程腔室之一反應區塊內。通常，各個反應性化合物係分隔一時間延遲，以使得各個化合物黏附與/或反應至基板表面上。在一態樣中，一第一前驅物或化合物 A 被脈衝式地注入反應區塊內，接著有一第一時間延遲。其次，一第二前驅物或化合物 B 被脈衝式地注入反應區塊內，接著有一第二時間延遲。在每一時間延遲期間，一淨化氣體(purge gas)(例如氮)被注入製程腔室，以淨

化反應區塊或從反應區塊移除任何殘餘的反應性化合物或副產物。替代性地，淨化氣體可以在整個沉積製程期間持續地流動，因此在反應性化合物脈衝之間的時間延遲期間僅淨化氣體流動。多個反應性化合物係交替地被脈衝式地注入，直到在基板表面上形成欲求的膜或膜厚度。在任一情況中，將化合物 A 與淨化氣體脈衝式地注入、將化合物 B 與淨化氣體脈衝式地注入的 ALD 製程為一循環。循環可以開始於化合物 A 或化合物 B，並且持續各自循環順序直至達到具有欲求厚度的膜為止。在另一實施例中，一含有化合物 A 之第一前驅物、一含有化合物 B 之第二前驅物、與一含有化合物 C 之第三前驅物係各自分離地被脈衝式地注入製程腔室內。替代性地，一第一前驅物之脈衝可以與一第二前驅物之脈衝在時間上重疊，而一第三前驅物之脈衝不與第一或第二前驅物之脈衝重疊。

本文中使用的術語「脈衝」大致上係指一特定化合物間歇地或非持續地被注入製程腔室之反應區塊的量。一特定化合物在各個脈衝內的量可以隨著時間改變，視脈衝的持續時間而定。各個脈衝的持續時間可以根據許多因素（例如所使用之製程腔室的容積、所連接之真空系統、與特定化合物本身之揮發性/反應性）而變化。本文中使用的術語「半反應」大致上係指前驅物步驟之脈衝，其後有一淨化步驟。

為了有助於瞭解，以下敘述將以被併入至高 k 介電質堆疊之高 k 介電質層的電漿氟化來說明。然而，熟習此技

藝之人士將可以瞭解的是，在此敘述的電漿氟化製程可以用於許多不同的半導體應用。

示範性實施例

第 1 圖為形成一氟化高 k 介電質層於基板表面上之方法 100 之實施例的流程圖。第 2A-2D 圖對應於方法 100，以說明用在半導體元件（例如電晶體或電容）中之介電質材料之形成。在步驟 110，一高 k 介電質層 202 形成在基板 201 上。在步驟 120，基板 201 暴露於一包含氟源之電漿，以形成一氟化高 k 介電質層 204。在步驟 130，一閘極電極 206 形成在基板 201 上。

步驟 110 之高 k 介電質層 202 可以藉由傳統的沉積技術（例如原子層沉積 (ALD)、化學氣相沉積 (CVD)、物理氣相沉積 (PVD)、熱與電漿技術、及其組合）沉積在基板上。在一較佳實施例中，高 k 介電質層 202 是經由 ALD 製程與設備來沉積，例如描述於懸而未決之西元 2005 年 12 月 8 日申請的美國專利申請公開案號 2005/0271812 “Apparatus And Methods For Atomic Layer Deposition of Hafnium-containing High-K Dielectric Materials”中，其受讓給應用材料公司 (Applied Materials, Inc.) 且在此被併入本文以作為參考。高 k 介電質層 202 大致上被沉積成具有約 10 埃至約 1000 埃之膜厚度，較佳為約 20 埃至約 500 埃，且更佳為約 50 埃至約 200 埃，例如約 100 埃。在沉積高 k 介電質層 202 於基板 201 之前，可以執行一選擇性的

預清潔步驟。合適的高 k 沉積腔室的實例係包括 FLEXSTAR[®]，其可以從美國加州聖大克勞拉市 (Santa Clara) 之應用材料公司 (Applied Materials, Inc.) 購得。

在高 k 介電質層 202 之氟化以形成步驟 120 的氟化高 k 介電質層 204 的期間，基板係以原子 F (其是由共流的 F₂ 與一惰性氣體 (例如氬) 所形成) 來轟擊。除了 F₂，可以使用其他含氟氣體以形成氟電漿，例如 NF₃、HF、或其組合。其他可以被使用之惰性氣體係包括氬、氖與氫。可以使用其他氣體 (例如氮與氧) 以取代惰性氣體，或與惰性氣體組合一起使用。較佳地，此製程使用的氣體係不含碳。在一實施例中，氟化製程進行約 10 秒至約 360 秒之時間，交價為約 30 秒至約 180 秒，例如約 120 秒。通常，氟化製程進行於低於 100°C 之溫度，例如約 50°C 與低於 100°C 之間。此外，氟化製程係以約 50 瓦至約 2500 瓦 (例如約 50 瓦至約 1000 瓦，譬如約 70 瓦至約 200 瓦) 之電漿功率設定及約 10 毫托耳至約 100 毫托耳之壓力來實施。氟具有約 0.1 slm 至約 1.0 slm 之流速。製程氣體之個別與總氣體流量可以根據許多製程因素 (例如製程腔室之尺寸、製程腔室之溫度、與被處理之基材之尺寸) 而變化。在一較佳實施例中，氟化製程氣體係使用中等密度之低離子能量氟電漿。低離子能量脈衝化之含氟電漿係允許氟併入高 k 閘極堆疊內，而不會有致使離子蝕刻的足夠能量。在某些實施例中，氟在氟化介電質層中之濃度為介於 1×10^{14} 原子/平方公分與 4×10^{15} 原子/平方公分之間。

在另一實施例中，電漿氟化係執行於具有約 5-20 毫托耳或 10-20 毫托耳壓力、200-800 瓦（例如介於約 250 瓦與 600 瓦之間）電漿功率的腔室中。氟氣得以約 100-200 sccm 之流速流入腔室。在一實施例中，電漿氟化係使用在約 10-20 MHz 之脈衝射頻電漿腔室與在約 5-15 kHz 之脈衝。

電漿氟化製程參數可以根據腔室尺寸與容積以及欲求之介電質膜厚度而變更。在電漿氟化製程之前或之後，可以執行一選擇性的退火步驟。電漿氟化製程參數係經選擇而使得不具有用以蝕刻介電質之足夠能量。

步驟 130 的閘極電極 206 可以沉積在基板 201 上。在結構暴露於電漿且被退火之後，可以沉積一閘極電極，例如多晶矽層、非晶矽層、金屬層（譬如鈦、氮化鈦、鉭、氮化鉭、鎢、氮化鎢、與其他耐火金屬）或其他合適的電極材料於經氟化之高 k 介電質層 204 上。

第 3 圖為一電漿製程反應器 300 之示意圖，其係由美國加州聖大克勞拉市 (Santa Clara) 之應用材料公司 (Applied Materials, Inc.) 製造。所示為一電感式電漿源反應器，其是可用來實施本發明之反應器的一實例。

反應器 300 包含一製程腔室 310，製程腔室 310 具有位在一導電本體（壁）330 內之一靜電夾盤 316 以及一控制器 340。腔室 310 具有一實質上平坦的介電質蓋板 320。腔室 310 之其他變化可以具有其他蓋板型式，例如圓頂形蓋板。蓋板 320 上方設置有一天線，天線包含至少一電感

式線圈構件 312 (圖上顯示兩個共軸構件 312)。電感式線圈構件 312 經由一第一匹配網路 319 連接至一電漿功率源 318。電漿功率源 318 典型地在 50 kHz 至 13.56 MHz 之可調頻率範圍內得以產生高達 3000 瓦之功率。

靜電夾盤 316 包括內嵌在介電質材料中之一第一電極 354 與一第二電極 356。第一電極 354 與第二電極 356 係以 DC 電位來施加偏壓，以提供可以固持住基板 314 的夾持作用。施加夾持電壓至靜電夾盤 316 與晶圓間隔罩幕 (wafer spacing mask) 沿著基板 314 下側與靜電夾盤 316 表面上方產生了電荷分佈。這些電荷之相反極性在基板 314 與靜電夾盤 316 之間產生吸引的靜電力。此力係將基板 314 保持在夾盤 316 上，而不需要倚賴製程腔室 310 內之電漿以提供基板 314 之導電接地路徑。靜電夾盤 316 可以是一單極性夾盤。

靜電夾盤 316 經由一第二匹配網路 324 連接至一偏壓功率源 322。偏壓功率源 322 大致上得以產生具有 50 kHz 至 13.56 MHz 可調頻率之 RF 訊號以及 0 至 5000 瓦之功率。選擇性地，偏壓功率源 322 可以是 DC 或脈衝化的 DC 源。控制器 340 包含一中央處理單元 (CPU) 344、一記憶體 342、與用於 CPU 344 之支援電路 346，並且控制腔室 30 的部件及所述氮化製程。

在另一實施例中，用以操作靜電夾盤 316 之電壓可以由一分離的「夾持」電源供應器 (未示出) 來供應。夾持電源供應器之一輸出端係典型地連接至電性接地，但是替

代性地可以連接至靜電夾盤 316 之一金屬本體部分。在運作時，基板被置放成接觸介電質材料，並且一直接流電壓被施加至電極以產生靜電吸引力或偏壓而將基板黏附至靜電夾盤 316 的上表面。

在運作時，一半導體晶圓 314 被置放在靜電夾盤 316 上，並且製程氣體由一氣體盤 338 經由入口埠 326 來提供以形成一氣體混合物 350。氣體混合物 350 藉由施加來自電漿功率源 318 的功率被點燃，以在腔室 310 內產生電漿。腔室 310 內部的壓力係利用節流閥 327 與真空幫浦 336 來控制。典型地，腔室壁 330 連接至一電性接地 334。壁 330 的溫度係利用流經壁 330 的含液體導管（未示出）來控制。

基板 314 之溫度係藉由穩定化靜電夾盤 316 之溫度來控制。在一實施例中，來自氣體源 348 之氬氣經由一氣體導管 349 被供應到形成在靜電夾盤 316 表面中之多個通道，而到形成在基板 314 之背表面與靜電夾盤 316 之上表面之間的微細空間（未示出）。在處理期間，靜電夾盤 316 可以由靜電夾盤 316 之載座內的電阻式加熱器（未示出）來加熱至穩定狀態溫度，以及氬氣有助於基板 314 之均勻加熱。

為了控制上述製程腔室 310，控制器 340 可以是任何形式之一般目的電腦處理器其中之一，其可以用在工業設定中以控制各種腔室與子處理器。CPU 344 之記憶體 342 或電腦可讀媒介可以是一或多種之容易獲得的記憶體，例如隨機存取記憶體 (RAM)、唯讀記憶體 (ROM)、軟碟、硬

碟、或任何形式的儲存裝置，無論是當地或遠端的皆可。支援電路 346 連接至 CPU 344，用於以傳統方式來支援處理器。這些電路包括快取(cache)、電源供應、時脈電路、輸入/輸出配線、與子系統等等。本發明之方法大致上係以軟體程式被儲存在記憶體 342 中。軟體程式也可以被儲存與/或被一第二 CPU (未示出) 執行，其中該第二 CPU 係距離被 CPU 344 控制之硬體而被遠端地設置。

去耦合電漿氮化製程反應器 (Decoupled Plasma Nitridation process reactor) 300 之其他細節係被描述於西元 2004 年 12 月 2 日公開的美國專利申請公開案號 2004/0242021 且獲頒專利 US7,179,754 “Method and Apparatus for Plasma Nitridation of Gate Dielectrics Using Amplitude Modulated Radio Frequency Energy”中，其受讓給應用材料公司 (Applied Materials, Inc.) 且在此被併入本文以作為參考。合適的 DPN 腔室之實例包括 DPN Centura™，其可以從美國加州聖大克勞拉市 (Santa Clara) 之應用材料公司購得。其他合適的電漿腔室包括 P3i 腔室，其也可以從應用材料公司購得。

第 4 圖為根據本發明實施例之方法 400 的流程圖。選擇性地，基板表面可以被清潔，以移除已經形成在基板表面上的原生氧化物。在步驟 402，此製程開始於將一矽基板導入一第一製程腔室。在步驟 404，約 5 埃至約 100 埃之鈺矽酸鹽 (HfSiO_x) 成長於矽晶圓上。表面清潔與高 k 介電質層形成的詳細敘述係被提供於西元 2003 年 12 月 18

日公開的美國專利申請公開案號 2003/0232501 “Surface Pre-Treatment For Enhancement Of Nucleation Of High Dielectric Constant Materials”中，其受讓給應用材料公司且在此被併入本文以作為參考。鈐矽酸鹽層為使用此方法沉積的材料的一實例。本發明也可以被應用於其他形式之閘極介電質，其可以是具有介電常數大於 4.0 的高 k 介電質材料。本發明也可以被應用於矽氧氮化物 (silicon oxynitride)。

選擇性地，基板可以被傳送到一退火腔室以進行鈐矽酸鹽 (HfSiO_x) 膜之一後沉積退火，其中該退火腔室係例如可以從美國加州聖大克勞拉市之應用材料公司購得之 CENTURA™ RADIANCE™ 快速熱退火 (RTP) 製程腔室。可以執行一後沉積退火，其中基板係以約 500°C 至約 1200°C (較佳為約 550-700°C) 溫度來退火而持續約 1 秒至約 240 秒 (較佳為約 30 秒至約 90 秒) 的期間，譬如在 650°C 下持續約 60 秒。通常，退火腔室大氣係包含至少一種退火氣體，例如 O_2 、 N_2 、 NH_3 、 N_2H_4 、 NO 、 N_2O 、或其組合。退火腔室被維持在約 5 托耳至約 100 托耳 (例如約 50 托耳) 之壓力。

在步驟 406，基板接著被傳送至容納有至少一含氟氣體的電漿腔室內。在一較佳實施例中，氟化製程係使用中等密度之低離子能量氟電漿。低離子能量脈衝化之含氟電漿係允許氟併入高 k 閘極堆疊內，而不會有致使離子蝕刻的足夠能量。氟化製程可以使用電感式脈衝電漿、電容式

源電漿、或連續波混合之電感式及電容式源電漿來執行。

選擇性地，基板被傳送回執行後氟化退火步驟的 RTP 製程腔室。在後氟化退火期間，基板係以約 600°C 至約 1200°C（較佳為約 700-1100°C）溫度來退火而持續約 1 秒至約 120 秒（較佳為約 30 秒至約 90 秒）的期間，譬如在 1000°C 下持續約 60 秒。通常，退火腔室大氣係包含至少一種退火氣體，例如 O₂、N₂、NH₃、N₂H₄、NO、N₂O、或其組合。退火腔室被維持在約 5 托耳至約 100 托耳（例如約 15 托耳）之壓力。替代性地，後氟化退火為兩步驟製程，其包含一惰性或還原步驟以及一後續的氧化步驟。

在形成氟化高 k 介電質層之後，可以藉由低壓化學氣相沉積 (LPCVD)、原子層磊晶 (ALE)、熱分解方法、或此技藝中其他公知的方法來沉積一閘極電極（例如多晶矽）。多晶矽層大致上包含摻雜質，例如硼、磷、砷。閘極電極也可以是一金屬層。

第 5 圖為可以執行本文描述的製程的一整合式製程系統 500。整合式系統 500 包含一清潔模組 510 與一熱處理/沉積中央系統 530。如第 5 圖所示，清潔模組 510 為 OASIA CLEAN™ 系統，其可以從美國加州聖大克勞拉市 (Santa Clara) 之應用材料公司 (Applied Materials, Inc.) 購得。熱處理/沉積中央系統 530 為 CENTUR® 系統且也可以從美國加州聖大克勞拉市之應用材料公司購得。本文揭示用來執行製程之系統的特定實施例，以說明本發明且不應限制本發明範圍。

清潔模組 510 大致上包括一或多個基板匣盒 512、一或多個位在基板傳送區域內之傳送機械手臂 514、以及一或多個單基板清潔腔室 516。單基板清潔系統之其他態樣與實施例係揭示於西元 2002 年 3 月 14 日公開的美國專利申請公開案號 2002/0029788 “Method and Apparatus for Wafer Cleaning”以及西元 2002 年 5 月 30 日公開的美國專利申請公開案號 2002/0063619 “Wafer Spray Configurations for a Single Wafer Processing Apparatus”中，該兩案在此被併入本文以作為參考。

熱處理/沉積中央系統 530 大致上包括多個負載閉鎖腔室 532、一傳送腔室 534、以及多個製程腔室 536A、536B、536C 與 536D。傳送腔室 534 較佳地位於 1 毫托耳與 100 托耳之間，且較佳地包含一非反應性氣體外界大氣（例如 N_2 外界大氣）。負載閉鎖腔室 532 允許基板傳送進出熱處理/沉積中央系統 530，而傳送腔室 534 維持處於低壓非反應性環境。傳送腔室包括一機械手臂 540，機械手臂 540 具有一或多個葉片以在負載閉鎖腔室 532 及製程腔室 536A、536B、536C 與 536D 之間傳送基板。若系統 530 執行之特定製程不需要製程腔室 536A、536B、536C 與 536D，可以從熱處理/沉積中央系統 530 移除任一製程腔室 536A、536B、536C 與 536D。

所相信的是，執行選擇性預處理步驟及在中央系統上形成高 k 介電質層以在形成高 k 介電質層之前減少在經預處理之基板形成原生氧化物與/或污染物是有利的。在其他

實施例中，預處理步驟可以包括研磨、蝕刻、還原、氧化、氮氧化、退火、與/或烘烤。在預處理步驟與高 k 介電質層形成之間將基板暴露於空氣會減低高 k 介電質材料之成核的有效性。可選地，可以如同第 5 圖所示將清潔模組 530 與中央系統 530 耦接，以進一步地減少清潔步驟及其他處理步驟之間的原生氧化物形成與/或基板污染。當然，在其他實施例中，可以在分離開熱處理/沉積中央系統的一清潔模組中執行清潔步驟。

所進一步相信的是，高 k 閘極堆疊在沉積閘極電極(金屬或多晶矽)之前的原位氟化可以避免在閘極介電質與閘極電極之間界面的不想要的化學反應。高 k 材料中氧空缺(vacancy)在沉積閘極電極之前的鈍化係被相信可以對於所沉積多晶矽金屬避免較不反應性表面。所以，所相信的是，沒有暴露於外界大氣之將所有步驟、高 k 沉積、後沉積處理(包括氟化)、及閘極電極沉積的叢集在一起會比其他沒有被叢集在一起的製程更佳。

用以形成高 k 介電質層之整合式製程系統 500 之一實施例包含多個適於執行前述氟化製程之製程腔室 536A、多個適於執行一製程之製程腔室 536B(例如化學氣相沉積腔室或原子層沉積腔室，其適於沉積像是含鉛層之高介電常數材料)。在另一實施例中，製程腔室 536C 包含一快速熱處理(RTP)腔室，結構可以在此 RTP 腔室內被退火。RTP 腔室可以是可從應用材料公司購得之 XE、XE Plus 或 Radiance 腔室。在另一實施例中，製程腔室 536D 包含一

低壓化學氣相沉積腔室(LPCVD)，例如可從應用材料公司購得之 POLYgen 腔室，其適於沉積閘極介電質層。系統 500 之其他實施例係落入本發明的範圍內。例如，可以改變系統上之一特定製程腔室的位置，或改變製程腔室的數目。

第 6 圖為一電漿腔室 1 之一實施例的截面圖，其中該電漿腔室 1 係用於電漿增強化學氣相沉積(PECVD)製程、高密度電漿化學氣相沉積(HDPCVD)製程、離子植入製程、蝕刻製程、與其他電漿製程。電漿腔室 1 包括一超環面電漿源 600，超環面電漿源 600 耦接至腔室 1 之本體 3。本體 3 包括耦接至一蓋子 10 與一底部 15 之多個側壁 5，其中蓋子、底部 15 與側壁 5 界定了一內部容積 20。電漿腔室 1 之其他實例係被描述於西元 2002 年 6 月 5 日申請且西元 2005 年 9 月 6 日獲頒之美國專利 US6,939,434 以及西元 2004 年 2 月 24 日申請且西元 2005 年 5 月 17 日獲頒之美國專利 US6,893,907 中，該兩案在此被併入本文以作為參考。

內部容積 20 包括一製程區域 25，製程區域 25 形成在一噴灑頭 700 與一基板支撐件 800 之間。一唧筒抽吸區域 30 係環繞一部分之基板支撐件 800。唧筒抽吸區域 30 係選擇性地藉由一閥 35 與真空幫浦 40 溝通，其中該閥 35 位在形成於底部 15 中的埠 45 內。在一實施例中，閥 35 為適於控制來自內部容積 20 且通過埠至真空幫浦 40 之氣體或蒸氣流量的節流閥。在一實施例中，閥 35 不需要利用 O 環

來運作，並且進一步地被描述於西元 2005 年 4 月 26 日申請之美國專利公開案號 2006/0237136 中，其在此被併入本文以作為參考。

超環面電漿源 600 包括一大體上“U”形之第一管道 650A，以及一大體上“M”形之第二管道 650B。第一管道 650A 與第二管道 650B 之各者包括至少一天線 670A、670B，天線 670A、670B 用以分別地在各個管道 650A、650B 之內部區域 655A、655B 內形成一電感式耦合電漿。各個天線 670A、670B 可以是耦接至一功率源（例如 RF 功率源 671A、672A）之捲繞物或線圈。RF 阻抗匹配系統 671B、672B 也可以耦接至各個天線 670A、670B。可以分別地提供製程氣體（例如氬、氫、及其他氣體）至各個管道 650A、650B 之內部區域 655A、655B。在一實施例中，製程氣體包含一含摻雜質氣體，含摻雜質氣體被供應至各個管道 650A、650B 之內部區域 655A、655B。在一實施例中，從連接至埠 55 一氣體源來輸送製程氣體，其中該埠 55 形成在腔室 1 之本體 3 中。

在一實施例中，管道 650A、650B 之各個相對端耦接至個別的埠（此圖中顯示管道 650B 耦接至埠 50A 與 50B），其中該埠形成在腔室 1 之蓋子 10 中。在處理期間，製程氣體被供應至各個管道 650A、650B 之內部區域 655A、655B 且 RF 功率被施加至各個天線 670A、670B，以產生行進通過埠 50A-50B 及製程區域 25 之循環電漿路徑。更詳細地說，在第 6 圖中，循環電漿路徑係行進通過

埠 50A 至 50B (或反之亦然)、通過介於氣體散佈組件 700 與基板支撐件 800 之間的製程區域 25。各個管道 650A、650B 包括一電漿穿隧裝置 606，電漿穿隧裝置 606 被耦接在導管之各末端與埠 50A-50B 之間，其用以分離且加寬形成在各個管道 650A、650B 內之電漿路徑。

氣體散佈板 700 或噴灑頭包括一環形壁 710，環形壁 710 界定介於蓋子 10 與穿孔板 720 之間的一容室 730。穿孔板 720 包括以對稱或非對稱圖案來形成穿過板之複數個開口。可以從埠 55 提供製程氣體 (例如含摻雜質氣體) 至容室 730。大體上，含摻雜質氣體為由摻雜質不純物原子 (例如硼 (矽中 p 型導電性不純物) 或磷 (矽中 n 型導電性不純物)) 與一揮發性物種 (例如氟與/或氫) 構成的化學物。因此，硼、磷或其他摻雜質 (例如砷、銻等等) 之氟化物與/或氫化物可以是摻雜質氣體。例如，當使用硼摻雜質時，含摻雜質氣體可以包含三氟化硼 (BF_3) 或二硼烷 (B_2H_6)。氣體可以流動通過開口且進入穿孔板 720 下方的製程區域 25。在一實施例中，穿孔板被施加 RF 偏壓，以有助於在製程區域 25 中產生與/或維持電漿。

基板支撐件 800 大致上包括一上層或圓盤 810，以及一陰極組件 820。圓盤 810 包括一平滑的基板支撐表面以及一內嵌的電極 815，內嵌的電極 815 可以利用 DC 功率源 806 被施加偏壓以促進基板與圓盤 810 之基板支撐表面之間的靜電吸引力。內嵌的電極 815 也可以被用作為在處理期間提供 RF 能量至製程區域 25 且形成 RF 偏壓之電

極。內嵌的電極 815 可以耦接至一 RF 功率源 805A，並且也可以包括一阻抗匹配 805B。在一實施例中，基板支撐件 800 為一基板接觸冷卻靜電夾盤，其中夾盤接觸基板的部分係被冷卻。該冷卻是由設置在陰極組件 820 內用以在其內循環冷卻劑的多個冷卻劑通道（未示出）來提供。

基板支撐件 800 也可以包括一升降梢組件 900，升降梢組件 900 包含複數個升降梢 910（圖中僅顯示一個升降梢）。該些升降梢 910 有助於藉由選擇性地上升且支撐圓盤 810 上方的基板來傳送一或多個基板，並且被分隔開以允許一機械手臂葉片（未示出）被定位在其間。升降梢組件 900 包含軸襯 920，軸襯 920 耦接至圓盤 810 與陰極組件 820 之一或兩者。

雖然前述實施例係參照第 4、5 與 6 圖來敘述，可以瞭解的是，其他整合式製程系統與腔室組合可以供本文描述的實施例使用。再者，任何數目的製程腔室可以是一非整合式系統的一部件。

雖然前述說明係著重在本發明的實施例，在不脫離本發明的基本範圍下可以構想出本發明的其他與進一步實施例，並且本發明的範圍係由隨附申請專利範圍所決定。

【圖式簡單說明】

本發明之前述特徵可以藉由參照實施例而更詳細地瞭解，其中一些實施例係被繪示在附圖中。然而，值得注意的是，附圖僅繪示出本發明之典型實施例，並且因此不被

視為會限制其範圍，本發明允許其他等效實施例。

第 1 圖為根據本發明之一實施例的流程圖。

第 2A-2D 圖繪示在第 1 圖製程順序之各個階段期間的基板。

第 3 圖為可供本發明實施例使用之一電漿製程反應器之示意圖。

第 4 圖為根據本發明之一實施例的流程圖。

第 5 圖為可供本發明實施例使用之一整合式製程系統的示意圖。

第 6 圖為可供本發明實施例使用之一電漿腔室的截面圖。

為了助於瞭解，若可以，圖中使用相同的元件符號來指定相同的元件。可以構想出的是，一實施例之元件與/或製程步驟可以有利地被併入其他實施例中，而不再贅述。

【主要元件符號說明】

1	腔室	3	本體
5	側壁	10	蓋子
15	底部	20	內部容積
25	製程區域	30	唧筒抽吸區域
35	閥	40	真空幫浦
45	埠	50A	埠
50B	埠	55	埠
100	形成一氟化高 k 介電質層於基板表面上之方法		

- 110 形成一高 k 介電質層於基板表面上
- 120 將基板暴露於包含氟源之電漿，以形成一氟化高 k 介電質層
- 130 形成一閘極電極於基板上
- 201 基板
- 202 高 k 介電質層
- 204 氟化高 k 介電質層
- 206 閘極電極
- 300 電漿製程反應器
- 310 製程腔室
- 312 電感式線圈構件
- 314 基板
- 316 靜電夾盤
- 318 功率源
- 319 第一匹配網路
- 320 蓋板
- 322 功率源
- 324 第二匹配網路
- 326 埠
- 327 閥
- 330 壁
- 334 電性接地
- 336 真空幫浦
- 338 氣體盤
- 330 壁
- 334 電性接地
- 336 真空幫浦
- 338 氣體盤
- 340 控制器
- 342 記憶體
- 344 CPU
- 346 電路
- 348 氣體源
- 349 氣體導管
- 350 氣體混合物
- 354 第一電極
- 355 電漿
- 356 第二電極
- 400 根據本發明實施例之方法
- 402 將基板導入一第一製程腔室
- 404 形成一高 k 介電質層於基板上

- 406 傳送基板至一第二製程腔室
- 408 將基板暴露於包含氟源之電漿，以形成一氟化高 k
介電質層
- 410 傳送基板至一第三製程腔室
- 412 形成一閘極電極於基板上
- 500 製程系統
- 510 清潔模組
- 512 匣盒
- 514 機械手臂
- 516 腔室
- 530 系統
- 532 負載閉鎖腔室
- 534 傳送腔室
- 536A-D 製程腔室
- 540 機械手臂
- 600 電漿源
- 606 電漿穿隧裝置
- 630A 氣體源
- 650A 第一管道
- 650B 第二管道
- 655A 內部區域
- 655B 內部區域
- 670A 天線
- 670B 天線
- 671A 功率源
- 671B 系統
- 672A 功率源
- 672B 系統
- 700 氣體散佈組件
- 710 天線壁
- 720 穿孔板
- 730 容室
- 800 基板支撐件
- 805A 功率源
- 805B 阻抗匹配
- 806 功率源
- 810 圓盤
- 815 內嵌之電極
- 820 陰極組件
- 900 升降梢組件
- 910 升降梢
- 920 軸襯

102年2月19日修(更)正本

P28-32

十、申請專利範圍：

1. 一種用以形成一半導體元件之方法，其至少包含：

將一基板引進到一第一製程腔室內；

在該第一製程腔室中形成具有欲得厚度之一高 k 介電質層於該基板之表面上；

將該基板傳送到一第二製程腔室而不使該基板暴露於外界大氣；

在該第二製程腔室中將該基板暴露於包含有一氟源氣體之一低能量電漿，以不蝕刻該高 k 介電質層而形成一氟化高 k 介電質層於該基板上；

將該基板傳送到一第三製程腔室而不使該基板暴露於外界大氣；以及

在該第三製程腔室中形成一閘極電極於該氟化高 k 介電質層上，其中該氟源氣體包含一不含碳氣體。

2. 如申請專利範圍第 1 項所述之方法，其中該氟源氣體係選自由 F_2 、 NF_3 、 HF 、與上述組合物構成之群組。

3. 如申請專利範圍第 2 項所述之方法，更包含和該氟源氣體共流一氣體，其中該氣體係選自由氫、氬、 N_2 、 O_2 、與上述組合物構成之群組。

4. 如申請專利範圍第 1 項所述之方法，其中將該基板暴露

於包含有一氟源氣體之一低能量電漿的步驟係於小於 100 °C 之基板溫度下執行。

5. 如申請專利範圍第 1 項所述之方法，其中使用一脈衝化源電感式電漿來形成該低能量電漿。

6. 如申請專利範圍第 1 項所述之方法，其中使用一連續波電容式源電漿來形成該低能量電漿。

7. 如申請專利範圍第 1 項所述之方法，其中使用一連續波混合之電感式及電容式源電漿來形成該低能量電漿。

8. 如申請專利範圍第 1 項所述之方法，其中該閘極電極為一金屬閘極電極，該金屬閘極電極係選自由鈦、氮化鈦、鉭、氮化鉭、鎢、與氮化鎢構成之群組。

9. 如申請專利範圍第 1 項所述之方法，其中形成具有欲得厚度之一介電質層於一基板之表面上的步驟以及將該基板暴露於包含有一氟源氣體之一低能量電漿的步驟係同時地執行。

10. 如申請專利範圍第 1 項所述之方法，其中將該基板暴露於包含有一氟源氣體之一低能量電漿的步驟係在形成具

有欲得厚度之一高 k 介電質層於一基板之表面上的步驟之後執行。

11. 如申請專利範圍第 1 項所述之方法，其中該氟化介電質層中之氟濃度為介於 1×10^{14} 原子/平方公分與 4×10^{15} 原子/平方公分之間。

12. 如申請專利範圍第 1 項所述之方法，其中該高 k 介電質層包含至少一材料，該材料係選自由氧化鈣、氧化鋇、鈣矽酸鹽氧化物、鈣鋁酸鹽、鈣鎳氧化物、氧化鎳、與氧化鋁構成之群組。

13. 一種形成一高 k 閘極堆疊之方法，其至少包含：

形成一高 k 介電質層於一基板上；

退火該高 k 介電質層；

將該基板暴露於包含有一氟源氣體之一低離子能量含氟電漿，以形成一氟化高 k 介電質層且鈍化該高 k 閘極堆疊中之氧空缺與其他鍵結缺陷；

退火該氟化高 k 介電質層；以及

形成一閘極電極於該氟化高 k 介電質層上，其中該氟源氣體包含一不含碳氣體。

14. 如申請專利範圍第 13 項所述之方法，其中將該基板暴

露於一低離子能量含氟電漿的步驟係包含提供介於約 50 瓦與約 1000 瓦之間的 RF 功率。

15. 如申請專利範圍第 13 項所述之方法，其中該低離子能量含氟電漿是藉由施加一 RF 功率來形成，該 RF 功率係經選擇而不會蝕刻該介電質層。

16. 如申請專利範圍第 13 項所述之方法，其中將該基板暴露於一低離子能量含氟電漿的步驟係包含執行一脈衝射頻電漿製程，該脈衝射頻電漿製程係選自由電感式脈衝電漿、連續波電容式源電漿、與連續波混合之電感式及電容式源電漿構成之群組。

17. 如申請專利範圍第 13 項所述之方法，其中該高 k 介電質層為一含金屬氧化物層。

18. 如申請專利範圍第 13 項所述之方法，其中將該基板暴露於包含有一氟源氣體之一低離子能量電漿的步驟係在小於 100°C 之基板溫度下執行。

19. 如申請專利範圍第 1 項所述之方法，更包含：

將該基板傳送到一第四製程腔室而不使該基板暴露於外界大氣；以及

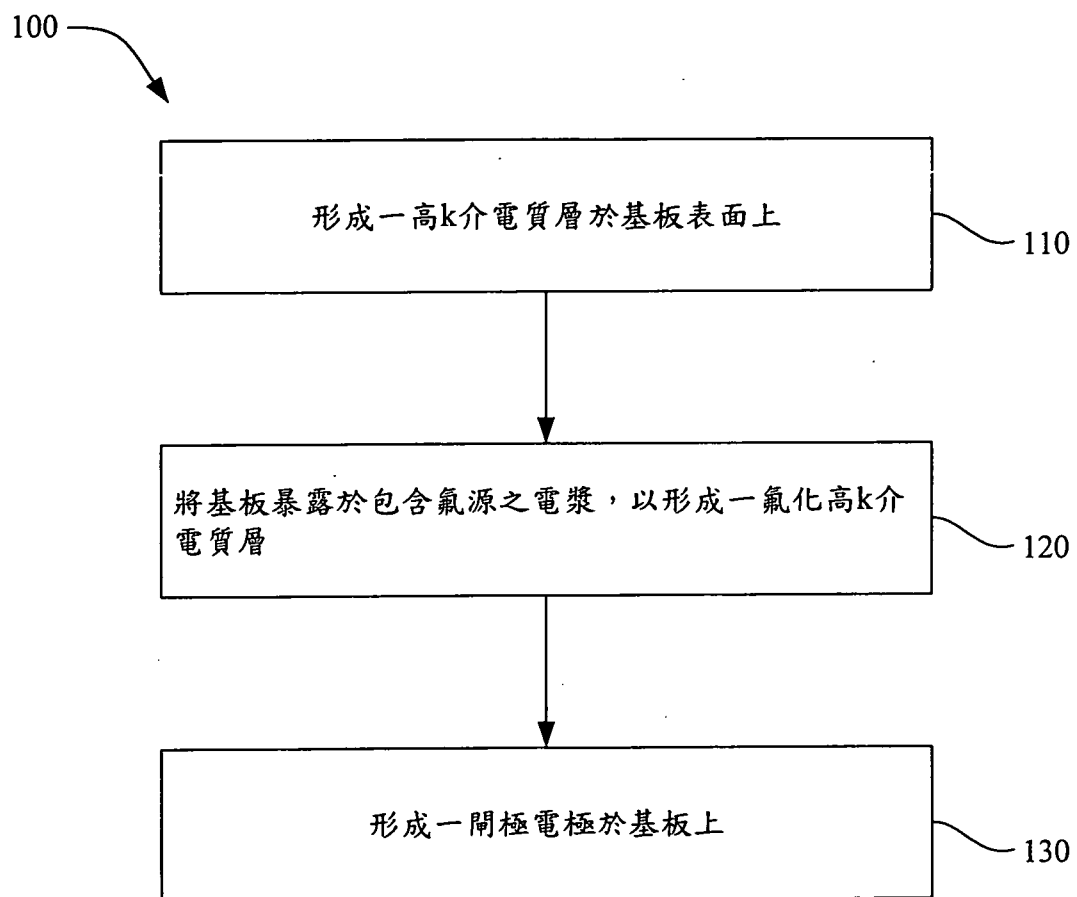
在將該基板傳送到該第二製程腔室前，在該第四製程腔室中退火該高 k 介電質層。

20. 如申請專利範圍第 19 項所述之方法，更包含：

將該基板傳送到該第四製程腔室而不使該基板暴露於外界大氣；以及

在將該基板傳送到該第三製程腔室前，在該第四製程腔室中退火該氟化高 k 介電質層。

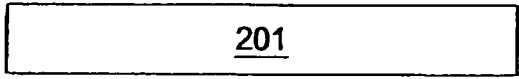
21. 如申請專利範圍第 1 項所述之方法，其中該低能量電漿在該第二製程腔室中被產生。



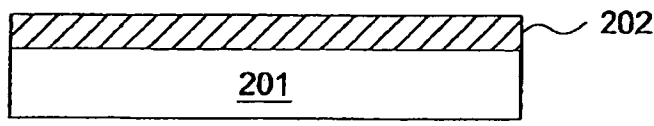
第 1 圖

「

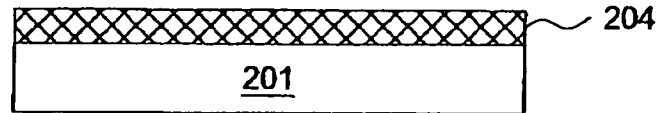
第 2A 圖



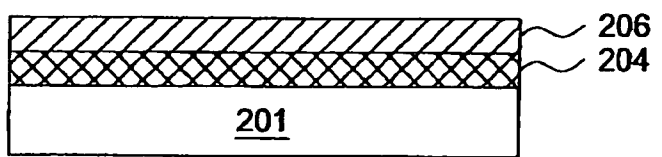
第 2B 圖

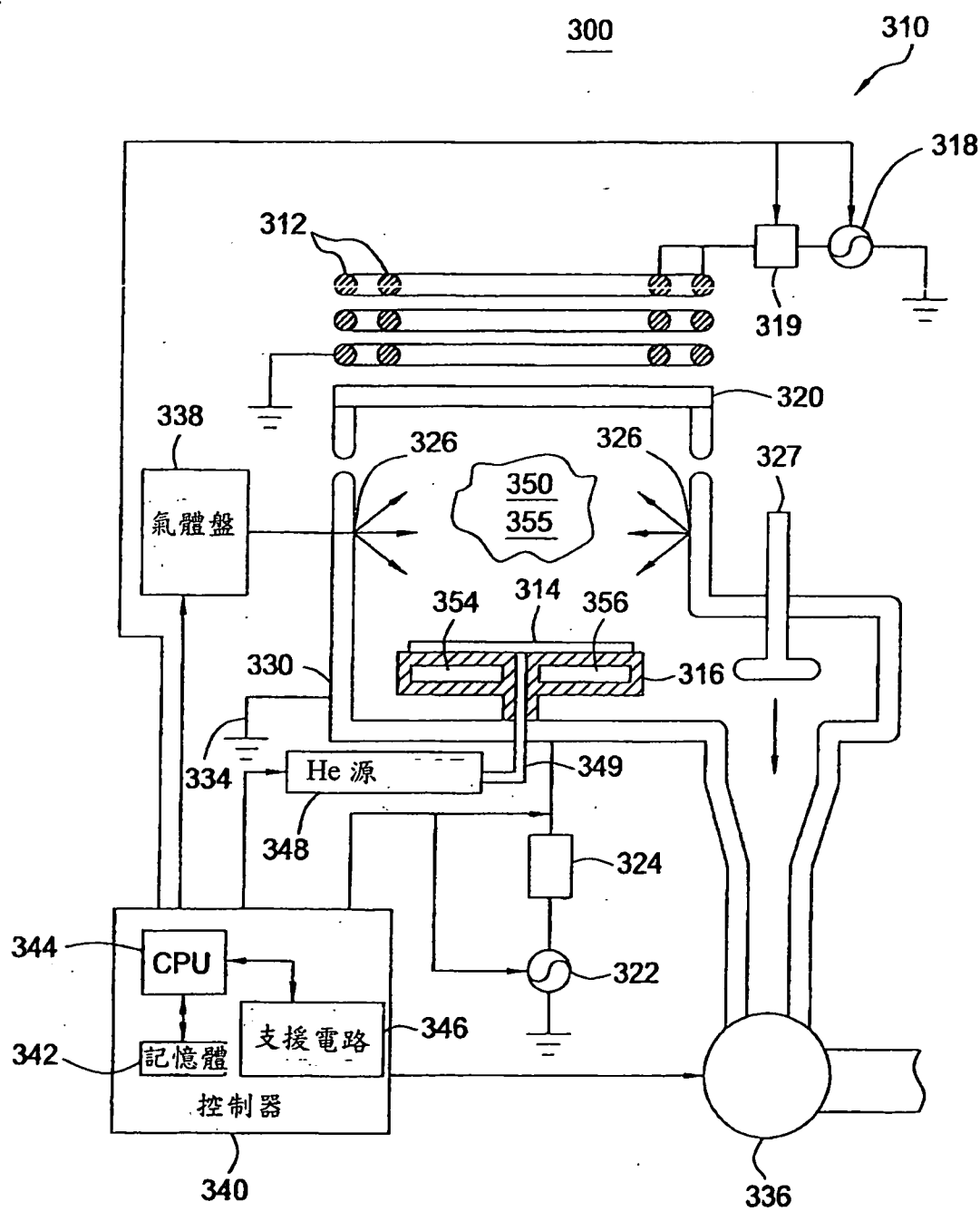


第 2C 圖

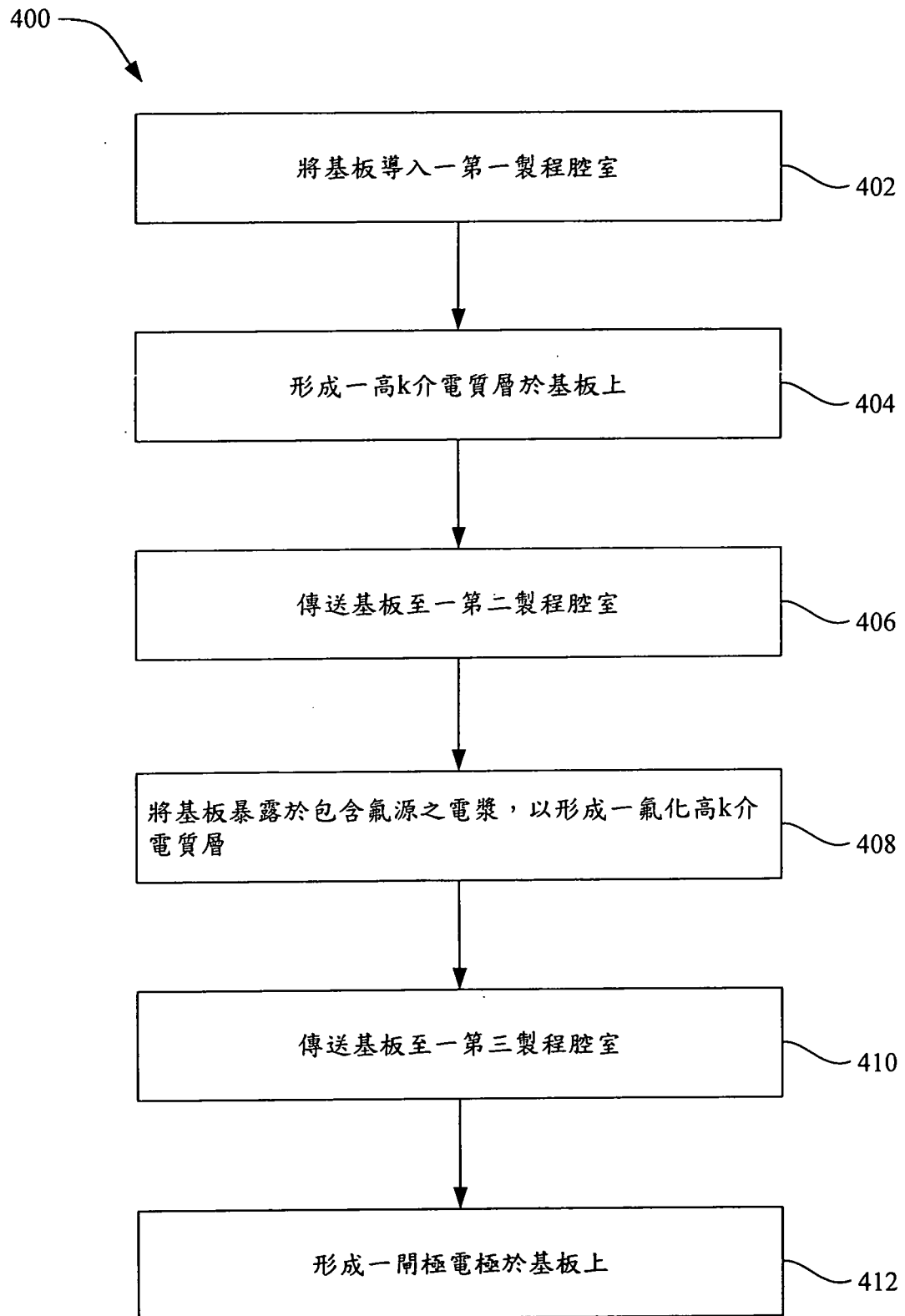


第 2D 圖

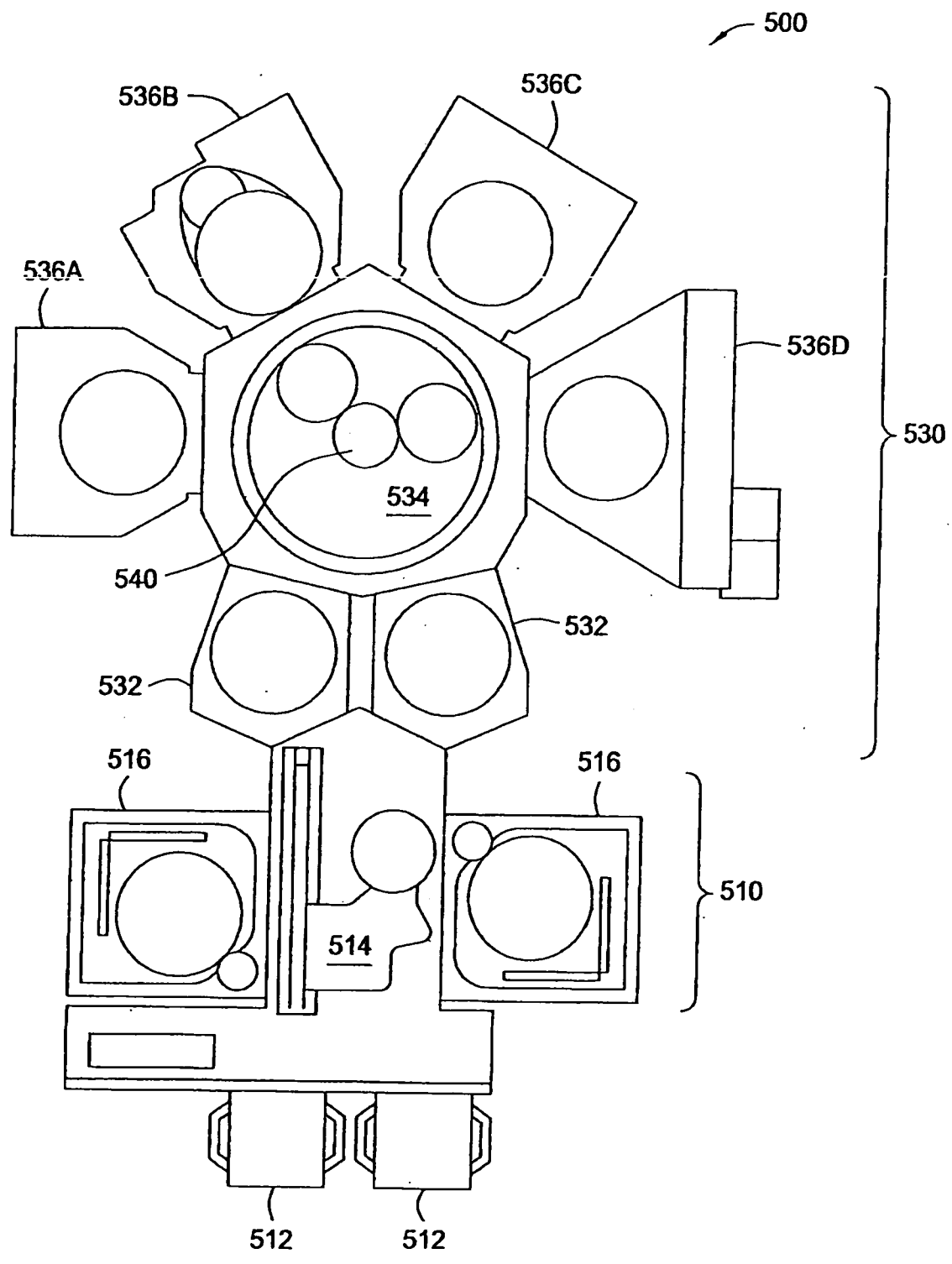




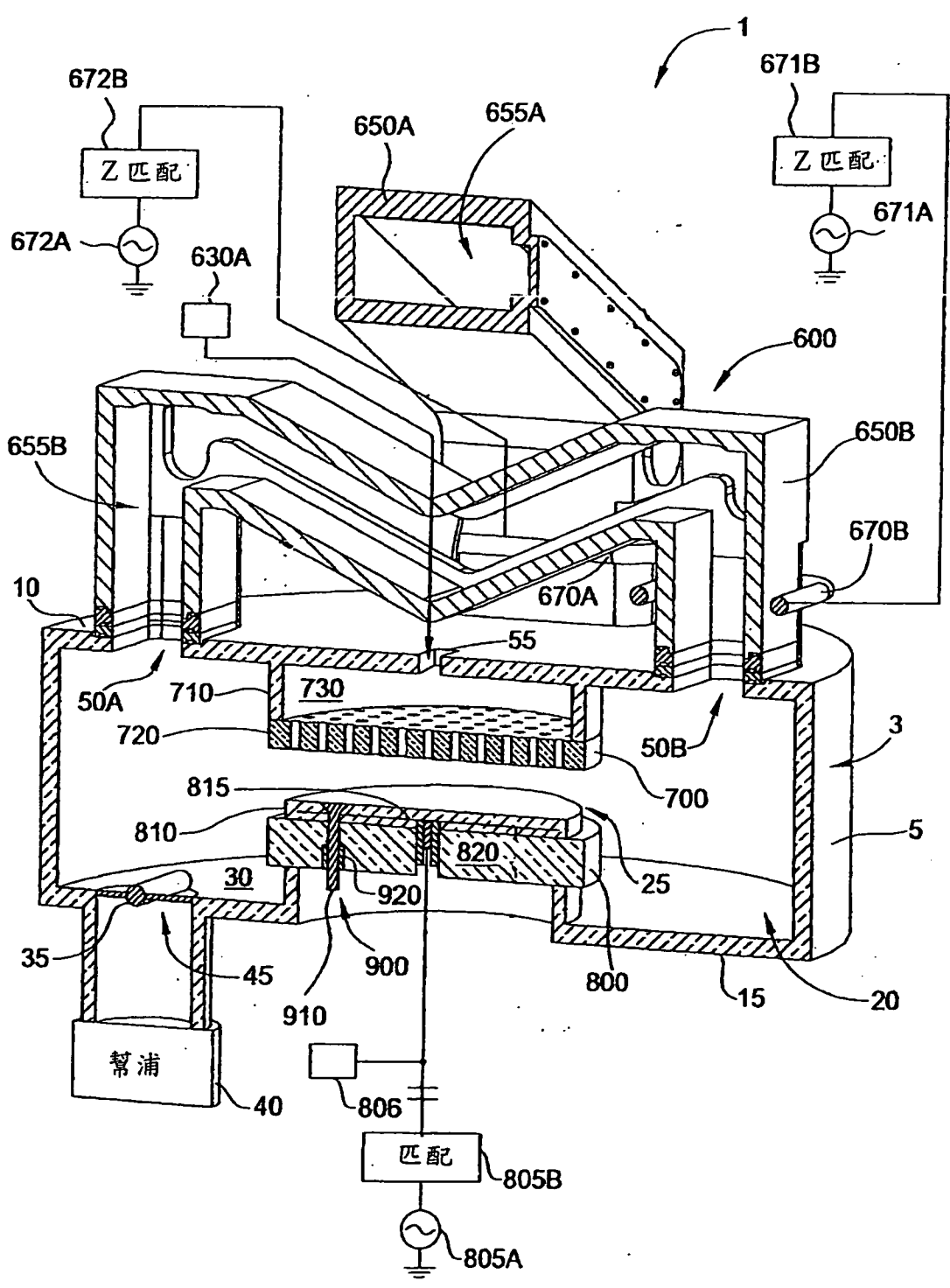
第 3 圖



第 4 圖



第 5 圖



第 6 圖