

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 7 月 18 日 (18.07.2024)



(10) 国际公布号
WO 2024/148796 A1

(51) 国际专利分类号:

G11C 17/16 (2006.01)

(21) 国际申请号:

PCT/CN2023/110842

(22) 国际申请日:

2023 年 8 月 2 日 (02.08.2023)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202310042066.6 2023年1月11日 (11.01.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 侯闯明 (**HOU, Chuangming**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY**

OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) **Title:** ANTI-FUSE ARRAY AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 一种反熔丝阵列和半导体结构

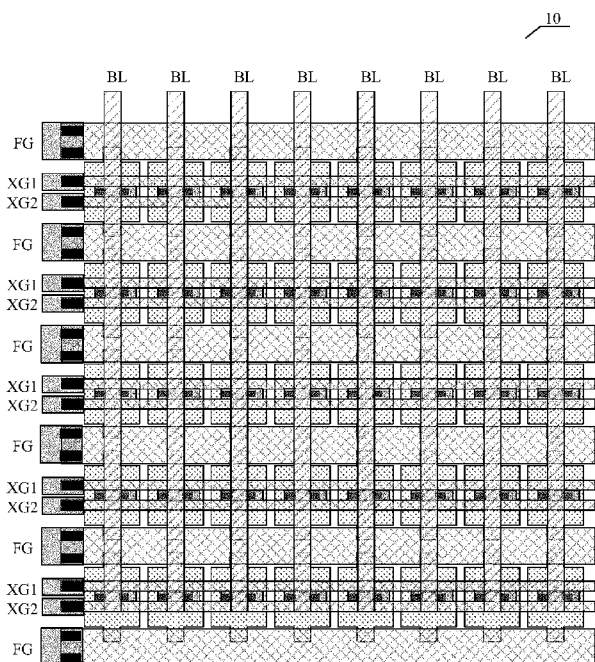


图 7

(57) **Abstract:** Provided in the present disclosure are an anti-fuse array and a semiconductor structure. The anti-fuse array comprises: a plurality of first anti-fuse units, which are arranged in an array, wherein each first anti-fuse unit comprises a first selection device and a first program device; and a plurality of first program wires, which extend in a first direction, wherein control ends of first program devices located in the same row are all connected to the same first program wire, and each first program wire is provided with a first auxiliary structure.

(57) 摘要: 本公开提供了一种反熔丝阵列和半导体结构, 该反熔丝阵列包括: 呈阵列排布的多第一反熔丝单元, 第一反熔丝单元包括第一选择器件和第一编程器件; 多个第一编程导线, 第一编程导线沿第一方向延伸, 位于同一行的第一编程器件的控制端均连接至同一第一编程导线; 第一编程导线具有第一辅助结构。

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种反熔丝阵列和半导体结构

相关申请的交叉引用

本公开要求在 2023 年 01 月 11 日提交中国专利局、申请号为 202310042066.6、申请名称为“一种反熔丝阵列和半导体结构”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及但不限于一种反熔丝阵列和半导体结构。

背景技术

反熔丝器件 (Anti-fuse, AF) 是一次性可编程器件 (One Time Program, OTP)，广泛用于动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 等存储器中。反熔丝器件由两个导电层及介于导电层之间的介质层 (例如栅氧化层) 构成的半导体器件。未编程时，两个导电层被介质层隔开，反熔丝断路；编程时，外加高电压使介质层被高电压击穿，使得两个导电层之间形成电连接，也称为反熔丝器件被熔断。利用反熔丝器件的未熔断、熔断两种状态可以分别代表逻辑值“0”和逻辑值“1”。目前，在对反熔丝器件进行熔断处理时，可能造成相关的编程导线熔断，进而导致同一行的其他反熔丝器件失效。

发明内容

本公开实施例提供一种反熔丝阵列和半导体结构。

第一方面，本公开实施例提供一种反熔丝阵列，所述反熔丝阵列包括：

呈阵列排布的多个第一反熔丝单元，所述第一反熔丝单元包括第一选择器件和第一编程器件，所述第一选择器件的第一端和所述第一编程器件的第一端连接；

多个位线，所述位线沿第二方向延伸，位于同一列的所述第一选择器件的第二端均连接至同一所述位线；

多个第一字线，所述第一字线沿第一方向延伸，位于同一行的所述第一选择器件的控制端均连接至同一所述第一字线；

多个第一编程导线，所述第一编程导线沿所述第一方向延伸，位于同一行的所述第一编程器件的控制端均连接至同一所述第一编程导线；所述第一编程导线具有第一辅助结构，在向所述第一编程导线施加电压的情况下，电流从所述第一编程导线和所述第一辅助结构形成的第一路径中流过，且所述第一路径在垂直于所述第一方向的平面上的截面积大于所述第一编程导线在垂直于所述第一方向的平面上的截面积；其中，所述第一方向和所述第二方向相互垂直。

在一些实施例中，所述反熔丝阵列还包括：

呈阵列分布的多个第二反熔丝单元，所述第二反熔丝单元包括第二选择器件和第二编程器件，所述第二选择器件的第一端和所述第二编程器件的第一端连接；所述第一选择器件、所述第一编程器件、所述第二编程器件和所述第二选择器件沿所述第二方向依次循环排列，位于同一列的所述第二选择器件的第二端以及所述第一选择器件的第二端均连接至同一所述位线；

多个第二字线，所述第二字线沿所述第一方向延伸，位于同一行的所述第二选择器件的控制端均连接至同一所述第二字线；

多个第二编程导线，所述第二编程导线沿所述第一方向延伸，位于同一行的所述第二编程器件的控制端均连接至同一所述第二编程导线；所述第二编程导线具有第二辅助结构，在向所述第二编程导线施加电压的情况下，电流从所述第二编程导线和所述第二辅助结构形成的第二路径中流过，且所述第二路径在垂直于所述第一方向的平面上的截面积大于所述第二编程导线在垂直于所述第一方向的平面上的截面积。

在一些实施例中，沿所述第二方向，所述第一字线和所述第二字线相邻，所述第一编程导线和所述第二编程导线相邻。

在一些实施例中，所述第一编程导线和所述第二编程导线之间存在电通路；所述第一辅助结构是指与所述第一编程导线相邻的所述第二编程导线；所述第二辅助结构是指与所述第二编程导线相邻的第一编程导线。

在一些实施例中，所述第一辅助结构具体包括连接结构和相邻的第二编程导线，所述第二辅助结构具体包括所述连接结构和相邻的第一编程导线，所述连接结构连接相邻的第一编程导线和所述第二编程导线，且所述第一路径和所述第二路径重合；其中，所述连接结构、所述第一编程导线和所述第二编程导线位于同一水平面，且所述连接结构位于相邻的第一编程导线和所述第二编程导线之间的区域。

在一些实施例中，所述第一编程导线、相邻的第二编程导线以及两者之间的所述连接结构合并设置为一整体导线；其中，所述整体导线接收编程控制信号；所述第一反熔丝单元与相邻的第二反熔丝单元共用所述编程控制信号。

在一些实施例中，所述第一编程导线、相邻的第二编程导线以及两者之间的所述连接结构各自独立设置；所述第一编程导线接收所述第一反熔丝单元的第一编程控制信号，所述第二编程导线接收所述第二反熔丝单元的第二编程控制信号。

在一些实施例中，所述第一反熔丝单元还包括第一导电线，所述第二反熔丝单元还包括第二导电线；所述第一导电线与所述第一编程导线之间存在电通路，所述第二导电线与所述第二编程导线之间存在电通路；所述第一辅助结构为所述第一导电线，所述第二辅助结构为所述第二导电线。

在一些实施例中，所述第一辅助结构具体包括第一连接结构和所述第一导电线；所述第一连接结构连接所述第一编程导线和所述第一导电线；所述第二辅助结构具体包括第二连接结构和所述第二导电线；所述第二连接结构连接所述第二编程导线和所述第二导电线；所述第一路径和所述第二路径不重合；其

中，所述第一编程导线和所述第一导电线位于不同的水平面上，所述第一连接结构穿过所述第一编程导线和所述第一导电线之间的水平面；所述第二编程导线和所述第二导电线位于不同的水平面上，所述第二连接结构穿过所述第二编程导线和所述第二导电线之间的水平面。

在一些实施例中，所述第一导电线沿第三方向直接覆盖所述第一编程导线的表面，且所述第一导电线和所述第一连接结构合并设置为一整体；所述第二导电线沿第三方向直接覆盖所述第二编程导线的表面，且所述第二导电线和所述第二连接结构合并设置为一整体。

在一些实施例中，所述第一导电线和所述第一编程导线之间无直接接触，所述第一导电线、所述第一连接结构和所述第一编程导线均独立设置；所述第二导电线和所述第二编程导线之间无直接接触，所述第二导电线、所述第二连接结构和所述第二编程导线均独立设置。

在一些实施例中，所述第一导电线的熔点大于所述第一编程导线的熔点，所述第二导电线的熔点大于所述第二编程导线的熔点；其中，所述第一导电线的材料至少包括金属钨，所述第二导电线的材料至少包括金属钨。

在一些实施例中，所述第一反熔丝单元和相邻的所述第二反熔丝单元共用一有源区，所述第一反熔丝单元还包括第一栅极和第二栅极，所述第二反熔丝单元还包括第三栅极和第四栅极；其中，

所述第一栅极、所述第二栅极、所述第三栅极和所述第四栅极均位于所述有源区，且所述第一栅极、所述第二栅极、所述第三栅极、所述第四栅极沿第二方向排列；

其中，所述第一栅极和所述有源区形成所述第一编程器件，所述第二栅极和所述有源区形成所述第一选择器件，所述第三栅极和所述有源区形成所述第二选择器件，所述第四栅极和所述有源区形成所述第二编程器件。

在一些实施例中，所述第一栅极形成所述第一编程器件的控制端，所述第二栅极形成所述第一选择器件的控制端，所述第三栅极形成所述第二选择器件的控制端，所述第四栅极形成所述第二编程器件的控制端；

位于所述第一栅极和所述第二栅极之间的所述有源区用于形成所述第一编程器件的第一端和所述第一选择器件的第一端，位于所述第二栅极和所述第三栅极之间的所述有源区用于形成所述第一选择器件的第二端和所述第二选择器件的第二端，位于所述第三栅极和所述第四栅极之间的所述有源区用于形成所述第二选择器件的第一端和所述第二编程器件的第一端。

第二方面，本公开实施例提供一种半导体结构，所述半导体结构包括如第一方面所述的反熔丝阵列。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为一种反熔丝阵列的结构示意图；
图 2 为一种编程导线的熔断示意图；
图 3 为本公开实施例提供的一种反熔丝阵列的局部结构示意图一；
图 4 为本公开实施例提供的一种反熔丝阵列的局部结构示意图二；
图 5A 为本公开实施例提供的一种反熔丝阵列的局部结构示意图三；
图 5B 为本公开实施例提供的一种反熔丝阵列的局部结构示意图四；
图 6 为本公开实施例提供的一种反熔丝阵列的局部结构示意图五；
图 7 为本公开实施例提供的一种反熔丝阵列的整体结构示意图；
图 8A 为本公开实施例提供的一种反熔丝阵列的局部结构示意图六；
图 8B 为本公开实施例提供的一种反熔丝阵列的局部结构示意图七；
图 8C 为本公开实施例提供的一种反熔丝阵列的局部结构示意图八；
图 9 为本公开实施例提供的一种反熔丝阵列的局部结构示意图九；
图 10 为本公开实施例提供的另一种反熔丝阵列的整体结构示意图；
图 11 为本公开实施例提供的一种半导体结构的示意图；
图 12 为本公开实施例提供的一种存储器的结构示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其它的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一

元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

参见图 1，其示出了一种反熔丝阵列的结构示意图。如图 1 所示，在反熔丝阵列中，每 2 个反熔丝单元（如虚线框所示）共用一有源区，位于同一列的反熔丝单元均连接到同一条位线 BL，位于同一行的反熔丝单元共用同一字线 XG 和同一编程导线 FG。以图 1 为例，第 1 个反熔丝单元对应字线 Top XG 和编程导线 Top FG，第 2 个反熔丝单元对应字线 Bottom XG 和编程导线 Bottom FG。有源区和第一栅极（图 1 未示出）形成第 1 个反熔丝单元中的编程器件（Top AF cell），且第一栅极连接至 Top FG，有源区和第二栅极（图 1 未示出）形成第 1 个反熔丝单元中的选择器件（Top XADD），且第二栅极连接至 Top XG，有源区和第三栅极（图 1 未示出）形成第 2 个反熔丝单元中的选择器件（Bottom XADD），且第三栅极连接到 Bottom XG，有源区和第四栅极形成第 2 个反熔丝单元中的编程器件（Bottom AF cell），且第四栅极连接至 Bottom FG，2 个反熔丝单元中的选择晶体管共源极，且位线 BL 引出该源极。另外，图 2 示出了更多数量的反熔丝单元的排列方式。如图 1 和图 2 所示，每 2 条编程导线是相邻的，每 2 条字线是相邻的。

请结合图 1 和图 2，在对反熔丝单元进行熔断（或称为参数写入）时，需要对相应的编程导线 FG 施加高压（约 5.5~6 伏），同时相应的位线 BL 置 0 伏，并开启相应的选择器件（XADD），以此使得编程器件 AF cell 的薄栅氧化物在高压下被击穿，从而编程器件 AF cell 的电阻显著下降，实现参数写入。然而，如图 1 和图 2 所示，当编程器件 AF cell 的栅氧化物被击穿时，在编程导线 FG 上将流经较大的电流，因编程导线 FG 本身具有一定的电阻，可能由于焦耳热产生极高的温度将编程导线 FG 完全熔断。

值得注意的是，在电路架构中，所有处于同一行的编程器件（AF cell）共享同一条编程导线 FG，并且从连接关系来看，越靠近编程导线 FG 的接触结构（Contact）的位置电流越大，越容易断开，这将导致一整行的编程器件（AF cell）完全失效。但是，如果过度限制写入时的能量，则可能导致部分编程器件（AF cell）无法被充分写入。

基于此，本公开实施例提供了一种反熔丝阵列，能够降低编程导线在编程器件的栅氧化物被击穿的过程中的电流密度，避免编程导线熔断，改善编程器件的失效问题。

在本公开的一实施例中，参见图 3，其示出了本公开实施例提供的一种反熔丝阵列 10 的局部结构示意图。如图 3 所示，该反熔丝阵列 10 包括：

呈阵列排布的多个第一反熔丝单元 11（图 3 仅以 1 个为例进行示出），第一反熔丝单元 11 包括第一选择器件 111 和第一编程器件 112，第一选择器件 111

的第一端和第一编程器件 112 的第一端连接;

多个位线 BL (图 3 仅以 1 个为例进行示出), 位线 BL 沿第二方向延伸, 位于同一列的第一选择器件 111 的第二端均连接至同一位线;

多个第一字线 XG1 (图 3 仅以 1 个为例进行示出), 第一字线 XG1 沿第一方向延伸, 位于同一行的第一选择器件 111 的控制端均连接至同一第一字线 XG1;

多个第一编程导线 FG1 (图 3 仅以 1 个为例进行示出), 第一编程导线 FG1 沿第一方向延伸, 位于同一行的第一编程器件 112 的控制端均连接至同一第一编程导线 FG1; 第一编程导线 FG1 具有第一辅助结构 12, 在向第一编程导线 FG1 施加电压的情况下, 电流从第一编程导线 FG1 和第一辅助结构 12 形成的第一路径中流过, 且第一路径在垂直于第一方向的平面上的截面积 (下称横截面积) 大于第一编程导线 FG1 在垂直于第一方向的平面上的截面积 (下称横截面积); 其中, 第一方向和第二方向相互垂直。

需要说明的是, 如图 3 所示, 第一选择器件 111 和第一编程器件 112 共享同一有源区 100。有源区 100 位于半导体衬底中, 半导体衬底可以是硅衬底, 且半导体衬底也可以包括其它半导体元素, 例如: 锗 (Ge), 或包括半导体化合物, 例如: 碳化硅 (SiC)、砷化镓 (GaAs)、磷化镓 (GaP)、磷化铟 (InP)、砷化铟 (InAs) 或锑化铟 (InSb), 或包括其它半导体合金, 例如: 硅锗 (SiGe)、磷化砷镓 (GaAsP)、砷化铟铝 (AlInAs)、砷化镓铝 (AlGaAs)、砷化铟镓 (GaInAs)、磷化铟镓 (GaInP)、及/或磷砷化铟镓 (GaInAsP) 或其组合。

在这里, 有源区 100 中存在多个掺杂区, 位于第一字线 XG1 正下方的有源区 100 的掺杂类型与位于第一字线 XG1 两侧的有源区 100 的掺杂类型不同, 从而形成第一选择器件 111; 位于第一编程导线 FG1 正下方的有源区 100 的掺杂类型与位于第一编程导线 FG1 一侧的有源区 100 的掺杂类型不同, 从而形成第一编程器件 112。这样, 通过对第一字线 XG1 施加电压可以开启第一选择器件 111, 然后在第一编程导线 FG1 上施加 5~6 伏的强电压, 同时位线 BL 置 0 伏, 能够对第一编程器件 112 进行击穿, 以实现逻辑 1 的写入。

如前述, 在对第一编程器件 112 进行击穿时, 第一编程导线 FG1 上将流经巨大的电流, 可能由于焦耳热导致温度上升, 从而熔断第一编程导线 FG1。在本公开实施例中, 第一编程导线 FG1 具有第一辅助结构 12, 在对第一编程器件 112 进行击穿时, 电流从第一路径 (第一编程导线 FG1 和第一辅助结构 12 共同构成的) 中流过, 且第一路径的横截面积大于第一编程导线 FG1 的横截面积。这样, 第一编程导线 FG1 上的电流密度减小, 焦耳热降低, 温度上升量减少, 避免第一编程导线 FG1 熔断, 能够改善反熔丝阵列的失效问题。

在图 3 中, 行方向是指第一方向, 列方向是指第二方向。

在另一些实施例中, 第一方向和第二方向也可以不垂直, 例如第一方向和第二方向之间的夹角可以为 80 度、60 度等等, 此时第一路径的横截面积仍然大于第一编程导线的横截面积。但是第一路径的横截面积是指与第一路径的延伸方向垂直的截面积, 第一编程导线 FG1 的横截面积指与第一编程导线 FG1 的延伸方向垂直的截面积。

在一些实施例中，参见图 4，其示出了本公开实施例提供的另一种反熔丝阵列 10 的局部结构示意图。如图 4 所示，反熔丝阵列 10 还包括：

呈阵列分布的多个第二反熔丝单元 21，第二反熔丝单元 21 包括第二选择器件 211 和第二编程器件 212，第二选择器件 211 的第一端和第二编程器件 212 的第一端连接；第一选择器件 111、第一编程器件 112、第二编程器件 212 和第二选择器件 211 沿第二方向依次循环排列，位于同一列的第二选择器件 211 的第二端以及第一选择器件 111 的第二端均连接至同一位线；

多个第二字线 XG2，第二字线 XG2 沿第一方向延伸，位于同一行的第二选择器件 211 的控制端均连接至同一第二字线 XG2；

多个第二编程导线 FG2，第二编程导线 FG2 沿第一方向延伸，位于同一行的第二编程器件 212 的控制端均连接至同一第二编程导线 FG2；第二编程导线 FG2 具有第二辅助结构 22，在向第二编程导线 FG2 施加电压的情况下，电流从第二编程导线 FG2 和第二辅助结构 22 形成的第二路径中流过，且第二路径在垂直于第一方向的平面上的截面积大于第二编程导线 FG2 在垂直于第一方向的平面上的截面积。

需要说明的是，第一方向上，多个第一反熔丝单元 11 位于同一行，多个第二反熔丝单元 21 位于同一行；在第二方向上，一个第一反熔丝单元 11 和一个第二反熔丝单元 21 呈现镜像对称，从而构成反熔丝阵列 10 的重复单元。这样，反熔丝阵列的排列方式更加规整，有利于工艺制作。在其他实施例中，第一反熔丝单元 11 和第二反熔丝单元 21 可以沿其他方向（例如与目前的第二方向的夹角为 30 度、45 度或 60 度等）形成一行，多个第一反熔丝单元 11 也可以沿其他方向（例如与目前的第一方向的夹角为 30 度、45 度或 60 度等）形成一行，提高反熔丝阵列的集成密度。

类似的，在第二反熔丝单元 21 中，第二编程导线 FG2 具有第二辅助结构 22，在对第二编程器件 212 进行参数写入时，电流从第二路径（第二编程导线 FG2 和第一辅助结构 12 共同构成的）中流过，且第二路径的横截面积大于第二编程导线 FG2 的横截面积。这样，第二编程导线 FG2 上的电流密度减小，焦耳热降低，温度上升量减少，避免第二编程导线 FG2 熔断，改善失效问题。

在本公开实施例中，第一编程导线 FG1 和第二编程导线 FG2 无本质区别，若后文中直接采用编程导线 FG（或编程导线）则可以是指第一编程导线 FG1 和第二编程导线 FG2 中的任意一个；第一字线 XG1 和第二字线 XG2 同样无本质区别。

在一些实施例中，如图 4 所示，沿第二方向，第一编程导线 FG1 和第二编程导线 FG2 相邻，第一字线 XG1 和第二字线 XG2 相邻。

应理解，图 4 所示出的结构将在第二方向上循环排列，因此图 4 中的第一字线 XG1 实际上与另一第二字线 XG2（图 4 未示出）相邻，因此图 4 中的第二字线 XG2 实际上与另一第一字线 XG1（图 4 未示出）相邻。

需要说明的是，第一辅助结构 12 和第二辅助结构 22 的材料、位置、工艺和形式均具有多种可能，且第一辅助结构 12 和第二辅助结构 22 的材料（或者位置、工艺和形式）可以相同也可以不同。以下给出几种示例但不构成相关限

制。

在一些实施例中,第一编程导线FG1和第二编程导线FG2之间存在电通路;第一辅助结构12是指与第一编程导线FG1相邻的第二编程导线FG2;第二辅助结构22是指与第二编程导线FG2相邻的第一编程导线FG1。

这样,对于相邻的2个编程导线来说,一编程导线作为另一编程导线的辅助结构,无需增加额外的物理结构,降低成本。此时,在向一编程导线施加强电压的情况下,电流实际上从该编程导线和相邻的编程导线共同构成的电路径中流过,降低电流密度和焦耳热量,从而避免编程导线失效。

在后续图5A~图10中,第一方向的定义和第二方向的定义与图3/图4是相同的,不再示出坐标示意。

在一些实施例中,如图5A所示,第一辅助结构具体包括连接结构120和相邻的第二编程导线FG2,第二辅助结构具体包括该连接结构120和相邻的第一编程导线FG1,连接结构120连接相邻的第一编程导线FG1和第二编程导线FG2,且第一路径和第二路径重合。

在一种具体的实施例中,如图5A或5B所示,第一编程导线FG1、相邻的第二编程导线FG2以及两者之间的连接结构各自独立设置;第一编程导线FG1接收第一反熔丝单元11的第一编程控制信号,第二编程导线FG2接收第二反熔丝单元21的第二编程控制信号。

这样,第一编程导线FG1和第二编程导线FG2在物理上是独立设置的,但是可视为一个整体电结构。

需要说明的是,连接结构120的材料具有多种可能,即连接结构120至少包括导电材料,且导电材料可以为以下的一种或几种:钨、铜、钴、钎、铍等。

需要说明的是,连接结构120的位置具有多种可能。例如,连接结构120、第一编程导线FG1和第二编程导线FG2位于同一水平面,且连接结构120位于相邻的第一编程导线FG1和第二编程导线FG2之间的区域;又例如,连接结构120、第一编程导线FG1和第二编程导线FG2位于同一水平面,且连接结构120覆盖第一编程导线FG1的部分表面、第一编程导线FG1和第二编程导线FG2之间的区域、第二编程导线FG2的部分表面;再例如,连接结构可能沿第三方向穿越其他平面,例如采用类似跳线的原理实现第一编程导线FG1和第二编程导线FG2的连接。

在本公开实施例中,水平面是指第一方向和第二方向所在的平面。

还需要说明的是,连接结构120的形状具有多种可能。例如,如图5A所示,连接结构120为矩形,平铺于第一编程导线FG1和第二编程导线FG2之间;又例如,连接结构120为圆形,平铺于第一编程导线FG1和第二编程导线FG2之间;连接结构120的另一侧至少覆盖第二编程导线FG2的部分;再例如,如图5B所示,连接结构120包括多个子结构,每一子结构均在第一编程导线FG1和第二编程导线FG2之间形成一条电通路。

在另一种具体的实施例中,如图6所示,第一编程导线FG1、相邻的第二编程导线FG2以及两者之间的连接结构合并设置为一整体导线FG;其中,整体导线接收编程控制信号;第一反熔丝单元11与相邻的第二反熔丝单元21共

用编程控制信号。

需要说明的是，对于图 6 和图 4 可以看出，整体导线 FG 沿第二方向的宽度明显大于第一编程导线 FG1（或第二编程导线 FG2）沿第二方向的宽度，从而能够降低编程过程中的电流密度，改善编程导线失效的问题。

参见图 7，其示出了本公开实施例提供的一种反熔丝阵列 10 的结构示意图。如图 7 所示，每 2 行反熔丝单元（1 行第一反熔丝单元 11 和 1 行第二反熔丝单元 21）共用一整体导线 FG，不仅能够简化制备工艺，而且减少了编程控制信号的数量。

在另一些实施例中，相邻的 2 个字线也可以合并为一条字线，进一步简化制备工艺。同时减少相关控制信号的数量。

这样，对于第一编程导线 FG1 来说，通过与相邻的第二编程导线 FG2 共同形成第一路径以增加横截面积，减小电流密度，改善失效问题；对于第二编程导线 FG2 来说，通过与相邻的第一编程导线 FG1 共同形成第二路径以增加横截面积，减小电流密度，改善失效问题。

在另一些实施例中，第一辅助结构 12 可以与第二编程导线 FG2 无关，第二辅助结构 22 可以与第一编程导线 FG1 无关。此时，如图 8A 所示，第一反熔丝单元 11 还包括第一导电线 121，第二反熔丝单元 21 还包括第二导电线 221；第一导电线 121 与第一编程导线 FG1 之间存在电通路，第二导电线 221 与第二编程导线 FG2 之间存在电通路；第一辅助结构 12 具体为第一导电线 121，第二辅助结构 22 具体为第二导电线 221。

这样，通过额外设置第一导电线 121 实现第一辅助结构 12，通过额外设置第二导电线 221 实现第二辅助结构 22，从而第一编程导线 FG1 和第二编程导线 FG2 是相互独立的，避免信号耦合干扰，控制效果更好。

需要说明的是，第一导电线 121 和第二导电线 221 的设置形式具有多种可能。例如，如图 8A 所示，第一导电线 121 与第一编程导线 FG1 位于同一平面，第二导电线 221 与第二编程导线 FG2 位于同一平面；又例如，第一导电线 121 与第一编程导线 FG1 并非位于同一平面，具体的，第一编程导线 FG1 可以全包围环绕在第一编程导线 FG1 表面，或者第一编程导线 FG1 可以半包围环绕在第一编程导线 FG1 表面。

需要说明的是，第一导电线 121 和第二导电线 221 均由导电材料构成。该导电材料至少可以是以下材料的一种或几种：钨、铜、钴、钽、铑等。在这里，第一导电线 121 可以与第二导电线 221 的材料相同，或者第一导电线 121 可以与第二导电线 221 的材料不同。

另外，第一导电线 121 和第二导电线 221 的形状和尺寸可以为多种，图 8A 仅是其中的一种。另外，第一导电线 121（或第二导电线 221）的形状还可以为：圆形、梯形、非闭合图形、弧形或者包含多个子图形的组合形状。第一导电线 121 和第二导电线 221 的形状可以相同或不同。

在一些实施例中，第一导电线 121 的熔点大于第一编程导线 FG1 的熔点，第二导电线 221 的熔点大于第二编程导线 FG2 的熔点，能够更好的缓解编程导线的击穿问题。

在一些实施例中,如图 8B 所示,第一辅助结构 12 具体包括第一连接结构 122 和第一导电线 121;第一连接结构连接第一编程导线 FG1 和第一导电线 121;第二辅助结构 22 具体包括第二连接结构 222 和第二导电线 221;第二连接结构 222 连接第二编程导线 FG2 和第二导电线 221;第一路径和第二路径不重合。

需要说明的是,第一编程导线 FG1 和第一导电线 121 的位置具有多种可能,第二编程导线 FG2 和第二导电线 221 的位置具有多种可能。

例如,第一编程导线 FG1、第一导电线 121、第一连接结构 122 位于同一平面,第二编程导线 FG2、第二导电线 221 和第二连接结构 222 位于同一平面。

又例如,参见图 8C,且图 8C 为第一反熔丝单元和第二反熔丝单元的侧面视图,第一编程导线 FG1 和第一导电线 121 位于不同的水平面上,第一连接结构 122 穿过第一编程导线 FG1 和第一导电线 121 之间的水平面;第二编程导线 FG2 和第二导电线 221 位于不同的水平面上,第二连接结构 222 穿过第二编程导线 FG2 和第二导电线 221 之间的水平面。在图 8C 中,相邻的两个编程器件之间为指浅槽隔离结构(shallow trench isolation, STI),第一编程导线 FG1 和有源区 100 之间的结构、第二编程导线 FG2 和有源区 100 之间的结构、第一字线 XG1 和有源区 100 之间的结构、第二字线 XG2 和有源区 100 之间的结构均为栅极结构。

在一种具体的实施例中,如图 9 所示,第一导电线 121 沿第三方向直接覆盖第一编程导线 FG1 的表面,且第一导电线 121 和第一连接结构合并设置为一整体;第二导电线 221 沿第三方向直接覆盖第二编程导线 FG2 的表面,且第二导电线 221 和第二连接结构 222 合并设置为一整体。

这样,如图 9 所示,第一导电线 121 和第二导电线 221 不会导致反熔丝阵列的版图面积增大,而且第一导电线 121 与第一编程导线 FG1 的接触面积较大,第二导电线 221 与第二编程导线 FG2 的接触面积较大,相当于第一编程导线 FG1 和第二编程导线 FG2 的表面各自覆盖了一导电层,制备工艺简单。

在另一种具体的实施例中,如图 8B 所示,第一导电线 121 和第一编程导线 FG1 之间无直接接触,第一导电线 121、第一连接结构 122 和第一编程导线 FG1 均独立设置;第二导电线 221 和第二编程导线 FG2 之间无直接接触,第二导电线 221、第二连接结构 222 和第二编程导线 FG2 均独立设置。也就是说,第一导电线 121 必须经由第一连接结构 122 连接到第一编程导线 FG1,从而形成前述的第一路径;第二导电线 221 必须经由第二连接结构 222 连接到第二编程导线 FG2,从而形成前述的第二路径。

这样,通过额外设置第一导电线 121 实现第一辅助结构 12,通过额外设置第二导电线 221 实现第二辅助结构 22,同样可以增加编程导线的横截面积,减小电流密度,改善失效问题。

结合图 7 和图 10 可以看出,第一反熔丝单元 11 和相邻的第二反熔丝单元 21 共用一有源区,第一反熔丝单元 11 还包括第一栅极和第二栅极,第二反熔丝单元 21 还包括第三栅极和第四栅极;其中,

第一栅极、第二栅极、第三栅极和第四栅极均位于有源区,且第一栅极、第二栅极、第三栅极、第四栅极沿第二方向排列;

其中，第一栅极和有源区形成第一编程器件 112，第二栅极和有源区形成第一选择器件 111，第三栅极和有源区形成第二选择器件 211，第四栅极和有源区形成第二编程器件 212。

特别的，在图 4、图 5A、图 5B、图 6、图 8A、图 8B 和图 9 所示出的单元仅为反熔丝阵列中的部分重复结构，第一反熔丝单元实际上与其上方的第二反熔丝单元（上述图中没有示出）共用有源区 100，第二反熔丝单元实际上与其下方的第一反熔丝单元（上述图中没有示出）共用有源区。

需要说明的是，有源区中的掺杂类型、掺杂浓度、掺杂深度可以不同，具体需要根据实际应用场景确定。另外，第一栅极~第四栅极均可通过常规的栅极形成工艺得到。

需要说明的是，第一栅极形成第一编程器件 112 的控制端（G 端），第二栅极形成第一选择器件 111 的控制端（G 端），第三栅极形成第二选择器件 211 的控制端（G 端），第四栅极形成第二编程器件 212 的控制端（G 端）；

位于第一栅极和第二栅极之间的有源区用于形成第一编程器件 112 的第一端和第一选择器件 111 的第一端，位于第二栅极和第三栅极之间的有源区用于形成第一选择器件 111 的第二端和第二选择器件 211 的第二端，位于第三栅极和第四栅极之间的有源区用于形成第二选择器件 211 的第一端和第二编程器件 212 的第一端。

需要说明的是，第一端和第二端可以是漏极或源极中相应的一个。

综上所述，对于图 2 所示的反熔丝阵列，在对编程器件 AF cell 进行击穿时，需要在相应的编程导线 FG 端加高压，相应的位线 BL 置 0 伏，以击穿编程器件 AF cell 的栅氧化物。然而，当编程器件 AF cell 的栅氧化物被击穿时，在相应的编程导线 FG 上将流经巨大的电流，由于编程导线 FG 本身具有一定的电阻，因此由于焦耳热导致极高的温度将编程导线 FG 完全熔断。如图 2 的电路架构中，所有处于一行的编程器件 AF cell 共享同一条编程导线 FG，并且从连接关系来看，越靠近编程导线的接触结构（FG contact）的位置电流越大，越容易断开，这将导致一整行的编程器件 AF cell 完全失效。如果过度限制写入时的能量，则可能导致部分编程器件 AF cell 无法被充分写入。对于以上问题，本公开提供的反熔丝阵列中额外提供了第一辅助结构和第二辅助结构，第一辅助结构和第二辅助结构的存在相当于扩展了编程导线 FG 的横截面积，从而电流密度减小，避免编程导线 FG 熔断。

在一种解决方案中，第一辅助结构是指与第一编程导线相邻的第二编程导线，第二辅助结构是指与第二编程导线相邻的第一编程导线。示例性的，如图 7 所示，将相邻两行的编程导线（原 FG1 和原 FG2）合并为一整体的编程导线 FG，这样，编程导线 FG 的宽度明显增加，一方面，在对某一行的编程器件 AF cell 进行写入时，流经编程导线 FG 的电流不变，但是电流密度降低，因此局域温度并不会显著上升；另一方面，由于编程导线 FG 的横截面积增加，因此编程导线 FG 被完全熔断的风险极大地降低了；又一方面，在图 7 所示的反熔丝阵列中，减少了一半的编程导线 FG 的控制端口，并且整个反熔丝阵列的布局并不会使功耗增加，同时简化了高压控制电路及其时序，提高了系统的可靠性。

在另一种解决方案中，第一辅助结构是指额外设置的第一导电层，第二辅助结构是指额外设置的第二导电线。示例性的，如图 10 所示，在所有的编程导线 FG（包括第一编程导线 FG1 和第二编程导线 FG2）并联一层金属层（即前述的第一导电线和第二导电线），金属层具体可以为钨。这样，一方面，可使流经下层的编程导线 FG（具体为多晶硅材料）的电流密度明显变低。因此在对某一行的编程器件 AF cell 进行写入时，多晶硅的局域温度并不会显著上升，因此编程导线 FG 被完全熔断的风险能够明显降低。另一方面，由于新增了一层金属钨并联在编程导线 FG 上，即使某处编程导线 FG 由于局域温度过高被完全熔断，但是由于钨的熔点高，并不会完全熔断，避免了由于某处编程导线 FG 多晶硅熔断使得远离编程导线的接触结构（FG contact）的编程器件 AF cell 完全失效的风险，提高了系统的可靠性。

本公开实施例提供了一种反熔丝阵列，该反熔丝阵列包括：呈阵列排布的多个第一反熔丝单元，第一反熔丝单元包括第一选择器件和第一编程器件，第一选择器件的第一端和第一编程器件的第一端连接；多个位线，位线沿第二方向延伸，位于同一列的第一选择器件的第二端均连接至同一位线；多个第一字线，第一字线沿第一方向延伸，位于同一行的第一选择器件的控制端均连接至同一第一字线；多个第一编程导线，第一编程导线沿第一方向延伸，位于同一行的第一编程器件的控制端均连接至同一第一编程导线；第一编程导线具有第一辅助结构。这样，本公开实施例提供的反熔丝阵列能够降低编程导线上的电流密度，避免编程导线熔断。

在本公开的另一实施例中，参见图 11，其示出了本公开实施例提供的一种半导体结构 40 的示意图。如图 11 所示，该半导体结构 40 包括前述的反熔丝阵列 10。

需要说明的是，反熔丝阵列 10 包括多个第一反熔丝单元、多个位线、多个第一字线、多个第一编程导线、多个第二反熔丝单元、多个第二字线、多个第二编程导线，第一编程导线具有第一辅助结构，在向第一编程导线施加电压的情况下，电流从第一编程导线和第一辅助结构形成的第一路径中流过，且第一路径在垂直于第一方向的平面上的截面积大于第一编程导线在垂直于第一方向的平面上的截面积；第二编程导线具有第二辅助结构，在向第二编程导线施加电压的情况下，电流从第二编程导线和第二辅助结构形成的第二路径中流过，且第二路径在垂直于第一方向的平面上的截面积大于第二编程导线在垂直于第一方向的平面上的截面积。

这样，本公开实施例提供了一种半导体结构，借助于第一辅助结构和第二辅助结构，能够降低编程导线在编程器件的栅氧化物被击穿的过程中的电流密度，避免编程导线熔断，改善编程器件的失效问题。

在本公开的又一实施例中，参见图 12，其示出了本公开实施例提供的一种存储器 50 的结构示意图。如图 12 所示，该存储器 50 包括前述的半导体结构 40。例如，该存储器 50 包括但不限于动态随机存取存储器（DRAM）。

需要说明的是，半导体结构 40 包括前述的反熔丝阵列 10，反熔丝阵列 10 包括多个第一反熔丝单元、多个位线、多个第一字线、多个第一编程导线、多

个第二反熔丝单元、多个第二字线、多个第二编程导线，第一编程导线具有第一辅助结构，在向第一编程导线施加电压的情况下，电流从第一编程导线和第一辅助结构形成的第一路径中流过，且第一路径在垂直于第一方向的平面上的截面积大于第一编程导线在垂直于第一方向的平面上的截面积；第二编程导线具有第二辅助结构，在向第二编程导线施加电压的情况下，电流从第二编程导线和第二辅助结构形成的第二路径中流过，且第二路径在垂直于第一方向的平面上的截面积大于第二编程导线在垂直于第一方向的平面上的截面积。

这样，本公开实施例提供了一种半导体结构，借助于第一辅助结构和第二辅助结构，能够降低编程导线在编程器件的栅氧化物被击穿的过程中的电流密度，避免编程导线熔断，改善编程器件的失效问题。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本公开的一些实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1.一种反熔丝阵列，所述反熔丝阵列（10）包括：

呈阵列排布的多个第一反熔丝单元（11），所述第一反熔丝单元（11）包括第一选择器件（111）和第一编程器件（112），所述第一选择器件（111）的第一端和所述第一编程器件（112）的第一端连接；

多个位线（BL），所述位线（BL）沿第二方向延伸，位于同一列的所述第一选择器件（111）的第二端均连接至同一所述位线（BL）；

多个第一字线（XG1），所述第一字线（XG1）沿第一方向延伸，位于同一行的所述第一选择器件（111）的控制端均连接至同一所述第一字线（XG1）；

多个第一编程导线（FG1），所述第一编程导线（FG1）沿所述第一方向延伸，位于同一行的所述第一编程器件（112）的控制端均连接至同一所述第一编程导线（FG1）；所述第一编程导线（FG1）具有第一辅助结构（12），在向所述第一编程导线（FG1）施加电压的情况下，电流从所述第一编程导线（FG1）和所述第一辅助结构（12）形成的第一路径中流过，且所述第一路径在垂直于所述第一方向的平面上的截面积大于所述第一编程导线（FG1）在垂直于所述第一方向的平面上的截面积；其中，所述第一方向和所述第二方向相互垂直。

2.根据权利要求1所述的反熔丝阵列，其中，所述反熔丝阵列（10）还包括：

呈阵列分布的多个第二反熔丝单元（21），所述第二反熔丝单元（21）包括第二选择器件（211）和第二编程器件（212），所述第二选择器件（211）的第一端和所述第二编程器件（212）的第一端连接；所述第一选择器件（111）、所述第一编程器件（112）、所述第二编程器件（212）和所述第二选择器件（211）沿所述第二方向依次循环排列，位于同一列的所述第二选择器件（211）的第二端以及所述第一选择器件（111）的第二端均连接至同一所述位线（BL）；

多个第二字线（XG2），所述第二字线（XG2）沿所述第一方向延伸，位于同一行的所述第二选择器件（211）的控制端均连接至同一所述第二字线（XG2）；

多个第二编程导线（FG2），所述第二编程导线（FG2）沿所述第一方向延伸，位于同一行的所述第二编程器件（212）的控制端均连接至同一所述第二编程导线（FG2）；所述第二编程导线（FG2）具有第二辅助结构（22），在向所述第二编程导线（FG2）施加电压的情况下，电流从所述第二编程导线（FG2）和所述第二辅助结构（22）形成的第二路径中流过，且所述第二路径在垂直于所述第一方向的平面上的截面积大于所述第二编程导线（FG2）在垂直于所述第一方向的平面上的截面积。

3.根据权利要求2所述的反熔丝阵列，其中，

沿所述第二方向，所述第一字线（XG1）和所述第二字线（XG2）相邻，所述第一编程导线（FG1）和所述第二编程导线（FG2）相邻。

4.根据权利要求3所述的反熔丝阵列，其中，所述第一编程导线（FG1）和所述第二编程导线（FG2）之间存在电通路；

所述第一辅助结构(12)是指与所述第一编程导线(FG1)相邻的所述第二编程导线(FG2);

所述第二辅助结构(22)是指与所述第二编程导线(FG2)相邻的第一编程导线(FG1)。

5.根据权利要求3或4所述的反熔丝阵列,其中,

所述第一辅助结构(12)具体包括连接结构和相邻的第二编程导线(FG2),所述第二辅助结构(22)具体包括所述连接结构和相邻的第一编程导线(FG1),所述连接结构连接相邻的第一编程导线(FG1)和所述第二编程导线(FG2),且所述第一路径和所述第二路径重合;

其中,所述连接结构、所述第一编程导线(FG1)和所述第二编程导线(FG2)位于同一水平面,且所述连接结构位于相邻的第一编程导线(FG1)和所述第二编程导线(FG2)之间的区域。

6.根据权利要求5所述的反熔丝阵列,其中,

所述第一编程导线(FG1)、相邻的第二编程导线(FG2)以及两者之间的所述连接结构合并设置为一整体导线;

其中,所述整体导线接收编程控制信号;所述第一反熔丝单元(11)与相邻的第二反熔丝单元(21)共用所述编程控制信号。

7.根据权利要求5所述的反熔丝阵列,其中,

所述第一编程导线(FG1)、相邻的第二编程导线(FG2)以及两者之间的所述连接结构各自独立设置;

所述第一编程导线(FG1)接收所述第一反熔丝单元(11)的第一编程控制信号,所述第二编程导线(FG2)接收所述第二反熔丝单元(21)的第二编程控制信号。

8.根据权利要求2所述的反熔丝阵列,其中,所述第一反熔丝单元(11)还包括第一导电线(121),所述第二反熔丝单元(21)还包括第二导电线(221);

所述第一导电线(121)与所述第一编程导线(FG1)之间存在电通路,所述第二导电线(221)与所述第二编程导线(FG2)之间存在电通路;

所述第一辅助结构(12)为所述第一导电线(121),所述第二辅助结构(22)为所述第二导电线(221)。

9.根据权利要求8所述的反熔丝阵列,其中,

所述第一辅助结构(12)具体包括第一连接结构(122)和所述第一导电线(121);所述第一连接结构(122)连接所述第一编程导线(FG1)和所述第一导电线(121);

所述第二辅助结构(22)具体包括第二连接结构(222)和所述第二导电线(221);所述第二连接结构(222)连接所述第二编程导线(FG2)和所述第二导电线(221);所述第一路径和所述第二路径不重合;

其中,所述第一编程导线(FG1)和所述第一导电线(121)位于不同的水平面上,所述第一连接结构(122)穿过所述第一编程导线(FG1)和所述第一导电线(121)之间的水平面;所述第二编程导线(FG2)和所述第二导电线(221)位于不同的水平面上,所述第二连接结构(222)穿过所述第二编程导线(FG2)

和所述第二导电线(221)之间的水平面。

10.根据权利要求9所述的反熔丝阵列,其中,

所述第一导电线(121)沿第三方向直接覆盖所述第一编程导线(FG1)的表面,且所述第一导电线(121)和所述第一连接结构(122)合并设置为一整体;

所述第二导电线(221)沿第三方向直接覆盖所述第二编程导线(FG2)的表面,且所述第二导电线(221)和所述第二连接结构(222)合并设置为一整体。

11.根据权利要求9或10所述的反熔丝阵列,其中,

所述第一导电线(121)和所述第一编程导线(FG1)之间无直接接触,所述第一导电线(121)、所述第一连接结构(122)和所述第一编程导线(FG1)均独立设置;

所述第二导电线(221)和所述第二编程导线(FG2)之间无直接接触,所述第二导电线(221)、所述第二连接结构(222)和所述第二编程导线(FG2)均独立设置。

12.根据权利要求8-11任一项所述的反熔丝阵列,其中,

所述第一导电线(121)的熔点大于所述第一编程导线(FG1)的熔点,所述第二导电线(221)的熔点大于所述第二编程导线(FG2)的熔点;

其中,所述第一导电线(121)的材料至少包括金属钨,所述第二导电线(221)的材料至少包括金属钨。

13.根据权利要求2-12任一项所述的反熔丝阵列,其中,所述第一反熔丝单元(11)和相邻的第二反熔丝单元(21)共用一有源区,所述第一反熔丝单元(11)还包括第一栅极和第二栅极,所述第二反熔丝单元(21)还包括第三栅极和第四栅极;其中,

所述第一栅极、所述第二栅极、所述第三栅极和所述第四栅极均位于所述有源区,且所述第一栅极、所述第二栅极、所述第三栅极、所述第四栅极沿第二方向排列;

其中,所述第一栅极和所述有源区形成所述第一编程器件(112),所述第二栅极和所述有源区形成所述第一选择器件(111),所述第三栅极和所述有源区形成所述第二选择器件(211),所述第四栅极和所述有源区形成所述第二编程器件(212)。

14.根据权利要求13所述的反熔丝阵列,其中,

所述第一栅极形成所述第一编程器件(112)的控制端,所述第二栅极形成所述第一选择器件(111)的控制端,所述第三栅极形成所述第二选择器件(211)的控制端,所述第四栅极形成所述第二编程器件(212)的控制端;

位于所述第一栅极和所述第二栅极之间的所述有源区用于形成所述第一编程器件(112)的第一端和所述第一选择器件(111)的第一端,位于所述第二栅极和所述第三栅极之间的所述有源区用于形成所述第一选择器件(111)的第二端和所述第二选择器件(211)的第二端,位于所述第三栅极和所述第四栅极之间的所述有源区用于形成所述第二选择器件(211)的第一端和所述第二编程

器件 (212) 的第一端。

15. 一种半导体结构, 所述半导体结构 (40) 包括如权利要求 1-14 任一项所述的反熔丝阵列 (10)。

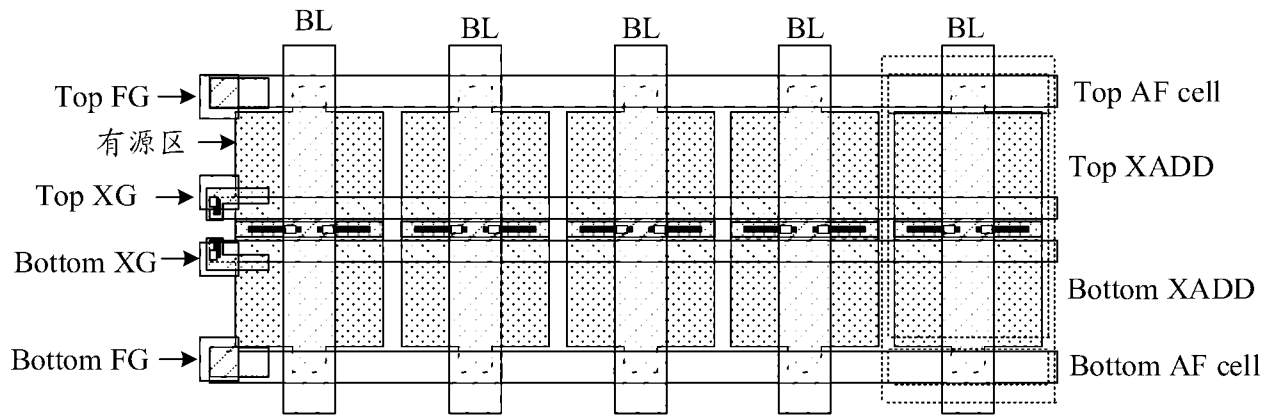


图 1

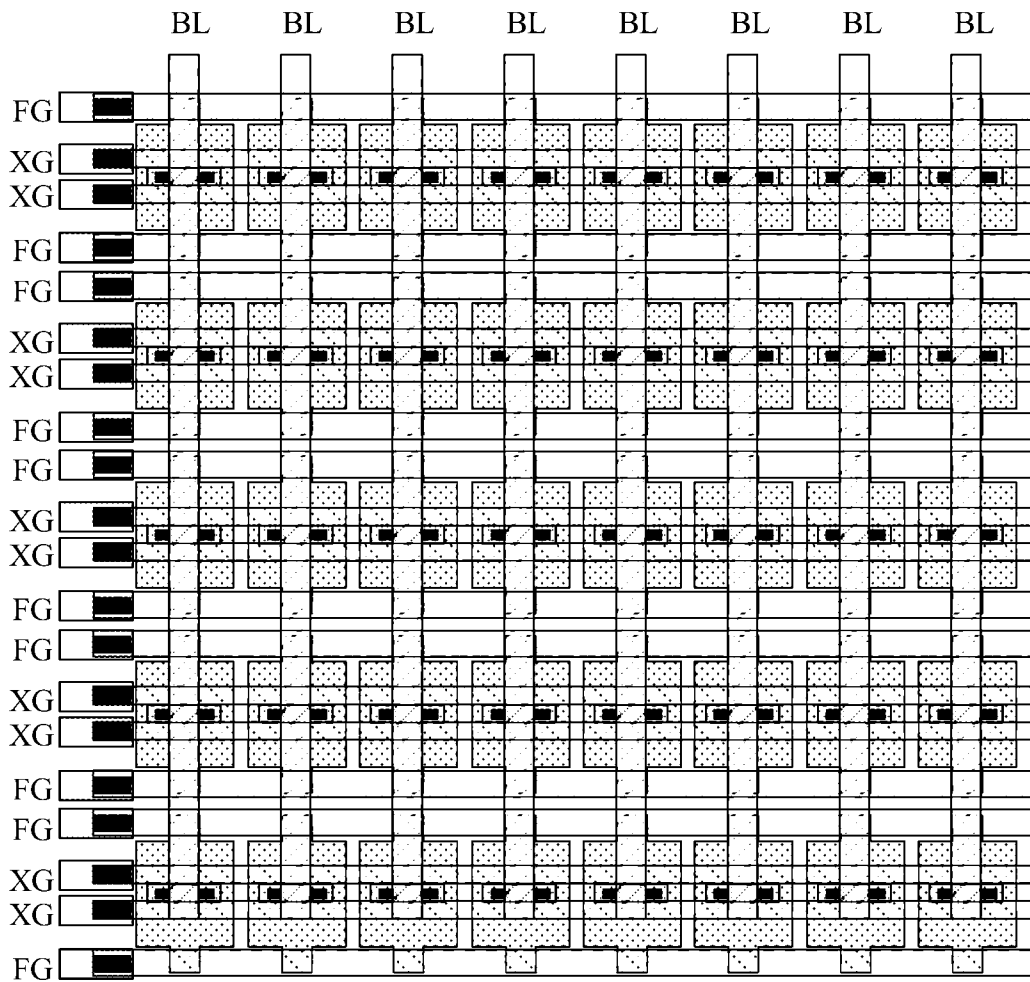


图 2

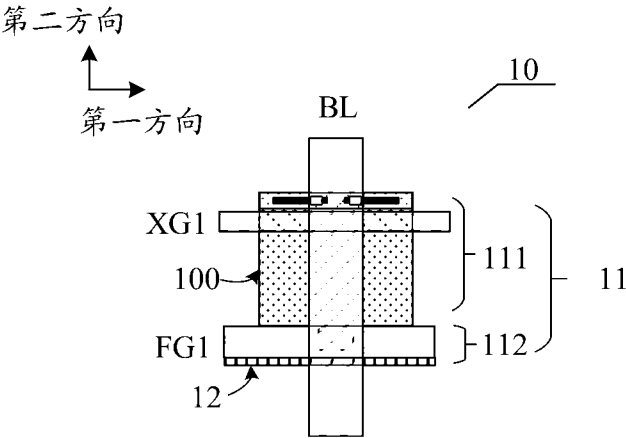


图 3

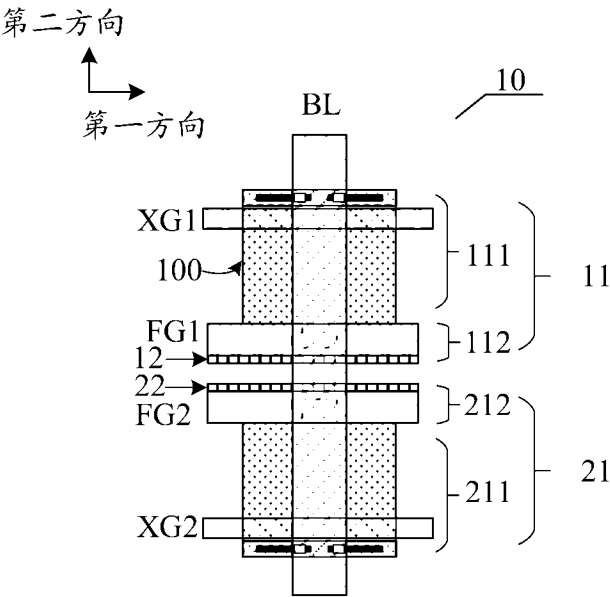


图 4

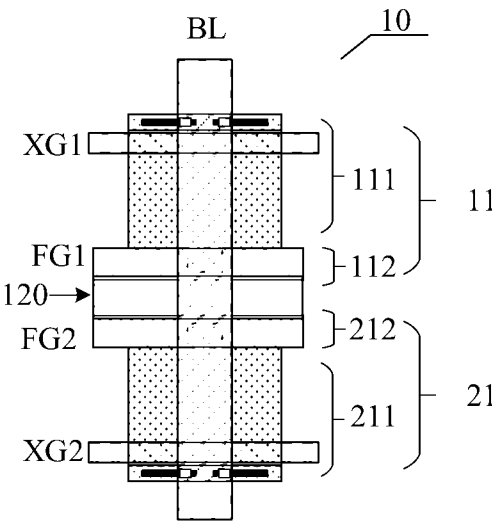


图 5A

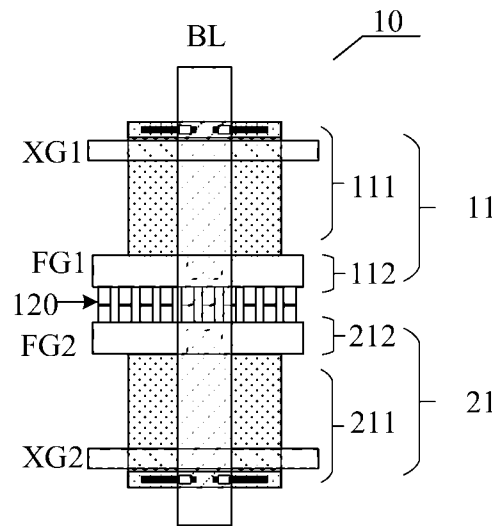


图 5B

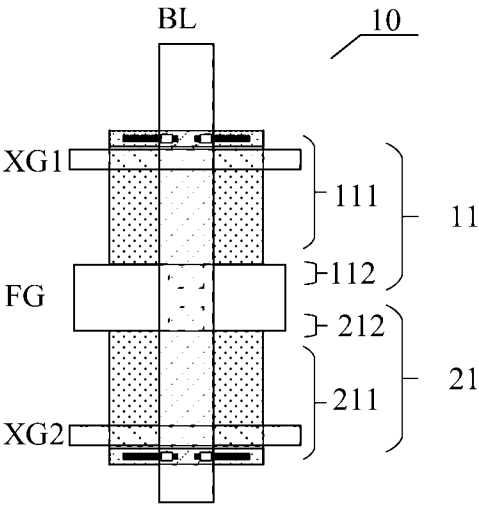


图 6

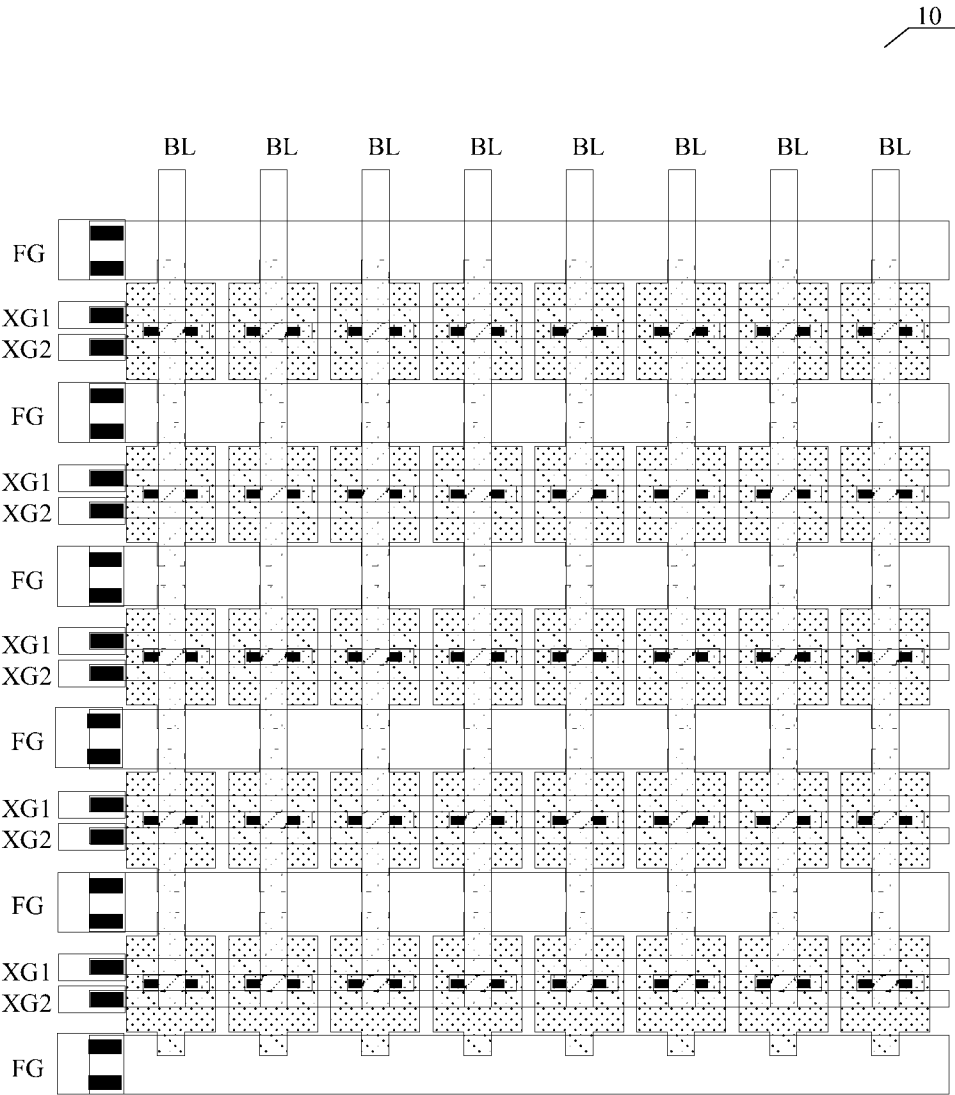


图 7

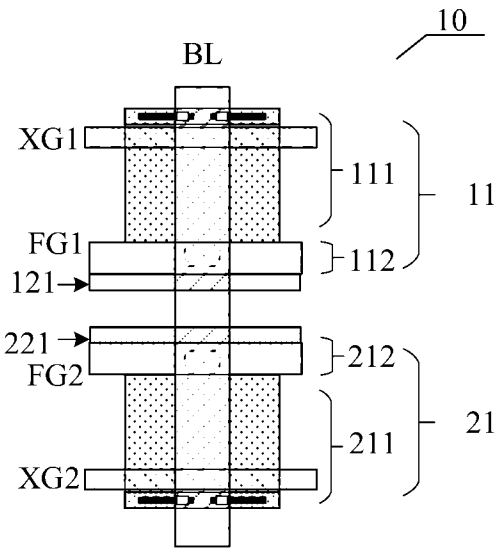


图 8A

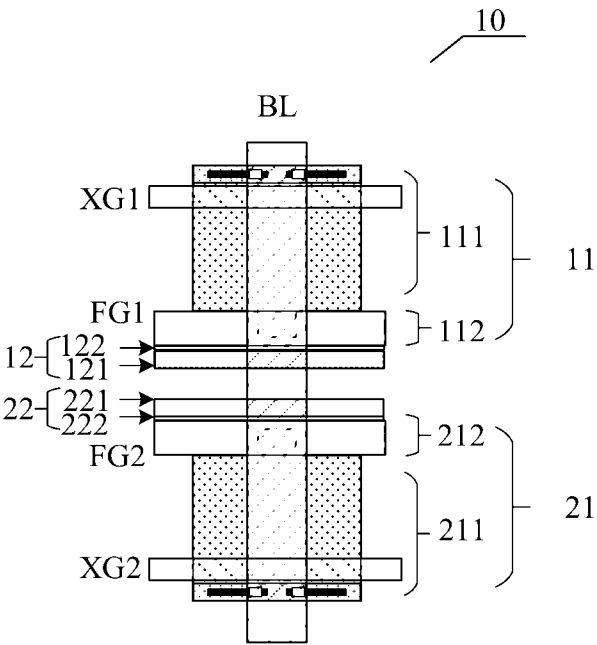


图 8B

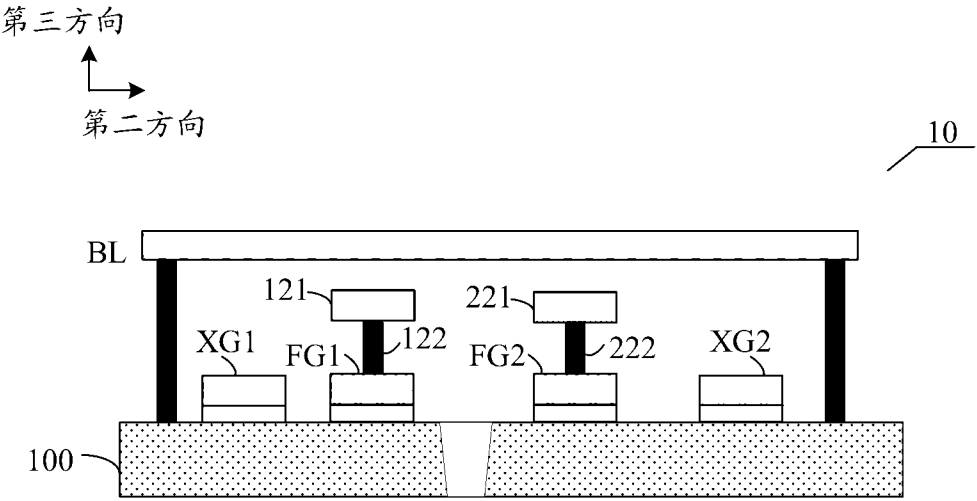


图 8C

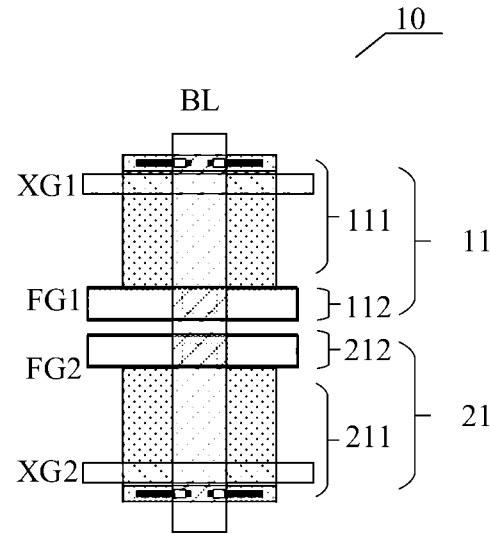


图 9

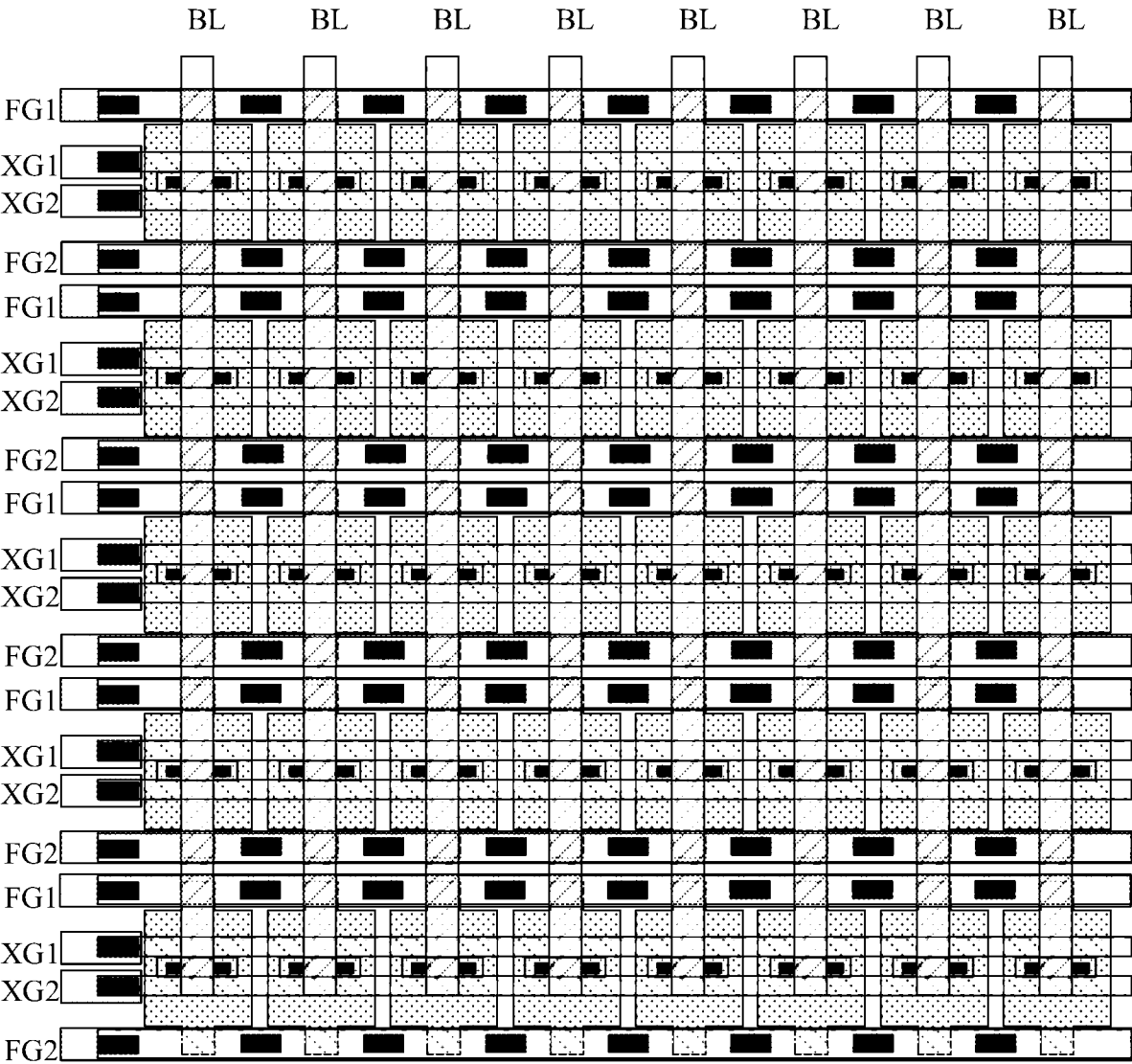


图 10

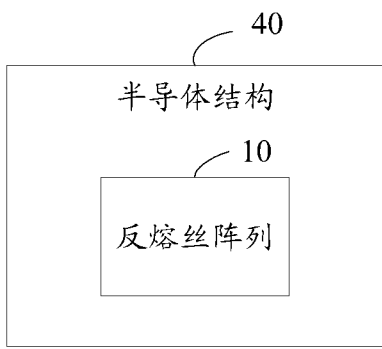


图 11

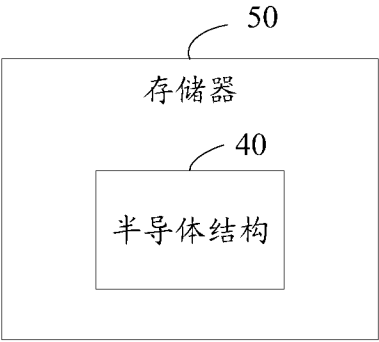


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/110842

A. CLASSIFICATION OF SUBJECT MATTER

G11C17/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX, ENTXTTC, ENTXT, VEN, CNKI: 存储器, 反熔丝, 编程导线, 编程线, FG, 导线, 并联, 电流密度, 辅助, 横截面积, 厚, 集成, 焦耳热, 扩展电流, 失效; memory, anti-fuse, programming lead, in parallel, current density, assistant, Cross-section area, thick, integration, joule heat

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113421603 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21 September 2021 (2021-09-21) description, paragraphs 0041-0128, and figures 1-10D	1-2
A	CN 113327641 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 31 August 2021 (2021-08-31) entire document	1-15
A	CN 115101504 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 23 September 2022 (2022-09-23) entire document	1-15
A	US 2012051154 A1 (SAMSUNG ELECTRONICS CO., LTD.) 01 March 2012 (2012-03-01) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 November 2023

Date of mailing of the international search report

14 November 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/110842

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113421603	A	21 September 2021	DE	102020132752	A1	09 December 2021
				TW	202147328	A	16 December 2021
				TWI	764606	B	11 May 2022
				KR	20210151664	A	14 December 2021
				KR	102482203	B1	27 December 2022
				US	2021384203	A1	09 December 2021
CN	113327641	A	31 August 2021	US	2021272971	A1	02 September 2021
				US	11201161	B2	14 December 2021
CN	115101504	A	23 September 2022	None			
US	2012051154	A1	01 March 2012	KR	20120019776	A	07 March 2012
				KR	101752151	B1	30 June 2017
				US	8848475	B2	30 September 2014

A. 主题的分类 G11C17/16(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT,ENTXTC, ENTXT,VEN,CNKI: 存储器, 反熔丝,编程导线,编程线, FG,导线,并联,电流密度,辅助,横截面积,厚,集成,焦耳热,扩展电流,失效; memory, anti-fuse, programming lead, in parallel, current density, assistant, Cross-section area, thick, integration, joule heat		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 113421603 A (台湾积体电路制造股份有限公司) 2021年9月21日 (2021 - 09 - 21) 说明书第0041-0128段及附图1-10D	1-2
A	CN 113327641 A (中芯国际集成电路制造(上海)有限公司等) 2021年8月31日 (2021 - 08 - 31) 全文	1-15
A	CN 115101504 A (长鑫存储技术有限公司) 2022年9月23日 (2022 - 09 - 23) 全文	1-15
A	US 2012051154 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2012年3月1日 (2012 - 03 - 01) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
★ 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年11月2日	国际检索报告邮寄日期 2023年11月14日	
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员 梁素平 电话号码 (+86) 010-53961497	

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/110842

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113421603	A	2021年9月21日	DE	102020132752	A1	2021年12月9日
				TW	202147328	A	2021年12月16日
				TWI	764606	B	2022年5月11日
				KR	20210151664	A	2021年12月14日
				KR	102482203	B1	2022年12月27日
				US	2021384203	A1	2021年12月9日
CN	113327641	A	2021年8月31日	US	2021272971	A1	2021年9月2日
				US	11201161	B2	2021年12月14日
CN	115101504	A	2022年9月23日	无			
US	2012051154	A1	2012年3月1日	KR	20120019776	A	2012年3月7日
				KR	101752151	B1	2017年6月30日
				US	8848475	B2	2014年9月30日