



Veröffentlichungsnummer : **0 170 727 B1**

EUROPÄISCHE PATENTSCHRIFT

Veröffentlichungstag der Patentschrift :
26.04.89

Int. Cl.: **G 06 F 11/20**

Anmeldenummer : **84115749.8**

Anmeldetag : **18.12.84**

54 Integrierter Schreib-Lesespeicher.

30 Priorität : **02.08.84 DE 3428552**

43 Veröffentlichungstag der Anmeldung :
12.02.86 Patentblatt 86/07

45 Bekanntmachung des Hinweises auf die Patenterteilung : **26.04.89 Patentblatt 89/17**

84 Benannte Vertragsstaaten :
AT DE FR GB IT NL

56 Entgegenhaltungen :
EP-A- 0 094 645
WO-A-80/017 32
JAPANESE JOURNAL OF APPLIED PHYSICS, Band 22, Suppl. 22-1, 1983, Seiten 63-67, Tokyo, JP; **K. SHIMOHIGASHI u.a.**: "Redundancy techniques for dynamic RAMs"
ELECTRONICS INTERNATIONAL, Band 54, no. 15, 28. Juli 1981, Seiten 127-130, New York, US; **R. ABBOTT u.a.**: "Equipping a line of memories with spare cells"

73 Patentinhaber : **Siemens Aktiengesellschaft Berlin und München**
Wittelsbacherplatz 2
D-8000 München 2 (DE)

72 Erfinder : **Wawersig, Jürgen. Ing.**
Plävierpark 10
D-8000 München 83 (DE)
Erfinder : **Kantz, Dieter, Dipl.-Ing.**
Helgihofstrasse 45
D-8000 München 70 (DE)

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Gegenstand der vorliegenden Erfindung ist ein integrierter Schreib-Lesespeicher nach dem Oberbegriff des Patentanspruches 1.

Schreib-Lesespeicher der o. g. Art sind allgemein bekannt und z. B. in « 1981 IEEE International Solid-State Circuits Conference », S. 80, 81, 84 und 85 beschrieben. Dort handelt es sich um dynamische Schreib-Lesespeicher, deren einzelne Speicherzellen als Ein-Transistor-Speicherzellen ausgebildet sind.

Entsprechende Schreib-Lesespeicher, insbesondere solche mit Aktivierung von Dekodern, sind auch aus « Japanese Journal of Applied Physics, Supplements, vol. 22 (1983) suppl. n° 22-1, Tokyo, Japan », Seiten 63 bis 67, « Redundancy Techniques for Dynamic RAMS » bekannt.

Bei mit Redundanz ausgestatteten Schreib-Lesespeichern ist die Möglichkeit gegeben, zu defekten Speicherzellen führende Spalten bzw. Zeilenleitungen der Speichermatrix elektrisch zu deaktivieren, d. h. funktionsunfähig zu machen und dafür eine identische redundante Matrixleitung zu aktivieren. Dies geschieht in der Regel durch Auftrennen von leitenden Verbindungen (fusible link), die den der redundanten Matrixleitung zugehörigen Adreßdekode (Redundanzdekode) im zunächst nicht aufgetrennten Zustand als nicht ausgewählt erscheinen läßt. Durch das Auftrennen wird infolge entsprechender Ausgestaltung des der redundanten Matrixleitung zugehörigen Redundanzdekoders in dem für den Normalbetrieb vorgesehenen Teil der Speichermatrix erreicht, daß aufgrund der Adressierung der ersetzten Spalte oder Zeile nur die nunmehr aktivierte entsprechende redundante Matrixleitung anspricht. Auf welche Art man dies in üblicher Weise erreicht, wird im folgenden anhand der Fig. 1 erläutert.

Es ist verständlich, daß der für die Deaktivierung der defekten Matrixleitung und der Aktivierung der Ersatzleitung erforderliche Aufwand an Schaltungsmaßnahmen und damit an Chipfläche möglichst gering sein soll. Außerdem ist es erwünscht, daß diese Maßnahmen mit einer möglichst geringen Zeitverzögerung beim Betrieb des Speichers verbunden sind. Schließlich soll der Betrieb des Speichers keine Einbuße an Verlässlichkeit erleiden.

Es ist deshalb Aufgabe der vorliegenden Erfindung, den bekannten Schreib-Lesespeicher derart weiterzubilden, daß diesen Forderungen Rechnung getragen wird, ohne daß dies mit störenden Nachteilen verbunden ist.

Diese Aufgabe wird bei einem integrierten Schreib-Lesespeicher der eingangs genannten Art durch die Merkmale des kennzeichnenden Teiles des Patentanspruches 1 gelöst.

Vorteilhafte Weiterbildungen der Erfindung sind in jeweiligen Unteransprüchen gekennzeichnet.

Im folgenden wird nun die Erfindung anhand der Figuren 1 bis 5 näher erläutert.

Es zeigen :

Fig. 1 das Redundanzprinzip nach dem Stande der Technik,

Fig. 2 die erfindungsgemäße Verschaltung von Redundanzdekodern mit den zugehörigen Schreib-Leseleitungen der redundanten Zeilen und die Erzeugung zugehöriger Taktsignale, unter Verwendung von Logiksymbolen,

Fig. 2a die erfindungsgemäße Verknüpfung eines Schaltungsteiles zur Auswahl einer redundanten Zeile mit einem Schaltungsteil zur Auswahl einer für den Normalbetrieb vorgesehenen Zeile, jeweils mit Logiksymbolen dargestellt,

Fig. 3 die Realisierung der Schaltung nach Fig. 2 mittels MOS-Transistoren,

Fig. 3a die erfindungsgemäße Erzeugung eines Aktivierungssignales ϕ_{3R} ,

Fig. 3b die erfindungsgemäße Erzeugung eines Aktivierungssignales ϕ_3 und dessen vorteilhafte Verschaltung mit einem Normaldekode,

Fig. 3c ein Zeitdiagramm für die verwendeten Taktsignale,

Fig. 4a eine schematische Darstellung eines bekannten Schreib-Lesespeichers mit Mittendekoder,

Fig. 4b eine schematische Darstellung eines erfindungsgemäßen Schreib-Lesespeichers mit Mittendekoder und redundantem Speicherbereich,

Fig. 5 einen Schaltplan zur erfindungsgemäßen Ausgestaltung von Mittendekodern und Schaltern.

Bezüglich der Bezugszeichen wurde folgende Konvention getroffen :

der verwendete Index « μ » hat einen Wertebereich von 1 bis m (m = Gesamtzahl der für den Normalbetrieb vorgesehenen Zeilen),

der Index « v » einen Wertebereich von 1 bis n (n = Gesamtzahl der für den Redundanzfall vorgesehenen Ersatzzeilen) ; « 1 » wird bei Bezeichnungen verwendet, die eine linke Zellenfeldhälfte betreffen,

« r » entsprechend für eine rechte Zellenfeldhälfte,

« p » steht für die Gesamtzahl von Adreßleitungen (ohne komplementäre Adreßleitungen).

In Fig. 1 ist das übliche Adressierprinzip eines bekannten Schreib-Lesespeichers z. B. anhand der Zeilenleitungen gezeigt. Die Normaldekode ND₁, ND₂, dienen der Adressierung der dem Normalbetrieb zugeordneten Normalzeilen nz₁, nz₂, während die Dekoder RD₁, RD₂ neben möglichen weiteren Dekodern als Redundanzdekode für die Beaufschlagung von in der Matrix vorgesehenen redundanten Zeilen ez₁, ez₂ usw. vorgesehen sind. Es ist aus Fig. 1 ersichtlich, daß jeder Normaldekode ND₁, ND₂ usw. an jedem Eingang von jeweils einer der paarweise zueinander inversen Adreßleitungen beaufschlagt wird, so daß immer eine der Adreßleitungen A₀ oder $\bar{A}_0$, A₁ oder $\bar{A}_1$ usw. angeschlossen ist. Im Gegensatz hierzu sind die jeweils einer redundanten

Zeile ez_1 , ez_2 usw. (bzw. Spalte) zugeordneten und durch je ein NOR-Gatter gegebenen Redundanzdekoder RD_1 , RD_2 , usw. derart durch die an sich für den Normalbetrieb vorgesehenen Adreßleitungen A_0 , $\bar{A}_0$ bis A_p , $\bar{A}_p$ gesteuert, daß der einzelne Redundanzdekoder sowohl durch alle Adressleitungen als auch durch alle hierzu invertierten Adreßleitungen (also A_0 , $\bar{A}_0$, A_1 , $\bar{A}_1$, usw.) beaufschlagt ist. Wenn man nun auftrennbare Verbindungen F (fuses) zwischen einem der vorgesehenen Redundanzdekoder RD_1 , RD_2 usw. und den zugehörigen Adreßleitungen A_0 oder $\bar{A}_0$, A_1 oder $\bar{A}_1$ usw. auftrennt und die übrigen Verbindungen von den Adreßleitungen zu dem betreffenden Redundanzdekoder beibehält, so stimmt ersichtlich die Anschaltung dieses Redundanzdekoders an die Gesamtheit der vorgesehenen Zeilenadreßleitungen A_0 bis $\bar{A}_p$ mit der Anschaltung genau eines einzigen der für den Normalbetrieb vorgesehenen Normaldekoder ND_1 , ND_2 usw. überein, so daß beide Dekoder auf dieselbe Adreßkombination ansprechen.

Es soll aber dann aufgrund der genannten bleibenden Änderung nur der durch diese Änderung aktivierte Redundanzdekoder ansprechen. Aus diesem Grund sind die Ausgänge aller vorgesehenen und einander gleichen Redundanzdekoder-NOR-Gatter RD_1 , RD_2 usw. jeweils an je einen Eingang eines gemeinsamen weiteren NOR-Gatters N angeschlossen, dessen Ausgang über einen Inverter I an je einen weiteren Eingang aller der für den Normalbetrieb vorgesehenen Adreßdekoder ND_1 , ND_2 usw. angeschlossen ist. Ist nun einer der Redundanzdekoder RD_1 , RD_2 , aktiviert und damit durch die an den Adreßleitungen A_0 , $\bar{A}_0$, A_p , $\bar{A}_p$ liegenden Adreßimpulse derart beaufschlagt, daß an jedem Eingang des den Redundanzdekoder bildenden NOR-Gatters RD_1 bzw. RD_2 usw. eine logische « 0 » anliegt, dann wird die zugehörige redundante Zeile aktiviert und zwar aufgrund der dann am Ausgang des Inverters I liegenden logischen « 1 ». Diese « 1 » führt aber dazu, daß an keinem Ausgang der für den Normalbetrieb vorgesehenen Normaldekoder ND_1 , ND_2 usw. eine « 1 » möglich ist, denn eine eingangsseitige « 1 » an irgendeinem der Eingänge jedes der vorgesehenen, aus NOR-Gattern gebildeten Normaldekoder ND_1 , ND_2 etc verhindert, daß am Ausgang dieser Dekoder eine « 1 » entsteht und somit eine Aktivierung der zugehörigen Zeilenleitungen stattfindet.

Die Adressierung der Matrix hinsichtlich der Spaltenleitungen geschieht unter Verwendung anderer Adreßleitungen und Dekoder auf analoge Art.

Wird bei einer Ausgestaltung der Adressierung entsprechend Fig. 1 ein vorher (aufgrund der bleibenden Änderung) programmierter Redundanzdekoder RD_1 , RD_2 , durch eine entsprechende Adreßkombination angesprochen, so wird durch diesen ausgewählten Redundanzdekoder RD_1 , RD_2 , ein Sperrsignal $SS = \text{High}$ (=logisch « 1 ») erzeugt. Dieses Signal wird zusätzlich zu den Adressen an einen eigens hierfür vorgesehenen Eingang eines jeden Normaldekoders ND_1 ,

ND_2 usw. gelegt, sodaß der durch die angelegte Adreßkombination ausgewählte Normaldekoder gesperrt wird. Andererseits aktiviert der angesprochene Redundanzdekoder die ihm jeweils zugeordnete und dem Ersatz dienende Matrixzeile bzw. Matrixspalte.

Bei einem erfindungsgemäßen Schreib-Lese-Speicher enthält nach Fig. 2 jeder der Zeilenredundanzdekoder RD_v (bzw. Spaltenredundanzdekoder) ein NOR-Gatter, dessen Eingängen jeweils eine der insgesamt vorgesehenen, zueinander paarweise inversen Zeilenadreßleitungen A_0 , $\bar{A}_0$, A_p , $\bar{A}_p$ (bzw. Spaltenadreßleitungen) zugeordnet sind, wobei die Verbindung F zwischen dem einzelnen Eingang und der ihn jeweils steuernden Adreßleitung auftrennbar ausgestaltet ist. In Fig. 2 sind der einer ersten redundanten Zeile ez_v bzw. $\bar{ez}_v$ und der einer weiteren redundanten Zeile ez_{v+1} bzw. $\bar{ez}_{v+1}$ zugeordnete Redundanzdekoder dargestellt und mit RD_v bzw. RD_{v+1} bezeichnet. Die Darstellung beschränkt sich aus Übersichtlichkeitsgründen nur auf zwei Redundanzdekoder, in der Beschreibung sind nur die Bezugszeichen eines dieser Dekoder angegeben. Jedem der Redundanzdekoder RD_v sind jeweils zwei UND-Gatter, U_v und U_v^* zugeordnet, die jeweils zwei Signaleingänge aufweisen. Der eine dieser zwei Signaleingänge beider UND-Gatter U_v , U_v^* liegt am Ausgang des den zugehörigen Redundanzdekoder RD_v darstellenden NOR-Gatters. Der Ausgang jedes einzelnen UND-Gatters U_v ist bei jedem der vorgesehenen Zeilenredundanzdekoder RD_v (bzw. Spaltenredundanzdekoder) an je einen Eingang eines für alle Redundanzdekoder gemeinsamen ODER-Gatters OG gelegt, während der andere Signaleingang aller UND-Gatter U_v von einem gemeinsamen Taktsignal $\emptyset 2$ gesteuert ist. Der andere Eingang jedes UND-Gatters U_v^* wird von einem gemeinsamen Aktivierungssignal $\emptyset 3R$ gesteuert. Der Ausgang jedes UND-Gatters U_v^* gibt frei bzw. schließt eine durch je einen Transfertransistor Tr_v bzw. $\bar{Tr}_v$ gegebene Verbindung zwischen dem betreffenden Zeilenredundanzdekoder RD_v (bzw. Spaltenredundanzdekoder) jeweils zugeordneten redundanten Zeilenleitungen ez_v , $\bar{ez}_v$ (bzw. Spaltenleitungen) und einem der Zeile bzw. Spalte gemeinsamen Dateneingang bzw. Datenausgang S/L bzw. $\bar{S}/\bar{L}$.

Die Erzeugung des Taktsignales $\emptyset 2$ bzw. des Aktivierungssignales $\emptyset 3R$ ($R = \text{Redundanz}$) geschieht z. B. in der aus Fig. 2 ersichtlichen Weise, indem ein für den Betrieb aller Redundanzdekoder RD_v der Speicherschaltung gemeinsam vorgegebenes Taktsignal $\emptyset 1$ über eine Kette aus drei einander gleichen und hintereinandergeschalteten Invertoren I zur Erzeugung des zur Mitsteuerung der UND-Gatter U_v vorgesehenen Taktsignales $\emptyset 2$ dient. Zwecks Erzeugung des zur Mitsteuerung der UND-Gatter U_v^* benötigten Aktivierungssignales $\emptyset 3R$ wird das auf die soeben beschriebene Weise erhaltene Taktsignal $\emptyset 2$ über die Serienschaltung zweier weiterer Inverter I verzögert.

In Fig. 2a ist nun das Zusammenspiel zwischen den einzelnen Redundanzdekodern RD_v und den

Normaldekodern ND_n gezeigt. Es sind ein beliebiger Redundanzdekoder RD_n und ein beliebiger Normaldekoder ND_n dargestellt. Das aus Fig. 2 ersichtliche und eingangsseitig über die UND-Gatter U_n von der Gesamtheit der Redundanzdekoder RD_n beaufschlagte ODER-Gatter OG liegt mit seinem Ausgangssignal $\emptyset k$, genannt Inhibitsignal $\emptyset k$, über einen Inverter am einen Eingang des UND-Gatters U^{**} , an dessen anderem Eingang das Taktsignal $\emptyset 2$ liegt. Der Ausgang dieses UND-Gatters U^{**} , das ebenso wie das ODER-Gatter OG allen Zeilenredundanzdekodern RD_n gemeinsam zugeordnet ist, steuert den einen Eingang von m UND-Gattern U_n^+ mit jeweils zwei Eingängen, von denen der eine jeweils an dem Ausgang des UND-Gatters U^{**} und der andere an dem Ausgang des dem UND-Gatter U_n^+ jeweils zugeordneten Normaladreibdekoders ND_n liegt. Jedem der m für den Normalbetrieb vorgesehenen Normaldekoder ND_n ist somit jeweils eines dieser UND-Gatter U_n^+ zugeordnet, das, wie aus Fig. 2a hervorgeht, dem UND-Gatter U_n^+ der einzelnen Redundanzdekoder RD_n entspricht. Es wird dementsprechend an seinem anderen Eingang durch ein dem Aktivierungssignal $\emptyset 3R$ entsprechendes Aktivierungssignal $\emptyset 3$ gesteuert. Dieses Aktivierungssignal $\emptyset 3$ wird vom Ausgang des UND-Gatters U^{**} geliefert. Jedes UND-Gatter U_n^+ spricht aber nur dann an, wenn am Ausgang des den Normaldekoder ND_n darstellenden NOR-Gatters eine « 1 » anhängig ist, d. h. wenn an keinem der Adreßeingänge des Normaldekoders ND_n eine « 1 » liegt. Der Ausgang des UND-Gatters U_n^+ steuert zu den zugehörigen Zeilen nz_n und $\bar{n}z_n$, die für den Normalbetrieb vorgesehen sind, gehörende Transfertransistoren Tr_n bzw. $\bar{Tr}_n$, die eine Freigabe einer Verbindung zwischen diesen Zeilen nz_n , $\bar{n}z_n$ und einem Dateneingang bzw. Datenausgang S/L , $\bar{S}/L$ innerhalb der Speichermatrix bilden.

Hinsichtlich der Wirkung der in Fig. 2 bzw. 2a dargestellten Schaltung gemäß der Erfindung läßt sich nun folgendes feststellen: Da die in Fig. 2a gezeigte Schaltung für den Normaldekoder ND_n in getakteten Schreib-Lesespeichern allgemein angewendet wird und demgemäß das UND-Gatter U_n^+ zum Zwecke der Verbindung der ausgewählten Zeilen nz_n und $\bar{n}z_n$ mit den Datenein- bzw. ausgängen S/L bzw. $\bar{S}/L$ sowie ein Aktivierungssignal $\emptyset 3$ in der Regel vorgesehen sind, spart man die in Fig. 1 vom Inverter I an je einen Eingang der Normaldekoder ND_n zu legenden und das Signal SS führende Leitung und den durch diese Leitung zu beaufschlagenden Eingang der vorhandenen Normaldekoder ND_n ein, was die Einsparung eines Eingangstransistors pro Normaldekoder ND_n gegenüber der üblichen Ausgestaltung und damit ein rascheres Ansprechen bedeutet. Die Einsparung eines Eingangstransistors pro Normaldekoder ND_n bedingt des weiteren sowohl eine Flächenersparnis als auch eine Laufzeitverkürzung.

Die in Fig. 3 dargestellte Ausgestaltung für die einzelnen Redundanzdekoder RD_n in MOS-Technik ist in der Wirkung der eines Redundanzdeko-

ders RD_n entsprechend Fig. 2 im wesentlichen gleich. Sie ist jedoch dem Betrieb eines dynamischen Speichers noch besser angepaßt. Bevorzugt erfolgt die Ausgestaltung — ebenso wie die Ausgestaltung der in Fig. 3a und 3b gezeigten ergänzenden Schaltungsteile — in n-Kanal-MOS-Technik, insbesondere wenn auch die übrigen Teile des Speichers in dieser Technik hergestellt sind. Hinsichtlich der Ausgestaltung der die einzelnen Redundanzdekoder bildenden Schaltungsteile ist dann Übereinstimmung gegeben.

Wie bei den in Fig. 3 dargestellten Redundanzdekodern RD_n und RD_{n-1} ersichtlich, ist jeder Zeilenadreibleitung $A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$ je ein Transistor T zugeordnet, dessen Gate je einen Signaleingang des im betreffenden Redundanzdekoder RD_n enthaltenen NOR-Gatters bildet. Die Sourceanschlüsse dieser Transistoren T liegen gemeinsam an einem Bezugspotential V_{ss} , während ihre Drainanschlüsse gemeinsam den Ausgang A des NOR-Gatters bilden und außerdem über die Source-Drainstrecke eines von einem Taktsignal $\emptyset 1$ gesteuerten Lasttransistors T1 mit einem ein Versorgungspotential V_{DD} liefernden Versorgungsanschluß verbunden sind. Der Ausgang A des im jeweiligen Redundanzdekoder RD_n enthaltenen NOR-Gatters liegt mittels der Source-Drainstrecke eines weiteren Transistors T2 an einem Knoten B, der den eigentlichen Ausgang des betreffenden Redundanzdekoders RD_n bildet und der dementsprechend zur Steuerung der Transfertransistoren Tr_n bzw. $\bar{Tr}_n$ in noch zu beschreibender Weise dient, wobei durch diese Steuerung die dem betreffenden Redundanzdekoder RD_n zugeordneten, redundanten Zeilenleitungen ez_n und $\bar{e}z_n$ an den Dateneingang bzw. -ausgang S/L und $\bar{S}/L$ geschaltet werden.

Zur Erzeugung des aus Fig. 2 bzw. 2a ersichtlichen Inhibitsignales $\emptyset k$, das dort von dem ODER-Gatter OG geliefert wird, hat man im Falle der Redundanzdekoder RD_n gemäß Fig. 3 bei jedem der vorgesehenen Redundanzdekoder RD_n je einen weiteren MOS-Feldeffekttransistor T3, dessen Drainanschluß vom Taktsignal $\emptyset 2$ beaufschlagt ist, dessen Gate an den Ausgang B des zugehörigen Redundanzdekoders RD_n gelegt ist, und dessen Sourceanschluß über den einen Zweig eines ersten RS-Flip-Flops FF1 mit dem Bezugspotential V_{ss} verbunden ist. Das vom Taktsignal $\emptyset 2$ gesteuerte UND-Gatter U_n in Fig. 2 bzw. 2a entspricht in Fig. 3 der elektrischen Verbindung des Sourceanschlusses des jeweiligen Transistors T3 mit dem Drain eines ersten und dem Gate eines zweiten Transistors, die das genannte RS-Flip-Flop FF1 bilden. Die beiden das RS-Flip-Flop FF1 bildenden Transistoren sind in bekannter Weise kreuzgekoppelt und liegen mit ihrem Sourceanschluß gemeinsam am Bezugspotential V_{ss} . Aufgrund der genannten Anschaltung des Transistors T3 an den einen Knoten des RS-Flip-Flops FF1, dessen zweiter Knoten über einen als Widerstand geschalteten Lasttransistor R mit der Klemme für das Versorgungspotential V_{DD} verbunden ist, ist dieser in der Lage, das von dem

betreffenden Redundanzdekoder RD_v für die Beeinflussung eines von ihm zu ersetzenden Normaldekoders ND_u notwendige Inhibitbitsignal $\emptyset k$ zur Verfügung zu stellen. Dieses Inhibitbitsignal $\emptyset k$ wird jeweils durch den von der Source des Transistors T3 und dem aus den mit ihr verbundenen Stellen des RS-Flip-Flops FF1 gebildeten Knoten geliefert und auf einen für alle diese RS-Flip-Flops FF1 und damit für alle Redundanzdekoder RD_v gemeinsamen weiteren Knoten C gelegt, der in seiner Funktion dem ODER-Gatter OG in den Fig. 2 und 2a entspricht.

Ein weiteres RS-Flip-Flop FF2 liegt mit den Sourceanschlüssen seiner beiden kreuzgekoppelten Transistoren ebenfalls am Bezugspotential V_{ss} und mit seinem einen Knoten über einen weiteren als Widerstand geschalteten Transistor R am Versorgungspotential V_{DD} . Der andere Knoten dieses RS-Flip-Flops FF2 liegt am Sourceanschluß eines dem Transistor T3 entsprechenden Transistors T4. Dieser wird an seinem Drain durch den Takt $\emptyset 3R$ und an seinem Gate durch den Knoten B des zugehörigen Transistors T2 und damit durch den Ausgang des zugehörigen Redundanzdekoders RD_v gesteuert. Der am Sourceanschluß des Transistors T4 gebildete Knoten ist seinerseits an die Gates der zugehörigen Transfertransistoren Tr_v und $\bar{Tr}_v$ gelegt, wodurch die oben erwähnte Steuerung dieser beiden Transfertransistoren zustande kommt.

Man kann also, wie aus Fig. 3 ersichtlich, bei der dort gezeigten Ausgestaltung der Redundanzdekoder RD_v auf eine explizite Realisierung des ODER-Gatters OG in Fig. 2 verzichten, da der Knoten C, der von den das Inhibitbitsignal $\emptyset k$ liefernden Kombinationen Transistor T3 und RS-Flip-Flop FF1 der Redundanzdekoder RD_v gemeinsam beaufschlagt wird, ersichtlich im Verhalten dem Ausgang des ODER-Gatters OG entspricht. Zu erwähnen ist noch, daß die verwendeten Transistoren in der Schaltung gemäß Fig. 3, ebenso auch in Fig. 3a und 3b sämtlich selbstsperrend und vom gleichen Kanaltyp, insbesondere vom n-Kanaltyp, sind.

In Fig. 3a ist eine MOS-Schaltung gezeigt, die zur Erzeugung des für die Beaufschlagung des Drainanschlusses des Transistors T4 in Fig. 3 in den vorgesehenen Redundanzdekodern RD_v benötigten Aktivierungssignales $\emptyset 3R$ dient und die an die Ausgestaltung der Redundanzdekoder gemäß Fig. 3 angepaßt ist. Das zu ihrer Beaufschlagung benötigte Taktsignal $\emptyset 1$ ist auch für den normalen Betrieb des Speichers vorgesehen. Es kann aber auch ein Signal verwendet werden, das eigens zu diesem Zweck mittels eines Taktgenerators erzeugt wird. Verlangt wird von dem Taktsignal $\emptyset 1$, daß es auf log. "0" geht, bevor Adressen über die Adressleitungen $A_0, \dots, \bar{A}_p$ an die Normaldekoder ND_u und an die Redundanzdekoder RD_v gelangen und bevor das Taktsignal $\emptyset 2$ auf log. "1" schaltet.

Das Zeitverhalten des Taktsignales $\emptyset 1$ im Hinblick auf die Signale an den Adreßleitungen A_0 bis A_p bzw. $\bar{A}_0$ bis $\bar{A}_p$ ist aus dem Zeitdiagramm gemäß Fig. 3c zu ersehen. Die ansteigende Flanke

der Signale an den Adreßleitungen $A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$ ist zeitlich gegenüber der fallenden Flanke des Taktsignales $\emptyset 1$ verzögert, während die steigende Flanke des Taktsignales $\emptyset 2$ zeitlich vor der ansteigenden Flanke der Aktivierungssignale $\emptyset 3$ und $\emptyset 3R$ liegt, deren ansteigende Flanken gleichzeitig kommen können.

Bei der in Fig. 3a dargestellten Schaltung zur Erzeugung des Aktivierungssignales $\emptyset 3R$ bilden zwei Transistoren 1 und 2 zusammen einen ersten Inverter, bei dem der vom Taktsignal $\emptyset 1$ gesteuerte Schalttransistor 1 mit seinem Sourceanschluß am Bezugspotential V_{ss} und mit seinem Drain einerseits über den vom Taktsignal $\emptyset 2$ gesteuerten Lasttransistor 2 mit dem Versorgungspotential V_{DD} verbunden ist und andererseits mit seiner Source zusammen mit dem Drain des Transistors 1 den Signalausgang des ersten Inverters bildet.

Dieser Signalausgang steuert den Schalttransistor 3 eines zweiten Inverters, dessen Lasttransistor 4 vom Taktsignal $\emptyset 1$ gesteuert ist. Hinsichtlich der Anschaltung an das Bezugspotential V_{ss} und das Versorgungspotential V_{DD} entspricht der zweite Inverter 3, 4 völlig dem ersten Inverter 1, 2. Der durch einen Schaltungspunkt zwischen den beiden Transistoren 3 und 4 des zweiten Inverters gebildete Ausgang dieses Inverters ist a) über einen vom Taktsignal $\emptyset 2$ gesteuerten Transfertransistor 5 an die Source eines vom Taktsignal $\emptyset 1$ gesteuerten Transistors 12 geschaltet, dessen Drain mit dem Versorgungspotential V_{DD} verbunden ist, und außerdem b) mittels des soeben genannten Transfertransistors 5 an das Gate eines weiteren MOS-Feldeffekttransistors 6 gelegt, dessen Drain vom Taktsignal $\emptyset 2$ beaufschlagt ist.

Der zuletzt genannte Transistor 6 ist mit seinem Sourceanschluß einerseits über die Source-Drainstrecke eines vom Taktsignal $\emptyset 1$ gesteuerten Transistors 10 an das Bezugspotential V_{ss} gelegt und außerdem mit den Gates zweier weiterer Transistoren 7 und 8 verbunden, deren Drainanschlüsse am Versorgungspotential V_{DD} liegen. Bei dem Transistor 7 ist dabei zu bemerken, daß dessen Gate über einen Kondensator C mit dem eigenen Sourceanschluß verbunden ist. Außerdem ist der Sourceanschluß dieses Transistors 7 über die Drain-Sourcestrecke eines weiteren Transistors 9 mit dem Bezugspotential V_{ss} verbunden. Weiterhin ist dabei der Transistor 9 an seinem Gate vom Ausgang des in bereits beschriebener Weise von den beiden Transistoren 3 und 4 gebildeten zweiten Inverters gesteuert. Das letztere gilt auch für einen weiteren Transistor 11, dessen Source am Bezugspotential V_{ss} liegt und dessen Drain über den bereits beschriebenen Transistor 8 mit dem Versorgungspotential V_{DD} verbunden ist. Der zu erzeugende Takt $\emptyset 3R$ ist an einem Schaltungspunkt zwischen den beiden zuletzt genannten Transistoren 8 und 11 abnehmbar.

Die Schaltung für die Erzeugung des für die Normaldekoder ND_u benötigten Aktivierungssignales $\emptyset 3$ ist in Kombination mit der Schaltung eines beliebigen Normaldekoders ND_u in Fig. 3b gezeigt, die nun beschrieben werden soll.

Ein aus den beiden Transistoren 14 und 15 bestehender, mit seinem Schalttransistor 14 am Bezugspotential V_{ss} und mit seinem Lasttransistor 15 am Versorgungspotential V_{DD} liegender erster Inverter ist bezüglich seines Schalttransistors 14 vom Taktsignal ϕ_1 und bezüglich seines Lasttransistors 15 durch das Taktsignal ϕ_2 gesteuert. Der durch einen Schaltungspunkt zwischen diesen beiden Transistoren 14 und 15 gegebene Ausgang des ersten Inverters steuert das Gate des Schalttransistors 16 eines weiteren Inverters. Dabei liegt der Schalttransistor 16 mit seinem Sourceanschluß ebenfalls am Bezugspotential V_{ss} und mit seinem Drain am Sourceanschluß des die Verbindung zum Versorgungspotential V_{DD} bildenden und vom Taktsignal ϕ_1 gesteuerten Lasttransistors 17 des zweiten Inverters. Ähnlich wie bei Fig. 3a ist der durch einen Schaltungspunkt zwischen dem Transistor 16 und 17 gegebene Inverterausgang an einen Transfertransistor 18 gelegt, dessen Gate vom Taktsignal ϕ_2 gesteuert ist. Der dem zweiten Inverter 16, abgewandte stromführende Anschluß des Transfertransistors 18 liegt einerseits über einen — von dem von einer Schaltung gemäß Fig. 3 von den Redundanzdekodern RD_i gelieferten Inhibitsignal ϕ_k gesteuerten — Transistor 20 am Bezugspotential V_{ss} . Andererseits liegt er am Gate eines Transistors 19, dessen Drain durch das Taktsignal ϕ_2 beaufschlagt ist.

Mit seiner Source ist der zuletzt genannte Transistor 19 über die Parallelschaltung zweier weiterer Transistoren 21 und 22 mit dem Bezugspotential V_{ss} verbunden, wobei das Gate des Transistors 21 von dem von den Redundanzdekodern RD_i gelieferten Inhibitsignal ϕ_k und das Gate des anderen Transistors 22 vom Taktsignal ϕ_1 beaufschlagt ist. Ferner ist durch die Source des Transistors 19 ein Knoten gegeben, der am Gate zweier weiterer Transistoren 23 und 24 sowie am einen Pol eines Kondensators C^* liegt. Der andere Pol des Kondensators C^* ist mit dem Sourceanschluß des Transistors 23 verbunden. Die Drainanschlüsse der Transistoren 23 und 24 liegen am Versorgungspotential V_{DD} und ihre Sourceanschlüsse über je einen vom Ausgang des zweiten Inverters 16, 17 gesteuerten Transistor 25 bzw. 26 am Bezugspotential V_{ss} . Dabei ist dem die Verbindung zwischen dem Transistor 24 und dem Bezugspotential V_{ss} bildenden Transistor 26 die Source-Drainstrecke eines durch das Inhibitsignal ϕ_k gesteuerten Transistors 27 parallel geschaltet. Das für die Beaufschlagung der Normaldekoder ND_μ erforderliche Aktivierungssignal ϕ_3 wird von einem Knoten zwischen den Transistoren 24, 26 und 27 geliefert.

Die Normaldekoder ND_μ sind in der ebenfalls aus Fig. 3b ersichtlichen Weise gestaltet. Eine Anzahl p von mit ihrem Sourceanschluß am Bezugspotential V_{ss} und über einen gemeinsamen Lasttransistor NT_1 am Versorgungspotential V_{DD} liegender MOS-Feldeffekttransistoren NT bilden das NOR-Gatter, das im Normaldekoder ND_μ enthalten ist. Dem Gate jedes dieser Transistoren NT ist je ein der zur Aktivierung des Normaldekoders

ND_μ vorgesehener Adreßeingang A_0 oder $\bar{A}_0$, ..., A_p oder $\bar{A}_p$ jeweils zugeordnet. Der Ausgang A' des NOR-Gatters, also der Knoten zwischen den Drains der parallel geschalteten Transistoren NT und der Source des — vom Taktsignal ϕ_1 gesteuerten — Lasttransistors NT_1 , ist wiederum an einen Transfertransistor NT_2 gelegt, dessen Gate mit dem Versorgungspotential V_{DD} verbunden ist und dessen anderer Anschluß zum Gate eines weiteren Transistors NT_3 führt. Der Drainanschluß des Transistors NT_3 ist vom Aktivierungssignal ϕ_3 beaufschlagt und ist deshalb mit dem Drain der Transistoren 26 und 27 sowie mit der Source des Transistors 24 verbunden. Der Sourceanschluß des Transistors NT_3 liegt am einen Knoten eines RS-Flip-Flops FF_3 , dessen Fußpunkte am Bezugspotential V_{ss} liegen und dessen zweiter Knoten über einen als Widerstand geschalteten Lasttransistor NR mit dem Versorgungspotential V_{DD} verbunden ist.

Die RS-Flip-Flops FF_1 und FF_2 bei den einzelnen Redundanzdekodern RD_i und das RS-Flip-Flop FF_3 bei den einzelnen Normaldekodern ND_μ dienen der Sicherheit der Schaltung und könnten im Prinzip auch durch andere zu diesem Zweck übliche Schaltungen ersetzt werden. Der an dem vom Aktivierungssignal ϕ_3 an seinem Drain beaufschlagte Transistor NT_3 bildet mit seinem am RS-Flip-Flop FF_3 liegenden Sourceanschluß den Ausgang des Normaldekoders ND_μ , der mit den Gates der von dem Normaldekoder ND_μ zu steuernden Transfertransistoren Tr_μ und $\bar{Tr}_\mu$ verbunden ist, die ihrerseits die Verbindung der dem Normaldekoder ND_μ zugeordneten und für den Normalbetrieb vorgesehenen Zeilen nz_μ und $\bar{n}z_\mu$ (bzw. Spalten) mit dem zugehörigen Dateneingang bzw. Datenausgang S/L bzw. $\bar{S}/\bar{L}$ bilden.

Es kann nun im Zusammenhang mit den Figuren 3, 3a, 3b und 3c folgendes Verhalten der erfindungsgemäßen Schaltung gezeigt werden:

Durch Auftrennen, beispielsweise mit Hilfe von Laserstrahlen, der Verbindungen F (also durch die bleibende Abänderung an einem beliebigen Redundanzdekoder RD_i) kann für jede redundante Zeile ez_i entweder der Transistor T für die Adreßleitung A_i oder der Transistor T für die Adreßleitung $\bar{A}_i$ (es gilt jeweils: $1 \leq i \leq p$) vom Dekoderknoten A abgetrennt werden und so eine Programmierung eines oder mehrerer Redundanzdekoder RD_i erreicht werden. Es soll nun der Fall betrachtet werden, daß beide Redundanzdekoder RD_i und RD_{i+1} in Fig. 3 programmiert sind. Außerdem wird angenommen, daß durch eine passende Adreßkombination der Redundanzdekoder RD_i ausgewählt wird. Dies bedeutet, daß alle nach dem Auftrennen der entsprechenden Verbindungen F am Redundanzdekoder RD_i noch anliegenden Adreßleitungen auf „Low“ (=logisch „0“) liegen. Damit bleibt eine durch das Taktsignal ϕ_1 erzeugte Vorladung des Knotens A zwischen den Schalttransistoren T und dem Lasttransistor T_1 des im betreffenden Redundanzdekoder RD_i enthaltenen NOR-Gatters erhalten. Der Redundanzdekoder RD_i ist somit aktiviert. Gleichzeitig ist aber auch einer der für den

Normalbetrieb vorgesehenen Dekoder, z. B. der in Fig. 3b gezeigte Dekoder ND_{μ} , aktiviert. Entsprechend dem in Fig. 3c gezeigten Taktschema erscheint zeitlich nach dem Auftreten des Adreßsignals A_i bzw. $\bar{A}_i$ und damit der Aktivierung des Redundanzdekoders RD_{μ} (Fig. 3) und des Normaldekoders ND_{μ} (Fig. 3b) die Aufwärtsflanke des Taktsignals $\emptyset 2$ und lädt über den Transistor T3 den das Inhibitsignal $\emptyset k$ liefernden Knoten C (Fig. 3) auf « high » (= logisch « 1 »). Durch den nach dem Taktsignal $\emptyset 2$ auf « high » geladenen und das Aktivierungssignal $\emptyset 3R$ liefernden Ausgang der in Fig. 3a dargestellten Schaltung wird die redundante Zeile ez_{μ} bzw. $\bar{ez}_{\mu}$ ausgewählt. Durch die steigende Flanke des Inhibitsignals $\emptyset k$ wird eine ansteigende Flanke des von der Schaltung gemäß Fig. 3b zu erzeugenden Aktivierungssignales $\emptyset 3$ verhindert und damit ist der für den Normalbetrieb vorgesehene Dekoder ND_{μ} trotz der übereinstimmenden Adresse (z. B. der in Fig. 3b gezeigte Normaldekoder ND_{μ}) nicht auswählbar.

Die Vorteile des erfindungsgemäßen Redundanzkonzepts sind ein im Vergleich zu der üblichen Lösung geringerer Platzverbrauch, da die regulären Dekoder ND_{μ} durch das Einfügen der Redundanz keine Änderung erfahren (Signal SS in Fig. 1. Einsparen eines Eingangs je Normaldekoder ND_{μ} . Außerdem wird auf vorteilhafte Weise eine Zeitersparnis gegenüber dem in Fig. 1 gezeigten Redundanzkonzept erreicht, weil durch geeignete Dimensionierung der in den Figuren 3, 3a, 3b und auch der in den Figuren 2 und 2a dargestellten vorteilhaften Schaltungen gewährleistet ist, daß das Aktivierungssignal $\emptyset 3$ auch dann deaktiviert bleibt, wenn das Inhibitsignal $\emptyset k$ erst nach einer etwa 1 ns betragenden Verzögerung gegenüber der Anstiegsflanke des Taktsignales $\emptyset 2$ auf « high » geht.

Das vorgeschlagene Redundanzkonzept ist erfindungsgemäß auch dann anwendbar, wenn für die Adressierung der Speicherzellen als Adreßdekoder sog. Mittendekoder verwendet werden sollen. Hierbei handelt es sich um Zellenfeldanordnungen, die in eine linke und eine rechte Zellenfeldhälfte aufgeteilt sind, bei denen der Adreßdekoder gleichzeitig zwei Bitleitungspaare auswählt. Eine Bitleitungspaar ist räumlich auf der einen Seite (linke Zellenfeldhälfte), das andere auf der anderen Seite (rechte Zellenfeldhälfte) des Mittendekoders angeordnet. Dies bedeutet, daß der Mittendekoder gleichzeitig zur Adressierung der entsprechenden Zeilen in beiden Hälften des gesamten Zellenfeldes zuständig ist. Die Zeilen können z. B. als « folded » Bitleitungen ausgeführt sein.

Das entsprechende, bekannte Platzaufteilungsschema ist in Fig. 4a gezeigt. Hier ist das Zellenfeld in eine linke Hälfte LZF und eine rechte Hälfte RZF unterteilt, zwischen denen sich eine Reihe der genannten Mittendekoder MD_{μ} erstreckt. Diese Mittendekoder MD_{μ} müssen, wie bereits bemerkt, sowohl auf die linke Zellenfeldhälfte LZF als auch auf die rechte Zellenfeldhälfte RZF einwirken, so daß je Mittendekoder MD_{μ} sowohl ein

linker « Schalter » LS_{μ} zur Adressierung in der linken Zellenfeldhälfte LZF als auch ein rechter « Schalter » RS_{μ} für die Adressierung in der rechten Zellenfeldhälfte RZF vorgesehen sind. Soll nun eine Redundanz und eine Ausgestaltung entsprechend der vorliegenden Erfindung vorgesehen sein, so ist es zweckmäßig, für die links und rechts angeordneten Redundanzzeilenhälften $ez_{\mu l}$, $ez_{\mu r}$ je einen der bereits beschriebenen Redundanzdekoder RD_{μ} zu verwenden, wie in Fig. 4b als Redundanzdekoder $RD_{\mu l}$, $RD_{\mu r}$ dargestellt.

Bei einer erfindungsgemäßen Ausgestaltung des für den Normalbetrieb vorgesehenen Speicherbereiches gemäß Fig. 4b, der die beiden Zellenfeldhälften LZF, RZF mit Normalzeilen nz_{μ} (aufgeteilt in eine linke ($nz_{\mu l}$) und eine rechte Normalzeilenhälfte ($nz_{\mu r}$) sowie je Normalzeile nz_{μ} einen Mittendekoder MD_{μ} und die beiden Schalter LS_{μ} , RS_{μ} enthält, ist es aufgrund der vorteilhaften, noch zu beschreibenden Ausführung der Mittendekoder MD_{μ} samt den zugehörigen Schaltern LS_{μ} , RS_{μ} in Verbindung mit der Verwendung zweier Redundanzdekoder $RD_{\mu l}$, $RD_{\mu r}$ einer redundanten Zeile $ez_{\mu l} + ez_{\mu r}$ von Vorteil, daß im Redundanzfall nicht eine komplette Normalzeile nz_{μ} , sondern nur deren in der linken oder rechten Zellenfeldhälfte LZF, RZF liegende, defekte Zeilenhälfte ($nz_{\mu l}$, $nz_{\mu r}$) durch eine entsprechende linke ($ez_{\mu l}$) oder rechte ($ez_{\mu r}$) Hälfte einer redundanten Zeile $ez_{\mu l} + ez_{\mu r}$ ersetzt zu werden braucht. Damit läßt sich, bei angenommener gleichmäßiger Verteilung von Defekten in Normalzeilen nz_{μ} auf die beiden Zellenfeldhälften LZF, RZF die Anzahl der durch das erfindungsgemäße Redundanzkonzept « heilbaren » Defekte gegenüber bekannten Redundanzkonzepten bei gleicher Anzahl der zur Verfügung stehenden redundanten Zeilen $ez_{\mu l} + ez_{\mu r}$ verdoppeln.

Bei einem erfindungsgemäßen Schreib-Lese-Speicher gemäß Fig. 4b werden die linken bzw. rechten Schalter LS_{μ} , RS_{μ} , die zwischen den Mittendekodern MD_{μ} und der linken bzw. rechten Zellenfeldhälfte LZF, RZF liegen, durch ein Aktivierungssignal $\emptyset 3_1$ bzw. $\emptyset 3_2$ aktiviert. Zweck und Ausgestaltung der beiden figurenmäßig nicht dargestellten, die Aktivierungssignale $\emptyset 3_1$, $\emptyset 3_2$ erzeugenden Schaltungen sind analog dem bereits beschriebenen Schaltungsteil in Fig. 3b, der dort das Aktivierungssignal $\emptyset 3$ erzeugt. Ein entsprechendes Logikschaltbild ist in Fig. 2a enthalten. Anstelle des dort verwendeten Inhibitsignales $\emptyset k$ wird jedoch zur Unterdrückung des Aktivierungssignales $\emptyset 3_1$ ($1 =$ zuständig für die linke Zellenfeldhälfte LZF) ein Inhibitsignal $\emptyset k_1$ verwendet. Analog dazu wird ein Inhibitsignal $\emptyset k_2$ zur Unterdrückung des Aktivierungssignales $\emptyset 3_2$ verwendet. Beide Inhibitsignale $\emptyset k_1$, $\emptyset k_2$ werden, analog der Schaltung gemäß Fig. 3, in den Redundanzdekodern $RD_{\mu l}$ bzw. $RD_{\mu r}$ erzeugt. Beide Redundanzdekoder $RD_{\mu l}$, $RD_{\mu r}$ sind mit den aus Fig. 3 bekannten Redundanzdekodern RD_{μ} schaltungstechnisch identisch.

Gemäß Fig. 5 entspricht jeder der jeweils einer Zeile nz_{μ} des für den Normalbetrieb vorgesehenen

und in die beiden Hälften LZF und RZF unterteilten Zellenfelds zugeordnete Mittendekoder MD_{μ} funktionell und schaltungstechnisch dem aus Fig. 3b bekannten NOR-Gatter samt zugehörigem Lasttransistor NT1 eines Normaldekoders ND_{μ} . Dem Mittendekoder MD_{μ} schließen sich nach links der linke Schalter LS_{μ} und nach rechts der rechte Schalter RS_{μ} an. Der Anschluß erfolgt jeweils über einen Transfertransistor $NT2_1$, $NT2_2$, wobei das Gate jedes Transfertransistors $NT2_1$, $NT2_2$ mit dem Versorgungspotential V_{DD} verbunden ist.

Funktionell entsprechen die beiden Transfertransistoren $NT2_1$ bzw. $NT2_2$ dem aus Fig. 3b bekannten Transfertransistor $NT2$. Der Transfertransistor $NT2_1$ ist an seinem dem Mittendekoder MD_{μ} abgewandten stromführenden Anschluß mit dem Gate eines Transistors $NT3_1$ und der Transfertransistor $NT2_2$ in entsprechender Weise mit dem Gate eines Transistors $NT3_2$ verbunden. Die beiden Transistoren $NT3_1$ und $NT3_2$ entsprechen dem Transistor $NT3$ des in Fig. 3b gezeigten Normaldekoders ND_{μ} und sind dementsprechend an ihren Drainanschlüssen jeweils durch ein dem Aktivierungssignal $\emptyset 3$ entsprechendes Aktivierungssignal $\emptyset 3_1$ bzw. $\emptyset 3_2$ beaufschlagt, dessen Erzeugung bereits beschrieben wurde. Ebenso ist das aus Fig. 3b bekannte RS-Flip-Flop FF3 zweimal — und zwar in Gestalt des RS-Flip-Flops FF3₁ und des RS-Flip-Flops FF3₂ — vertreten, wobei das RS-Flip-Flop FF3₁ im linken Schalter LS_{μ} und das RS-Flip-Flop FF3₂ im rechten Schalter RS_{μ} enthalten sind. Weitere sachliche Erörterungen zu der in Fig. 5 gezeigten Ausgestaltung des Mittendekoders MD_{μ} und der beiden Schalter LS_{μ} , RS_{μ} samt deren Anschluß an die in der linken bzw. rechten Zellenfeldhälfte LZF bzw. RZF gelegene, für den Normalbetrieb vorgesehene Zeilenhälfte $nz_{\mu l}$ bzw. $nz_{\mu r}$ dürften aufgrund der Ausführungen zu Fig. 3b nicht mehr erforderlich sein.

Die Erfindung ist anwendbar sowohl auf statische als auch auf dynamische Schreib-Lesespeicher. Sie ist insbesondere auch auf dynamische Schreib-Lesespeicher anwendbar, deren Speicherzellen als Ein-Transistor-Speicherzellen aufgebaut sind.

Patentansprüche

1. Integrierter Schreib-Lesespeicher mit matrixförmig in Spalten und Zeilen angeordneten Speicherzellen, deren Adressierung über Adreßdekoder erfolgt, bei dem eine vorgegebene Zahl der Spalten und Zeilen (nz_{μ}) für einen Normalbetrieb und die restliche Zahl der Spalten und Zeilen (ez_{μ}) jeweils als Ersatz für jeweils eine Spalte bzw. Zeile der für den Normalbetrieb vorgesehenen Spalten bzw. Zeilen (nz_{μ}) vorgesehen sind, bei dem den einzelnen als Ersatz vorgesehenen Spalten bzw. Zeilen (ez_{μ}) zugeordnete Redundanzdekoder (RD_{μ}) derart ausgebildet und auf für den Normalbetrieb vorgesehene Normaldekoder (ND_{μ}) abgestimmt sind, daß eine Adressierung

jeder der als Ersatz vorgesehenen Spalten bzw. Zeilen (ez_{μ}) erst nach einer bleibenden Änderung, Auftrennen einer Verbindung F, an dem ihnen jeweils zugeordneten Redundanzdekoder (RD_{μ}) möglich und außerdem diese Änderung mit einer Deaktivierung des den ersetzten Spalten bzw. Zeilen (nz_{μ}) jeweils zugeordneten Normaldekoders (ND_{μ}) verbunden ist, bei dem die den für den Normalbetrieb vorgesehenen Spalten bzw. Zeilen (nz_{μ}) jeweils zugeordneten Normaldekoder (ND_{μ}) so ausgestaltet sind, daß eine Auswahl eines dieser Normaldekoder (ND_{μ}) bei nicht gleichzeitig angesprochenem Redundanzdekoder (RD_{μ}) durch eine entsprechende Kombination von Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) und ein erstes, allen Normaldekodern (ND_{μ}) gemeinsames Aktivierungssignal ($\emptyset 3$) erfolgt, bei dem die Redundanzdekoder (RD_{μ}) so ausgestaltet sind, daß eine Auswahl eines dieser Redundanzdekoder (RD_{μ}) zum Ersetzen einer der für den Normalbetrieb vorgesehenen Spalten bzw. Zeilen (nz_{μ}) durch die dem zu ersetzenden Normaldekoder (ND_{μ}) entsprechende Kombination von Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) und ein zweites, allen Redundanzdekodern (RD_{μ}) gemeinsames Aktivierungssignal ($\emptyset 3R$) erfolgt, bei dem mit der Durchführung der bleibenden Änderung an einem oder mehreren Redundanzdekodern (RD_{μ}) und bei einer Auswahl eines dieser Redundanzdekoder (RD_{μ}) ein Inhibitsignal ($\emptyset k$) erzeugt wird, das dazu dient, die für das Ansprechen der Normaldekoder (ND_{μ}) notwendige Pegeländerung des genannten Aktivierungssignales ($\emptyset 3$) zu verhindern, dadurch gekennzeichnet, daß das von aktivierten Redundanzdekodern (RD_{μ}) gelieferte Inhibitsignal ($\emptyset k$) gemeinsam mit einem ersten und einem zweiten Taktsignal ($\emptyset 1, \emptyset 2$) zur Steuerung einer das erste Aktivierungssignal ($\emptyset 3$) für die Normaldekoder (ND_{μ}) liefernde und aus selbstsperrenden MOS-Feldeffekttransistoren (14 bis 27) sowie einem weiteren Kondensator (C^*) gebildeten Schaltung vorgesehen ist, daß diese Schaltung derart ausgebildet ist, daß mit dem Auftreten des Inhibitsignales ($\emptyset k$) die Entstehung des ersten Aktivierungssignales ($\emptyset 3$) dann unterdrückt wird, wenn gleichzeitig mit der Adressierung des die Entstehung des Inhibitsignales ($\emptyset k$) bewirkenden Redundanzdekoders (RD_{μ}) ein Normaldekoder (ND_{μ}) adressiert wird.

2. Schreib-Lesespeicher nach Anspruch 1, dadurch gekennzeichnet, daß die aus den selbstsperrenden MOS-Feldeffekttransistoren (14 bis 27) vom selben Kanaltyp gebildete Schaltung derart ausgestaltet ist, daß ein erster Inverter, gebildet aus einem durch das erste Taktsignal ($\emptyset 1$) gesteuerten Schalttransistor (14) und einem durch das zweite Taktsignal ($\emptyset 2$) gesteuerten Lasttransistor (15) mit seinem Ausgang den Schalttransistor (16) eines zweiten Inverters steuert, dessen Lasttransistor (17) mit seinem Gate durch das erste Taktsignal ($\emptyset 1$) beaufschlagt ist, daß der Ausgang des zweiten Inverters (16, 17) über die Source-Drainstrecke eines vom zweiten Taktsignal ($\emptyset 2$) gesteuerten Transfertransistors (18) einerseits mit dem Gate eines — an seinem

Drain durch das zweite Taktsignal ($\emptyset 2$) beaufschlagten — weiteren Transistors (19) verbunden und andererseits über die Source-Drainstrecke eines durch das Inhibitsignal ($\emptyset k$) gesteuerten Entladungstransistors (20) mit dem Bezugspotential (V_{ss}) verbunden ist, daß dabei der über den genannten Transfertransistor (18) vom Ausgang des zweiten Inverters (16, 17) an seinem Gate beaufschlagte Transistor (19) mit seiner Source einerseits über die Parallelschaltung eines von dem Inhibitsignal ($\emptyset k$) gesteuerten Transistors (21) mit einem durch das erste Taktsignal ($\emptyset 1$) gesteuerten Transistor (22) mit dem Bezugspotential (V_{ss}) verbunden und andererseits an den einen Pol des weiteren Kondensators (C') sowie an die Gates zweier — mit ihrem Drain am Versorgungspotential (V_{DD}) liegender — Lade-Transistoren (23, 24) gelegt ist, daß dabei der andere Pol des weiteren Kondensators (C') sowohl mit der Source des einen der beiden Lade-Transistoren (23) und dem Drain eines weiteren — mit seiner Source am Bezugspotential (V_{ss}) liegenden — Transistors (25) verbunden ist, daß dieser letztgenannte Transistor (25) an seinem Gate vom Ausgang des zweiten Inverters (16, 17) gesteuert wird, daß die Source des anderen Ladetransistors (24) über die Parallelschaltung zweier weiterer Transistoren (26, 27) in Serie zu dem Bezugspotential (V_{ss}) liegt, wobei der eine dieser Transistoren (27) durch das Inhibitsignal ($\emptyset k$) und der andere Transistor (26) durch den Ausgang des zweiten Inverters (16, 17) gesteuert ist, und daß das erste Aktivierungssignal ($\emptyset 3$) für die Normaldekoder (ND_n) an einem Schaltungspunkt entsteht, der zwischen den Drainanschlüssen der beiden letztgenannten Transistoren (26, 27) und dem Sourceanschluß des anderen Ladetransistors (24) liegt.

3. Schreib-Lesespeicher nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zur Erzielung der Freigabe der Verbindung zwischen dem Dateneingang bzw. Datenausgang (S/L bzw. $\bar{S}/\bar{L}$) der für den Normalbetrieb vorgesehenen Zeilen (nz_n) eine Schaltung verwendet wird, die folgendermaßen aufgebaut ist:

a) eine Menge p von Transistoren (NT) (p = Anzahl der Adreßleitungen A_0 bis A_p bzw. $\bar{A}_0$ bis $\bar{A}_p$) ist nach Art eines NOR-Gatters in einem Normaldekoder (ND_n) parallel geschaltet, wobei jeder der Transistoren (NT) von einer Adreßleitung (A_0 oder $\bar{A}_0$, ..., A_p oder $\bar{A}_p$) aus einer Gesamtmenge der Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) an seinem Gate angesteuert wird, wobei die Sourceanschlüsse aller dieser Transistoren (NT) mit dem Bezugspotential (V_{ss}) verbunden sind, und wobei die Drainanschlüsse aller dieser Transistoren (NT) zu einem Schaltungspunkt (A') verknüpft sind,

b) dieser Schaltungspunkt (A') ist über die Source-Drainstrecke eines weiteren Transistors (NT1) mit dem Versorgungspotential (V_{DD}) verbunden, wobei eine Ansteuerung des Gates dieses weiteren Transistors (NT1) durch das erste Taktsignal ($\emptyset 1$) ein Vorladen dieses Schaltungspunktes auf das Versorgungspotential (V_{DD}) be-

wirkt,

c) dieser Schaltungspunkt (A') ist des weiteren über die Source-Drainstrecke eines gatemäßig an das Versorgungspotential (V_{DD}) an geschlossenen Quertransistors (NT2) mit dem Gate eines Schalttransistors (NT3) verbunden,

d) dieser Schalttransistor (NT3) wird an seinem Drainanschluß mit dem ersten Aktivierungssignal ($\emptyset 3$) angesteuert, sein Sourceanschluß bildet einerseits den Gateanschluß zweier Transistoren ($Tr_n, \bar{Tr}_n$), die die Freigabe der Verbindung zwischen dem Dateneingang bzw. Datenausgang (S/L bzw. $\bar{S}/\bar{L}$) der für den Normalbetrieb vorgesehenen Zeilen (nz_n) bewirken, andererseits bildet er einen Anschluß an die Drain des einen Transistors eines zwei kreuzgekoppelte Transistoren enthaltenden RS-Flip-Flops (FF3) und das Gate des anderen Transistors dieses RS-Flip-Flops (FF3),

e) der andere Transistor dieses RS-Flip-Flops (FF3) ist mit seinem Sourceanschluß sowohl mit dem Gate des einen Transistors des RS-Flip-Flops (FF3) als auch über die Source-Drainstrecke eines Lasttransistors (NR) mit dem Versorgungspotential (V_{DD}) verbunden, verbunden, wobei das Gate dieses Lasttransistors (NR) ebenfalls an das Versorgungspotential (V_{DD}) angeschlossen ist,

f) die Sourceanschlüsse der beiden Transistoren, die das RS-Flip-Flop (FF3) bilden, sind mit dem Bezugspotential (V_{ss}) verbunden.

4. Schreib-Lesespeicher nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß sowohl jeder der Normaldekoder (ND_n) als auch jeder der Redundanzdekoder (RD_n) mindestens ein NOR-Gatter beinhaltet, daß im Falle der Normaldekoder (ND_n) jeweils die entsprechende Kombination von Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) Signaleingänge für die NOR-Gatter bildet, daß im Falle der Redundanzdekoder (RD_n) alle Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) Signaleingänge für die NOR-Gatter bilden, wobei jeder dieser Signaleingänge jedes NOR-Gatters der Redundanzdekoder (RD_n) über eine auftrennbare Verbindung (F) mit der jeweils zugehörigen Adreßleitung ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) verbunden ist, daß die Ausgänge der NOR-Gatter der Normaldekoder (ND_n) zur Steuerung jeweils eines ersten UND-Gatters (U_n bzw. NT3) vorgesehen sind, daß die Ausgänge der NOR-Gatter der Redundanzdekoder (RD_n) zur Steuerung jeweils eines zweiten UND-Gatters (U_n^* bzw. T4) vorgesehen sind, daß diese UND-Gatter (U_n bzw. NT3; U_n^* bzw. T4) jeweils von einem der beiden Aktivierungssignale ($\emptyset 3$ bzw. $\emptyset 3R$) mitgesteuert werden und ihrerseits zu einer Freigabe einer Verbindung zwischen einem Dateneingang bzw. Datenausgang (S/L bzw. $\bar{S}/\bar{L}$) und der zu dem betreffenden Normaldekoder (ND_n) bzw. Redundanzdekoder (RD_n) gehörenden Zeilen (nz_n bzw. ez_n) bzw. Spalten dient, daß weiterhin des NOR-Gatter jedes einzelnen Redundanzdekoders (RD_n) zusammen mit dem allen Redundanzdekodern (RD_n) gemeinsamen zweiten Taktsignal ($\emptyset 2$) ein drittes UND-Gatter (U_n bzw. T3) steuert, dessen Ausgangssignal als Inhibitsi-

gnal ($\emptyset k$) Einfluß auf das für die Freigabe der Verbindung zwischen dem Dateneingang bzw. dem Datenausgang (S/L, $\bar{S}/\bar{L}$) und den den Normaldekodern (ND_{μ}) jeweils zugeordneten Spalten bzw. Zeilen (nz_{μ}) notwendige erste Aktivierungssignal ($\emptyset 3$) im Sinne einer Inaktivierung dieses ersten Aktivierungssignals ($\emptyset 3$), insbesondere in einer Unterdrückung desselben nimmt.

5. Schreib-Lesespeicher nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die in den Normaldekodern (ND_{μ}) und die in den Redundanzdekodern (RD_{ν}) vorgesehenen ersten, zweiten und dritten UND-Gatter (U_{μ}^{+} , U_{μ}^{*} , U_{ν}) jeweils zwei Signaleingänge besitzen, wobei der eine Signaleingang jeweils durch den Ausgang des mit den Adreßleitungen ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) beaufschlagten NOR-Gatters und der andere Eingang des ersten bzw. zweiten UND-Gatters (U_{μ} bzw. U_{μ}^{*}) im Falle der Normaldekoder (ND_{μ}) durch das allen Normaldekodern (ND_{μ}) gemeinsame erste Aktivierungssignal ($\emptyset 3$) und im Falle der Redundanzdekoder (RD_{ν}) durch das allen Redundanzdekodern (RD_{ν}) gemeinsame zweite Aktivierungssignal ($\emptyset 3R$) beaufschlagt ist, daß außerdem das im Falle der einzelnen Redundanzdekoder (RD_{ν}) jeweils vorgesehene dritte UND-Gatter (U_{ν}) an seinem zweiten Eingang durch das zweite Taktsignal ($\emptyset 2$) beaufschlagt ist, daß am Ausgang dieses dritten UND-Gatters (U_{ν}) ein — nach Programmierung des betreffenden Redundanzdekoders (RD_{ν}) aufgrund seiner dann möglichen Adressierung entstehendes — Signal zur Verfügung steht, welches unter Vermittlung eines allen Redundanzdekodern gemeinsamen, weiteren ODER-Gatters (OG), welches von den Ausgängen aller dritten UND-Gatter (U_{ν}) der Redundanzdekoder (RD_{ν}) eingangsseitig angesteuert wird, wodurch am Ausgang dieses weiteren ODER-Gatters (OG) das Inhibit-Signal ($\emptyset k$) erzeugt wird.

6. Schreib-Lesespeicher nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß das am Ausgang des ODER-Gatters (OG) entstehende Inhibitsignal ($\emptyset k$) unter Vermittlung eines Inverters an einen Eingang eines vierten UND-Gatters (U^{**}) gelegt und daß ein anderer Eingang dieses vierten UND-Gatters (U^{**}) durch das zweite Taktsignal ($\emptyset 2$) beaufschlagt ist, wodurch am Ausgang dieses vierten UND-Gatters (U^{**}) das zur Aktivierung des in den einzelnen Normaldekodern (ND_{μ}) jeweils vorgesehenen ersten UND-Gatters (U_{μ}^{+}) dienende und für alle Normaldekoder (ND_{μ}) gemeinsame erste Aktivierungssignal ($\emptyset 3$) entsteht.

7. Schreib-Lesespeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in den einzelnen Redundanzdekodern (RD_{ν}) jedem Adreßeingang ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) jeweils ein selbstsperrender MOS-Feldeffekttransistor (T) zugeordnet ist, der je einen Schalttransistor des NOR-Gatters des betreffenden Redundanzdekoders (RD_{ν}) bildet und dessen Drain über eine auftrennbare Verbindung (F) an den Sourceanschluß eines gemeinsamen Lasttransistors (T1) und damit an einen Ausgang (A) des durch die genannten Transistoren (T) gebildeten NOR-Gat-

ters gelegt ist, daß ferner der Ausgang (A) des NOR-Gatters über einen an seinem Gate am Versorgungspotential (V_{DD}) des NOR-Gatters liegenden Transistors (T2) an das Gate zweier weiterer Transistoren (T3, T4) gelegt ist, deren Sourceanschluß jeweils über eine Sicherungsschaltung (FF1, FF2) mit dem Bezugspotential (V_{SS}) des NOR-Gatters verbunden ist und deren Drainanschlüsse im Falle des einen Transistors (T4) durch das gemeinsame zweite Aktivierungssignal ($\emptyset 3R$) der Redundanzdekoder (RD_{ν}) und im Falle des anderen Transistors (T3) durch das zur Mitsteuerung des dritten UND-Gatters (U_{ν}) in den Redundanzdekodern (RD_{ν}) vorgesehene zweite Taktsignal ($\emptyset 2$) beaufschlagt sind, während die Source des an seiner Drain durch das zweite Aktivierungssignal ($\emptyset 3R$) beaufschlagten einen Transistors (T4) die Freigabe der Verbindung zwischen dem Dateneingang bzw. Datenausgang (S/L bzw. $\bar{S}/\bar{L}$) und der zu dem betreffenden Redundanzdekoder (RD_{ν}) gehörenden redundanten Spalten bzw. Zeilen (ez_{ν} , $\bar{e}z_{\nu}$) steuernden Ausgang des Redundanzdekoders (RD_{ν}) bildet, während der das dritte UND-Gatter (U_{ν}) des Redundanzdekoders (RD_{ν}) darstellende und vom zweiten Taktsignal ($\emptyset 2$) gesteuerte andere Transistor (T3) an seinem Sourceanschluß das die Inaktivierung des ersten Aktivierungssignales ($\emptyset 3$) nach Auswahl eines entsprechenden Redundanzdekoders (RD_{ν}) bewirkende Inhibit-Signal ($\emptyset k$) zur Verfügung stellt.

8. Schreib-Lesespeicher nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Sicherungsschaltungen (FF1, FF2), die an jeweils einem ersten Knoten mit dem Sourceanschluß der beiden, je ein UND-Gatter darstellenden Transistoren (T3, T4) direkt verbunden sind, durch je ein RS-Flip-Flop (FF1, FF2) gegeben sind, deren Fußpunkte jeweils mit dem Bezugspotential (V_{SS}) des den Redundanzdekoder (RD_{ν}) bildenden NOR-Gatters verbunden sind, während ein zweiter Knoten jedes der beiden Flip-Flops (FF1, FF2) jeweils über einen als Widerstand geschalteten MOS-Feldeffekttransistor (R) mit dem Versorgungspotential (V_{DD}) des Redundanzdekoders (RD_{ν}) verbunden sind.

9. Schreib-Lesespeicher nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß zur Erzeugung des für die vorgesehenen Redundanzdekoder (RD_{ν}) gemeinsam dienenden zweiten Aktivierungssignals ($\emptyset 3R$) eine aus zwölf selbstsperrenden MOS-Feldeffekttransistoren (1 bis 12) und einem Kondensator (C) bestehende Schaltung sowie zu deren Betrieb das erste und das zweite Taktsignal ($\emptyset 1$, $\emptyset 2$) vorgesehen sind, daß dabei der erste Transistor (1) mit seiner Source am Bezugspotential (V_{SS}), mit seinem Gate am ersten Taktsignal ($\emptyset 1$) und mit seinem Drain sowohl über einen vom zweiten Taktsignal ($\emptyset 2$) gesteuerten zweiten Transistor (2) am Versorgungspotential (V_{DD}) liegt als auch mit dem Gate eines dritten Transistors (3) verbunden ist, daß dabei der dritte Transistor (3) zusammen mit einem vierten Transistor (4) eine zwischen dem Versorgungspotential (V_{DD}) und dem Bezugs-

tential (V_{ss}) liegende weitere Reihenschaltung bildet, bei der der mit seinem Drain am Versorgungspotential (V_{DD}) liegende vierte Transistor (4) durch das erste Taktsignal ($\emptyset 1$) gesteuert wird, daß ein zwischen dem dritten und dem vierten Transistor (3, 4) liegender Schaltungspunkt über die Source-Drainstrecke eines an seinem Gate vom zweiten Taktsignal ($\emptyset 2$) gesteuerten fünften Transistors (5) sowohl mit dem Gate eines an seinem Drain durch das zweite Taktsignal ($\emptyset 2$) beaufschlagten sechsten Transistors (6) als auch über einen weiteren Transistor (12), der von dem ersten Taktsignal ($\emptyset 1$) gesteuert ist, mit dem Versorgungspotential (V_{DD}) verbunden ist, daß außerdem der Source Anschluß des sechsten Transistors (6) einerseits mit dem Gate eines weiteren Transistors (7) verbunden ist, dessen Drain am Versorgungspotential (V_{DD}) liegt und dessen Source zum einen mit dem eigenen Gate über den Kondensator (C) verbunden ist und zum anderen mit dem Drain eines weiteren Transistors (9) verbunden ist, dessen Source mit dem Bezugspotential (V_{ss}) verbunden ist, und dessen Gate wiederum mit dem Schaltungspunkt zwischen dem dritten und vierten Transistor (3, 4) verbunden ist, daß außerdem der Sourceanschluß des sechsten Transistors (6) mit dem Drainanschluß eines weiteren Transistors (10), der durch das erste Taktsignal ($\emptyset 1$) gesteuert ist, mit dem Bezugspotential (V_{ss}) verbunden ist, daß ferner der Sourceanschluß des sechsten Transistors (6) am Gate eines weiteren Transistors (8) liegt, dessen Drain am Versorgungspotential (V_{DD}) und dessen Source sowohl den das zweite Aktivierungssignal ($\emptyset 3R$) für die Redundanzdeko- der (RD_v) liefernden Ausgang bildet als auch über einen weiteren Transistor (11) mit dem Bezugspotential (V_{ss}) verbunden ist, wobei das Gate dieses Transistors (11) ebenfalls mit dem zwischen dem dritten und dem vierten Transistor (3, 4) liegenden Schaltungspunkt beaufschlagt ist, und bei dem schließlich die beiden Taktsignale ($\emptyset 1$, $\emptyset 2$) derart ausgebildet sind, daß die fallende Flanke des ersten Taktsignales ($\emptyset 1$) zeitlich unmittelbar vor dem Auftreten der Adressierungssignale (A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$) liegt, während das zweite Taktsignal ($\emptyset 2$) mit dem zur Mitsteuerung des dritten UND-Gatters (U_1) in den einzelnen Redundanzdekodern (RD_v) gemeinsamen zweiten Taktsignal ($\emptyset 2$) identisch ist.

10. Schreib-Lesespeicher nach mindestens einem der vorhergehenden Ansprüche mit einer Aufteilung der für den Normalbetrieb vorgesehenen Spalten bzw. Zeilen (nz_{μ}) in eine linke (LZF) und eine rechte Zellenfeldhälfte (RZF), mit einer Ausgestaltung der zugehörigen Normaldeko- der (ND_μ) nach Art von Mittendekodern (MD_μ) die mit der linken bzw. rechten Zellenfeldhälfte (LZF, RZF) jeweils mit einem linken bzw. rechten Schalter (LS_μ, RS_μ) verbunden sind, wobei die linken bzw. rechten Schalter (LS_μ, RS_μ) jeweils über ein linkes bzw. rechtes Aktivierungssignal ($\emptyset 3$, bzw. $\emptyset 3_r$) angesteuert werden, dadurch gekennzeichnet, daß die als Ersatz vorgesehene Spalten bzw. Zeilen (ez_{μ}) ebenfalls jeweils in eine linke Zeilen-

hälfte ($ez_{\mu l}$) und eine rechte Zeilenhälfte ($ez_{\mu r}$) aufgeteilt sind, daß jede dieser Zeilenhälften ($ez_{\mu l}$, $ez_{\mu r}$) über einen eigenen linken bzw. rechten Redundanzdeko- der (RD_v, RD_r) ausgewählt wird, und daß das linke bzw. rechte Aktivierungssignal ($\emptyset 3_l$, $\emptyset 3_r$) analog erzeugt wird zu dem ersten Aktivierungssignal ($\emptyset 3$) für Normaldeko- der (ND_μ).

11. Schreib-Lesespeicher nach Anspruch 10, dadurch gekennzeichnet, daß zur Erzeugung des linken bzw. rechten Aktivierungssignales ($\emptyset 3_l$, $\emptyset 3_r$) jeweils ein Inhibitsignal ($\emptyset k_l$, $\emptyset k_r$) verwendet wird, das von den linken bzw. rechten Redundanzdekodern (RD_v, RD_r) analog erzeugt wird zu dem Inhibitsignal ($\emptyset k$), das das Auftreten des ersten Aktivierungssignales ($\emptyset 3$) bei Normaldekodern (ND_μ) ggf. unterdrückt.

12. Schreib-Lesespeicher nach Anspruch 10 oder 11, gekennzeichnet durch

a) Mittendeko- der (MD_μ), die jeweils ein NOR-Gatter enthalten, das in Form von p parallel geschalteten MOS-Transistoren (NT; p = Anzahl der Adreßleitungen A_0 ... A_p bzw. deren Komplemente $\bar{A}_0$... $\bar{A}_p$) realisiert ist, wobei jedes Gate der MOS-Transistoren durch eine Adreßleitung (A_0 ... A_p) oder deren komplementärer Adreßleitung ($\bar{A}_0$... $\bar{A}_p$) gesteuert wird, die Sourceanschlüsse mit dem Bezugspotential (V_{ss}) verbunden sind und ein Schaltungspunkt (A), gebildet aus den Drainanschlüssen aller parallel geschalteten MOS-Transistoren (NT) des NOR-Gatters, über die Source-Drainstrecke eines vom ersten Taktsignal ($\emptyset 1$) gesteuerten Schalttransistors (NTI) mit dem Versorgungspotential (V_{DD}) verbunden ist,

b) sich nach links bzw. rechts an jeden Mittendeko- der (MD_μ) anschließenden Schalter (LS_μ bzw. RS_μ), der einen Quertransistor (NT2, bzw. NT2_r) enthält, der gatemäßig mit dem Versorgungspotential (V_{DD}) verbunden ist und dessen stromführende Pfade (Source bzw. Drain) einerseits an den Schaltungspunkt (A) des Mittendekoders (MD_μ) angeschlossen sind und andererseits den Gateanschluß eines weiteren Schalttransistors (NT3_l bzw. NT3_r) bilden, wobei an der Drain dieses Schalttransistors (NT3_l, NT3_r) das linke bzw. rechte Aktivierungssignal ($\emptyset 3_l$, $\emptyset 3_r$) eingespeist wird und wobei der Sourceanschluß einen Schaltungsknoten (K_l bzw. K_r) bildet, der zum einen an die linke bzw. rechte Zellenfeldhälfte (LZF, RZF) angeschlossen ist in der Form, daß er mit den Gates von zwei Transistoren ($tr_{\mu l}$, $\bar{tr}_{\mu l}$; $tr_{\mu r}$, $\bar{tr}_{\mu r}$) verbunden ist, die die Freigabe der Verbindung zwischen dem Dateneingang bzw. Datenausgang (S/L_l , $\bar{S}/L_l$; S/L_r , $\bar{S}/L_r$) und der für den Normalbetrieb vorgesehenen linken bzw. rechten Zeilenhälfte ($nz_{\mu l}$, $nz_{\mu r}$) bewirken, und daß dieser Schaltungsknoten (K_l bzw. K_r) zum anderen mit einem in üblicher Weise aus zwei kreuzgekoppelten Transistoren gebildeten RS-Flip-Flop (FF3, bzw. FF3_r) so verbunden ist, daß dieser Schaltungsknoten (K_l bzw. K_r) sowohl den Drainanschluß des einen kreuzgekoppelten Transistors bildet als auch den Gateanschluß des anderen kreuzgekoppelten Transistors, wobei die

Sourceanschlüsse dieser beiden Transistoren mit dem Bezugspotential (V_{ss}) verbunden sind und sowohl der Gateanschluß des einen Transistors als auch der Drainanschluß des anderen Transistors über einen als Widerstand geschalteten, weiteren Transistor (NR_i , NR_j) mit dem Versorgungspotential (V_{DD}) verbunden sind.

Claims

1. Integrated write-read memory having memory cells arranged in matrix fashion in columns and rows, said cells being addressed via address decoders, in which a predetermined number of the columns and rows (nz_n) are provided for a normal operation and the remaining number of the columns and rows (ez_n) are provided in each case as a substitute for in each case one column or row of the columns and rows (nz_n) respectively provided for the normal operation, in which the individual redundancy decoders (RD_n) associated with columns and rows (ez_n) provided as a substitute are designed in such a manner and matched to normal decoders (ND_n) provided for the normal operation in such a manner that addressing of each of the columns or rows (ez_n) provided as a substitute is only possible after a permanent change, separation of a connection F, on the respective redundancy decoder (RD_n) associated therewith and, moreover, this change is connected with a deactivation of the normal decoder (ND_n) associated in each case with the substituted columns or rows (nz_n), in which the normal decoders (ND_n) in each case associated with the columns and rows (nz_n) provided for the normal operation are organized in such a manner that one of these normal decoders (ND_n) is selected, when the redundancy decoder (RD_n) is not simultaneously activated, by a corresponding combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) and a first activation signal ($\emptyset 3$) common to all normal decoders (ND_n), in which the redundancy decoders (RD_n) are organized in such a manner that one of these redundancy decoders (RD_n) is selected for substituting one of the columns or rows (nz_n) provided for the normal operation by the combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) corresponding to the normal decoder (ND_n) to be substituted and a second activation signal ($\emptyset 3R$) common to all redundancy decoders (RD_n), in which, with the execution of the permanent change at one or more redundancy decoders (RD_n) and upon a selection of one of these redundancy decoders (RD_n), an inhibit signal ($\emptyset k$) is generated which serves to prevent the level change of said activation signal ($\emptyset 3$) necessary for activating the normal decoders (ND_n), characterized in that the inhibit signal ($\emptyset k$) supplied by activated redundancy decoders (RD_n) is provided together with a first and a second clock signal ($\emptyset 1, \emptyset 2$) for controlling a circuit which supplies the first activation signal ($\emptyset 3$) for the normal decoders (ND_n) and which is formed by normally-off MOS field-effect transistors (14 to 27) and a

further capacitor (C^*), in that this circuit is designed in such a manner that when the inhibit signal ($\emptyset k$) occurs the generation of the first activation signal ($\emptyset 3$) is suppressed when a normal decoder (ND_n) is addressed at the same time as the redundancy decoder (RD_n) causing the generation of the inhibit signal ($\emptyset k$) is addressed.

2. Write-read memory according to Claim 1, characterized in that the circuit formed by the normally-off MOS field-effect transistors (14 to 27) of the same channel type is designed in such a manner that a first inverter, formed by a switching transistor (14) controlled by the first clock signal ($\emptyset 1$) and a load transistor (15) controlled by the second clock signal ($\emptyset 2$), controls with its output the switching transistor (16) of a second inverter, the load transistor (17) of which receives the first clock signal ($\emptyset 1$) with its gate, in that the output of the second inverter (16, 17) is connected on the one hand via the source-drain path of a transfer transistor (18) controlled by the second clock signal ($\emptyset 2$) to the gate of a further transistor (19), which receives the second clock signal ($\emptyset 2$) at its drain, and on the other hand via the source-drain path of a discharging transistor (20) controlled by the inhibit signal ($\emptyset k$) to the reference potential (V_{ss}), in that the transistor (19) receiving at its gate the output of the second inverter (16, 17) via said transfer transistor (18) is thereby connected with its source on the one hand via the parallel connection of a transistor (21), controlled by the inhibit signal ($\emptyset k$), with a transistor (22), controlled by the first clock signal ($\emptyset 1$), to the reference potential (V_{ss}), and on the other hand is connected to one pole of the further capacitor (C^*) as well as to the gates of two load transistors (23, 24), lying with their drain at the supply potential (V_{DD}), in that the other pole of the further capacitor (C^*) is thereby connected both to the source of one of the two load transistors (23) and to the drain of the further transistor (25), lying with its source at the reference potential (V_{ss}), in that this last-mentioned transistor (25) is controlled at its gate by the output of the second inverter (16, 17), in that the source of the other load transistor (24) lies via the parallel connection of two further transistors (26, 27) in series to the reference potential (V_{ss}), one of these transistors (27) being controlled by the inhibit signal ($\emptyset k$) and the other transistor (26) being controlled by the output of the second inverter (16, 17), and in that the first activation signal ($\emptyset 3$) for the normal decoders (ND_n) is generated at a circuit point which lies between the drain connections of the two last-mentioned transistors (26, 27) and the source connection of the other load transistor (24).

3. Write-read memory according to Claim 1 or 2, characterized in that, for achieving the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) of the rows (nz_n) provided for the normal operation, a circuit is employed which is designed as follows:

a) A quantity p of transistors (NT) (p = number of address lines A_0 to A_p or $\bar{A}_0$ to

$\bar{A}_p$) is connected in parallel in the manner of a NOR gate in a normal decoder (ND_{μ}), each of the transistors (NT) being driven by an address line (A_0 or $\bar{A}_0, \dots, A_p$ or $\bar{A}_p$) from a total quantity of the address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) at its gate, the source connections of all these transistors (NT) being connected to the reference potential (V_{ss}), and the drain connections of all these transistors (NT) being combined to a circuit point (A'),

b) this circuit point (A') is connected via the source-drain path of a further transistor (NT1) to the supply potential (V_{DD}), a driving of the gate of this further transistor (NT1) by the first clock signal ($\emptyset 1$) causing a precharging of this circuit point to the supply potential (V_{DD}),

c) this circuit point (A') is furthermore connected via the source-drain path of a transverse transistor (NT2), connected via its gate to the supply potential (V_{DD}), to the gate of a switching transistor (NT3),

d) this switching transistor (NT3) is driven at its drain connection by the first activation signal ($\emptyset 3$); its source connection forms on the one hand the gate connection of two transistors ($Tr_{\mu}, \bar{Tr}_{\mu}$) which effect the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) of the rows (nz_{μ}) provided for the normal operation, on the other hand it forms a connection to the drain on one transistor of an RS flipflop (FF3) containing two cross-coupled transistors and the gate of the other transistor of this RS flipflop (FF3),

e) the other transistor of this RS flipflop (FF3) is connected with its source connection both to the gate of one transistor of the RS flipflop (FF3) and, via the source-drain path of a load transistor (NR), to the supply potential (V_{DD}), the gate of this load transistor (NR) likewise being connected to the supply potential (V_{DD}),

f) the source connections of both transistors which form the RS flipflop (FF3) are connected to the reference potential (V_{ss}).

4. Write-read memory according to one of Claims 1 to 3, characterized in that each of the normal decoders (ND_{μ}) as well as each of the redundancy decoders (RD_v) contains at least one NOR gate, in that in the case of the normal decoders (ND_{μ}) in each case the corresponding combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) forms signal inputs for the NOR gates, in that in the case of the redundancy decoders (RD_v) all address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) form signal inputs for the NOR gates, each of these signal inputs of each NOR gate of the redundancy decoders (RD_v) being connected via a separable connection (F) to the respective associated address line ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$), in that the outputs of the NOR gates of the normal decoders (ND_{μ}) are provided for controlling in each case one first AND gate (U_{μ}^- or NT3), in that the outputs of the NOR gates of the redundancy decoders (RD_v) are provided for controlling in each case a second AND gate (U_{μ}^* or T4), in that these AND gates (U_{μ}^- or NT3; U_{μ}^* or T4) are in each case jointly controlled by one of the two activation signals ($\emptyset 3$ or $\emptyset 3R$) and serve in

turn for releasing a connection between a data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) and the rows (nz_{μ} or ez_v respectively) or columns belonging to the respective normal decoder (ND_{μ}) or redundancy decoder (RD_v), in that furthermore the NOR gate of each individual redundancy decoder (RD_v), together with the second clock signal ($\emptyset 2$) common to all the redundancy decoders (RD_v), controls a third AND gate (U_v or T3), the output signal of which has an influence, as an inhibit signal ($\emptyset k$), on the first activation signal ($\emptyset 3$) necessary for releasing the connection between the data input or the data output ($S/L, \bar{S}/\bar{L}$) and the columns or rows (nz_{μ}) associated in each case with the normal decoders (ND_{μ}), in the sense of an inactivation of this first activation signal ($\emptyset 3$), in particular in the form of a suppression thereof.

5. Write-read memory according to one of Claims 1 to 4, characterized in that the first, second and third AND gates (U_{μ}^-, U_v^*, U_v) provided in the normal decoders (ND_{μ}) and those provided in the redundancy decoders (RD_v) have in each case two signal inputs, one signal input in each case receiving the output of the NOR gate receiving the address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$), and the other input of the first and second AND gates (U_{μ}^- or U_v^* respectively) in the case of the normal decoders (ND_{μ}) receiving the first activation signal ($\emptyset 3$) common to all normal decoders (ND_{μ}), and in the case of the redundancy decoders (RD_v) receiving the second activation signal ($\emptyset 3R$) common to all redundancy decoders (RD_v), in that moreover, in the case of the individual redundancy decoders (RD_v), the third AND gate (U_v) provided in each case receives at its second input the second clock signal ($\emptyset 2$), in that at the output of this third AND gate (U_v) a signal, generated after programming of the respective redundancy decoder (RD_v) as a result of its then possible addressing, is available which [lacuna], with mediation of a further OR gate (OG) common to all redundancy decoders and driven on the input side by the outputs of all third AND gates (U_v) of the redundancy decoders (RD_v), as a result of which the inhibit signal ($\emptyset k$) is generated at the output of this further OR gate (OG).

6. Write-read memory according to one of Claims 1 to 5, characterized in that the inhibit signal ($\emptyset k$) generated at the output of the OR gate (OG) is applied, with mediation of an inverter, to an input of a fourth AND gate (U^{**}), and in that another input of this fourth AND gate (U^{**}) receives the second clock signal ($\emptyset 2$), as a result of which the first activation signal ($\emptyset 3$) which is common to all normal decoders (ND_{μ}) and which serves to activate the first AND gate (U_{μ}^-) provided in each case in the individual normal decoder (ND_{μ}) is generated at the output of this fourth AND gate (U^{**}).

7. Write-read memory according to one of the preceding claims, characterized in that in each case one normally-off MOS field-effect transistor (T) is associated with each address input ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) in the individual redundancy decoders

(RD_v), which MOS field-effect transistor forms in each case one switching transistor of the NOR gate of the respective redundancy decoder (RD_v), and the drain of which is applied via a separable connection (F) to the source connection of a common load transistor (T1) and hence to an output (A) of the NOR gate formed by said transistors (T), in that furthermore the output (A) of the NOR gate is applied via a transistor (T2) lying at its gate at the supply potential (V_{DD}) of the NOR gate to the gate of two further transistors (T3, T4), the source connection of which is connected in each case via a fuse circuit (FF1, FF2) to the reference potential (V_{ss}) of the NOR gate, and the drain connections of which receive, in the case of one transistor (T4), the common second activation signal (Ø3R) of the redundancy decoders (RD_v), and receive, in the case of the other transistor (T3), the second clock signal (Ø2) provided for joint control of the third AND gate (U_v) in the redundancy decoders (RD_v), while the source of one transistor (T4) receiving the second activation signal (Ø3R) at its drain forms the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) and the output of the redundancy decoder (RD_v) controlling the redundant columns or rows (ez_v, $\bar{e}\bar{z}_v$) belonging to the respective redundancy decoder (RD_v), while the other transistor (T3), representing the third AND gate (U_v) of the redundancy decoder (RD_v) and controlled by the second clock signal (Ø2), makes available at its source connection the inhibit signal (Øk) effecting the inactivation of the first activation signal (Ø3) after selection of a corresponding redundancy decoder (RD_v).

8. Write-read memory according to one of Claims 1 to 7, characterized in that the fuse circuits (FF1, FF2), which are connected directly in each case at a first node to the source connection of the two transistors (T3, T4) representing in each case an AND gate, each take the form of an RS flipflop (FF1, FF2), the bases of which are in each case connected to the reference potential (V_{ss}) of the NOR gate forming the redundancy decoder (RD_v), while a second node of each of the two flipflops (FF1, FF2) are connected in each case via a MOS field-effect transistor (R) connected as a resistor to the supply potential (V_{DD}) of the redundancy decoder (RD_v).

9. Write-read memory according to one of Claims 1 to 8, characterized in that, for generating the second activation signal (Ø3R) jointly serving the provided redundancy decoders (RD_v), a circuit consisting of twelve normally-off MOS field-effect transistors (1 to 12) and of a capacitor (C) as well as the first and the second clock signal (Ø1, Ø2) for the operation thereof are provided, in that the first transistor (1) thereby lies with its source at the reference potential (V_{ss}), with its gate at the first clock signal (Ø1) and with its drain both via a second transistor (2) controlled by the second clock signal (Ø2) at the supply potential (V_{DD}), and is also connected to the gate of a third transistor (3), in that the third transistor (3) thereby forms, together with a fourth transistor (4), a

further series connection lying between the supply potential (V_{DD}) and the reference potential (V_{ss}) and in which the fourth transistor (4) lying with its drain at the supply potential (V_{DD}) is controlled by the first clock signal (Ø1), in that a circuit point lying between the third and the fourth transistor (3, 4) is connected to the supply potential (V_{DD}) via the source-drain path of a fifth transistor (5) controlled at its gate by the second clock signal (Ø2) both to the gate of a sixth transistor (6) receiving at its drain the second clock signal (Ø2) and, via a further transistor (12) which is controlled by the first clock signal (Ø1), to the supply potential (V_{DD}), in that, in addition, the source connection of the sixth transistor (6) is connected on the one hand to the gate of a further transistor (7), the drain of which lies at the supply potential (V_{DD}) and the source of which is connected firstly to its own gate via the capacitor (C) and secondly to the drain of a further transistor (9), the source of which is connected to the reference potential (V_{ss}), and the gate of which is on the other hand connected to the circuit point between the third and fourth transistor (3, 4), in that, in addition, the source connection of the sixth transistor (6) is connected to the reference potential (V_{ss}) with the drain connection of a further transistor (10) which is controlled by the first clock signal (Ø1), in that furthermore the source connection of the sixth transistor (6) lies at the gate of a further transistor (8), the drain of which is connected to the supply potential (V_{DD}) and the source of which not only forms the output supplying the second activation signal (Ø3R) for the redundancy decoders (RD_v) but is also connected, via a further transistor (11), to the reference potential (V_{ss}), the gate of this transistor (11) likewise receiving the circuit point lying between the third and the fourth transistor (3, 4), and in which finally the two clock signals (Ø1, Ø2) are designed in such a manner that the trailing edge of the first clock signal (Ø1) lies temporally immediately before the appearance of the addressing signals (A₀, $\bar{A}_0$, ..., A_p, $\bar{A}_p$), while the second clock signal (Ø2) is identical to the common second clock signal (Ø2) for joint control of the third AND gate (U_v) in the individual redundancy decoders (RD_v).

10. Write-read memory according to at least one of the preceding claims, having a division of the columns and rows (nz_v) provided for the normal operation into a left (LZF) and a right cell field half (RZF), with an organization of the associated normal decoders (ND_v) in the manner of centre decoders (MD_v) which are connected with the left and right cell field half (LZF, RZF) in each case to a left or right switch (LS_v, RS_v) respectively, the left or right switch (LS_v, RS_v) in each case being driven via a left or a right activation signal (Ø3_l or Ø3_r) respectively, characterized in that the columns and rows (ez_v) provided as a substitute are likewise divided in each case into a left row half (ez_{v,l}) and a right row half (ez_{v,r}), in that each of these row halves (ez_{v,l}, ez_{v,r}) are selected via its own left or right redundancy

decoder (RD_{vi} , RD_{vr}), and in a that the left and right activation signal ($\emptyset 3_i$, $\emptyset 3_r$) is generated analogously to the first activation signal ($\emptyset 3$) for normal decoders (ND_{μ}).

11. Write-read memory according to Claim 10, characterized in that, for generating the left and right activation signal ($\emptyset 3_i$, $\emptyset 3_r$), in each case an inhibit signal ($\emptyset k_i$, $\emptyset k_r$) is used which is generated by the left or right redundancy decoders (RD_{vi} , RD_{vr}) respectively analogously to the inhibit signal ($\emptyset k$) which suppresses the appearance of the first activation signal ($\emptyset 3$) in normal decoders (ND_{μ}) when appropriate.

12. Write-read memory according to Claim 10 or 11, characterized by

a) centre decoders (MD_{μ}) which each contain a NOR gate which is realized in the form of p parallel-connected MOS transistors (NT ; p = number of address lines $A_0 \dots A_p$ or their complement lines $\bar{A}_0 \dots \bar{A}_p$), each gate of the MOS transistors being controlled by an address line ($A_0 \dots A_p$) or its complementary address line ($\bar{A}_0 \dots \bar{A}_p$), the source connections being connected to the reference potential (V_{ss}), and a circuit point (A) formed by the drain connections of all parallel-connected MOS transistors (NT) of the NOR gate being connected via the source-drain path of a switching transistor (NT1) controlled by the first clock signal ($\emptyset 1$) to the supply potential (V_{DD}).

b) a switch (LS_{μ} or RS_{μ} respectively) which is connected to the left or the right on each centre decoder (MD_{μ}) and which contains a transverse transistor (NT2, or NT2_i) which is connected by its gate to the supply potential (V_{DD}) and the current-carrying paths (source or drain) of which are connected on the one hand to the circuit point (A) of the centre decoder (MD_{μ}), and on the other hand form the gate connection of a further switching transistor (NT3_i or NT3_r), the left or right activation signal ($\emptyset 3_i$, $\emptyset 3_r$) being fed into the drain of this switching transistor (NT3_i, NT3_r) and the source connection forming a circuit node (K_i or K_r) which is firstly connected to the left or right cell field half (LZF, RZF) in such a way that it is connected to the gates of two transistors ($tr_{\mu i}$, $\bar{tr}_{\mu i}$; $tr_{\mu r}$, $\bar{tr}_{\mu r}$) which effect the release of the connection between the data input or data output (S/L_i , S/L_r ; $\bar{S}/L_i$, $\bar{S}/L_r$) and the left or right row half ($nz_{\mu i}$, $nz_{\mu r}$) provided for the normal operation, and in that this circuit node (K_i or K_r) is secondly connected to an RS flipflop (FF3_i or FF3_r), formed in a usual manner by two cross-coupled transistors, in such a manner that this circuit node (K_i or K_r) forms both the drain connection of one cross-coupled transistor and the gate connection of the other cross-coupled transistor, the source connections of these two transistors being connected to the reference potential (V_{ss}), and both the gate connection of one transistor and the drain connection of the other transistor being connected to the supply potential (V_{DD}) via a further transistor (NR_i, NR_r) connected as a resistor.

Revendications

1. Mémoire intégrée d'enregistrement/lecture comportant des cellules disposées sous une forme matricielle suivant des colonnes et des lignes et dont l'adressage est réalisé par l'intermédiaire de décodeurs d'adresses, et dans laquelle un nombre prédéterminé des colonnes et des lignes (nz_{μ}) est prévu pour un fonctionnement normal et le reste des colonnes et des lignes (ez_{μ}) est prévu respectivement à titre de remplacement pour respectivement une colonne ou une ligne faisant partie des colonnes ou des lignes (nz_{μ}) prévues pour le fonctionnement normal, et dans laquelle des décodeurs à redondance (RD_{μ}) associés aux différentes colonnes ou lignes (ez_{μ}) prévues à titre de remplacement, sont agencés et accordés sur des décodeurs normaux (ND_{μ}) prévus pour le fonctionnement normal, de telle sorte qu'un adressage de chacune des colonnes ou des lignes (ez_{μ}) prévues à titre de remplacement n'est possible qu'après une modification permanente, à savoir l'interruption d'une liaison F, dans le décodeur à redondance (RD_{μ}) respectivement associé à cette colonne ou ligne, et qu'en outre cette modification est liée à une désactivation du décodeur normal (ND_{μ}) associé respectivement aux colonnes ou lignes (nz_{μ}) remplacées, et dans lequel les décodeurs normaux (ND_{μ}) associés respectivement aux colonnes ou lignes (nz_{μ}) prévues pour le fonctionnement normal, sont agencés de telle sorte qu'une sélection de l'un de ces décodeurs normaux (ND_{μ}) est réalisée, dans le cas où un décodeur à redondance (RD_{μ}) ne répond pas simultanément, par une combinaison correspondante de lignes de transmission d'adresses ($A_0, A_0, \dots, A_p, \bar{A}_p$) et au moyen d'un premier signal d'activation ($\emptyset 3R$), commun à tous les décodeurs normaux (ND_{μ}), et dans lequel les décodeurs à redondance (RD_{μ}) sont agencés de telle sorte qu'une sélection de l'un de ces décodeurs à redondance (RD_{μ}) est exécutée, en vue du remplacement de l'une des colonnes ou des lignes (nz_{μ}) prévue pour le fonctionnement normal, au moyen de la combinaison, qui correspond à des décodeurs normaux (ND_{μ}) devant être remplacés, de lignes de transmission d'adresses ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) et au moyen d'un second signal d'activation ($\emptyset 3R$) commun à tous les décodeurs à redondance (RD_{μ}) et dans lequel lors de l'exécution de la modification permanente dans un ou plusieurs décodeurs à redondance (RD_{μ}) et lors d'une sélection de l'un de ces décodeurs (RD_{μ}), un signal d'inhibition ($\emptyset k$) est produit, qui sert à empêcher la modification du niveau dudit signal d'activation ($\emptyset 3$), qui est nécessaire pour la réponse des décodeurs normaux (ND_{μ}), caractérisé par le fait que le signal d'inhibition ($\emptyset k$) délivré par des décodeurs à redondance (RD_{μ}) activés, est prévu en commun avec des premier et second signaux de cadence ($\emptyset 1, \emptyset 2$) pour réaliser la commande d'un circuit délivrant le premier signal d'activation ($\emptyset 3$) pour les décodeurs normaux (ND_{μ}) et formé par des

transistors à effet de champ MOS (14 à 27) autobloquants ainsi que par un autre condensateur (C*), que ce circuit est agencé de telle sorte que lors de l'apparition du signal d'inhibition ($\emptyset k$), l'apparition du premier signal d'activation ($\emptyset 3$) est supprimé lorsqu'un décodeur normal (ND_n) est adressé en même temps que s'effectue l'adressage du décodeur à redondance (RD_n) déclenchant l'apparition du signal d'inhibition ($\emptyset k$).

2. Mémoire d'enregistrement/lecture suivant la revendication 1, caractérisé par le fait que le circuit formé par les transistors à effet de champ MOS (14 à 27) autobloquants possédant le même type de canal, est agencé de telle sorte qu'un premier inverseur, formé par un transistor de commutation (14) commandé par le premier signal de cadence ($\emptyset 1$), et par un transistor de charge (15) commandé par le second signal de cadence ($\emptyset 2$), commande par sa sortie le transistor de commutation (16) d'un second inverseur, dont le transistor de charge (17) est chargé, au niveau de sa grille, par le premier signal de cadence ($\emptyset 1$), que la sortie du second inverseur (16, 17) est reliée par l'intermédiaire de la voie source-drain d'un transistor de transfert (18) commandé par le second signal de cadence ($\emptyset 2$), d'une part à la grille d'un autre transistor (19) - chargé au niveau de son drain par le second signal de cadence ($\emptyset 2$) - et d'autre part au potentiel de référence (V_{ss}) par l'intermédiaire de la voie source-drain d'un transistor de décharge (20) commandé par le signal d'inhibition ($\emptyset k$), que la source du transistor (19), dont la grille est chargée par la sortie du second inverseur (16, 17) par l'intermédiaire dudit transistor de transfert (18), est reliée d'une part au potentiel de référence (V_{ss}) par l'intermédiaire du circuit parallèle formé d'un transistor (21) commandé par le signal d'inhibition ($\emptyset k$) et un transistor (22) commandé par le premier signal de cadence ($\emptyset 1$) et d'autre part à un pôle d'un autre condensateur (C*) ainsi qu'aux grilles de deux transistors de charge (23, 24) - dont le drain est raccordé au potentiel d'alimentation (V_{DD}) -, que l'autre pôle de l'autre condensateur (C*) est raccordé aussi bien à la source d'un premier (23) des deux transistors de charge qu'au drain d'un autre transistor (25) - dont la source est raccordée au potentiel de référence (V_{ss}), que ce transistor (25) indiqué en dernier lieu est commandé, au niveau de sa grille, par le signal de sortie du second inverseur (16, 17), que la source de l'autre transistor de charge (24) est raccordée en série au potentiel de référence (V_{ss}) par l'intermédiaire du circuit parallèle formé de deux autres transistors (26, 27), dont l'un (27) est commandé par le signal d'inhibition ($\emptyset k$) et dont l'autre (26) est commandé par le signal de sortie du second inverseur (16, 17), et que le premier signal d'activation ($\emptyset 3$) pour le décodeur normal (ND_n) est présent au niveau d'un point du montage, qui est situé entre les bornes de drain des deux transistors (26, 27) indiquées en dernier lieu et la borne de source de l'autre transistor de charge (24).

3. Mémoire d'enregistrement/lecture selon la

revendication 1 ou 2, caractérisé en ce que pour l'obtention de la suppression de la liaison entre l'entrée ou la sortie de données (S/L ou $\bar{S}/\bar{L}$) des lignes (nz_n) prévues pour le fonctionnement normal, il est prévu un circuit constitué de la manière suivante :

a) une pluralité p de transistors (NT) (p = nombre des lignes de transmission d'adresses A_0 à A_p ou $\bar{A}_0$ à $\bar{A}_p$) sont branchés en parallèle à la manière d'une porte NON-OU dans un décodeur normal (ND_n), auquel cas la grille de chacun des transistors (NT) est commandée par une ligne de transmission d'adresses (A_0 ou $\bar{A}_0$, ..., A_p ou $\bar{A}_p$) faisant partie de la totalité des lignes de transmission d'adresses (A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$), les bornes de source de tous ces transistors (NT) sont reliées au potentiel de référence V_{ss} et les bornes de drain de tous ces transistors (NT) sont raccordées à un point (A') du circuit,

b) ce point (A') du circuit est relié par l'intermédiaire de la voie source-drain d'un autre transistor (NT1) au potentiel de référence (V_{DD}), la commande de la grille de cet autre transistor (NT) par le premier signal de cadence ($\emptyset 1$) réalisant une charge préalable de ce point du circuit au potentiel d'alimentation (V_{DD}),

c) le point (A') du circuit est d'autre part relié par l'intermédiaire de la voie source-drain d'un transistor transversal (NT2), dont la grille est raccordée au potentiel d'alimentation (V_{DD}), à la grille d'un transistor de commutation (NT3),

d) ce transistor de commutation (NT3) est commandé, au niveau de sa borne de drain, par le premier signal d'activation ($\emptyset 3$), sa borne de source forme d'une part la borne de grille de deux transistors (Tr_n , $\bar{Tr}_n$), qui déclenchent la suppression entre l'entrée de données ou la sortie de données (S/L ou $\bar{S}/\bar{L}$) des lignes (nz_n) prévues pour le fonctionnement normal, et forme par ailleurs une borne raccordée au drain d'un premier transistor d'une bascule bistable de type RS (FF3) contenant deux transistors couplés selon un couplage croisé, et la grille de l'autre transistor de cette bascule bistable de type RS (FF3),

e) la borne de source de l'autre transistor de cette bascule bistable de type RS (FF3) est reliée aussi bien à la grille du premier transistor de la bascule bistable de type RS (FF3) que, par l'intermédiaire de la voie source-drain d'un transistor de charge (NR), au potentiel d'alimentation (V_{DD}), la grille de ce transistor de charge (NR) étant également raccordée au potentiel d'alimentation (V_{DD}),

f) les bornes de source des deux transistors, qui forment la bascule bistable de type RS (FF3), sont reliées au potentiel de référence (V_{ss}).

4. Mémoire d'enregistrement/lecture suivant l'une des revendications 1 à 3, caractérisée par le fait qu'au moins bien chacun des décodeurs normaux (ND_n) que chacun des décodeurs à redondance (RD_n) contient au moins une porte NON-OU, que dans le cas des décodeurs normaux (ND_n), la combinaison correspondante respective de lignes de transmission d'adresses (A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$) forme des entrées de signaux pour la porte NON-

OU, que dans le cas des décodeurs à redondance (RD_v), toutes les lignes de transmission d'adresses ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) forment des signaux d'entrée pour les portes NON-OU, chacun de ces signaux d'entrée de chaque porte NON-OU des décodeurs à redondance (RD_v) étant reliée par l'intermédiaire d'une liaison (F) pouvant être supprimée à la ligne respectivement associée de transmission d'adresses ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$), que les sorties des portes NON-OU des décodeurs normaux (ND_μ) sont prévues pour commander respectivement une première porte ET (U_{μ}^+ ou NT3), que les sorties des portes NON-OU des décodeurs à redondance (RD_v) sont prévues pour la commande d'une seconde porte respective ET (U_{μ}^* ou T4), que cette porte ET (U_{μ}^- ou NT3 ; U_{μ}^* ou T4) sont commandées respectivement par l'un des deux signaux d'activation ($\emptyset 3$ ou $\emptyset 3R$) et, pour leur part, servent à autoriser une liaison entre une entrée ou une sortie de données (S/L ou $\bar{S}/\bar{L}$) et les lignes (nz_μ ou ez_μ) ou les colonnes, associées au décodeur normal (ND_μ) ou au décodeur à redondance (RD_v) considéré, qu'en outre la porte NON-ET de chaque décodeur à redondance (RD_v) commande, conjointement avec le second signal de cadence ($\emptyset 2$) commun à tous les décodeurs à redondance (RD_v), une troisième porte ET (U_v ou T3), dont le signal de sortie influe, en tant que signal d'inhibition ($\emptyset k$), sur le premier signal d'activation ($\emptyset 3$), qui est nécessaire pour la suppression de la liaison entre l'entrée de données ou la sortie de données (S/L, $\bar{S}/\bar{L}$) et les colonnes ou lignes (nz_μ) associées respectivement aux décodeurs normaux (ND_μ), dans le sens d'une inactivation de ce premier signal d'activation ($\emptyset 3$), notamment sous la forme d'une suppression.

5. Mémoire d'enregistrement/lecture suivant l'une des revendications 1 à 4, caractérisée par le fait que les première, seconde et troisième portes ET (U_{μ}^+ , U_{μ}^* , U_v), prévues dans des décodeurs normaux (ND_μ) et dans les décodeurs à redondance (RD_v) possèdent chacune deux entrées de signaux, une entrée des signaux étant chargée respectivement par le signal de sortie de la porte NON-OU chargée par la ligne de transmission d'adresses ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) et l'autre entrée de la première ou de la seconde porte ET (U_{μ}^- ou U_{μ}^*) étant chargée, dans le cas des détecteurs normaux (ND_μ), par le premier signal d'activation ($\emptyset 3$) commun à tous les décodeurs normaux (ND_μ), et, dans le cas des décodeurs à redondance (RD_v), par le second signal d'activation ($\emptyset 3R$) commun à tous les décodeurs à redondance (RD_v), qu'en outre la troisième porte ET (U_v), prévue respectivement dans le cas des différents décodeurs à redondance (RD_v), est chargée au niveau de sa seconde entrée par le second signal de cadence ($\emptyset 2$), qu'à la sortie de cette troisième porte ET (U_v) est disponible un signal — qui apparaît après la programmation du décodeur à redondance (RD_v) considéré sur la base de son adressage alors possible — qui est envoyé à une autre porte OU (OG), qui est commune à tous les décodeurs à redondance et dont l'entrée est commandée par les signaux de sortie de l'ensem-

ble des troisièmes portes ET (U_v) des décodeurs à redondance (RD_v), ce qui fait apparaître le signal d'inhibition ($\emptyset k$) sur la sortie de cette autre porte OU (OG).

6. Mémoire d'enregistrement/lecture suivant l'une des revendications 1 à 5, caractérisée par le fait que le signal d'inhibition ($\emptyset k$) apparaissant à la sortie de la porte OU (OG) est appliqué, par l'intermédiaire d'un inverseur, à une entrée d'une quatrième porte ET (U^{**}) et qu'une autre entrée de cette quatrième porte ET (U^{**}) est chargée par le second signal de cadence ($\emptyset 2$), ce qui fait apparaître, sur la sortie de cette quatrième porte ET (U^{**}), le premier signal d'activation ($\emptyset 3$) utilisé pour activer la première porte ET (U_{μ}^-), prévue respectivement dans les différents décodeurs normaux (ND_μ), et commun à tous les décodeurs normaux (ND_μ).

7. Mémoire d'enregistrement/lecture suivant l'une des revendications précédentes, caractérisée par le fait que dans les différents décodeurs à redondance (RD_v) à chaque entrée d'adresses ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) est associé respectivement un transistor à effet de champ MOS (T) autobloquant, qui forme respectivement un transistor de commutation de la porte NON-OU du décodeur à redondance (RD_v) considéré et dont le drain est raccordé par l'intermédiaire d'une liaison (F) pouvant être interrompue, à la borne de source d'un transistor de charge commun (T1) et par conséquent à une sortie (A) de la porte NON-OU formée par lesdits transistors (T), qu'en outre la sortie (A) de la porte NON-ET est raccordée par l'intermédiaire d'un transistor (T2) dont la grille est raccordée au potentiel d'alimentation (V_{DD}) de la porte NON-OU, à la grille de deux autres transistors (T3, T4), dont la borne de source est raccordée respectivement par l'intermédiaire d'un circuit de sécurité (FF1, FF2) au potentiel de référence (V_{SS}) de la porte NON-OU et dont les bornes de drain sont chargées, dans le cas d'un transistor (T4), par le second signal commun d'activation ($\emptyset 3R$) des décodeurs à redondance (RD_v) et, dans le cas de l'autre transistor (T3), par le second signal de cadence ($\emptyset 2$) prévu pour réaliser la commande conjointe de la troisième porte ET (U_v) dans les décodeurs à redondance (RD_v), tandis que la source du transistor (T4), dont le drain est chargé par le second signal d'activation ($\emptyset 3R$), forme la sortie du décodeur à redondance (RD_v), qui commande l'interruption de la liaison entre l'entrée de données ou la sortie de données (S/L ou $\bar{S}/\bar{L}$) et les colonnes ou lignes redondantes (ez_μ , $\bar{ez}_\mu$) faisant partie du décodeur à redondance (RD_v) considéré, tandis que l'autre transistor (T3), qui représente la troisième porte ET (U_v) du décodeur à redondance (RD_v) et commandé par le second signal de cadence ($\emptyset 2$), délivre, sur sa borne de source, le signal d'inhibition ($\emptyset k$) provoquant l'inactivation du premier signal d'activation ($\emptyset 3$) après la sélection d'un décodeur à redondance (RD_v) correspondant.

8. Mémoire d'enregistrement/lecture suivant l'une des revendications 1 à 7, caractérisée par le fait que les circuits de sécurité (FF1, FF2), qui

sont reliés directement, respectivement au niveau d'un premier nœud, à la borne de source des deux transistors (T3, T4) représentant des portes ET respectives, sont formés chacun par une bascule bistable de type RS (FF1, FF2), dont les points de base sont reliés respectivement au potentiel de référence (V_{ss}) de la porte NON-OU formant le décodeur à redondance (RD_v), tandis que des seconds nœuds respectifs des deux bascules bistables (FF1, FF2) sont reliés respectivement par l'intermédiaire d'un transistor à effet de champ MOS (R) branché en tant que résistance, au potentiel d'alimentation (V_{DD}) du décodeur à redondance (RD_v).

9. Mémoire d'enregistrement/lecture suivant l'une des revendications 1 à 8, caractérisée par le fait que pour l'obtention du second signal d'activation ($\emptyset 3R$) utilisé en commun pour les décodeurs à redondance (RD_v) prévus, il est prévu un circuit, constitué par douze transistors à effet de champ MOS autobloquants (1 à 12) et par un condensateur (C), ainsi que, pour le fonctionnement de ce circuit, des premier et second signaux de cadence ($\emptyset 1$, $\emptyset 2$), que le premier transistor (1) est relié par sa source au potentiel de référence (V_{ss}), par sa grille au premier signal de cadence ($\emptyset 1$) et par son drain aussi bien au potentiel d'alimentation (V_{DD}), par l'intermédiaire d'un second transistor (2) commandé par le second signal de cadence ($\emptyset 2$), qu'à la grille d'un troisième transistor (3), que le troisième transistor (3) forme, conjointement avec un quatrième transistor (4), un autre circuit série disposé entre le potentiel d'alimentation (V_{DD}) et le potentiel de référence (V_{ss}) et dans lequel le quatrième transistor (4) raccordé par son drain au potentiel d'alimentation (V_{DD}) est commandé par le premier signal de cadence ($\emptyset 1$), qu'un point de circuit situé entre les troisième et quatrième transistors (3, 4) est relié, par l'intermédiaire de la voie source-drain d'un cinquième transistor (5), dont la grille est commandée par le second signal de cadence ($\emptyset 2$), aussi bien à la grille d'un sixième transistor (6), dont le drain est chargé par le second signal de cadence ($\emptyset 2$), que par l'intermédiaire d'un autre transistor (12), qui est commandé par le premier signal de cadence ($\emptyset 1$), au potentiel d'alimentation (V_{DD}), qu'en outre la borne de source du sixième transistor (6) est reliée d'une part à la grille d'un autre transistor (7), dont le drain est placé au potentiel d'alimentation (V_{DD}) et dont la source est raccordée d'une part à la grille par l'intermédiaire du condensateur (C), et d'autre part au drain d'un autre transistor (9), dont la source est reliée au potentiel de référence (V_{ss}), et dont la grille est reliée à nouveau au point du circuit situé entre les troisième et quatrième transistors (3, 4), qu'en outre la borne de source du sixième transistor (6) est reliée au potentiel de référence (V_{ss}) par la borne de drain d'un autre transistor (10), qui est commandé par le premier signal de cadence ($\emptyset 1$), qu'en outre la borne de source du sixième transistor (6) est raccordée à la grille d'un autre transistor (8), dont le drain est raccordé au potentiel

d'alimentation (V_{DD}) et dont la source d'une part forme la sortie délivrant le second signal d'activation ($\emptyset 3R$) pour les décodeurs à redondance (RD_v) et est également reliée au potentiel de référence (V_{ss}) par l'intermédiaire d'un autre transistor (11), dont la grille est également chargée par le point de circuit situé entre les troisième et quatrième transistors (3, 4), et que, enfin, les signaux de cadence ($\emptyset 1$, $\emptyset 2$) sont agencés de telle sorte que les flancs retombants du premier signal de cadence ($\emptyset 1$) apparaissent dans le temps juste avant l'apparition des signaux d'adressage (A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$), tandis que le second signal de cadence ($\emptyset 2$) est identique au second signal de cadence ($\emptyset 2$) qui est commun pour la commande conjointe des troisième portes ET (U_v) dans les différents décodeurs à redondance (RD_v).

10. Mémoire d'enregistrement/lecture suivant au moins l'une des revendications précédentes, dans laquelle il est prévu une subdivision des colonnes ou des lignes (nz_{μ}), prévues pour le fonctionnement normal, en un demi-champ de cellules de gauche (LZF) et en un demi-champ de cellules de droite (RZF), et dans lequel les décodeurs normaux (ND_{μ}) associés sont réalisés à la manière de décodeurs médians (MD_{μ}), qui sont reliés par la moitié de champ de cellules de gauche ou de droite (LZF, RZF), respectivement à un interrupteur de gauche ou de droite (LS_{μ} , RS_{μ}), les interrupteurs de gauche ou de droite (LS_{μ} , RS_{μ}) étant commandés respectivement par l'intermédiaire d'un signal d'activation de gauche ou de droite ($\emptyset 3_l$ ou $\emptyset 3_r$), caractérisée par le fait que les colonnes ou lignes (ez_v) prévues à titre de remplacement sont également réparties en une moitié de lignes de gauche (ez_{vl}) et une moitié de lignes de droite (ez_{vr}), que chacune de ces moitiés de lignes (ez_{vl} , ez_{vr}) est sélectionnée par l'intermédiaire d'un décodeur à redondance de gauche ou de droite (RD_{vl} , RD_{vr}) particulier, et que le signal d'activation de gauche ou de droite ($\emptyset 3_l$, $\emptyset 3_r$) est produit d'une manière analogue au premier signal d'activation ($\emptyset 3$) pour les décodeurs normaux (ND_{μ}).

11. Mémoire d'enregistrement/lecture suivant la revendication 10, caractérisée par le fait que pour l'obtention du signal d'activation de gauche ou de droite ($\emptyset 3_l$, $\emptyset 3_r$), on utilise des signaux d'inhibition respectifs ($\emptyset k_l$, $\emptyset k_r$), qui sont produits, par les décodeurs à redondance de gauche et de droite (RD_{vl} , RD_{vr}) de la même manière que le signal d'inhibition ($\emptyset k$), qui supprime éventuellement l'apparition du premier signal d'activation ($\emptyset 3$) dans le cas de décodeurs normaux (ND_{μ}).

12. Mémoire d'enregistrement/lecture suivant la revendication 10 ou 11, caractérisée par :

a) des décodeurs médians (MD_{μ}), qui contiennent chacun une porte NON-OU réalisée sous la forme de p transistors MOS (NT ; p = nombre des lignes de transmission d'adresses $A_0 \dots A_p$ ou des lignes complémentaires des précédentes ($\bar{A}_0 \dots \bar{A}_p$) branchées en parallèle, auquel cas chaque grille des transistors MOS est commandée par une ligne de transmission d'adresses ($A_0 \dots A_p$) ou la ligne d'adresses ($\bar{A}_0 \dots \bar{A}_p$) qui en est la

complémentaire, les bornes de source sont reliées au potentiel de référence (V_{ss}) et un point de circuit (A), formé à partir des bornes de drain de tous les transistors MOS (NT) de la porte NON-OU, branchés en parallèle, est raccordé au potentiel d'alimentation (V_{DD}), par l'intermédiaire de la voie source-drain d'un transistor de commutation (NT1) commandé par le premier signal de cadence (ϕ_1).

b) un interrupteur (LS_μ ou RS_μ), qui se raccorde à gauche ou à droite à chaque décodeur médian (MD_μ) et comporte un transistor transversal (NT2_i ou NT2_r), dont la grille est reliée au potentiel d'alimentation (V_{DD}) et dont les voies (source et drain) véhiculant le courant d'une part sont raccordées au point de circuit (A) du décodeur médian (MD_μ) et d'autre part forment le raccord de grille d'un autre transistor de commutation (NT3_i ou NT3_r), auquel cas le signal d'activation de gauche ou de droite (03_i , 03_r) est injecté dans le drain de ce transistor de commutation (NT3_i, NT3_r), et la borne de source forme un noeud de circuit (K_i ou K_r), qui est raccordé d'une

part à la moitié du champ de cellules de gauche ou de droite (LZF, RZF) de telle sorte qu'il est relié aux grilles de deux transistors ($tr_{\mu i}$, $\bar{tr}_{\mu i}$; $tr_{\mu r}$, $\bar{tr}_{\mu r}$) qui déclenchent la suppression de la liaison entre l'entrée de données ou la sortie de données (S/L_i , $\bar{S}/\bar{L}_i$; S/L_r , $\bar{S}/\bar{L}_r$) et la moitié de ligne de gauche ou de droite ($nz_{\mu i}$, $nz_{\mu r}$) prévue pour le fonctionnement normal, et que ce noeud de circuit (K_i ou K_r) est relié d'autre part à une bascule bistable de type RS (FF3_i ou FF3_r), formée de façon usuelle par deux transistors couplés selon un couplage croisé, de telle sorte que ce noeud de circuit (K_i ou K_r) forme aussi bien la borne de drain d'un transistor couplé selon un couplage croisé que la borne de grille de l'autre transistor couplé selon un couplage croisé, auquel cas les bornes de sources de ces deux transistors sont reliées au potentiel de référence (V_{ss}) et aussi bien la borne de grille d'un transistor que la borne de drain de l'autre transistor sont reliées au potentiel d'alimentation (V_{DD}) par l'intermédiaire d'un autre transistor (NR_i, NR_r) branché en tant que résistance.

25

30

35

40

45

50

55

60

65

19

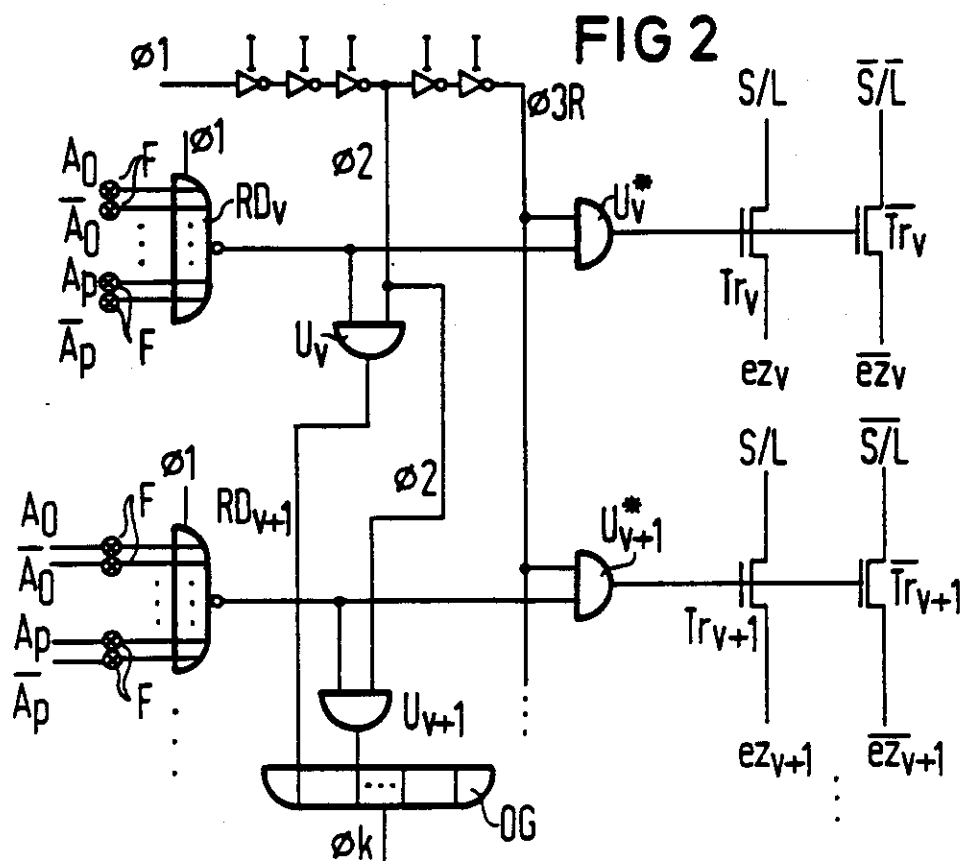
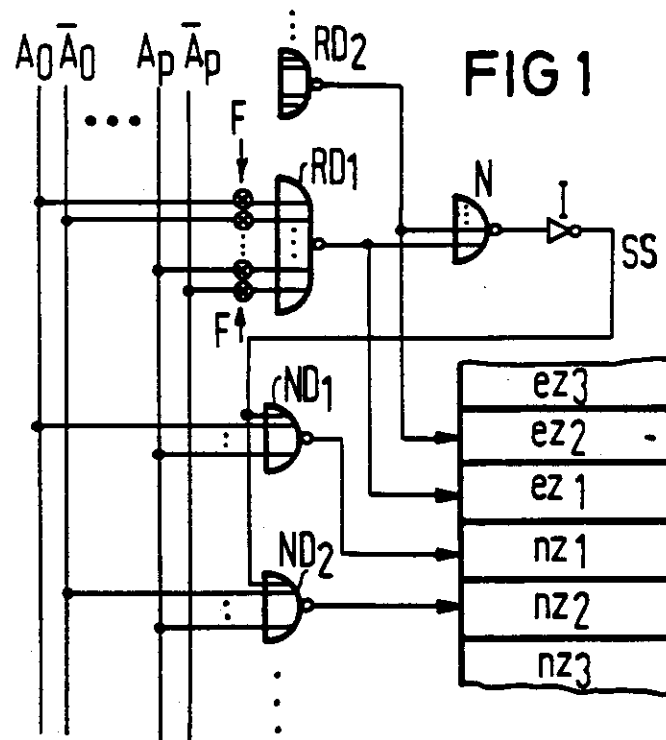
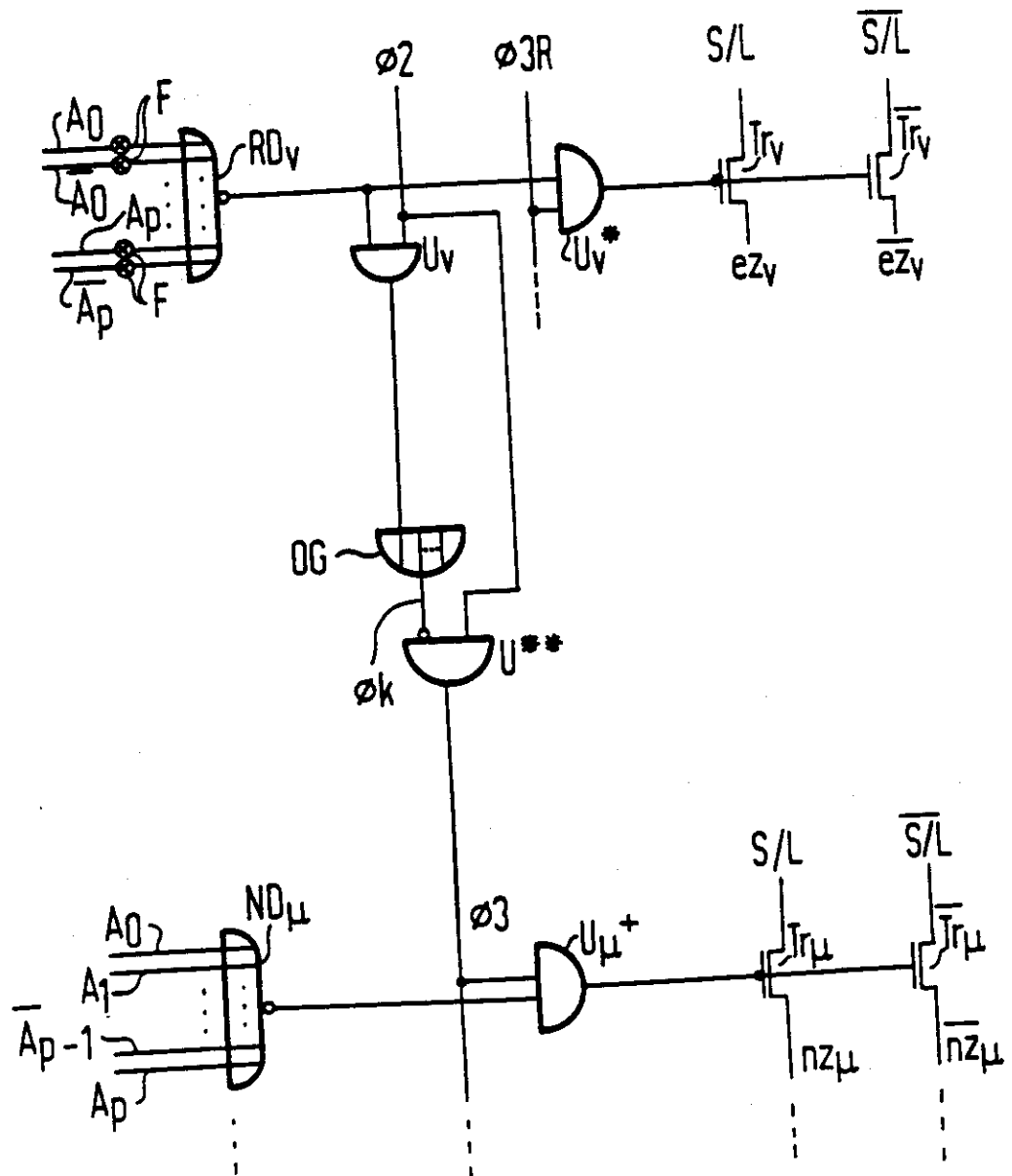


FIG 2a



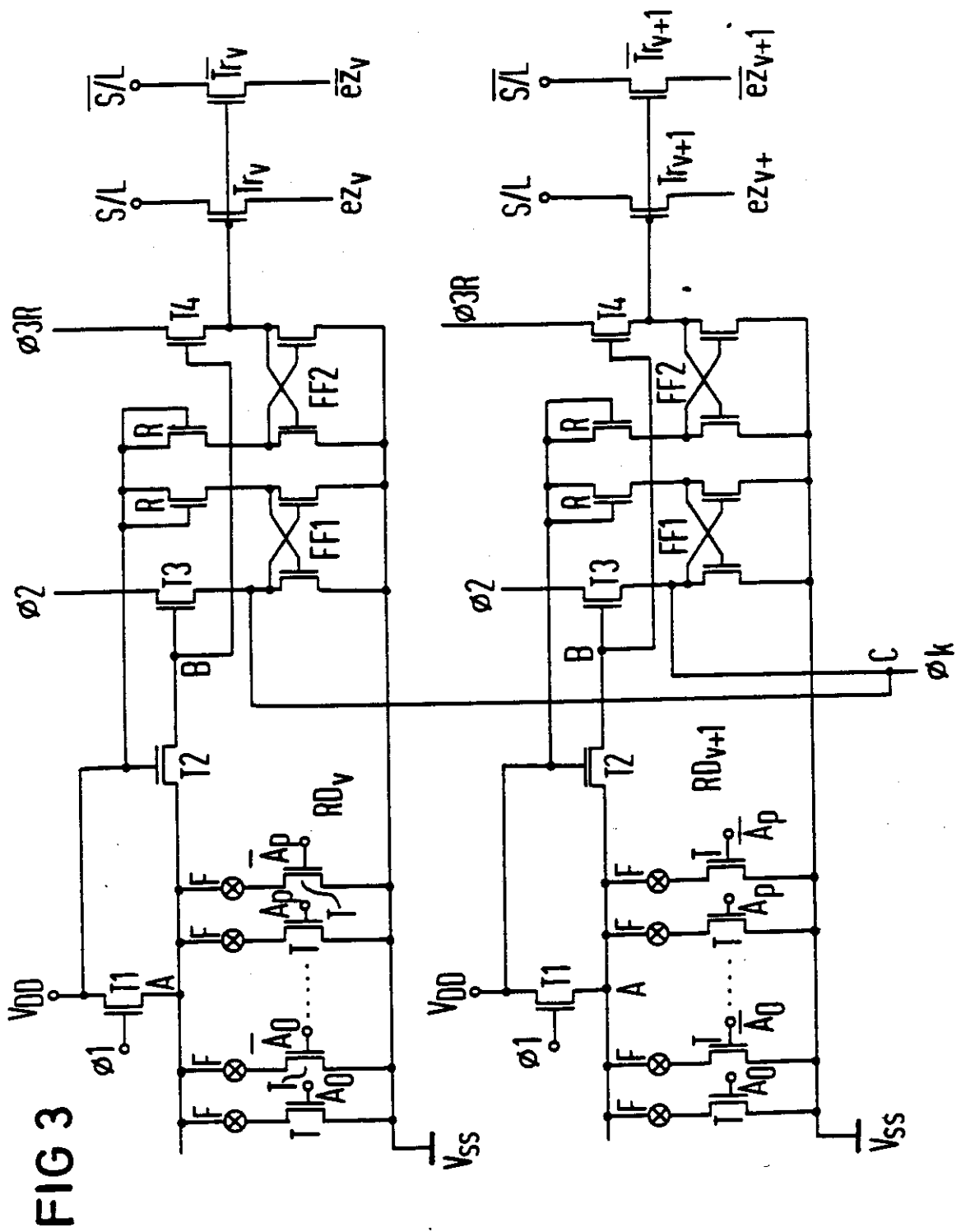


FIG 3a

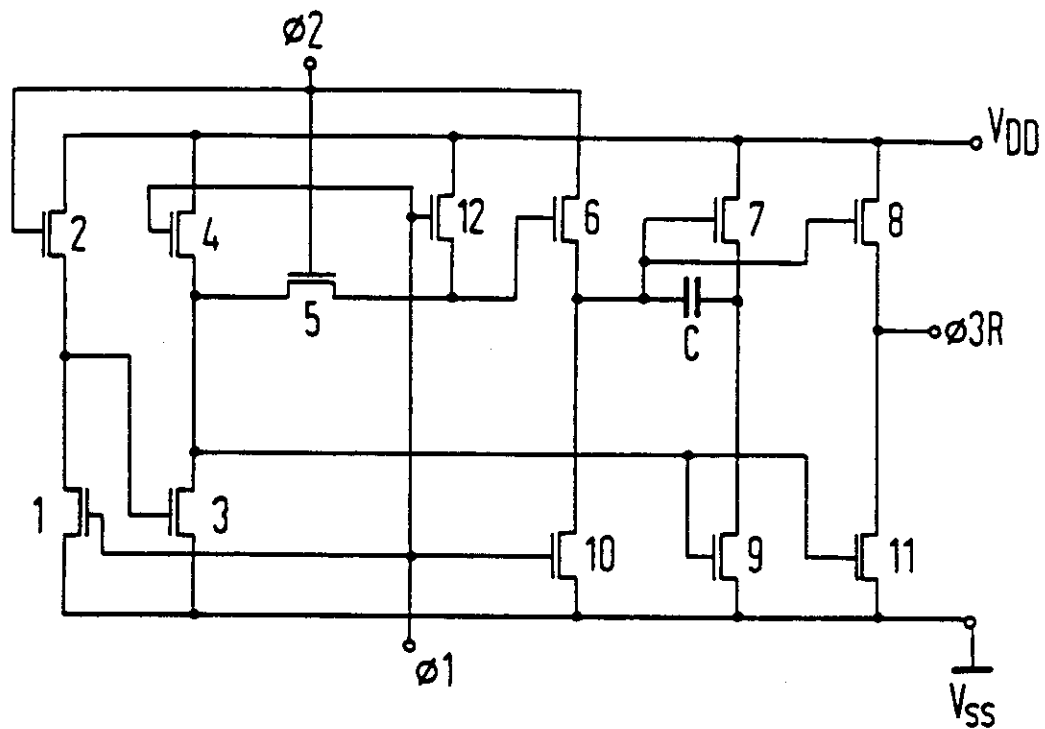


FIG 3c

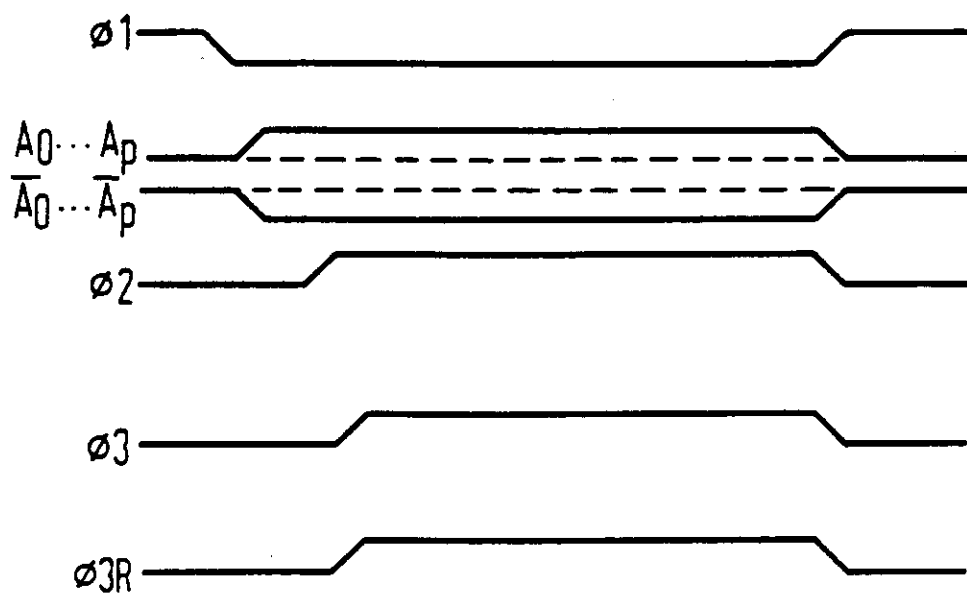


FIG 3b

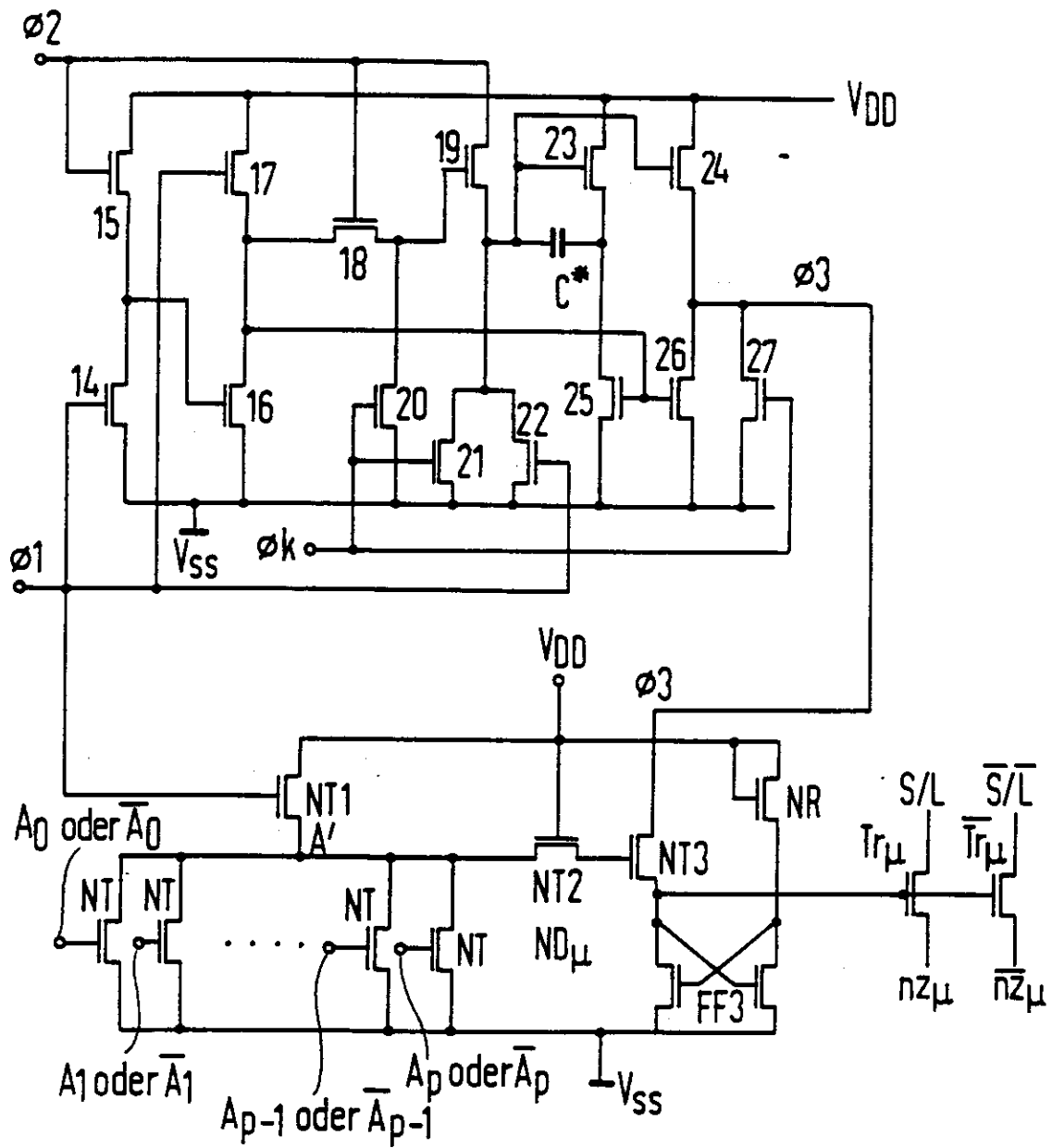


FIG 4a

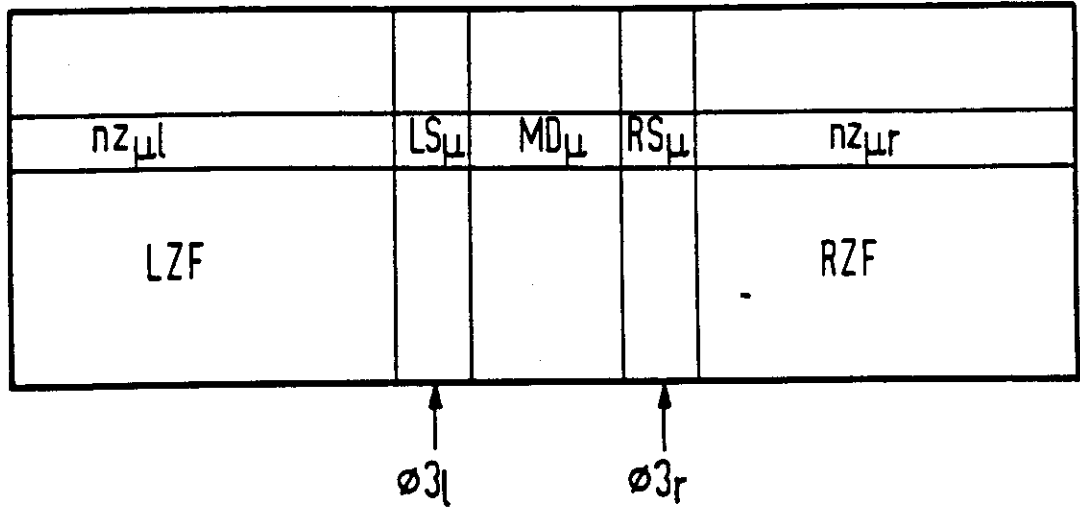


FIG 4b

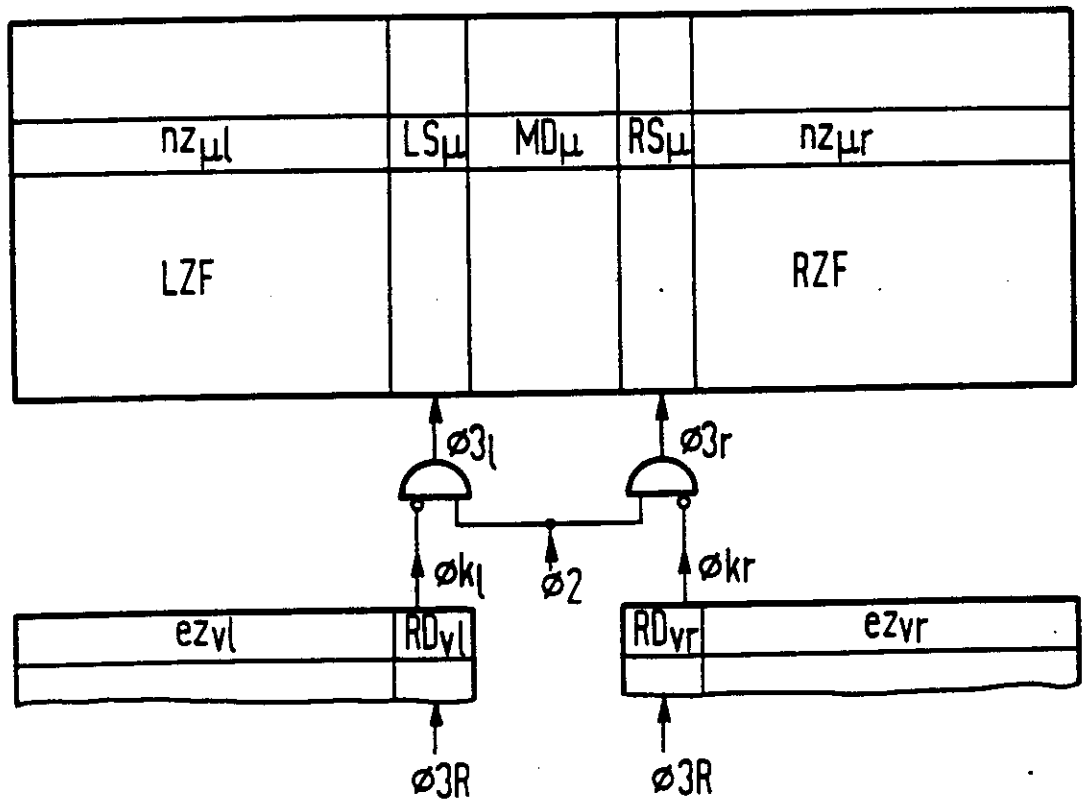
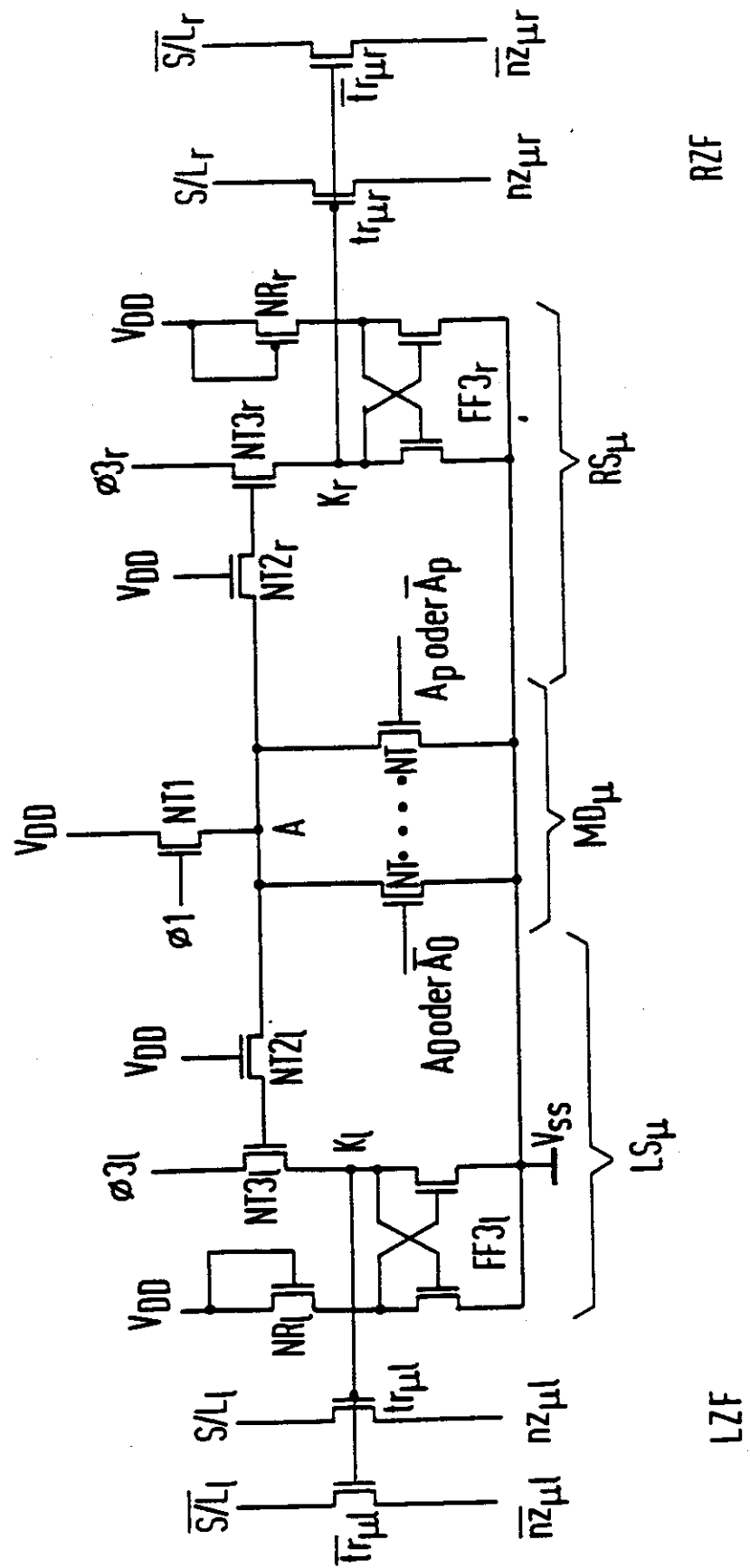


FIG 5





PATENT NO EP(UK) 0170727

THE BRITISH LIBRARY
SCIENCE REFERENCE AND INFORMATION SERVICE

**TRANSLATION OF EUROPEAN PATENT (UK)
UNDER SECTION 77(6) (a)**

Date of Publication of the Translation 2.8.89

THE PATENT OFFICE

PATENTS ACT 1977

PATENTS FORM NO. 54/77

FILING OF TRANSLATION OF EUROPEAN
PATENT (UK) UNDER SECTION 77(6)(a)

Please write or type in **BLOCK LETTERS** using dark ink. For details of current fees Please contact the Patent Office

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.

A UK Address for Service **MUST** be provided to which all communications from the Patent Office will be sent

Please sign here ►

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
 - 2) those claims appropriate to the UK (in the language of the proceedings),
 - 3) all drawings, whether or not these contain any textual matter but excluding the front page which contains bibliographic information.
- The translation must be verified to the satisfaction of the comptroller as

1. European Patent Number

0 170 727

2. Name Siemens Aktiengesellschaft
Berlin und MünchenAddress WITTELSBACHERPLATZ 2
D-8000 MÜNCHEN 2
FEDERAL REPUBLIC OF GERMANY

3. European Patent Bulletin Date:

26. 04. 89
Day Month Year

4. Name of Agent (if any)

Agent's Patent Office
ADP number (if known)

5. Address for Service

SIEMENS PLC
ATT. MR I. P. HOWARD, GR 84 P 1565 E
SIEMENS HOUSE, WINDMILL ROAD
SUNBURY-ON-THAMES
MIDDLESEX
Postcode TW16 7HS

6. Signature:

Date: 28. 06. 89
Day Month Year

R.W.S. TRANSLATIONS LTD

Reminder

Have you attached

One duplicate copy of this form ☒Two copies of the Translation ☒Any continuation sheets ☐

PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Kay Anne McBURNEY, M.A.,
c/o Europa House, Marsham Way, Gerrards Cross, Bucks.,
declare that I am conversant with the German and English
languages and that to the best of my knowledge and belief
the accompanying document is a true translation of the
text on which the European Patent Office intends to grant
or has granted European Patent No. 0,170,727
in the name of Siemens Aktiengesellschaft Berlin und
München

Signed this 14th day of June 1989

K.A. McBurney

K.A. McBURNEY

The subject-matter of the present invention is an integrated write-read memory according to the preamble of Patent Claim 1.

5 Write-read memories of the above mentioned type are generally known and are described, for example, in "1981 IEEE International Solid-State Circuits Conference" pp. 80, 81, 84 and 85. The dynamic write-read memories there are dynamic ones whose individual memory cells are designed as single-transistor memory cells.

10 Corresponding write-read memories, in particular such ones with activation by decoders, are also known from "Japanese Journal of Applied Physics, Supplements, vol. 22 (1983) suppl. no. 22-1, Tokyo, Japan", pages 63 to 67, "Redundancy Techniques for Dynamic RAMs".

15 Write-read memories equipped with redundancy provide the possibility of electrically deactivating column or row lines of the memory matrix leading to defective memory cells, that is make them inoperational and in place activate an identical redundant matrix line.
20 This is usually effected by separating conducting connections (fusible link) which make it appear that the address decoder (redundancy decoder) associated with the redundant matrix line is not selected in the initially non-separated state. By virtue of the corresponding
25 design of the redundancy decoder associated with the redundant matrix line in the part of the memory matrix provided for the normal operation, the separation achieves that, as a result of the addressing of the substituted column or row, only the now activated corresponding
30 redundant matrix line is activated. How this is usually achieved is described below with reference to Fig. 1.

35 It is understandable that the outlay for circuitry measures necessary for the deactivation of the defective matrix line and the activation of the substitute line should be as low as possible and hence the chip area should be as small as possible. In addition it is desirable that these measures entail as short a time delay as possible during operation of the memory. Finally

the operation of the memory should not be any the less reliable.

It is therefore the object of the present invention to further develop the known write-read memory in such a manner that these requirements are met without entailing inexpedient disadvantages.

This object is achieved in an integrated write-read memory of the type mentioned at the beginning by the features of the characterizing part of Patent Claim 1.

Advantageous further developments of the invention are characterized in respective subclaims.

The invention will now be described in more detail with reference to Figures 1 to 5, in which:

Fig. 1 shows the redundancy principle according to the prior art,

Fig. 2 shows the switching of redundancy decoders according to the invention with the associated write-read lines of the redundant rows and the generation of associated clock signals, employing logic symbols,

Fig. 2a shows the linking of a circuit part according to the invention for selecting a redundant row with a circuit part for selecting a row provided for the normal operation, in each case represented with logic symbols,

Fig. 3 shows the realization of the circuit according to Fig. 2 with MOS transistors,

Fig. 3a shows the generation of an activation signal $\phi 3R$ according to the invention,

Fig. 3b shows the generation of an activation signal $\phi 3$ and its advantageous connection to a normal decoder,

Fig. 3c shows a time diagram for the clock signals employed,

Fig. 4a shows a diagrammatic representation of a known write-read memory with centre decoder,

Fig 4b shows a diagrammatic representation of a write-read memory according to the invention with centre decoder and redundant memory area,

Fig. 5 shows a circuit diagram of the organization of centre decoders and switches according to the invention.

5 With respect to the reference symbols, the following convention was adopted:

the index " μ " employed has a value range of from 1 to m (m = total number of rows provided for the normal operation),

10 the index "v" has a value range of from 1 to n (n = total number of substitute rows provided for the redundancy case);

"l" is used in denotations referring to a left cell field half,

"r" corresponds to a right cell field half,

15 "p" stands for the total number of address lines (without complementary address lines).

Fig. 1 illustrates the conventional addressing principle of a known write-read memory, for example with reference to the row lines. The normal decoders ND₁, ND₂,
20 serve for addressing the normal rows nz₁, nz₂, assigned to the normal operation, while the decoders RD₁, RD₂ are provided, besides possible further decoders, as redundancy decoders for activating redundant rows ez₁, ez₂ etc., provided in the matrix. It is evident from Fig. 1
25 that each normal decoder ND₁, ND₂ etc., is controlled at each input by in each case one of the address lines mutually inverted in pairs, so that one of the address lines A₀ or $\bar{A}_0$, A₁ or $\bar{A}_1$ etc., is always connected. In contrast hereto, the redundancy decoders RD₁, RD₂, etc.,
30 which are in each case associated with a redundant row ez₁, ez₂ etc. (or column), and take the form of a NOR gate in each case, are controlled by the address lines A₀, $\bar{A}_0$, to A_p, $\bar{A}_p$ in such a manner that the individual redundancy decoder is controlled both by all address lines and by
35 all address lines inverted thereto (that is A₀, $\bar{A}_0$, A₁, $\bar{A}_1$, etc.). If now one breaks separable connections F (fuses) between one of the redundancy decoders RD₁, RD₂ etc., provided and the associated address lines A₀ or $\bar{A}_0$, A₁ or $\bar{A}_1$ etc., and retains the remaining connections from the

address lines to the respective redundancy decoder, then it is clear that the connection of this redundancy decoder to the totality of the row address lines A_0 to $\bar{A}_p$ provided corresponds to the connection of exactly one of the normal decoders ND_1, ND_2 etc., provided for the normal operation, so that both decoders react to the same address combination.

However, because of the stated permanent change, only the redundancy decoder activated by this change should then react. For this reason, the outputs of all mutually identical redundancy decoder NOR gates RD_1, RD_2 etc., provided are each connected to in each case one input of a common further NOR gate N , the output of which is connected via an inverter I to in each case one further input of all the address decoders ND_1, ND_2 etc., provided for the normal operation. If now one of the redundancy decoders $RD_1, RD_2, \dots$ is activated and hence controlled by the address pulses lying on the address lines $A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$ in such a manner that a logical "0" is present at each input of the NOR gate RD_1 or RD_2 etc., forming the redundancy decoder, then the associated redundant row is activated, specifically due to the logical "1" lying at the output of the inverter I . This "1" however has the effect that a "1" is not possible at any output of the normal decoders ND_1, ND_2 etc., provided for the normal operation, since a "1" at the input side at any of the inputs of any of the normal decoders ND_1, ND_2 etc. provided, formed by NOR gates, prevents a "1" arising at the output of these decoders and hence activation of the associated row lines occurs.

With respect to column lines, the matrix is addressed employing other address lines and decoders in an analogous manner.

If, where the addressing is organized analogous to Fig. 1, a previously programmed (due to the permanent change) redundancy decoder $RD_1, RD_2, \dots$ is addressed by a corresponding address combination, then this selected redundancy decoder $RD_1, RD_2, \dots$ generates a disabling signal $SS = \text{high}$ (= logical "1"). This signal is addi-

tionally applied to the addresses at an input of each normal decoder ND_1 , ND_2 etc., provided especially for this purpose, so that the normal decoder selected by the applied address combination is disabled. On the other hand, the addressed redundancy decoder activates the matrix row or matrix column associated with it in each case and serving as the substitute.

In a write-read memory according to the invention, according to Fig. 2 each of the row redundancy decoders RD_v (or column redundancy decoders) contains a NOR gate, the inputs of which are each associated with one of the total of row address lines $A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$ (or column address lines) provided which are mutually inverted in pairs, the connection F between the individual input and its respective controlling address line being designed so as to be separable. Figure 2 illustrates the redundancy decoder associated with a first redundant row ez_v or $\bar{e}\bar{z}_v$ and the redundancy decoder associated with a further redundant row ez_{v+1} or $\bar{e}\bar{z}_{v+1}$, denoted by RD_v and RD_{v+1} respectively. The illustration is restricted for reasons of clarity to only two redundancy decoders; in the description only the reference symbols of one of these decoders is given. Associated with each of the redundancy decoders RD_v are in each case two AND gates U_v and U_v^* , which each have two signal inputs. One of these two signal inputs of both AND gates U_v, U_v^* lies at the output of the NOR gate representing the associated redundancy decoder RD_v . The output of each individual AND gate U_v is applied in the case of each of the provided row redundancy decoders RD_v (or column redundancy decoders) to in each case one input of an OR gate OG common to all redundancy decoders, while the other signal input of all AND gates U_v is controlled by a common clock signal $\phi 2$. The other input of each AND gate U_v^* is controlled by a common activation signal $\phi 3R$. The output of each AND gate U_v^* releases or closes a connection formed by in each case one transfer transistor Tr_v or $\bar{Tr}_v$ between the respective row redundancy decoder RD_v (or column redundancy decoder) of associated redundant row lines $ez_v, \bar{e}\bar{z}_v$ (or column

lines) in each case and a data input or data output $\bar{S}/L$ or S/L common to the row or column respectively.

The clock signal $\phi 2$ or the activation signal $\phi 3R$ (R = redundancy) is generated, for example, in the manner evident from Fig. 2, in that a clock signal $\phi 1$ jointly provided for the operation of all redundancy decoders RD_v of the memory circuit serves to generate the clock signal $\phi 2$ provided for joint control of the AND gate U_v by means of a chain of three mutually identical and series-connected inverters I . For the purpose of generating the activation signal $\phi 3R$ required for joint control of the AND gate U_v^* , the clock signal $\phi 2$ obtained in the manner just described is delayed by means of the series connection of two further inverters I .

Fig. 2a now shows the interaction between the individual redundancy decoders RD_v and the normal decoders ND_μ . Represented are any redundancy decoder RD_v and any normal decoder ND_μ . The OR gate OG evident from Fig. 2, which is activated on the input side via the AND gate U_v by the totality of the redundancy decoders RD_v , lies with its output signal ϕk , termed inhibit signal ϕk , via an inverter at an input of an AND gate U^{**} , at the other input of which the clock signal $\phi 2$ lies. The output of this AND gate U^{**} , which like the OR gate OG is jointly assigned to all row redundancy decoders RD_v , controls one input of m AND gates U_μ^+ with two inputs in each case, one of which lies in each case at the output of the AND gate U^{**} and the other of which lies at the output of the normal address decoder ND_μ associated with the AND gate U_μ^+ in each case. Associated with each of the m normal decoders ND_μ provided for the normal operation there is therefore in each case one of these AND gates U_μ^+ which, as is evident from Fig. 2a, corresponds to the AND gate U_v^* of the individual redundancy decoders RD_v . Accordingly, it is controlled at its other input by an activation signal $\phi 3$ corresponding to the activation signal $\phi 3R$. This activation signal $\phi 3$ is supplied by the output of the AND gate U^{**} . Each AND gate U_μ^+ , however, only reacts when there is a "1" at the output of the NOR gate representing the

normal decoder ND_μ , that is when there is no "1" at any of the address inputs of the normal decoder ND_μ . The output of the AND gate U_μ^+ controls transfer transistors Tr_μ or $\bar{Tr}_\mu$ belonging to the associated rows nz_μ and $\bar{n}\bar{z}_\mu$, which are provided for the normal operation, said transfer transistors forming a release of a connection between these rows nz_μ , $\bar{n}\bar{z}_\mu$ and a data input or data output S/L , $\bar{S}/\bar{L}$ within the memory matrix.

With respect to the effect of the circuit according to the invention illustrated in Figs. 2 and 2a, the following can be determined: since the circuit for the normal decoder ND_μ shown in Fig. 2a is generally used in clocked write-read memories and accordingly the AND gate U_μ^+ is provided for the purpose of connecting the selected rows nz_μ and $\bar{n}\bar{z}_\mu$ to the data inputs or data outputs S/L and $\bar{S}/\bar{L}$ respectively and also an activation signal ϕ_3 is usually provided, the line to be laid in Fig. 1 from the inverter I to in each case one input of the normal decoders ND_μ and carrying the signal SS is saved, and the input of the existing normal decoder ND_μ to be activated by this line is saved, which represents the saving of one input transistor per normal decoder ND_μ in comparison with the conventional organization and hence a faster reaction. Moreover, the saving of one input transistor per normal decoder ND_μ results in both space and run-time being saved.

The arrangement of the individual redundancy decoders RD_v in MOS technology illustrated in Fig. 3 is in effect essentially identical to a redundancy decoder RD_v corresponding to Fig. 2. However, it is even better adapted to the operation of a dynamic memory. Like the design of the supplementary circuit parts shown in Figs. 3a and 3b, the design is preferably in n-channel MOS technology, especially when the remaining parts of the memory are also produced in this technology. There is then a correspondence with respect to the design of the circuit parts forming the individual redundancy decoders.

As is evident from the redundancy decoders RD_v and RD_{v+1} shown in Fig. 3, there is assigned to each row

address line $A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$ in each case one transistor T , the gate of which forms a signal input of the NOR gate contained in the respective redundancy decoder RD_v . The source connections of these transistors T all lie at a reference potential $V_{..}$, while their drain connections together form the output A of the NOR gate and in addition are connected via the source-drain path of a load transistor $T1$ controlled by a clock signal $\phi 1$ to a supply terminal supplying a supply potential V_{DD} . The output A of the NOR gate contained in the respective redundancy decoder RD_v lies, by means of the source-drain path of a further transistor $T2$, at a node B which forms the actual output of the respective redundancy decoder RD_v and which accordingly serves to control the transfer transistors Tr_v and $\bar{Tr}_v$ respectively in a manner which is yet to be described, the redundant row lines ez_v and $\bar{e}z_v$ associated with the respective redundancy decoder RD_v being switched to the data input or output S/L and $\bar{S}/\bar{L}$ respectively by means of this control.

For generating the inhibit signal ϕK which can be seen in Figs. 2 and 2a and which is supplied there by the OR gate OG , in the case of the redundancy decoders RD_v according to Fig. 3 there is for each of the provided redundancy decoders RD_v in each case one further MOS field-effect transistor $T3$, the drain connection of which receives the clock signal $\phi 2$, the gate of which is applied to the output B of the associated redundancy decoder RD_v , and the source connection of which is connected via one branch of a first RS flipflop $FF1$ to the reference potential $V_{..}$. The AND gate U_v controlled by the clock signal $\phi 2$ in Figs. 2 and 2a corresponds in Fig. 3 to the electrical connection of the source connection of the respective transistor $T3$ to the drain of a first transistor and to the gate of a second transistor, which form said RS flipflop $FF1$. The two transistors forming the RS flipflop $FF1$ are cross-coupled in a known manner and both lie with their source connection at reference potential $V_{..}$. As a result of said connection of the transistor $T3$ to one node of the RS flipflop $FF1$, the

second node of which is connected via a load transistor R connected as a resistor to the terminal for the supply potential V_{DD} , this transistor is able to make available the inhibit signal ϕk required by the respective redundancy decoder RD_v to influence a normal decoder ND_u which it is to substitute. This inhibit signal ϕk is supplied in each case by the node formed by the source of the transistor T3 and by the points of the RS flipflop FF1 connected thereto and is applied to a further node C for all these RS flipflops FF1 and hence jointly for all redundancy decoders RD_v , the function of this node corresponding to the OR gate OG in Figs. 2 and 2a.

A further RS flipflop FF2 likewise lies with the source connections of its two cross-coupled transistors at reference potential V_{ss} and with one of its nodes, via a further transistor R connected as a resistor, at supply potential V_{DD} . The other node of this RS flipflop FF2 lies at the source connection of a transistor T4 corresponding to the transistor T3. This transistor T4 is controlled at its drain by the clock pulse $\phi 3R$ and at its gate by the node B of the associated transistor T2 and hence by the output of the associated redundancy decoder RD_v . The node formed at the source connection of the transistor T4 is in turn applied to the gates of the associated transfer transistors Tr_v and $\bar{Tr}_v$, as a result of which the above mentioned control of these two transfer transistors is effected.

It is therefore possible, as can be seen in Fig. 3, with the design of the redundancy decoders RD_v shown there, to dispense with an explicit realization of the OR gate OG in Fig. 2, since the node C, which is activated jointly by the combinations of transistor T3 and RS flipflop FF1 of the redundancy decoders RD_v supplying the inhibit signal ϕk , clearly corresponds in its behaviour to the output of the OR gate OG. It should further be mentioned that the transistors employed in the circuit according to Fig. 3, and likewise also in Figs. 3a and 3b, are all of the normally-off type and are of the same channel type, in particular of the n-channel type.

Fig. 3a shows an MOS circuit which serves to generate the activation signal ϕ_{3R} required for activating the drain connection of the transistor T4 in Fig. 3 in the provided redundancy decoders RD_v and which is matched to the design of the redundancy decoders according to Fig. 3. The clock signal ϕ_1 required for its activation is also provided for the normal operation of the memory. It is however also possible to use a signal which is generated specifically for this purpose by means of a clock generator. The requirement for the clock signal ϕ_1 is that it switches to logical "0" before addresses are sent via the address lines A_0 $\bar{A}_p$ to the normal decoders ND_v and reach the redundancy decoders RD_v and before the clock signal ϕ_2 switches to logical "1".

The time diagram according to Fig. 3c illustrates the time behaviour of the clock signal ϕ_1 with respect to the signals to the address lines A_0 to A_p and $\bar{A}_0$ to $\bar{A}_p$ respectively. The leading edge of the signals on the address lines A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$ is temporally delayed in relation to the trailing edge of the clock signal ϕ_1 , while the leading edge of the clock signal ϕ_2 temporally precedes the leading edge of the activation signal ϕ_3 and ϕ_{3R} , the leading edges of which can come simultaneously.

In the circuit for generating the activation signal ϕ_{3R} shown in Fig. 3a, two transistors 1 and 2 together form a first inverter, in which the switching transistor 1 controlled by the clock signal ϕ_1 is connected with its source connection at reference potential V_{ss} and with its drain on the one hand via the load transistor 2 controlled by the clock signal ϕ_2 to the supply potential V_{DD} , and on the other hand forms with its source, together with the drain of the transistor 1, the signal output of the first inverter.

This signal output controls the switching transistor 3 of a second inverter, the load transistor 4 of which is controlled by the clock signal ϕ_1 . With respect to the connection to the reference potential V_{ss} and to the supply potential V_{DD} , the second inverter 3, 4

corresponds completely to the first inverter 1, 2. The output of said inverter formed by a switching point between the two transistors 3 and 4 of the second inverter is a) connected via a transfer transistor 5 controlled by the clock signal ϕ_2 to the source of a transistor 12 controlled by the clock signal ϕ_1 , the drain of which transistor 12 is connected to the supply potential V_{DD} , and in addition b) by means of the just mentioned transfer transistor 5 is applied to the gate of a further MOS field-effect transistor 6, the drain of which receives the clock signal ϕ_2 .

The last mentioned transistor 6 is applied firstly with its source connection via the source-drain path of a transistor 10 controlled by the clock signal ϕ_1 to the reference potential V_{ss} , and secondly is connected to the gates of two further transistors 7 and 8, the drain connections of which lie at supply potential V_{DD} . In the case of transistor 7, it should be noted that its gate is connected via a capacitor C to its own source connection. In addition, the source connection of this transistor 7 is connected via the drain-source path of a further transistor 9 to the reference potential V_{ss} . Furthermore, the transistor 9 is here controlled at its gate by the output of the second inverter formed in the manner already described by the two transistors 3 and 4. The latter applies also to a further transistor 11, the source of which lies at reference potential V_{ss} and the drain of which is connected via the transistor 8 already described to the supply potential V_{DD} . The clock pulse ϕ_{3R} to be generated can be picked off at a circuit point between the two last mentioned transistors 8 and 11.

The circuit for generating the activation signal ϕ_3 required for the normal decoders ND_n is shown in combination with the circuit of any normal decoder ND_n in Fig. 3b, which will now be described.

A first inverter, consisting of the two transistors 14 and 15, with its switching transistor 14 at reference potential V_{ss} and with its load transistor 15 at supply potential V_{DD} , is controlled with respect to its

switching transistor 14 by the clock signal $\phi 1$ and with respect to its load transistor 15 by the clock signal $\phi 2$. The output of the first inverter formed by a switching point between these two transistors 14 and 15 controls the gate of the switching transistor 16 of a further inverter. The switching transistor 16 here lies likewise with its source connection at reference potential V_{ss} and with its drain at the source connection of the load transistor 17 of the second inverter, which load transistor 17 forms the connection to the supply potential V_{DD} and is controlled by the clock signal $\phi 1$. Similarly to Fig. 3a, the inverter output formed by a switching point between the transistor 16 and 17 is applied to a transfer transistor 18, the gate of which is controlled by the clock signal $\phi 2$. The current-carrying connection of the transfer transistor 18 facing away from the second inverter 16, 17 lies on the one hand at reference potential V_{ss} via a transistor 20 controlled by the inhibit signal ϕk supplied by a circuit according to Fig. 3 by the redundancy decoders RD_v . On the other hand, it lies at the gate of a transistor 19, the drain of which receives the clock signal $\phi 2$.

The last mentioned transistor 19 is connected with its source via the parallel connection of two further transistors 21 and 22 to the reference potential V_{ss} , the gate of the transistor 21 receiving the inhibit signal ϕk supplied by the redundancy decoders RD_v and the gate of the other transistor 22 receiving the clock signal $\phi 1$. Furthermore, as a result of the source of the transistor 19 a node is formed which lies at the gate of two further transistors 23 and 24 as well as at a pole of a capacitor C^* . The other pole of the capacitor C^* is connected to the source connection of the transistor 23. The drain connections of transistors 23 and 24 lie at supply potential V_{DD} and their source connections are connected to reference potential V_{ss} in each case via a transistor 25 and 26 respectively controlled by the output of the second inverter 16, 17. The transistor 26 forming the connection between the transistor 24 and the

reference potential V_{ss} is here connected in parallel to the source-drain path of a transistor 27 controlled by the inhibit signal ϕk . The activation signal $\phi 3$ necessary for activating the normal decoders ND_{μ} is supplied by a node between the transistors 24, 26 and 27.

The normal decoders ND_{μ} are designed in the manner likewise evident from Fig. 3b. The NOR gate which is contained in the normal decoder ND_{μ} is formed by a number p of MOS field-effect transistors NT lying with their source connection at reference potential V_{ss} and via a common load transistor NT1 at supply potential V_{DD} . The gate of each of these transistors NT is associated with in each case one address input A_0 or $\bar{A}_0$, A_p or $\bar{A}_p$ in each case provided for activating the normal decoder ND_{μ} . The output A' of the NOR gate, that is the node between the drain of the parallel-connected transistors NT and the source of the load transistor NT1 controlled by the clock signal $\phi 1$, is in turn applied to a transfer transistor NT2, the gate of which is connected to the supply potential V_{DD} and the other connection of which leads to the gate of a further transistor NT3. The drain connection of the transistor NT3 receives the activation signal $\phi 3$ and is thus connected to the drain of the transistors 26 and 27 as well as to the source of the transistor 24. The source connection of the transistor NT3 lies at one node of an RS flipflop FF3, the bases of which lie at reference potential V_{ss} and the second node of which is connected via a load transistor NR connected as a resistor to the supply potential V_{DD} .

The RS flipflops FF1 and FF2 in the individual redundancy decoders RD_{μ} and the RS flipflop FF3 in the individual normal decoders ND_{μ} serve the safety of the circuit and could in principle be substituted by other conventional circuits for this purpose as well. The transistor NT3 which receives the activation signal $\phi 3$ at its drain forms with its source connection lying at the RS flipflop FF3 the output of the normal decoder ND_{μ} , which is connected to the gates of the transfer transistors Tr_{μ} and $\bar{Tr}_{\mu}$ to be controlled by the normal decoder

ND_{μ} , which transistors in turn form the connection of the rows nz_{μ} and $\bar{n}z_{\mu}$ (or columns) associated with the normal decoder ND_{μ} and provided for the normal operation to the associated data input or data output S/L or $\bar{S}/\bar{L}$.

5 In conjunction with Figures 3, 3a, 3b and 3c, the following behaviour of the circuit according to the invention can now be demonstrated:

By separation, for example with the aid of laser beams, of the connections F , (that is as a result of the permanent change at any one redundancy decoder RD_v), it is possible for each redundant row ez_v either to separate the transistor T for the address line A_i or the transistor T for the address line $\bar{A}_i$ (in each case $1 \leq i \leq p$ is true) from the decoder node A , and thus achieve a programming of one or more redundancy decoders RD_v . The case will now be considered where both redundancy decoders RD_v and R_{v+1} in Fig. 3 are programmed. It will also be assumed that the redundancy decoder RD_v is selected by means of a suitable address combination. This means that all address lines still present on the redundancy decoder RD_v after the separation of the corresponding connections F lie at "low" (= logical "0"). Consequently a precharging of the node A generated by the clock signal $\phi 1$ between the switching transistors T and the load transistor $T1$ of the NOR gate contained in the respective redundancy decoder RD_v is retained. The redundancy decoder RD_v is thus activated. At the same time, however, a decoder provided for the normal operation is activated, eg. the decoder ND_{μ} shown in Fig. 3b. In accordance with the timing diagram shown in Fig. 3c, the leading edge of the clock signal $\phi 2$ appears temporally after the appearance of the address signal A_i or $\bar{A}_i$ and hence after the activation of the redundancy decoder RD_v (Fig. 3) and of the normal decoder ND_{μ} (Fig. 3b), and charges via the transistor $T3$ the node C (Fig. 3) supplying the inhibit signal ϕk to "high" (= logical "1"). The redundant row ez_v or $\bar{e}z_v$ is selected by means of the output of the circuit shown in Fig. 3a, said circuit being precharged to "high" by the clock signal $\phi 2$ and supplying the activation signal $\phi 3R$. As a result of

the leading edge of the inhibit signal ϕk , a leading edge of the activation signal $\phi 3$ to be generated by the circuit according to Fig. 3b is prevented and thus the decoder ND_{μ} provided for the normal operation cannot be selected despite the matching address (for example the normal decoder ND_{μ} shown in Fig. 3b).

The advantages of the redundancy concept according to the invention are a smaller space requirement in comparison to the conventional solution, since the regular decoders ND_{μ} are not changed as a result of the incorporation of redundancy (signal SS in Fig. 1; saving of one input per normal decoder ND_{μ}). Moreover, a time saving is achieved in comparison to the redundancy concept shown in Fig. 1 in an advantageous manner because the suitable dimensioning of the advantageous circuits illustrated in Figures 3, 3a, 3b and also in Figures 2 and 2a ensures that the activation signal $\phi 3$ remains deactivated even when the inhibit signal ϕk goes to "high" only after an approximately 1 ns delay with respect to the leading edge of the clock signal $\phi 2$.

The proposed redundancy concept can be applied according to the invention even when so-called centre decoders are to be employed as address decoders for the addressing of the memory cells. These are cell field arrangements here, which are divided into a left and a right cell field half, in which the address decoder simultaneously selects two bit line pairs. Spatially, one bit line pair is arranged on one side (left cell field half), and the other is arranged on the other side (right cell field half) of the centre decoder. This means that at the same time the centre decoder is responsible for addressing the corresponding rows in both halves of the overall cell field. The rows can be designed, for example, as "folded" bit lines.

The corresponding, known space division scheme is shown in Fig. 4a. Here the cell field is divided into a left half LZF and a right half RZF, between which a row of said centre decoders MD_{μ} extends. These centre decoders MD_{μ} must act upon, as already noted, both the left cell

field half LZF and the right cell field half RZF so that there is provided for each centre decoder MD_μ both a left "switch" LS_μ for addressing in the left cell field half LZF and a right "switch" RS_μ for the addressing in the right cell field half RZF. If now a redundancy and a design according to the present invention are to be provided, it is expedient to use one of the already described redundancy decoders RD_v each for the redundancy row halves ez_{v1} , ez_{vr} arranged on the left and right, as Fig. 4b illustrates as redundancy decoders RD_{v1} , RD_{vr} .

In a design according to the invention of the memory area provided for the normal operation in accordance with Fig. 4b, which contains both cell field halves LZF, RZF with normal rows nz_μ (divided into a left ($nz_{\mu1}$) and a right normal row half ($nz_{\mu r}$) as well as a centre decoder MD_μ per normal row nz_μ and the two switches LS_μ , RS_μ , owing to the advantageous embodiment of the centre decoders MD_μ , still to be described, together with the associated switches LS_μ , RS_μ in conjunction with the use of two redundancy decoders RD_{v1} , RD_{vr} of a redundant row $ez_{v1} + ez_{vr}$, it is advantageous that in the event of redundancy it is not necessary for a complete normal row nz_μ to be substituted, but rather it is only necessary for its defective row half ($nz_{\mu1}$, $nz_{\mu r}$) lying in the left or right cell field half LZF, RZF to be substituted by corresponding left (ez_{v1}) or right (ez_{vr}) half of a redundant row $ez_{v1} + ez_{vr}$. Assuming uniform distribution of defects in normal rows nz_μ across both cell field halves LZF, RZF, it is thus possible to double the number of defects "curable" by the redundancy concept according to the invention in comparison with known redundancy concepts with the same number of redundant rows $ez_{v1} + ez_{vr}$ available.

In a write-read memory according to the invention according to Fig. 4b, the left and right switches LS_μ , RS_μ , which lie between the centre decoders MD_μ and the left or right cell field half LZF, RZF respectively, are activated by an activation signal $\phi 3_1$ or $\phi 3_r$. The purpose and design of the two circuits (not shown in the Figures)

generating the activation signals ϕ_{3_1} , ϕ_{3_r} are analogous to the already described circuit part in Fig. 3b, which generates the activation signal ϕ_3 there. A corresponding logic circuit diagram is contained in Fig. 2a. Instead of the inhibit signal ϕ_k used there, however, an inhibit signal ϕ_{k_1} is used for suppressing the activation signal ϕ_{3_1} (1 = responsible for the left cell field half LZF). Analogous thereto, an inhibit signal ϕ_{k_r} is used for suppressing the activation signal ϕ_{3_r} . Both inhibit signals ϕ_{k_1} , ϕ_{k_r} are generated in the redundancy decoders RD_{v_1} and RD_{v_r} respectively, analogous to the circuit according to Fig. 3. Both redundancy decoders RD_{v_1} , RD_{v_r} are identical in terms of circuitry with the redundancy decoders RD_v known from Fig. 3.

In accordance with Fig. 5, each of the centre decoders MD_μ assigned in each case to one row nz_μ of the cell field provided for the normal operation and divided into the two halves LZF and RZF correspond functionally and in terms of circuitry to the NOR gate known from Fig. 3b together with associated load transistor $NT1$ of a normal decoder ND_μ . Connected to the centre decoder MD_μ are on the left the left switch LS_μ and on the right the right switch RS_μ . The connection is effected in each case via a transfer transistor $NT2_1$, $NT2_r$, the gate of each transfer transistor $NT2_1$, $NT2_r$ being connected to the supply potential V_{DD} .

Functionally, the two transfer transistors $NT2_1$ and $NT2_r$ correspond to the transfer transistor $NT2$ known from Fig. 3b. The transfer transistor $NT2_1$ is connected at its current-carrying connection facing away from the centre decoder MD_μ to the gate of a transistor $NT3_1$ and the transfer transistor $NT2_r$ is connected in corresponding manner to the gate of a transistor $NT3_r$. The two transistors $NT3_1$ and $NT3_r$ correspond to the transistor $NT3$ of the normal decoder ND_μ shown in Fig. 3b, and accordingly receive at their drain connections in each case an activation signal ϕ_{3_1} or ϕ_{3_r} corresponding to the activation signal ϕ_3 , the generation of which was already described. Likewise, the RS flipflop $FF3$ known from Fig.

3b is represented twice, specifically in the form of the RS flipflop FF3_l and the RS flipflop FF3_r, the RS flipflop FF3_l being contained in the left switch LS_μ and the RS flipflop FF3_r being contained in the right switch RS_μ.

5 Further material commentary regarding the design of the centre decoder MD_μ shown in Fig. 5 and the two switches LS_μ, RS_μ, together with their connection to the row half nz_{μl} or nz_{μr} lying in the left or right cell field half LZ_F and RZ_F respectively and provided for the normal operation would it seems be unnecessary owing to the explanations of Fig. 3b.

10 The invention can be applied both to static and dynamic write-read memories. It is also particularly applicable to dynamic write-read memories whose memory cells are designed as single-transistor memory cells.

15

Patent claims

1. Integrated write-read memory having memory cells arranged in matrix fashion in columns and rows, said cells being addressed via address decoders, in which a predetermined number of the columns and rows (nz_{μ}) are provided for a normal operation and the remaining number of the columns and rows (ez_v) are provided in each case as a substitute for in each case one column or row of the columns and rows (nz_{μ}) respectively provided for the normal operation, in which the individual redundancy decoders (RD_v) associated with columns and rows (ez_v) provided as a substitute are designed in such a manner and matched to normal decoders (ND_{μ}) provided for the normal operation in such a manner that addressing of each of the columns or rows (ez_v) provided as a substitute is only possible after a permanent change, separation of a connection F, on the respective redundancy decoder (RD_v) associated therewith and, moreover, this change is connected with a deactivation of the normal decoder (ND_{μ}) associated in each case with the substituted columns or rows (nz_{μ}), in which the normal decoders (ND_{μ}) in each case associated with the columns and rows (nz_{μ}) provided for the normal operation are organized in such a manner that one of these normal decoders (ND_{μ}) is selected, when the redundancy decoder (RD_v) is not simultaneously activated, by a corresponding combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) and a first activation signal ($\emptyset 3$) common to all normal decoders (ND_{μ}), in which the redundancy decoders (RD_v) are organized in such a manner that one of these redundancy decoders (RD_v) is selected for substituting one of the columns or rows (nz_{μ}) provided for the normal operation by the combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) corresponding to the normal decoder (ND_{μ}) to be substituted and a second activation signal ($\emptyset 3R$) common to all redundancy decoders (RD_v), in which, with the

execution of the permanent change at one or more redundancy decoders (RD_v) and upon a selection of one of these redundancy decoders (RD_v), an inhibit signal ($\emptyset k$) is generated which serves to prevent the level change of said activation signal ($\emptyset 3$) necessary for activating the normal decoders (ND_μ), characterized in that the inhibit signal ($\emptyset k$) supplied by activated redundancy decoders (RD_v) is provided together with a first and a second clock signal ($\emptyset 1, \emptyset 2$) for controlling a circuit which supplies the first activation signal ($\emptyset 3$) for the normal decoders (ND_μ) and which is formed by normally-off MOS field-effect transistors (14 to 27) and a further capacitor (C^*), in that this circuit is designed in such a manner that when the inhibit signal ($\emptyset k$) occurs the generation of the first activation signal ($\emptyset 3$) is suppressed when a normal decoder (ND_μ) is addressed at the same time as the redundancy decoder (RD_v) causing the generation of the inhibit signal ($\emptyset k$) is addressed.

2. Write-read memory according to Claim 1, characterized in that the circuit formed by the normally-off MOS field-effect transistors (14 to 27) of the same channel type is designed in such a manner that a first inverter, formed by a switching transistor (14) controlled by the first clock signal ($\emptyset 1$) and a load transistor (15) controlled by the second clock signal ($\emptyset 2$), controls with its output the switching transistor (16) of a second inverter, the load transistor (17) of which receives the first clock signal ($\emptyset 1$) with its gate, in that the output of the second inverter (16, 17) is connected on the one hand via the source-drain path of a transfer transistor (18) controlled by the second clock signal ($\emptyset 2$) to the gate of a further transistor (19), which receives the second clock signal ($\emptyset 2$) at its drain, and on the other hand via the source-drain path of a discharging transistor (20) controlled by the inhibit signal ($\emptyset k$) to the reference potential (V_{ss}), in that the transistor (19) receiving

at its gate the output of the second inverter (16, 17) via said transfer transistor (18) is thereby connected with its source on the one hand via the parallel connection of a transistor (21), controlled by the inhibit signal ($\emptyset k$), with a transistor (22), controlled by the first clock signal ($\emptyset 1$), to the reference potential (V_{ss}), and on the other hand is connected to one pole of the further capacitor (C^*) as well as to the gates of two load transistors (23, 24), lying with their drain at the supply potential (V_{DD}), in that the other pole of the further capacitor (C^*) is thereby connected both to the source of one of the two load transistors (23) and to the drain of a further transistor (25), lying with its source at the reference potential (V_{ss}), in that this last-mentioned transistor (25) is controlled at its gate by the output of the second inverter (16, 17), in that the source of the other load transistor (24) lies via the parallel connection of two further transistors (26, 27) in series to the reference potential (V_{ss}), one of these transistors (27) being controlled by the inhibit signal ($\emptyset k$) and the other transistor (26) being controlled by the output of the second inverter (16, 17), and in that the first activation signal ($\emptyset 3$) for the normal decoders (ND_{μ}) is generated at a circuit point which lies between the drain connections of the two last-mentioned transistors (26, 27) and the source connection of the other load transistor (24).

3. Write-read memory according to Claim 1 or 2, characterized in that, for achieving the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) of the rows (nz_{μ}) provided for the normal operation, a circuit is employed which is designed as follows:

- a) a quantity p of transistors (NT) (p = number of address lines A_0 to $\bar{A}_p$ or A_0 to $\bar{A}_p$) is connected in parallel in the manner of a NOR gate in a normal decoder (ND_{μ}), each of the transistors (NT) being

- driven by an address line (A_0 or $\bar{A}_0$, ..., A_p or $\bar{A}_p$) from a total quantity of the address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) at its gate, the source connections of all these transistors (NT) being connected to the reference potential (V_{SS}), and the drain connections of all these transistors (NT) being combined to a circuit point (A'),
- b) this circuit point (A') is connected via the source-drain path of a further transistor (NT1) to the supply potential (V_{DD}), a driving of the gate of this further transistor (NT1) by the first clock signal (ϕ_1) causing a precharging of this circuit point to the supply potential (V_{DD}),
 - c) this circuit point (A') is furthermore connected via the source-drain path of a transverse transistor (NT2), connected via its gate to the supply potential (V_{DD}), to the gate of a switching transistor (NT3),
 - d) this switching transistor (NT3) is driven at its drain connection by the first activation signal (ϕ_3); its source connection forms on the one hand the gate connection of two transistors ($Tr_\mu, \bar{Tr}_\mu$) which effect the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) of the rows (nz_μ) provided for the normal operation, on the other hand it forms a connection to the drain on one transistor of an RS flipflop (FF3) containing two cross-coupled transistors and the gate of the other transistor of this RS flipflop (FF3),
 - e) the other transistor of this RS flipflop (FF3) is connected with its source connection both to the gate of one transistor of the RS flipflop (FF3) and, via the source-drain path of a load transistor (NR), to the supply potential (V_{DD}), the gate of this load transistor (NR) likewise being connected, connected, (sic) to the supply potential (V_{DD}),
 - f) the source connections of both transistors which

form the RS flipflop (FF3) are connected to the reference potential (V_{ss}).

4. Write-read memory according to one of Claims 1 to 3, characterized in that each of the normal decoders (ND_{μ}) as well as each of the redundancy decoders (RD_v) contains at least one NOR gate, in that in the case of the normal decoders (ND_{μ}) in each case the corresponding combination of address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) forms signal inputs for the NOR gates, in that in the case of the redundancy decoders (RD_v) all address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$) form signal inputs for the NOR gates, each of these signal inputs of each NOR gate of the redundancy decoders (RD_v) being connected via a separable connection (F) to the respective associated address line ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$), in that the outputs of the NOR gates of the normal decoders (ND_{μ}) are provided for controlling in each case one first AND gate (U_{μ}^+ or NT3), in that the outputs of the NOR gates of the redundancy decoders (RD_v) are provided for controlling in each case a second AND gate (U_v^* or T4), in that these AND gates (U_{μ}^+ or NT3; U_v^* or T4) are in each case jointly controlled by one of the two activation signals ($\emptyset 3$ or $\emptyset 3R$) and serve in turn for releasing a connection between a data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) and the rows (nz_{μ} or ez_v respectively) or columns belonging to the respective normal decoder (ND_{μ}) or redundancy decoder (RD_v), in that furthermore the NOR gate of each individual redundancy decoder (RD_v), together with the second clock signal ($\emptyset 2$) common to all the redundancy decoders (RD_v), controls a third AND gate (U_v or T3), the output signal of which has an influence, as an inhibit signal ($\emptyset k$), on the first activation signal ($\emptyset 3$) necessary for releasing the connection between the data input or the data output ($S/L, \bar{S}/\bar{L}$) and the columns or rows (nz_{μ}) associated in each case with the normal decoders (ND_{μ}), in the sense of an inactivation of this first activation signal ($\emptyset 3$), in particular in the form of a suppression thereof.

5. Write-read memory according to one of Claims 1

to 4, characterized in that the first, second and third AND gates (U_{μ}^+ , U_{ν}^* , U_{ν}) provided in the normal decoders (ND_{μ}) and those provided in the redundancy decoders (RD_{ν}) have in each case two signal inputs, one signal input in each case receiving the output of the NOR gate receiving the address lines ($A_0, \bar{A}_0, \dots, A_p, \bar{A}_p$), and the other input of the first and second AND gates (U_{μ}^+ or U_{ν}^* respectively) in the case of the normal decoders (ND_{μ}) receiving the first activation signal ($\emptyset 3$) common to all normal decoders (ND_{μ}), and in the case of the redundancy decoders (RD_{ν}) receiving the second activation signal ($\emptyset 3R$) common to all redundancy decoders (RD_{ν}), in that moreover, in the case of the individual redundancy decoders (RD_{ν}), the third AND gate (U_{ν}) provided in each case receives at its second input the second clock signal ($\emptyset 2$), in that at the output of this third AND gate (U_{ν}) a signal, generated after programming of the respective redundancy decoder (RD_{ν}) as a result of its then possible addressing, is available which [lacuna], with mediation of a further OR gate (OG) common to all redundancy decoders and driven on the input side by the outputs of all third AND gates (U_{ν}) of the redundancy decoders (RD_{ν}), as a result of which the inhibit signal ($\emptyset k$) is generated at the output of this further OR gate (OG).

6. Write-read memory according to one of Claims 1 to 5, characterized in that the inhibit signal ($\emptyset k$) generated at the output of the OR gate (OG) is applied, with mediation of an inverter, to an input of a fourth AND gate (U^{**}), and in that another input of this fourth AND gate (U^{**}) receives the second clock signal ($\emptyset 2$), as a result of which the first activation signal ($\emptyset 3$) which is common to all normal decoders (ND_{μ}) and which serves to activate the first AND gate (U_{μ}^+) provided in each case in the individual normal decoders (ND_{μ}) is generated at the output of this fourth AND gate (U^{**}).

7. Write-read memory according to one of the preceding claims, characterized in that in each case one normally-off MOS field-effect transistor (T) is

associated with each address input ($A_0, \bar{A}_0 \dots A_p, \bar{A}_p$) in the individual redundancy decoders (RD_v), which MOS field-effect transistor forms in each case one switching transistor of the NOR gate of the respective redundancy decoder (RD_v), and the drain of which is applied via a separable connection (F) to the source connection of a common load transistor (T1) and hence to an output (A) of the NOR gate formed by said transistors (T), in that furthermore the output (A) of the NOR gate is applied via a transistor (T2) lying at its gate at the supply potential (V_{DD}) of the NOR gate to the gate of two further transistors (T3, T4), the source connection of which is connected in each case via a fuse circuit (FF1, FF2) to the reference potential (V_{SS}) of the NOR gate, and the drain connections of which receive, in the case of one transistor (T4), the common second activation signal ($\emptyset 3R$) of the redundancy decoders (RD_v), and receive, in the case of the other transistor (T3), the second clock signal ($\emptyset 2$) provided for joint control of the third AND gate (U_v) in the redundancy decoders (RD_v), while the source of one transistor (T4) receiving the second activation signal ($\emptyset 3R$) at its drain forms the release of the connection between the data input or data output (S/L or $\bar{S}/\bar{L}$ respectively) and the output of the redundancy decoder (RD_v) controlling the redundant columns or rows ($ez_v, \bar{e}\bar{z}_v$) belonging to the respective redundancy decoder (RD_v), while the other transistor (T3), representing the third AND gate (U_v) of the redundancy decoder (RD_v) and controlled by the second clock signal ($\emptyset 2$), makes available at its source connection the inhibit signal ($\emptyset k$) effecting the inactivation of the first activation signal ($\emptyset 3$) after selection of a corresponding redundancy decoder (RD_v).

8. Write-read memory according to one of Claims 1 to 7, characterized in that the fuse circuits (FF1, FF2), which are connected directly in each case at a first node to the source connection of the two transistors

(T3, T4) representing in each case an AND gate, each take the form of an RS flipflop (FF1, FF2), the bases of which are in each case connected to the reference potential (V_{SS}) of the NOR gate forming the redundancy decoder (RD_v), while a second node of each of the two flipflops (FF1, FF2) are (sic) connected in each case via a MOS field-effect transistor (R) connected as a resistor to the supply potential (V_{DD}) of the redundancy decoder (RD_v).

9. Write-read memory according to one of Claims 1 to 8, characterized in that, for generating the second activation signal (ϕ_{3R}) jointly serving the provided redundancy decoders (RD_v), a circuit consisting of twelve normally-off MOS field-effect transistors (1 to 12) and of a capacitor (C) as well as the first and the second clock signal (ϕ_1 , ϕ_2) for the operation thereof are provided, in that the first transistor (1) thereby lies with its source at the reference potential (V_{SS}), with its gate at the first clock signal (ϕ_1) and with its drain both via a second transistor (2) controlled by the second clock signal (ϕ_2) at the supply potential (V_{DD}), and is also connected to the gate of a third transistor (3), in that the third transistor (3) thereby forms, together with a fourth transistor (4), a further series connection lying between the supply potential (V_{DD}) and the reference potential (V_{SS}) and in which the fourth transistor (4) lying with its drain at the supply potential (V_{DD}) is controlled by the first clock signal (ϕ_1), in that a circuit point lying between the third and the fourth transistor (3, 4) is connected to the supply potential (V_{DD}) via the source-drain path of a fifth transistor (5) controlled at its gate by the second clock signal (ϕ_2) both to the gate of a sixth transistor (6) receiving at its drain the second clock signal (ϕ_2) and, via a further transistor (12) which is controlled by the first clock signal (ϕ_1), to the supply potential (V_{DD}), in that, in addition, the source connection of the sixth transistor (6)

is connected on the one hand to the gate of a further transistor (7), the drain of which lies at the supply potential (V_{DD}) and the source of which is connected firstly to its own gate via the capacitor (C) and secondly to the drain of a further transistor (9), the source of which is connected to the reference potential (V_{SS}), and the gate of which is on the other hand connected to the circuit point between the third and fourth transistor (3, 4), in that, in addition, the source connection of the sixth transistor (6) is connected to the reference potential (V_{SS}) with the drain connection of a further transistor (10) which is controlled by the first clock signal (ϕ_1), in that furthermore the source connection of the sixth transistor (6) lies at the gate of a further transistor (8), the drain of which is connected to the supply potential (V_{DD}) and the source of which not only forms the output supplying the second activation signal (ϕ_{3R}) for the redundancy decoders (RD_v) but is also connected, via a further transistor (11), to the reference potential (V_{SS}), the gate of this transistor (11) likewise receiving the circuit point lying between the third and the fourth transistor (3, 4), and in which finally the two clock signals (ϕ_1 , ϕ_2) are designed in such a manner that the trailing edge of the first clock signal (ϕ_1) lies temporally immediately before the appearance of the addressing signals (A_0 , $\bar{A}_0$, ..., A_p , $\bar{A}_p$), while the second clock signal (ϕ_2) is identical to the common second clock signal (ϕ_2) for joint control of the third AND gate (U_v) in the individual redundancy decoders (RD_v).

10. Write-read memory according to at least one of the preceding claims, having a division of the columns and rows (nz_μ) provided for the normal operation into a left (LZF) and a right cell field half (RZF), with an organization of the associated normal decoders (ND_μ) in the manner of centre decoders (MD_μ) which are connected with the left and right cell field half (LZF, RZF) in each case to a left or right switch (LS_μ , RS_μ)

respectively, the left or right switch (LS_{μ} , RS_{μ}) in each case being driven via a left or a right activation signal (ϕ_{3_l} or ϕ_{3_r}) respectively, characterized in that the columns and rows (ez_v) provided as a substitute are likewise divided in each case into a left row half (ez_{v_l}) and a right row half (ez_{v_r}), in that each of these row halves (ez_{v_l} , ez_{v_r}) are selected via its own left or right redundancy decoder (RD_{v_l} , RD_{v_r}), and in that the left and right activation signal (ϕ_{3_l} , ϕ_{3_r}) is generated analogously to the first activation signal (ϕ_3) for normal decoders (ND_{μ}).

11. Write-read memory according to Claim 10, characterized in that, for generating the left and right activation signal (ϕ_{3_l} , ϕ_{3_r}), in each case an inhibit signal (ϕ_{k_l} , ϕ_{k_r}) is used which is generated by the left or right redundancy decoders (RD_{v_l} , RD_{v_r}) respectively analogously to the inhibit signal (ϕ_k) which suppresses the appearance of the first activation signal (ϕ_3) in normal decoders (ND_{μ}) when appropriate.

12. Write-read memory according to Claim 10 or 11, characterized by

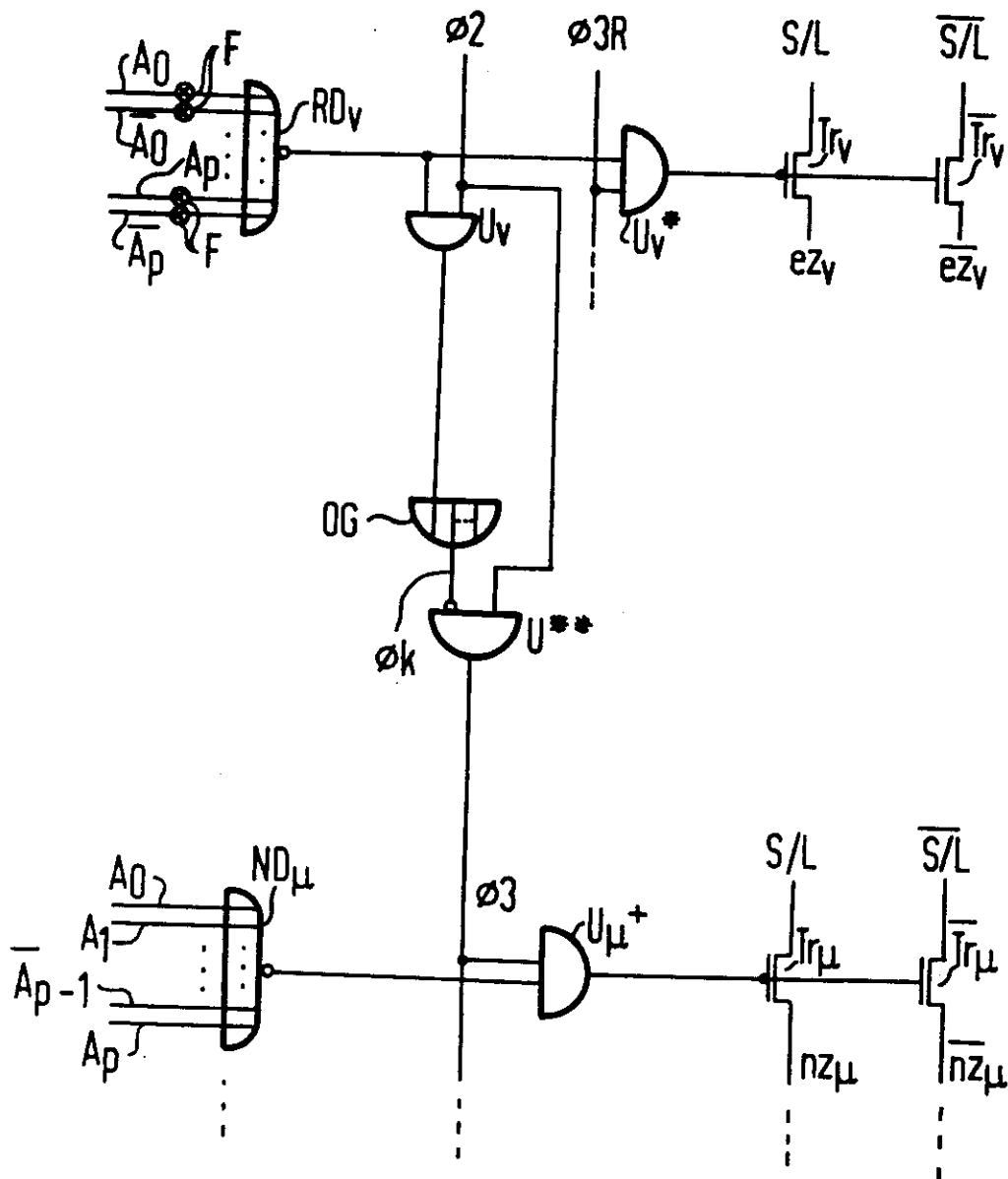
- a) centre decoders (MD_{μ}) which each contain a NOR gate which is realized in the form of p parallel-connected MOS transistors (NT; p = number of address lines $A_0 \dots A_p$ or their complement lines $\bar{A}_0 \dots \bar{A}_p$), each gate of the MOS transistors being controlled by an address line ($A_0 \dots A_p$) or its complementary address line ($\bar{A}_0 \dots \bar{A}_p$), the source connections being connected to the reference potential (V_{ss}), and a circuit point (A) formed by the drain connections of all parallel-connected MOS transistors (NT) of the NOR gate being connected via the source-drain path of a switching transistor (NT1) controlled by the first clock signal (ϕ_1) to the supply potential (V_{DD}),
- b) a switch (LS_{μ} or RS_{μ} respectively) which is connected to the left or the right on each centre decoder (MD_{μ}) and which contains a transverse transistor

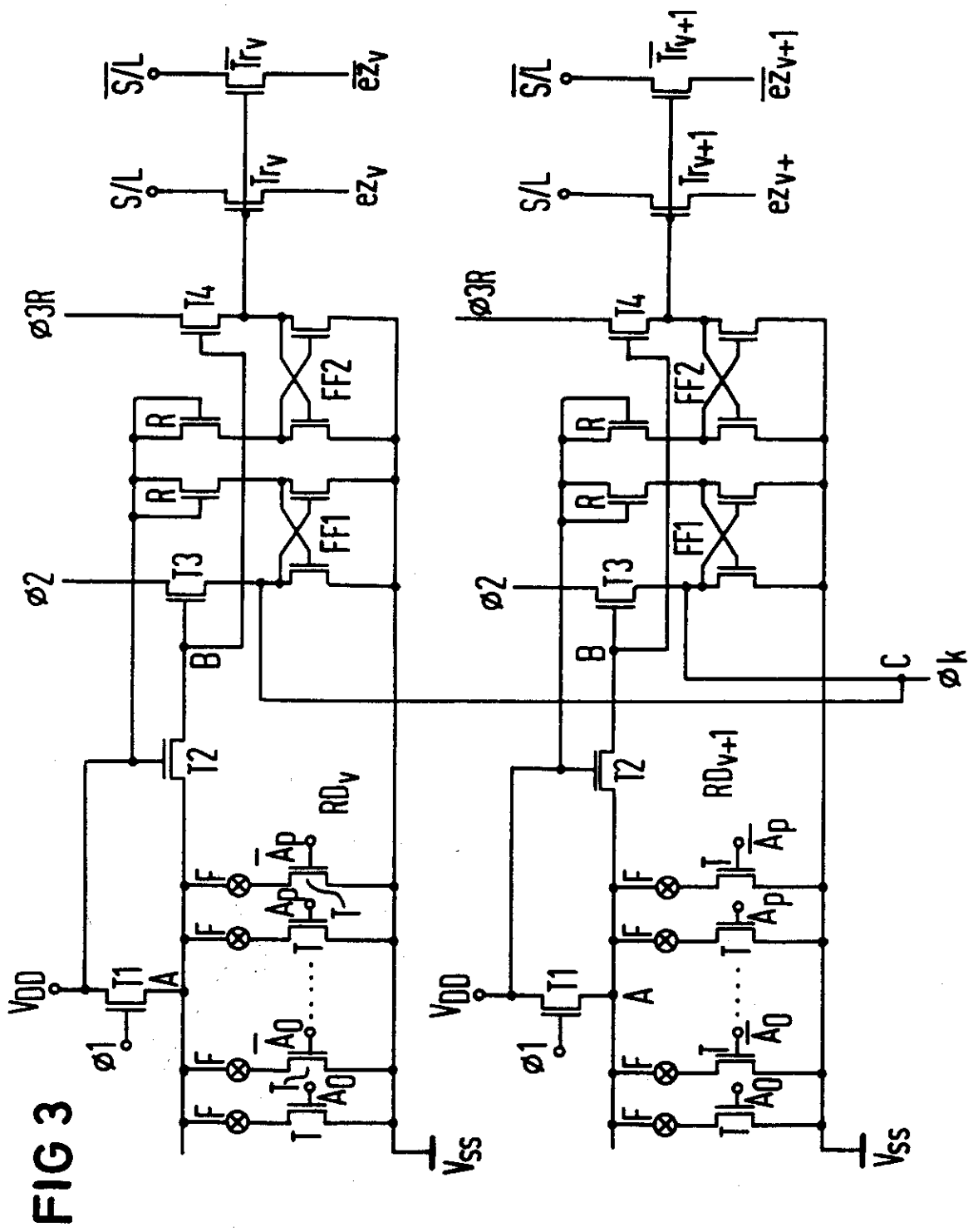
(NT2₁ or NT2_r) which is connected by its gate to the supply potential (V_{DD}) and the current-carrying paths (source or drain) of which are connected on the one hand to the circuit point (A) of the centre decoder (MD_μ), and on the other hand form the gate connection of a further switching transistor (NT3₁ or NT3_r), the left or right activation signal (ø3₁, ø3_r) being fed into the drain of this switching transistor (NT3₁, NT3_r) and the source connection forming a circuit node (K₁ or K (sic)) which is firstly connected to the left or right cell field half (LZF, RZF) in such a way that it is connected to the gates of two transistors (tr_{μ1}, $\bar{t}r_{\mu1}$; tr_{μr}, $\bar{t}r_{\mu r}$) which effect the release of the connection between the data input or data output (S/L₁, $\bar{S}/\bar{L}_1$; S/L_r, $\bar{S}/\bar{L}_r$) and the left or right row half (nz_{μ1}, nz_{μr}) provided for the normal operation, and in that this circuit node (K₁ or K_r) is secondly connected to an RS flipflop (FF3₁ or FF3_r), formed in a usual manner by two cross-coupled transistors, in such a manner that this circuit node (K₁ or K_r) forms both the drain connection of one cross-coupled transistor and the gate connection of the other cross-coupled transistor, the source connections of these two transistors being connected to the reference potential (V_{SS}), and both the gate connection of one transistor and the drain connection of the other transistor being connected to the supply potential (V_{DD}) via a further transistor (NR₁, NR_r) connected as a resistor.



2/7

FIG 2a





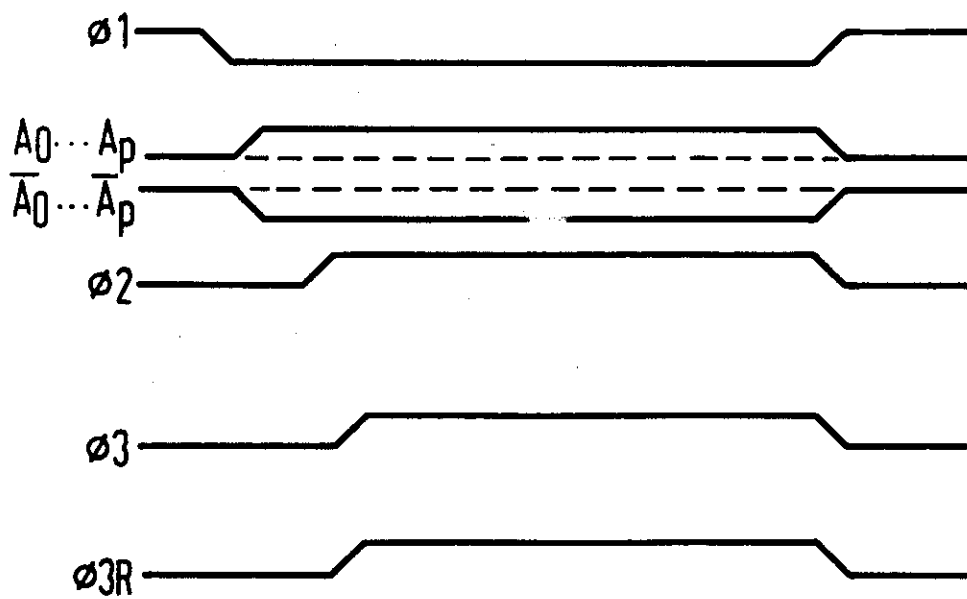
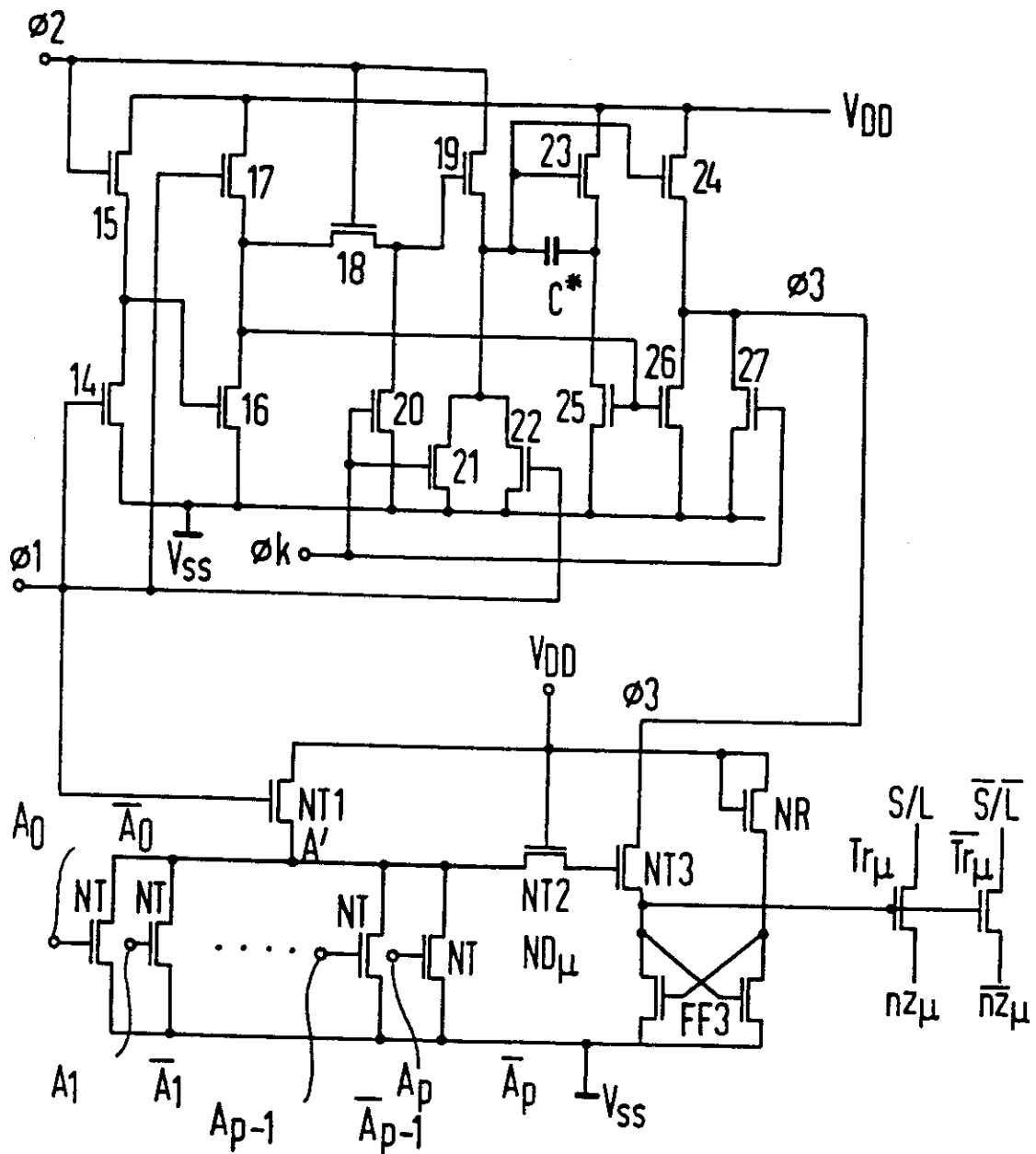


FIG 3b



6/7

FIG 4a

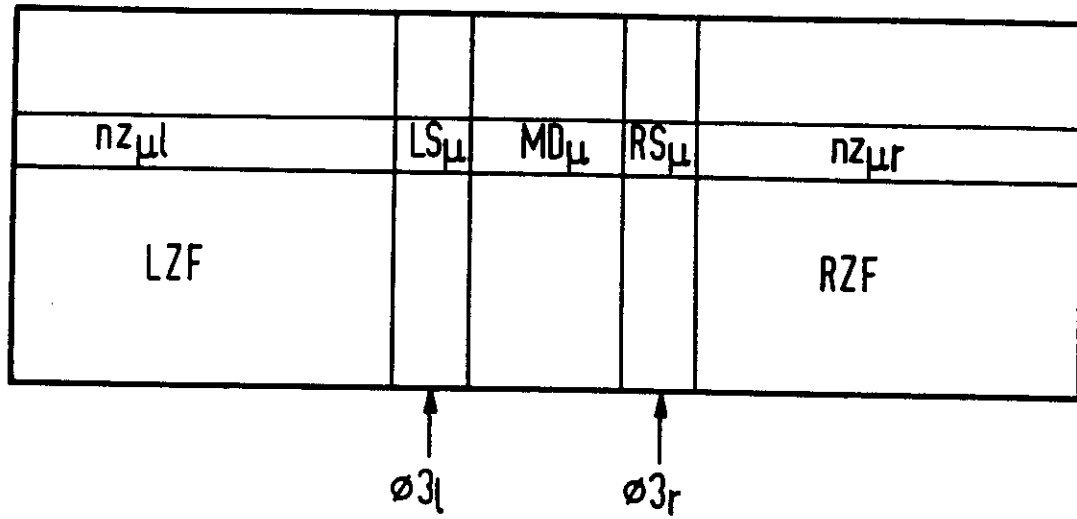


FIG 4b

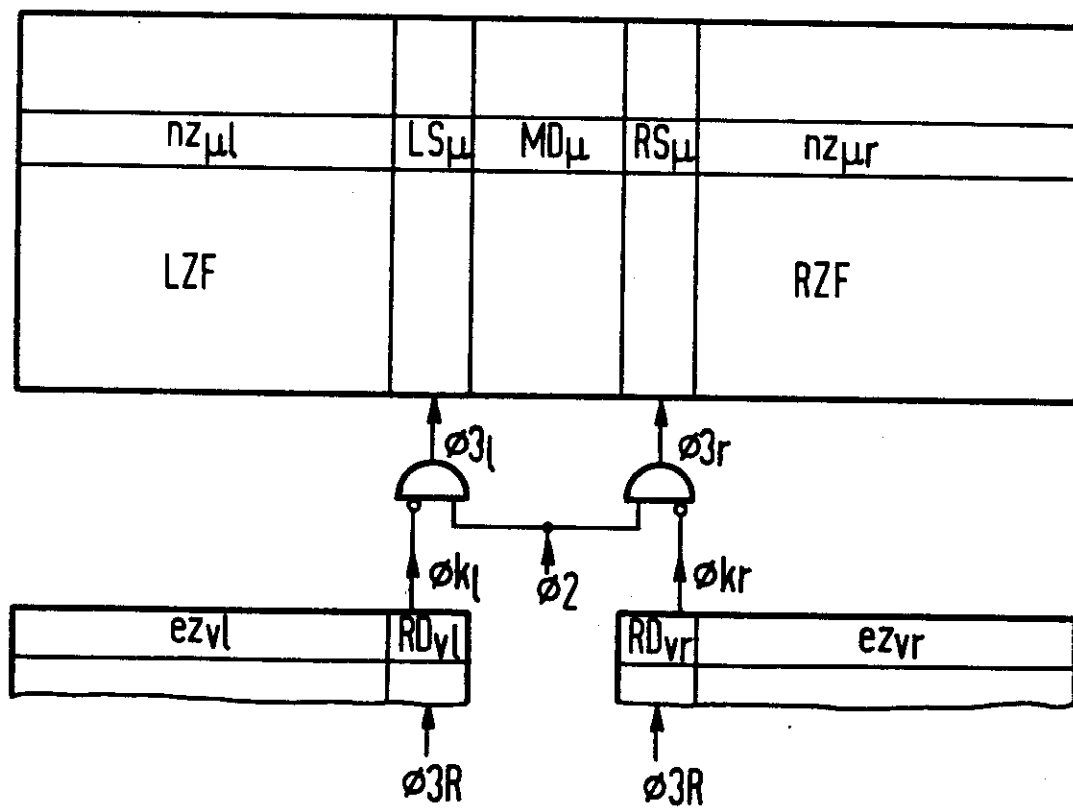
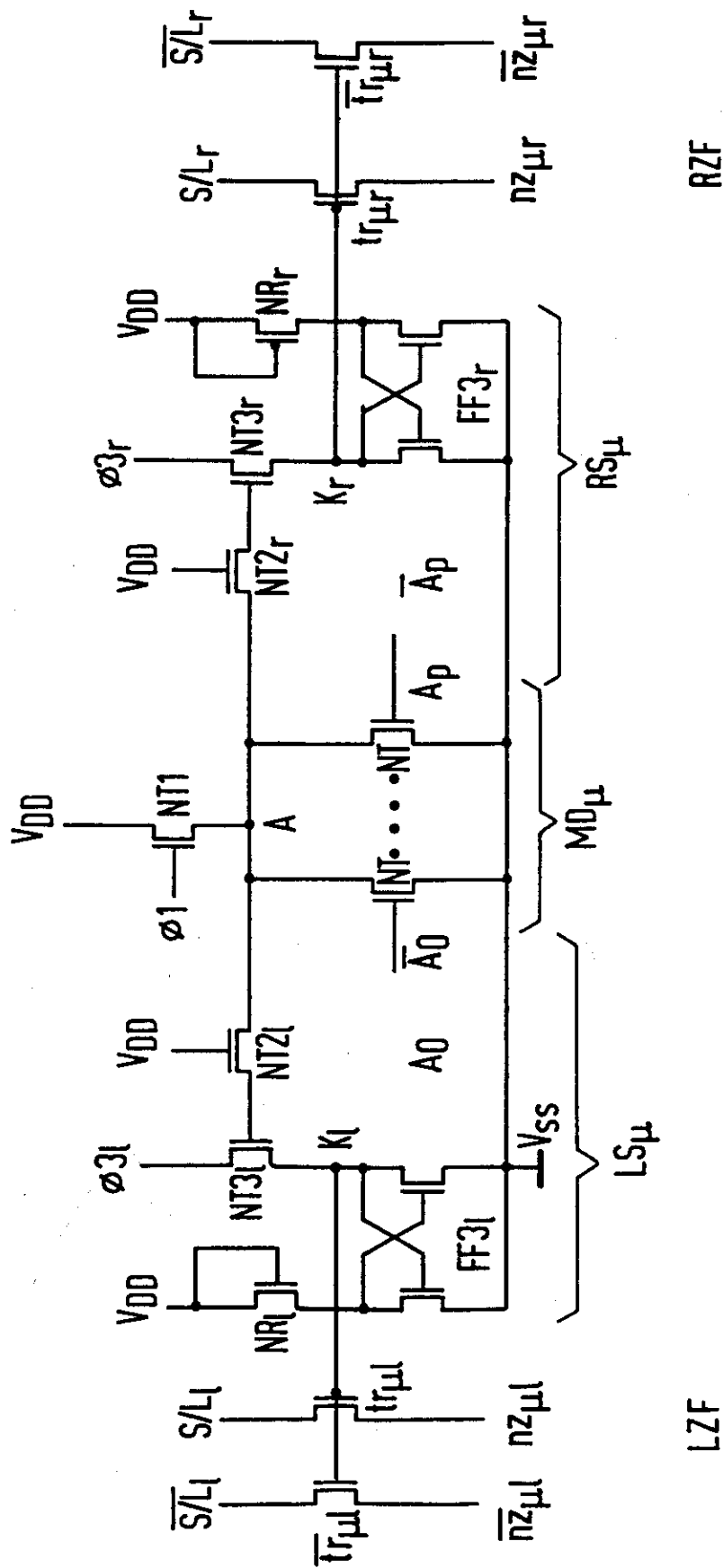


FIG 5



REGISTER ENTRY FOR EP0170727 /

European Application No EP84115749.8 filing date 18.12.1984 /

Application in German

Priority claimed:

02.08.1984 in Federal Republic of Germany - doc: 3428552

Designated States DE FR GB IT NL AT

Title INTEGRATED WRITE-READ MEMORY /

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT BERLIN UND MÜNCHEN, Wittelsbacherplatz 2,
D-8000 München 2, Federal Republic of Germany [ADP No. 50908391001]

Inventors

JÜRGEN. ING. WAWERSIG, Plievierpark 10, D-8000 München 83, Federal
Republic of Germany [ADP No. 53856746001]DIPL.-ING. DIETER KANTZ, Heiglhofstrasse 45, D-8000 München 70, Federal
Republic of Germany [ADP No. 53856753001]

Classified to

G4A

G06F

Address for Service

SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]Publication No EP0170727 dated 12.02.1986 and granted by EPO 26.04.1989.
Publication in German

Examination requested 18.12.1984

Patent Granted with effect from 26.04.1989 (Section 25(1)) with title
INTEGRATED WRITE-READ MEMORY.. Translation filed 28.06.1989

17.04.1989 FILE RAISED.

Entry Type 10.1 Staff ID. NS1 Auth ID. AA

09.08.1989 SIEMENS LIMITED, Siemens House, Windmill Road, Sunbury-on-Thames,
Middlesex, TW16 7HS, United Kingdom [ADP No. 00001487001]
registered as address for service

Entry Type 8.11 Staff ID. A02 Auth ID. AA

**** END OF REGISTER ENTRY ****