



(12)发明专利申请

(10)申请公布号 CN 111061663 A

(43)申请公布日 2020.04.24

(21)申请号 201911287932.8

(22)申请日 2019.12.15

(71)申请人 苏州浪潮智能科技有限公司
地址 215100 江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路1号9幢

(72)发明人 王朝辉 刘同强

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 刘志红

(51) Int. Cl.
G06F 13/38(2006.01)

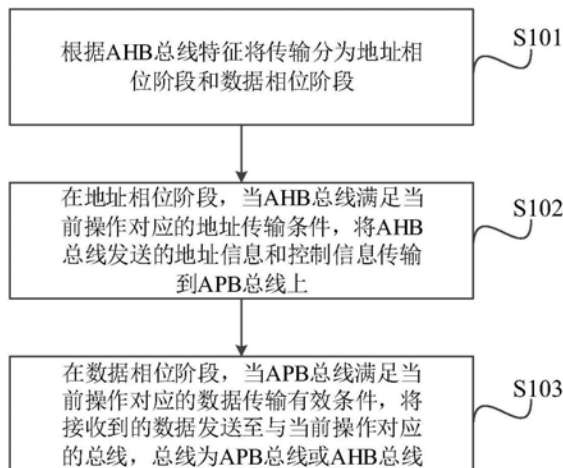
权利要求书2页 说明书6页 附图5页

(54)发明名称

一种数据传输方法、装置及相关组件

(57)摘要

本申请公开了一种数据传输方法,应用于连接APB总线和AHB总线的APB桥,包括:根据AHB总线特征将传输分为地址相位阶段和数据相位阶段;在地址相位阶段,当AHB总线满足当前操作对应的地址传输条件,将AHB总线发送的地址信息和控制信息传输到APB总线上;在数据相位阶段,当APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,总线为APB总线或AHB总线。本申请不需要对地址信息和控制信息及数据进行缓存,从而减少对存储空间的占用。本申请还公开了一种数据传输装置及电子设备,具有以上有益效果。



1. 一种数据传输方法,其特征在于,应用于连接APB总线和AHB总线的APB桥,包括:
根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段;
在所述地址相位阶段,当所述AHB总线满足当前操作对应的地址传输条件,将所述AHB总线发送的地址信息和控制信息传输到所述APB总线上;
在所述数据相位阶段,当所述APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,所述总线为所述APB总线或所述AHB总线。
2. 根据权利要求1所述的数据传输方法,其特征在于,所述根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段之后,该数据传输方法还包括:
设置所述地址相位阶段对应的第一标识及所述数据相位阶段对应的第二标识;
根据所述第一标识或所述第二标识是否有效判断当前传输为所述地址相位阶段或所述数据相位阶段。
3. 根据权利要求1所述的数据传输方法,其特征在于,所述地址传输条件包括所述AHB总线的HTRANS为2'b02,且所述AHB总线的HREADY有效。
4. 根据权利要求1所述的数据传输方法,其特征在于,所述当前操作包括读操作或写操作;
若当前操作为所述读操作,所述数据传输有效条件包括:
PREADY、PENABLE及PSEL均为高电平;
若当前操作为所述写操作,所述数据传输有效条件包括:
所述PREADY为高电平。
5. 根据权利要求1所述的数据传输方法,其特征在于,所述将接收到的数据发送至与当前操作对应的总线的同时,该数据传输方法还包括:
将PREADY的值赋予HREADY。
6. 根据权利要求2所述的数据传输方法,其特征在于,该数据传输方法还包括:
当所述第一标识和所述第二标识同时有效时,判定当前传输为所述地址相位阶段。
7. 根据权利要求2所述的数据传输方法,其特征在于,该数据传输方法还包括:
当HREADY及HTRANS均有效时所述第一标识有效;
所述第一标识有效后的下一时钟周期,所述第二标识有效。
8. 根据权利要求7所述的数据传输方法,其特征在于,该数据传输方法还包括:
当所述第一标识和所述第二标识均无效时,触发HREADY转换为高电平。
9. 一种数据传输装置,其特征在于,应用于连接APB总线和AHB总线的APB桥,包括:
划分模块,用于根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段;
第一传输模块,用于在所述地址相位阶段,当所述AHB总线满足当前操作对应的地址传输条件,将所述AHB总线发送的地址信息和控制信息传输到所述APB总线上;
第二传输模块,用于在所述数据相位阶段,当所述APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,所述总线为所述APB总线或所述AHB总线。
10. 一种电子设备,其特征在于,包括:
存储器,用于存储计算机程序;
处理器,用于执行所述计算机程序时实现如权利要求1-8任意一项所述数据传输方法

的步骤。

一种数据传输方法、装置及相关组件

技术领域

[0001] 本申请涉及AMBA总线领域,特别涉及一种数据传输方法、装置及相关组件。

背景技术

[0002] BMC(Baseboard Management Controller,基板管理控制器)芯片内部集成一个处理器,处理器通过数据总线与其外部设备进行通信。以ARM处理器为例,ARM处理器通过AMBA(Advanced Microcontroller Bus Architecture,先进微控制器总线体系结构)总线与外部设备进行通信,根据AMBA协议规范,需要将AHB(Advanced High Performance Bus,高级高性能总线)总线上的数据传输到APB(Advanced Peripheral Bus,外围总线)总线上,一般是通过Bridge实现两条总线上数据的转换和传输。

[0003] 参照图1和图2所示,图1为AHB总线的传输时序图,图2为APB总线的传输时序图,可见,现有的AHB总线的传输方案中,对于当前事务,先传输地址信息和控制信息,在下一时钟周期再传输数据,且传输地址信息和控制信息仅需要一个时钟周期,而传输数据需要多个时钟周期,现有的APB总线的传输方案中,对同一事务是同时传输地址信息、控制信息及数据的,因此需要在APB桥中,需要对AHB总线发送的地址信息、控制信息进行缓存,等到所有信息和数据均接收完毕后再传输,这样会使用过多的缓存隔离,占用存储空间。

[0004] 因此,如何提供一种解决上述技术问题的方案是本领域技术人员目前需要解决的问题。

发明内容

[0005] 本申请的目的是提供一种数据传输方法、装置及电子设备,不需要对地址信息和控制信息及数据进行缓存,从而减少对存储空间的占用。

[0006] 为解决上述技术问题,本申请提供了一种数据传输方法,应用于连接APB总线和AHB总线的APB桥,包括:

[0007] 根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段;

[0008] 在所述地址相位阶段,当所述AHB总线满足当前操作对应的地址传输条件,将AHB总线发送的地址信息和控制信息传输到APB总线上;

[0009] 在所述数据相位阶段,当所述APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,所述总线为所述APB总线或所述AHB总线。

[0010] 优选的,所述根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段之后,该数据传输方法还包括:

[0011] 设置所述地址相位阶段对应的第一标识及所述数据相位阶段对应的第二标识;

[0012] 根据所述第一标识或所述第二标识是否有效判断当前传输为所述地址相位阶段或所述数据相位阶段。

[0013] 优选的,所述地址传输条件包括所述AHB总线的HTRANS为2'b02,且所述AHB总线的HREADY有效。

- [0014] 优选的,所述当前操作包括读操作或写操作;
- [0015] 若当前操作为所述读操作,所述数据传输有效条件包括:
- [0016] PREADY、PENABLE及PSEL均为高电平;
- [0017] 若当前操作为所述写操作,所述数据传输有效条件包括:
- [0018] 所述PREADY为高电平。
- [0019] 优选的,所述将接收到的数据发送至与当前操作对应的总线的同时,该数据传输方法还包括:
- [0020] 将所述PREADY的值赋予HREADY。
- [0021] 优选的,该数据传输方法还包括:
- [0022] 当所述第一标识和所述第二标识同时有效时,判定当前传输为所述地址相位阶段。
- [0023] 优选的,该数据传输方法还包括:
- [0024] 当HREADY及HTRANS均有效时所述第一标识有效;
- [0025] 所述第一标识有效后的下一时钟周期,所述第二标识有效。
- [0026] 优选的,该数据传输方法还包括:
- [0027] 当所述第一标识和所述第二标识均无效时,触发HREADY转换为高电平。
- [0028] 为解决上述技术问题,本申请还提供了一种数据传输装置,应用于连接APB总线和AHB总线的APB桥,包括:
- [0029] 划分模块,用于根据所述AHB总线特征将传输分为地址相位阶段和数据相位阶段;
- [0030] 第一传输模块,用于在所述地址相位阶段,当所述AHB总线满足当前操作对应的地址传输条件,将AHB总线发送的地址信息和控制信息传输到APB总线上;
- [0031] 第二传输模块,用于在所述数据相位阶段,当所述APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,所述总线为所述APB总线或所述AHB总线。
- [0032] 为解决上述技术问题,本申请还提供了一种电子设备,包括:
- [0033] 存储器,用于存储计算机程序;
- [0034] 处理器,用于执行所述计算机程序时实现如上文任意一项所述数据传输方法的步骤。
- [0035] 本申请提供了一种数据传输方法,应用于连接APB总线和AHB总线的APB桥,首先将传输过程按AHB总线特征分为地址相位阶段和数据相位阶段,以便在各自对应的时钟周期传输地址信息、控制信息及数据,本申请中,收到信息或数据后,满足当前相位阶段对应的条件即进行传输,从而减少对地址信息、控制信息及数据的缓存时间,进而减少对存储空间占用。本申请还提供了一种数据传输装置及电子设备,具有和上述数据传输方法相同的有益效果。

附图说明

- [0036] 为了更清楚地说明本申请实施例,下面将对实施例中所需要使用的附图做简单的介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0037] 图1为本申请所提供的一种AHB总线的传输时序图；
- [0038] 图2为本申请所提供的一种APB总线的传输时序图；
- [0039] 图3为本申请所提供的一种数据传输系统的结构示意图；
- [0040] 图4为本申请所提供的一种数据传输方法的步骤流程图；
- [0041] 图5为本申请所提供的一种AHB总线转APB总线的读操作时序图；
- [0042] 图6为本申请所提供的一种AHB总线转APB总线的写操作时序图；
- [0043] 图7为现有技术中一种AHB总线转APB总线的多事务时序图；
- [0044] 图8为本申请所提供的一种AHB总线转APB总线的多事务时序图；
- [0045] 图9为本申请所提供的一种数据传输装置的结构示意图；
- [0046] 图10为本申请所提供的一种电子设备的结构示意图。

具体实施方式

[0047] 本申请的目的是提供一种数据传输方法、装置及电子设备，不需要对地址信息和控制信息及数据进行缓存，从而减少对存储空间的占用。

[0048] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0049] 为了便于理解本申请的数据传输方法，下面对于本申请的数据传输方法所适用的系统进行介绍，参照图3，其示出了本申请实施例的一种数据传输系统的结构示意图。

[0050] 如图3所示，AHB总线上挂载有高带宽内存接口High-bandwidth Memory Interface、高性能ARM处理器High-performance ARM processor、高带宽RAM芯片High-bandwidth on-chip RAM、DMA总线主控DMA bus master，APB总线上挂载有UART (Universal Asynchronous Receiver Transmitter, 通用异步收发传输器)、键盘Keypad、计时器Timer、电脑PIO (Parts In One, 可自由组装成一体电脑的新型准电脑) 等外设，AHB总线和APB总线通过AHB to APB Bridge桥连接，以下简称APB桥。本申请所提供的数据传输方法具体可以通过APB桥实现，APB桥可看作AHB总线的从设、看作APB总线的主设。

[0051] 请参照图4，图4为本申请所提供的一种数据传输方法的步骤流程图，该数据传输方法包括：

[0052] S101：根据AHB总线特征将传输分为地址相位阶段和数据相位阶段；

[0053] S102：在地址相位阶段，当AHB总线满足当前操作对应的地址传输条件，将AHB总线发送的地址信息和控制信息传输到APB总线上；

[0054] S103：在数据相位阶段，当APB总线满足当前操作对应的数据传输有效条件，将接收到的数据发送至与当前操作对应的总线，总线为APB总线或AHB总线。

[0055] 具体的，根据AHB总线的特征，将传输分为两个阶段，一个为地址相位阶段，一个为数据相位阶段。本实施例中，当前操作可以包括读操作或写操作，参照图5、图6所示，图5为AHB总线转APB总线的读操作对应的时序图，图6为AHB总线转APB总线的写操作对应的时序图，在地址相位阶段，例如当HTRANS为2'b01，同时HREADY有效（高电平）的情况下，将HADDR赋值给PADDR，将HWRITE赋值给PWRITE，同时使能PENABLE，当PREADY为高电平以后，PENABLE

恢复为低电平,HWRITE为AHB总线的写控制信号(即控制信息),HWRITE为高电平时,当前操作作为写操作,HWRITE为低电平时,当前操作作为读操作。

[0056] 具体的,若当前操作为读操作,参照图5所示,只有第一个时钟周期为地址相位阶段,在数据相位阶段,等待APB总线的PREADY信号为高电平,同时数据有效,数据有效即PSEL为高电平且PENABLE为高电平,将数据反馈到AHB总线的HRDATA上。

[0057] 具体的,若当前操作为写操作,参照图6所示,地址相位阶段的操作和读操作相同,在数据相位阶段,需要等待PREADY有效后,将AHB总线的HWDATA直接赋值给APB总线上的PWDATA,并使HREADY等于PREADY。

[0058] 进一步的,在将传输分为地址相位阶段和数据相位阶段后,分别用ahb_trans_head和ahb_trans_data进行标识,其中ahb_trans_head为第一标识,ahb_trans_data为第二标识,当ahb_trans_head有效,且ahb_trans_data无效时,判定传输当前处于地址相位阶段,当ahb_trans_data有效,且ahb_trans_head无效时,判定传输当前处于数据相位阶段。ahb_trans_head有效的条件为HREADY有效,且HTRANS有效。ahb_trans_data有效的条件是发生在ahb_trans_head的第二拍,当HREADY为低电平并且没有ahb_trans_head时,ahb_trans_data就会变为无效,以上所有信号均为高电平有效。当ahb_trans_head和ahb_trans_data都无效的时候,会触发HREADY变为高电平。也就是说HREADY默认为高电平,其他情况下,HREADY等于PREADY。

[0059] 可以理解的是,当AHB总线进行如图7所示的多事务传输时,当前事务的数据相位阶段,同时也是下一个事务的地址相位阶段,传输过程容易出现bug,因此,当ahb_trans_data与ahb_trans_head同时有效时,即图8中的第三周期,本申请采取地址相位阶段优先的方式,即在第3周期,将HADDR赋值给PADDR,所以在第4周期的PADDR变为地址B,从而达到区分事务的地址相位阶段和数据相位阶段的目的。

[0060] 本申请提供了一种数据传输方法,应用于连接APB总线和AHB总线的APB桥,首先将传输过程按AHB总线特征分为地址相位阶段和数据相位阶段,以便在各自对应的时钟周期传输地址信息、控制信息及数据,本申请中,收到信息或数据后,满足当前相位阶段对应的条件即进行传输,从而减少对地址信息、控制信息及数据的缓存时间,进而减少对存储空间的占用。

[0061] 请参照图9,图9为本申请所提供的一种数据传输装置,应用于连接APB总线和AHB总线的APB桥,包括:

[0062] 划分模块1,用于根据AHB总线特征将传输分为地址相位阶段和数据相位阶段;

[0063] 第一传输模块2,用于在地址相位阶段,当AHB总线满足当前操作对应的地址传输条件,将AHB总线发送的地址信息和控制信息传输到APB总线上;

[0064] 第二传输模块3,用于在数据相位阶段,当APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,总线为APB总线或AHB总线。

[0065] 可见,本实施例首先将传输过程按AHB总线特征分为地址相位阶段和数据相位阶段,以便在各自对应的时钟周期传输地址信息、控制信息及数据,本申请中,收到信息或数据后,满足当前相位阶段对应的条件即进行传输,从而减少对地址信息、控制信息及数据的缓存时间,进而减少对存储空间的占用。

[0066] 作为一种优选的实施例,该数据传输装置还包括:

- [0067] 标识设置模块,用于设置地址相位阶段对应的第一标识及数据相位阶段对应的第二标识;
- [0068] 相位阶段判断模块,用于根据第一标识或第二标识是否有效判断当前传输为地址相位阶段或数据相位阶段。
- [0069] 作为一种优选的实施例,地址传输条件包括AHB总线的HTRANS为2'b02,且AHB总线的HREADY有效。
- [0070] 作为一种优选的实施例,当前操作包括读操作或写操作;
- [0071] 若当前操作为读操作,数据传输有效条件包括:
- [0072] PREADY、PENABLE及PSEL均为高电平;
- [0073] 若当前操作为写操作,数据传输有效条件包括:
- [0074] PREADY为高电平。
- [0075] 作为一种优选的实施例,该数据传输装置还包括:
- [0076] 赋值模块,用于将PREADY的值赋予HREADY。
- [0077] 作为一种优选的实施例,相位阶段判断模块,具体用于当第一标识和第二标识同时有效时,判定当前传输为地址相位阶段。
- [0078] 作为一种优选的实施例,当HREADY及HTRANS均有效时,第一标识有效;第一标识有效后的下一时钟周期,判定第二标识有效。
- [0079] 作为一种优选的实施例,该数据传输装置还包括:
- [0080] 触发模块,用于当第一标识和第二标识均无效时,触发HREADY转换为高电平。
- [0081] 另一方面,本申请还提供了一种电子设备,如参见图10,其示出了本申请实施例一种电子设备的一种组成结构示意图,本实施例的电子设备2100可以包括:处理器2101和存储器2102。
- [0082] 可选的,该电子设备还可以包括通信接口2103、输入单元2104和显示器2105和通信总线2106。
- [0083] 处理器2101、存储器2102、通信接口2103、输入单元2104、显示器2105、均通过通信总线2106完成相互间的通信。
- [0084] 在本申请实施例中,该处理器2101,可以为中央处理器(Central Processing Unit,CPU),特定应用集成电路,数字信号处理器,现成可编程门阵列或者其他可编程逻辑器件等。
- [0085] 该处理器可以调用存储器2102中存储的程序。具体的,处理器可以执行以下数据传输方法的实施例中电子设备侧所执行的操作。
- [0086] 存储器2102中用于存放一个或者一个以上程序,程序可以包括程序代码,程序代码包括计算机操作指令,在本申请实施例中,该存储器中至少存储有用于实现以下功能的程序:
- [0087] 根据AHB总线特征将传输分为地址相位阶段和数据相位阶段;
- [0088] 在地址相位阶段,当AHB总线满足当前操作对应的地址传输条件,将AHB总线发送的地址信息和控制信息传输到APB总线上;
- [0089] 在数据相位阶段,当APB总线满足当前操作对应的数据传输有效条件,将接收到的数据发送至与当前操作对应的总线,总线为APB总线或AHB总线。

[0090] 可见,本实施例首先将传输过程按AHB总线特征分为地址相位阶段和数据相位阶段,以便在各自对应的时钟周期传输地址信息、控制信息及数据,本申请中,收到信息或数据后,满足当前相位阶段对应的条件即进行传输,从而减少对地址信息、控制信息及数据的缓存时间,进而减少对存储空间的占用。

[0091] 在一种可能的实现方式中,该存储器2102可包括存储程序区和存储数据区,其中,存储程序区可存储操作系统、以及至少一个功能(比如有效性判断功能等)所需的应用程序等;存储数据区可存储根据计算机的使用过程中所创建的数据。

[0092] 此外,存储器2102可以包括高速随机存取存储器,还可以包括非易失性存储器,例如至少一个磁盘存储器件或其他易失性固态存储器件。

[0093] 该通信接口2103可以为通信模块的接口,如GSM模块的接口。

[0094] 本申请还可以包括显示器2104和输入单元2105等等。

[0095] 当然,图10所示的物联网设备的结构并不构成对本申请实施例中物联网设备的限定,在实际应用中电子设备可以包括比图10所示的更多或更少的部件,或者组合某些部件。

[0096] 还需要说明的是,在本说明书中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的状况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0097] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本申请。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本申请的精神或范围的情况下,在其他实施例中实现。因此,本申请将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

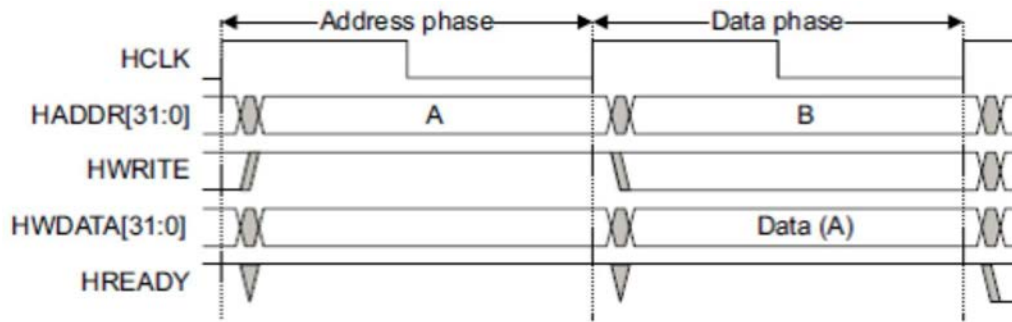


图1

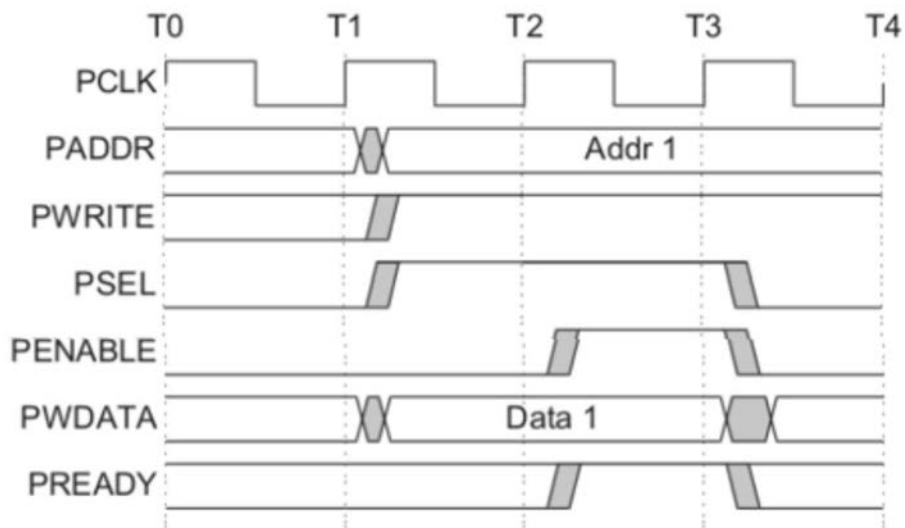


图2

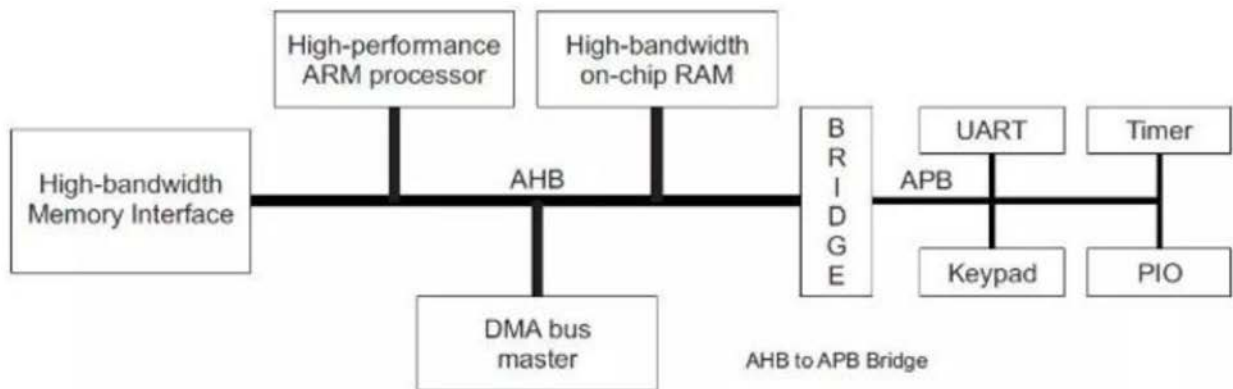


图3

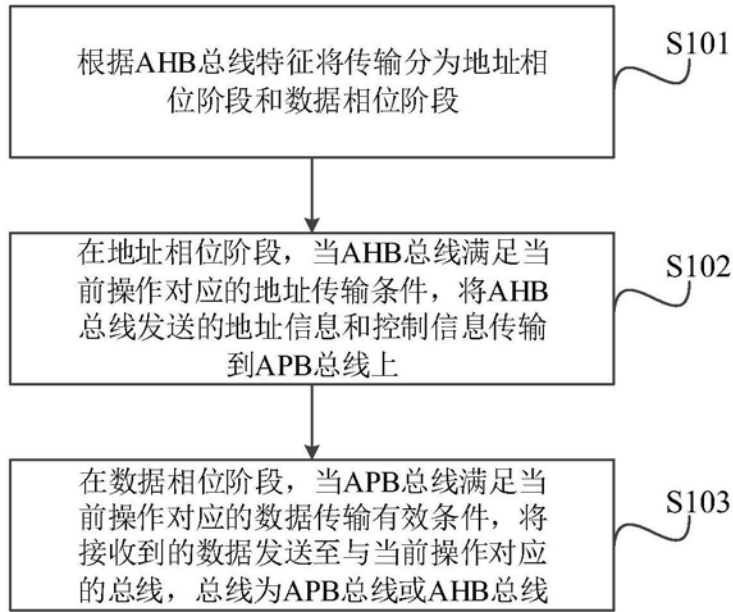


图4

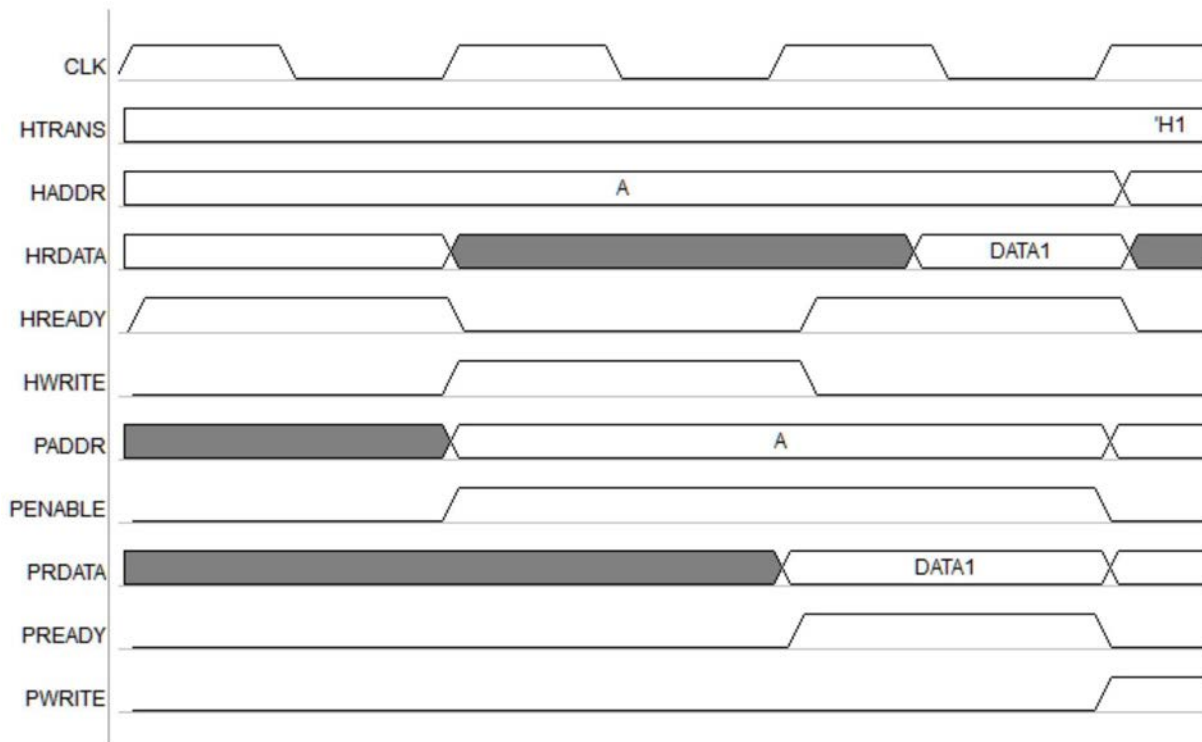


图5

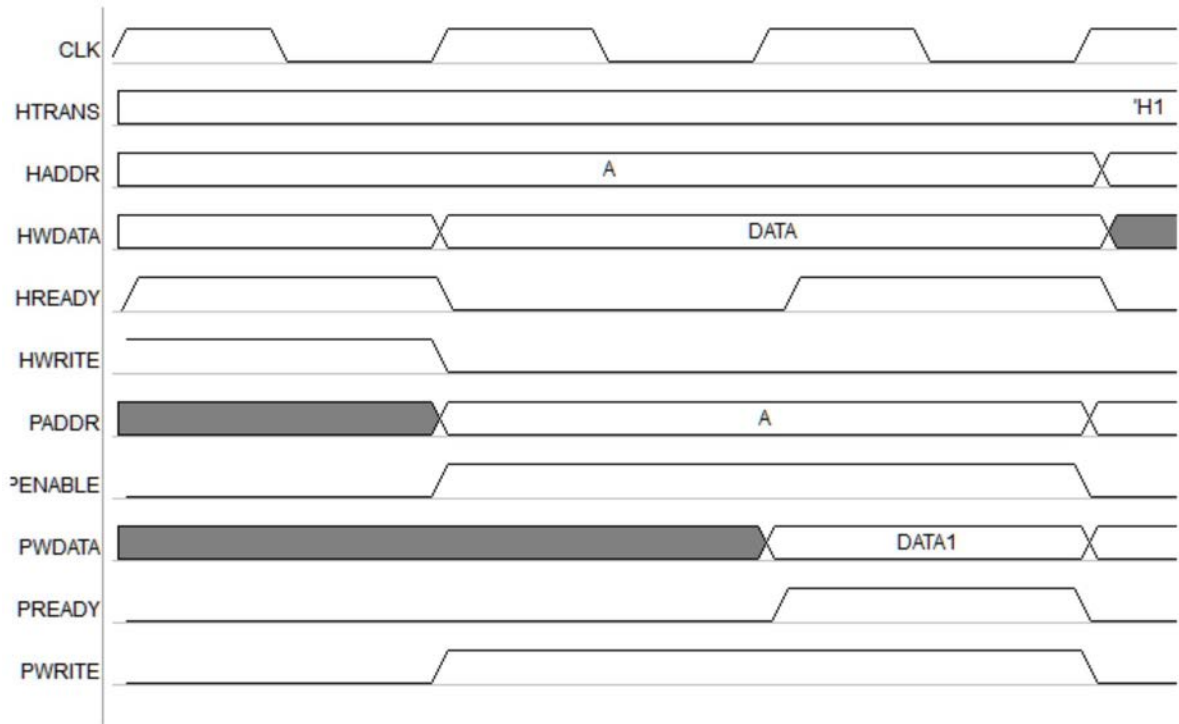


图6

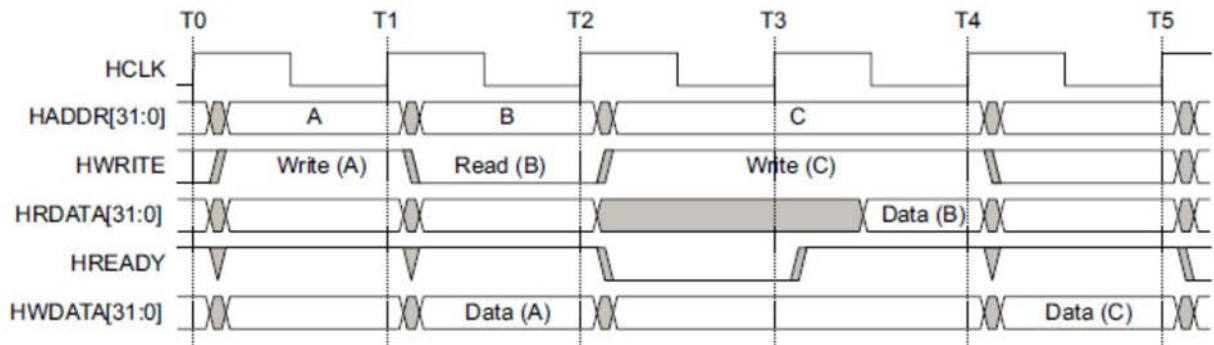


图7

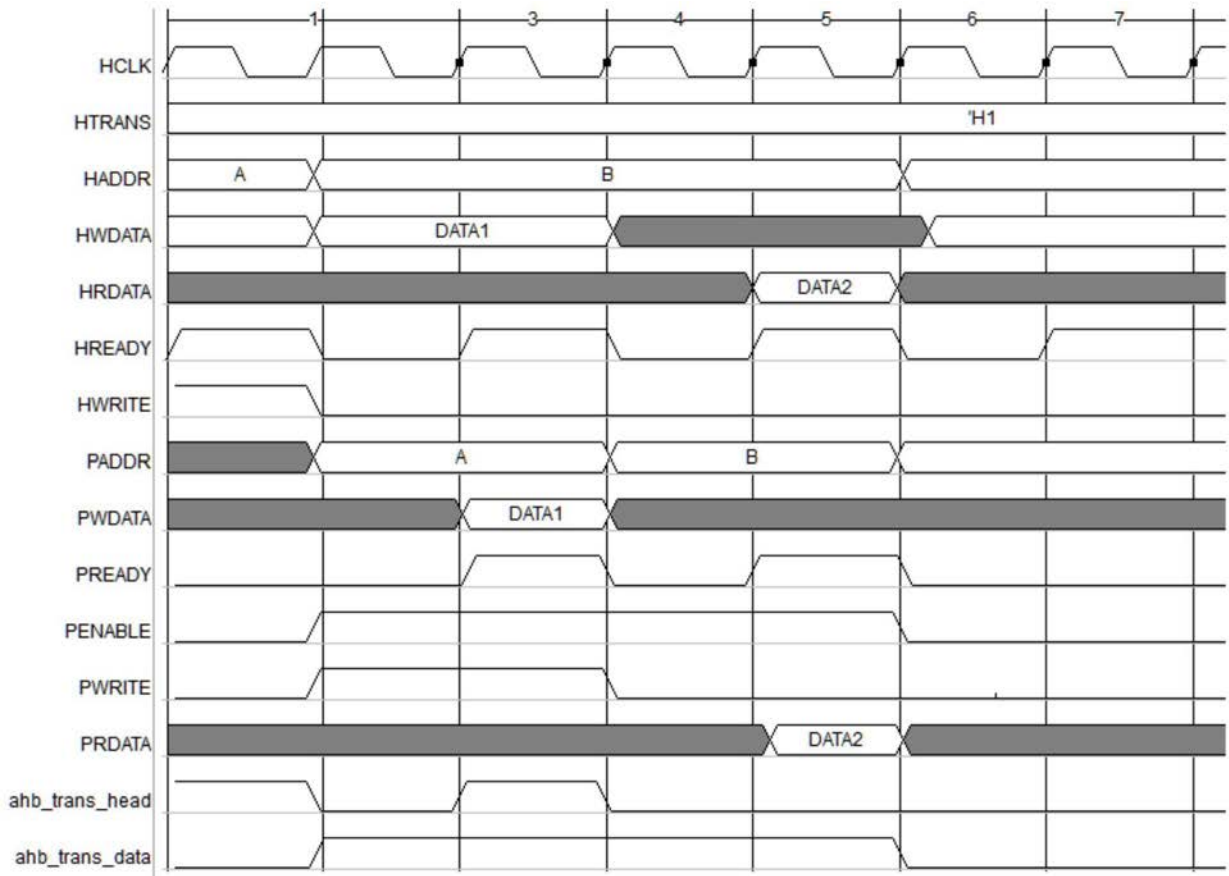


图8



图9

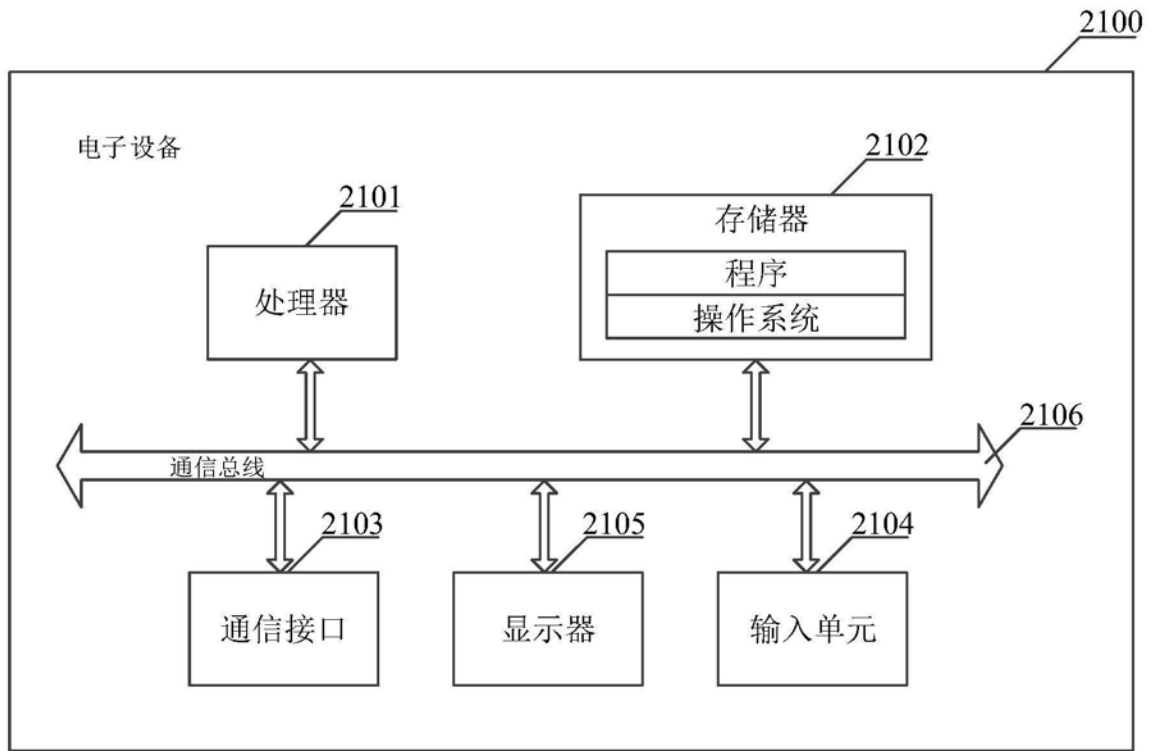


图10