



(12) 发明专利申请

(10) 申请公布号 CN 104350720 A

(43) 申请公布日 2015. 02. 11

(21) 申请号 201380027640. 5

(51) Int. Cl.

(22) 申请日 2013. 06. 19

H04L 29/06 (2006. 01)

(30) 优先权数据

H04L 1/00 (2006. 01)

13/532, 962 2012. 06. 26 US

G06F 13/18 (2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 11. 26

(86) PCT国际申请的申请数据

PCT/US2013/046460 2013. 06. 19

(87) PCT国际申请的公布数据

W02014/004188 EN 2014. 01. 03

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 D·J·哈利曼 J·C·莫里西

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张东梅

权利要求书2页 说明书7页 附图5页

(54) 发明名称

提供用于双向串行互连的串行协议

(57) 摘要

在一个实施例中,本发明包括主机控制器,其带有发射逻辑以将数据准备为数据分组,用于沿着互连传递,并发射分组。此分组可以包括具有第一预定值的前同步码部分、包括数据并具有多个符号的内容部分,每一符号都包括与数据分开的起始比特,包括内容部分的反相版本的错误检测部分,以及具有第二预定值的后同步码部分。描述并要求保护其他实施例。

100

	105 ₀	110	105 ₁	120	105 _n	130	105 _z	140
	前同步码		<内容部分>		<错误检测部分>		后同步码	
0	1010 1010		1 <内容>		0 <反相的内容>		0 1100 1100	

1. 一种设备,包括:

主机控制器,其包括发射逻辑以将数据准备为数据分组,用于沿着互连传递,并发射所述数据分组,所述分组包括具有第一预定值的前同步码部分,包括数据并具有多个符号的内容部分,每一符号都包括与数据分开的起始比特,包括所述内容部分的反相版本的错误检测部分,以及具有第二预定值的后同步码部分。

2. 如权利要求 1 所述的设备,其特征在于,所述主机控制器将在所述数据分组的传递之后允许所述互连上的闲置状态。

3. 如权利要求 1 所述的设备,其特征在于,所述内容部分符合编码方案,所述编码方案编码所述内容部分的第一符号内的第一字节和第一起始比特和所述内容部分的第二符号内的第二字节和具有与所述第一起始比特不同的值的第二起始比特。

4. 如权利要求 1 所述的设备,其特征在于,所述互连将通过数据链路、时钟链路以及多个终端/上拉阻抗链路耦合到多个设备。

5. 如权利要求 4 所述的设备,其特征在于,当所述主机控制器处于闲置状态时,所述主机控制器将导致第一终端/上拉阻抗链路耦合到供电电压。

6. 如权利要求 4 所述的设备,其特征在于,如果所述主机控制器没有从耦合到所述互连的多个设备中的至少一个接收到数据分组的确认,则在预定数量的符号之后,所述发射逻辑将重新发射所述分组。

7. 如权利要求 1 所述的设备,其特征在于,所述数据分组包括所述前同步码部分之前的第一起始比特,所述前同步码部分之后的第二起始比特,所述第二起始比特具有与所述第一起始比特的不同的值。

8. 如权利要求 1 所述的设备,其特征在于,所述主机控制器包括多个端口,包括:

与中枢设备进行通信的第一端口,所述中枢设备与第一多个通用串行总线(USB)设备连接;

与具有小于第一值的带宽的第二多个设备进行通信的第二端口;以及

与具有大于所述第一值的带宽的第三多个设备进行通信的第三端口。

9. 如权利要求 1 所述的设备,其特征在于,所述主机控制器将通过所述互连接接收第二数据分组,并基于所述第二分组的内容部分和错误检测部分的比较,确定所述第二分组和另一分组的冲突。

10. 一种方法,包括:

在主机控制器的发射逻辑中接收数据;

基于所述数据,生成数据分组的内容部分;

基于所述内容部分,生成所述分组的错误检测部分;以及

形成包括前同步码部分、所述内容部分、所述错误检测部分以及后同步码部分的所述数据分组。

11. 如权利要求 10 所述的方法,其特征在于,进一步包括通过所述主机控制器的物理单元,沿着耦合到所述主机控制器的互连,传递所述数据分组。

12. 如权利要求 10 所述的方法,其特征在于,形成所述分组还包括将第一起始比特插入在所述前同步码部分之前。

13. 如权利要求 12 所述的方法,其特征在于,形成所述数据分组还包括将第二起始比

特插入在所述前同步码部分之后,所述第二起始比特具有与所述第一起始比特的不同的值。

14. 如权利要求 13 所述的方法,其特征在于,形成所述分组还包括将第三起始比特插入在所述内容部分之后,将第四起始比特插入在所述错误检测部分之后。

15. 如权利要求 14 所述的方法,其特征在于,进一步包括形成带有第一预定值的所述前同步码部分,以及形成带有第二预定值的所述后同步码部分。

16. 如权利要求 11 所述的方法,其特征在于,进一步包括在传递所述数据分组之后并且在传递所述数据分组之后的第二连续的分组之前,提供至少预定的时间长度的空闲时间。

17. 一种系统,包括:

发射器,其包括传输逻辑以接收数据并从其中准备数据分组,用于沿着互连传递,所述数据分组包括第一起始比特,具有第一预定值的前同步码部分,具有与所述第一起始比特的不同的值的第二起始比特,包括通过多个符号来表示的所述数据的内容部分,每一符号都包括起始比特和一部分所述数据,第三起始比特,包括所述内容部分的反相版本的错误检测部分,第四起始比特,以及具有第二预定值的后同步码部分;

耦合到所述发射器的串行互连;以及

接收器,所述接收器耦合到所述串行互连并包括接收并处理所述数据分组以获取所述数据的接收器逻辑。

18. 如权利要求 17 所述的系统,其特征在于,所述发射器包括提供包括传感器信息的数据的传感器,所述接收器包括片上系统 (SoC)。

19. 如权利要求 17 所述的系统,其特征在于,进一步包括将所述发射器耦合到所述接收器的主要互连,其中所述串行互连包括边带信道以传递边带信息。

20. 如权利要求 17 所述的系统,其特征在于,所述传输逻辑将编码所述内容部分的第一符号内的所述数据的第一字节和初始起始比特,并编码所述内容部分的第二符号内的所述数据的第二字节和具有与所述初始起始比特不同的值的随后的起始比特。

21. 被配置为执行如权利要求 10 到 16 中任一项所述的方法的通信设备。

22. 至少一个机器可读介质,所述至少一个机器可读介质包括多个指令,响应于在计算设备上被执行,所述指令导致所述计算设备执行如权利要求 10 到 16 中任一项所述的方法。

23. 一种用于处理指令的设备,被配置成执行如权利要求 10 到 16 中任一权利要求所述的方法。

24. 一种设备,包括用于执行根据权利要求 10 到 16 中的任一项所述的方法的装置。

提供用于双向串行互连的串行协议

[0001] 背景

[0002] 计算设备内的以及外部的许多设备可以通过诸如符合给定通用串行总线 (USB) 规范之类的串行链路来连接。最初, USB 技术以相对低比特率, 例如, 从每秒 1.5 兆比特 (Mbits/s) 开始, 然后, 扩展为 12Mbit/s 以及更高, 进行通信。利用最近的 USB 规范, 通用串行总线修订版 3.0 规范 (2008 年 11 月 17 日), 指定高达每秒钟 5 千兆的最大传输速度。

[0003] 尽管现有的 USB 技术有高数据速率, 但是, 存在某些缺点。这些包括当前处于 3.3 伏特的电压信令要求 (带有 5.0 伏特容差), 这可能不与先进技术节点硅工艺兼容。另外, USB 通信也没有经过功率优化, 将 USB 连接用于内部设备的激增不必要地消耗系统内的可用的引脚。

[0004] 附图简述

[0005] 图 1 是根据本发明的一个实施例的通过互连耦合的一对设备的框图。

[0006] 图 2 是根据本发明的一个实施例的分组的框图。

[0007] 图 3 是根据本发明的一个实施例的设备到主机控制器的连接的框图。

[0008] 图 4 是示出了根据本发明的一个实施例的主机控制器与多站互连的耦合的进一步的细节的框图。

[0009] 图 5 是根据本发明的一个实施例的方法的流程图。

[0010] 图 6 是根据本发明的一个实施例的片上系统 (SoC) 的框图。

[0011] 图 7 是可以与各实施例一起使用的示例系统的框图。

具体实施方式

[0012] 现在参考图 1, 所示是根据本发明的一个实施例的通过互连耦合的一对设备的框图。如图 1 所示, 系统 10 包括通过互连 25 耦合到第二设备 30 的第一设备 20。在一个实施例中, 第一设备 20 可以对应于诸如片上系统 (SoC) 之类的系统的主处理器, 而第二设备 30 可以是诸如多个传感器中的一个或其他低数据速率设备之类的外围设备。

[0013] 在图 1 的实施例中, 互连 25 可以是具有此处将进一步描述的协议的低功率串行 (LPS) 互连。在各实施例中, 此互连可以符合相对较低的开销并且复杂性降低的协议, 以实现低功率的操作, 例如, 以比诸如通用串行总线 (USB) 互连之类的其他串行互连小得多的级别。各实施例可适合于通用低或中性能通信, 诸如对于点对点或适当地端接的连接, 以小于大致 1 千兆每秒钟 (Gbps) 的数据速率, 以及对于非端接的连接, 在大致 10-100Mbps 范围之内, 提供传感器数据、配置信息等等。在其他实施例中, 这种互连可以被用作提供对单独的链路的边带管理的边带机制。

[0014] 在图 1 中进一步可以看出, 每一设备都可以包括提供编码和对通过互连 25 传输/接收的处理的物理单元 (PHY)。可以看出, 第一设备 20 可以包括 PHY 22, 而第二设备 30 可以包括 PHY 32。

[0015] 为以低功率提供通信, 各实施例可以提供复杂性相对降低的有线协议。此协议可以具有各种元素, 包括: 在分组之间提供总线闲置, 即使相同主控设备传递多个分组 (如

此,简化接收器复杂性);用于比特锁定的前同步码;传输端处的后同步码,以返回到链路的闲置状态,如此,允许接收器显式地识别传输的结束,没有较高级别的机制;以及,提供用于数据通信的预定编码,诸如根据 8 比特 /9 比特 (8b/9b) 编码的编码,以便于分组的各种信息的标识。

[0016] 在一个实施例中,此 8b/9b 编码可以如下所示:对于 8 比特的每一个数据字节,可以提供额外的起始比特。此起始比特可以是交替的值(例如,零,然后,1)。注意,在某些实施例中,对于分组的数据部分的最后一个字节,不遵循此交替的模式,以标记分组的后同步码部分之前的最后一个字节。

[0017] 现在参考图 2,所示是根据本发明的一个实施例的分组 100 的框图。如图 2 所示,分组 100 详述了用于在 LPS 互连上通信的分组格式的协议。一般而言,分组 100 可以是相对有限的长度,因为分组的消息部分可以是相对较小的长度,例如,在某些实施例中,在大致 1 到 64 字节之间。

[0018] 可以看出,分组 100 可以以起始比特 105_0 开始,起始比特 105_0 是多个起始比特 105_0-105_z 中的一个,多个起始比特 105_0-105_z 中的每一个都可以分散在分组中,如此适应分组中的信息的 8b/9b 编码。在此起始比特之后,可以提供前同步码部分 110。此前同步码部分可以是预定值,诸如图 2 所示出的交替逻辑 1 和逻辑 0 的数列,以如此允许接收器标识分组的开始。这特别如此,由于使用开漏型连接和耦合到互连的上拉电阻,在给定分组的传输之前,逻辑“1”值可能在互连上存在潜在地长的时间长度。

[0019] 在图 2 中进一步可以看出,在前同步码部分 110 之后,可以存在第二起始比特 105_1 。可以看出,此起始比特是第一起始比特 105_0 的交替的值。此后,可以提供内容部分 120,该内容部分 120 可以由可预定的长度构成(或可基于通信本身确定)。在各实施例中,该内容部分 120 可以包括一开始 8 比特块(如此,形成带有起始比特 105_1 的 9 比特块)和一个或多个(潜在地零)后面的 9 比特块。在一个实施例中,这些 9 比特的块中的每一个都可被称为符号。

[0020] 在内容部分 120 之后,可以提供另一起始比特 105_n 。注意,在图 2 中,假设内容部分 120 包括奇数个 9 比特符号,因为此后面的起始比特 105_n 是零值。

[0021] 此后,可以在分组内提供错误检测部分 130。此错误检测部分可以是内容部分 120 的反相或一的补码版本,如下文进一步描述的,可以被接收器用来检测通信中的错误。最后,提供终端起始比特 105_2 ,此后,出现后同步码部分 140,后同步码部分 140 也可以是预定值,诸如如图 2 所示的逻辑 1 和 0 的重复的 4 比特模式。

[0022] 虽然为便于说明未示出,但是,可以理解,假定开漏配置和存在并耦合到互连的上拉电阻,在此分组的传递之后,互连可以返回到逻辑高级别,直到传递下一分组。还要注意,尽管为了说明利用分组的此特定实现示出,但是,可以理解,其他实施例可以使用其他分组类型。例如,可以存在前同步码和后同步码部分的不同值。此外,还可以提供起始比特的不同的交替的或其他模式。更进一步,在一些实施例中,还可以存在内容和错误检测部分不同的布局。进一步注意,在某些实现中,还可以提供对数据信息的某种类型的加密,以便降低电磁干扰(EMI)。还存在其他可能性,诸如提供定义的地址部分等等。

[0023] 还应注意,在各实施例中,内容部分 120 可以包括,在开始部分,分组的发送方的唯一标识符,该唯一标识符可以通过唯一地址实现,该唯一地址可以静态地或动态地确定。

通过在内容部分内（如此，在传递的每一分组内）提供的此唯一标识符，可以保证，将检测到冲突的分组，甚至在两个组件在同一时间开始传输的情况下。

[0024] 在某些实施例中，通过这样的互连耦合的组件之间的仲裁可以使用冲突检测来执行，其中，每一组件会尝试传输分组并监测互连上的冲突。相应地，耦合到这样的互连的每一组件中存在的 PHY 可以提供冲突检测，例如，通过开漏连接。

[0025] 在某些实施例中，用于此互连的协议可以提供某些参数，诸如传输之间的最小闲置 / 周转 (turnaround) 时间。例如，在一个实施例中，对于确认型的响应，可以出现一个符号时间的周转时间（如上文所讨论的，可以对应于 9 比特部分）。为返回到闲置状态，可以出现最少 1 符号时间。

[0026] 在某些实施例中，还可以提供重试机制。例如，在提供这样的重试机制的一种实现中，如果当预期时没有接收到确认，则如果它是主机或上游设备，在预定数量的符号时间之后，或者如果它是目标或下游设备，在第二例如比较长的预定数量的符号时间之后，发射器可以执行重试传输。在一个这样的实施例中，在没有接收到预期的确认的情况下，在大致 11 至 17 符号之后，可以出现基于主机的重试机制，并且在没有接收到预期的确认的情况下，在大致 31 至 43 符号之后，可以出现基于接收器的重试机制。在其他实施例中，在如由较高级别的协议规定的另一时间间隔之后，可以出现这样的重试机制。一般而言，重试计时器可以设置为大于 X，其中，X 是期间将接收到确认的预期时间。还应注意，值可以取决于最大的分组大小。还应注意，不同的方向上的不同且不相重叠的窗口可以确保避免重复的冲突。

[0027] 现在参考图 3，所示是根据本发明的一个实施例的设备到主机控制器的连接的框图。如图 3 所示，系统 200 可以是诸如给定基于个人计算机 (PC) 的系统、服务器系统等等之类的计算系统的一部分。在某些实施例中，系统可以是诸如膝上型计算机或笔记本电脑、超极本™、智能电话、平板电脑等等之类的便携式设备。可以看出，系统 200 包括主机控制器 210，该主机控制器 210 充当根据本发明的一个实施例的一个或多个 LPS 互连的主机。如图 3 所示，主机控制器包括三个 LPS 端口 212₀-212₂。虽然为了说明是利用此数量有限的端口所示出的，但是，可以理解，本发明的范围在这方面不受限制。每一端口都可以通过链路以双向的方式提供通信。更准确地说，通信可以是数据和时钟信息，例如，双向差分数据和差分时钟信号。

[0028] 可以看出，第一端口 212₀ 耦合到中枢设备 220。在各实施例中，设备 220 可以是中枢设备，该中枢设备允许在 LPS 主机控制器 210 和诸如 USB 设备（例如，USB2 设备）之类的根据另一互连协议的设备之间的转换和连接。如此，除数据信息在不同的协议之间的转换之外，中枢 220 还可以提供电压转换，例如，从通过 LPS 链路的具有 1.0 伏特系统操作的信号到用于通过 USB2 传递的 3.3 伏特信号。可以看出，中枢 220 可包括多个端口（例如，端口 222₀-222_n），这些端口可以作为至外部设备或内部设备的端口提供。

[0029] 也如图 3 所示，主机控制器 210 的第二端口 212₁ 可以提供与多个 LPS 设备 230₀-230_n 的通信。这些设备 230 可以通过具有差分数据和时钟链路的多站总线的相对低速度操作（例如，小于大致 100Mbps）。此外，为提供与较高速度设备的较高速度的通信，单独的端口 212₂ 可以与较高速度 LPS 设备 235₀-235_n 进行通信（这些设备可以以大于大致 100Mbps 的速度操作）。

[0030] 注意，为兼容性，可以允许主机控制器 210 为 LPS 和旧式设备的桥接提供支持（诸

如 USB2 设备)。在一个实施例中,主机控制器 210 可以重复使用 USB2 协议堆栈并保留 USB 编程模型,同时在较低的功率级别操作,例如,由于以较低的电压(例如,一伏特)操作的电压轨道。如此,可以实现基本上较低的活动和空闲功率以及减少的引脚数,因为 LPS 互连可以充当多站总线。

[0031] 现在参考图 4,所示是根据本发明的一个实施例的主机控制器与多站互连的耦合的进一步的细节。如图 4 所示,系统 300 可以包括通过 LPS 互连 350 耦合到多个设备 340_1 - 340_n 的主机控制器 310(一般而言)。可以看出,LPS 互连 350 可以提供差分数据链路 330、差分时钟链路 335 和终端/上拉链路 340 和 345。

[0032] 通过提供多站互连结构,多个单个设备可以耦合到主机控制器 310。在各实施例中,可以以多站方式耦合最多八个以及可能更大数量的设备。在所示出的实施例中,时钟和数据通信可以是差分的,且数据以双向的、半双工方式传递。布局可以由主机控制器 310 控制,且可以是 DC 耦合的连接。

[0033] 如在图 4 中所详示的,主机控制器 300 可以包括传输(以及接收)逻辑,该逻辑具有多个层,包括 PHY 单元 315、链路层 320,以及事务层 325。事务层 325 可以根据上文所描述的串行协议,生成分组,例如,参考图 1 和 2,并将它们提供到链路层 320,其中,可以插入分组的错误检测部分,如此,向主机控制器 PHY 单元 310 提供完整的分组,用于通过 LPS 互连 350,进行传递。

[0034] 在传输方向,这样的串行数据分组可以通过发射驱动器 311,通过差分信号链路 330,差分地传递,可以看出,差分信号链路 330 可以耦合到设备 340_1 - 340_n 中的每一个。进而可以在管芯上或管芯之外生成的时钟信号可以通过时钟驱动器 315 传递,并通过差分时钟链路 335 差分地驱动到多个设备。进一步可以看出,在主机控制器 310 的控制之下,终端和上拉阻抗可以耦合到链路 340 和 345。更准确地说,通过控制开关,供电电压可以通过对应的上拉电阻 317,耦合到这些链路中的给定一个。类似地,通过开关的有选择性的耦合,参考电压(例如,接地电压)可以通过对应的终端电阻 318,耦合到这些链路中的给定一个或多个。

[0035] 进一步可以看出,到主机控制器 310 的传入的数据可以被提供给接收缓冲器 313,如此,将所接收到的信息串行传递到主机控制器 310 的上层。虽然在图 4 的实施例中以此高级别示出的,但是,可以理解,本发明的范围在这方面不受限制。

[0036] 现在参考图 5,所示是根据本发明的一个实施例的方法的流程图。如图 5 所示,方法 400 可以在主机控制器或其他设备的发射器逻辑中执行,以生成用于沿着互连进行传输的分组。如图 5 所示,方法 400 可以从在事务层中接收数据开始(框 410)。例如,诸如核、智能属性(IP)逻辑之类的处理单元或其他这样的处理单元可以生成要被传递的数据,并将数据提供到发射逻辑,更具体而言,在一个实施例中,将数据提供到此逻辑的事务层。接下来,在框 420,可以基于接收到的数据,生成分组的内容部分(框 420)。可以通过向数据字节添加逻辑低和高值的交替模式的额外的起始比特,准备每一数据字节的符号,由此获取一个或多个符号的系列,来生成此内容部分。接下来,可以基于此内容部分,生成分组的错误检测部分(框 430)。在一个实施例中,可以通过对数据部分取一的补码,来生成此错误检测部分。然而,其他类型的错误检测机制也是可以的,诸如循环冗余校验(CRC)和/或错误检测和校正代码(EDCC)。

[0037] 仍参考图 5, 接下来, 在框 440, 可以形成分组。在所示出的实施例中, 此分组可包括起始比特、前同步码、另一起始比特 (可以与第一起始比特反向极性)、内容部分、另一起始比特 (可以与内容部分内的最后一个起始比特反向极性)、错误检测部分、最后起始比特 (再次可以与错误检测部分内的最后起始比特反向极性)、以及后同步码。最后, 在框 450, 此分组可以通过发射器逻辑的物理单元, 沿着互连传递。虽然在图 5 的实施例中以此高级别示出的, 但是, 可以理解, 本发明的范围在这方面不受限制。

[0038] 现在参考图 6, 所示是根据本发明的一个实施例的 SoC 的框图。如图 6 所示, SoC 500 可以用于实现到各种类型的平台的任何类型的 SoC, 从诸如智能电话、个人数字助理 (PDA)、平板电脑、上网本、超极本™ 等等之类的相对较小的低功率便携式设备, 到可以以较高级别的系统实现的比较高级的 SoC。

[0039] 如图 6 所示, SoC 500 可以包括一个或多个核 510_0-510_n 。如此, 在各实施例中, 多核 SoC 是可能的, 其中, 核可以全部是给定架构的同构核, 例如, 有序或无序处理器。或者, 也可以有异构核, 例如, 某些相对较小的低功率核, 例如, 有序架构的, 且存在额外的核, 可以是较大的并且更加复杂化的架构, 例如, 无序架构。协议堆栈允许数据在系统的这些核及其他组件中的一个或多个之间的传递。可以看出, 此堆栈可包括软件 515, 该软件 515 可以是较高级别的软件, 诸如 OS、固件以及在核中的一个或多个上执行的应用程序级别软件。另外, 协议堆栈还包括事务层 520 和数据链路层 530。在各实施例中, 这些事务和数据链路层可以符合给定通信协议, 诸如外围组件互连 Express (PCI Express™ (PCIe™)) 通信协议, 根据基于 PCI Express™ 规范 Base 规范版本 3.0 (2010 年 11 月 18 日发布的) 的链路。当然, 在其他实施例中, 可以存在诸如符合 USB 协议堆栈之类的不同的协议堆栈的层。此外, 在某些实现中, 如此处所描述的低功率 PHY 电路可以与现有的替换的协议堆栈多路复用。

[0040] 仍参考图 6, 此协议堆栈又可以耦合到物理单元 540, 该物理单元 540 可以包括可以通过多个互连提供通信的多个物理单元。在一个实施例中, 第一物理单元 550 可以是低功率 PHY 单元, 在一个实施例中, 该低功率 PHY 单元可以对应于符合移动行业处理器接口 (MIPI) 联盟的 M-PHY 规范版本 1.00.00-2011 年 2 月 8 日 (MIPI 董事会于 2011 年 4 月 28 日批准) (下文简称为 MIPI 规范) 的 M-PHY, 以通过主要互连 580 提供通信。另外, 还可以存在边带 (SB) PHY 单元 244。在所示出的实施例中, 此边带 PHY 单元可以通过边带互连 270 提供通信, 该边带互连 270 可以是合并的边带, 以提供某些边带信息, 例如, 以比耦合到第一 PHY 550 的主要互连 580 较慢的数据速率。在某些实施例中, 协议堆栈的各层可以具有耦合到此 SBPHY 544 的单独的边带, 以允许沿着此边带互连的通信。

[0041] 另外, PHY 单元 540 还可以包括可以被用来控制 SB PHY 544 的 SB 链路管理器 542。另外, 链路训练和状态管理器 545 可以存在, 并可以被用来使协议堆栈 (符合第一通信协议) 适应第一 PHY 550 (符合第二通信协议), 以及提供对第一 PHY 550 和互连 580 的总体控制。

[0042] 进一步可以看出, 在第一 PHY 550 中可以存在各种组件。更准确地说, 可以存在发射器和接收器电路 (即, TX 553 和 RX 554)。一般而言, 此电路可以被用来执行串行化操作, 解串行化操作以及数据通过主要互连 580 的传输和接收。保存状态管理器 551 可以存在, 并可以被用来当它处于低功率状态时保存配置及关于第一 PHY 550 的其他状态信息。此外, 编码器 552 还可以存在, 以执行线编码, 例如, 根据 8b/10b 协议。

[0043] 在图 6 中进一步可以看出,可以存在机械接口 558。此机械接口 558 可以是给定互连,以从根综合体 500 提供通信,更具体地,通过主要互连 580,往返于第一 PHY 550。在各实施例中,此机械连接可以通过诸如球栅阵列 (BGA) 或其他表面安装,或镀通孔连接之类的半导体器件的引脚。

[0044] 除这些主要通信机制之外,额外的通信接口可以通过 LPS PHY 单元 555,通过包括软件层 516、事务层 521,以及链路层 531 的单独的堆栈,沿着 LPS 多站互连 559,耦合在核 510 和一个或多个芯片外设备 560a-c 之间。这些设备可以是各种低数据速率外围设备,诸如传感器、加速度计、温度传感器、全球定位系统 (GPS) 电路、罗盘电路、触摸屏电路、键盘电路、鼠标电路等等,如此可以根据此处所描述的协议进行通信。

[0045] 请注意,在各实施例中,边带互连 570 和主要互连 580 两者都可以耦合在 SoC 500 和另一半导体元件 (例如,另一 IC,诸如多频带无线解决方案) 之间。

[0046] 如此,各实施例可以用于许多不同的环境中。现在参考图 7,所示是可以与各实施例一起使用的示例系统 600 的框图。可以看出,系统 600 可以是智能电话或其他无线通信器。如图 7 的框图所示,系统 600 可以包括基带处理器 610,该基带处理器 610 可以是多核处理器,该多核处理器可以处理基带处理任务以及进行应用处理。如此,基带处理器 610 可以执行涉及通信的各种信号处理,以及执行设备的计算操作。基带处理器 610 又可以耦合到用户界面 / 显示器 620,在某些实施例中,用户界面 / 显示器 620 通过触摸屏显示器来实现。另外,基带处理器 610 还可以耦合到存储器系统,在图 7 的实施例中,包括,非易失性存储器,即,闪存 630 和系统存储器,即,动态随机存取存储器 (DRAM) 635。进一步可以看出,基带处理器 610 还可以耦合到诸如图像捕捉设备之类的捕捉设备 640,该捕捉设备 640 可以记录视频和 / 或静止图像。基带处理器 610 还可以耦合到一个或多个传感器设备 645,例如,通过如此处所描述的 LPS 互连。

[0047] 为允许发射和接收通信,在基带处理器 610 和天线 680 之间可以耦合各种电路。具体而言,可以存在射频 (RF) 收发器 670 和无线局域网 (WLAN) 收发器 675。一般而言,RF 收发器 670 可以被用来根据给定无线通信协议,诸如 3G 或 4G 无线通信协议,诸如根据码分多址 (CDMA)、全球移动通信系统通信 (GSM)、长期演进 (LTE) 或其他协议,接收和传输无线数据和电话。还可以提供其他无线通信,诸如无线电信号,例如,AM/FM,或全球定位卫星 (GPS) 信号的接收或传输。另外,通过 WLAN 收发器 675,也可以实现本地无线信号,诸如符合 Bluetooth™ 标准或诸如 IEEE 802.11a/b/g/n 之类的 IEEE 802.11 标准。请注意,基带处理器 610 和收发器 670 和 675 中的一个或两者之间的链路可以通过低功率会聚的互连,该低功率会聚的互连组合并映射 PCIe™ 互连和诸如 MIPI 互连之类的低功率互连的功能。虽然在图 7 的实施例中以此高级别示出的,但是,可以理解,本发明的范围在这方面不受限制。

[0048] 各实施例可以用于许多不同类型的系统中。例如,在一个实施例中,通信设备可以被配置为执行此处所描述的各种方法和技术。当然,本发明的范围不仅限于通信设备,相反,其他实施例可以涉及其他类型的用于处理指令的设备,包括指令的一个或多个机器可读的介质,所述指令,响应于在计算设备上执行,导致设备执行此处所描述的方法和技术中的一个或多个。

[0049] 各实施例可以以代码来实现,并可以存储在在其上存储了指令的非瞬时的存储介

质上,指令可以被用来对系统进行编程以执行指令。存储介质可以包括,但不仅限于,任何类型的磁盘,包括软盘、光盘、固态驱动器 (SSD)、光盘只读存储器 (CD-ROM)、光盘可重写 (CD-RW),以及磁光盘、诸如只读存储器 (ROM) 之类的半导体器件、诸如动态随机存取存储器 (DRAM)、和静态随机存取存储器 (SRAM) 之类的随机访问存储器 (RAM)、可擦除编程只读存储器 (EPROM)、闪存、电可擦除编程只读存储器 (EEPROM)、磁卡或光卡,或适于存储电子指令的任何其他类型的介质。

[0050] 尽管是参考数量有限的实施例来描述本发明的,但是,那些精通本技术的人将从其中理解很多修改和变体。所附权利要求书涵盖所有这样的修改和变体都将在本发明的真正的精神和范围内。

10

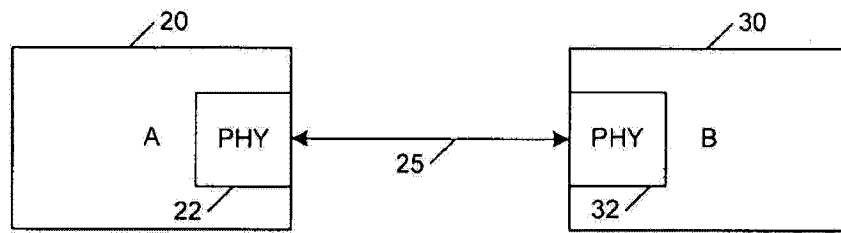


图 1

100

105 ₀	110	105 ₁	120	105 _n	130	105 _z	140
前同步码		<内容部分>		<错误检测部分>		后同步码	
0	1010 1010	1	<内容>	0	<反相的内容>	0	1100 1100

图 2

200

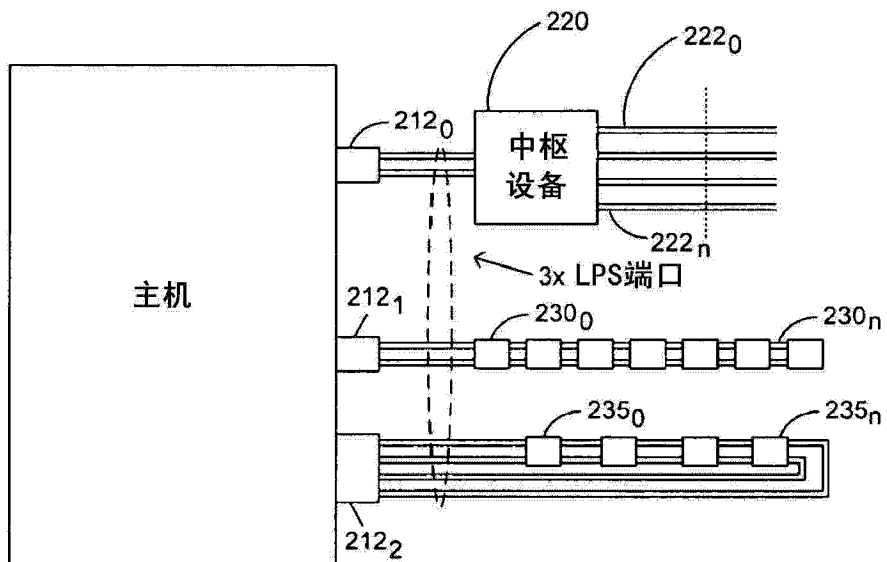


图 3

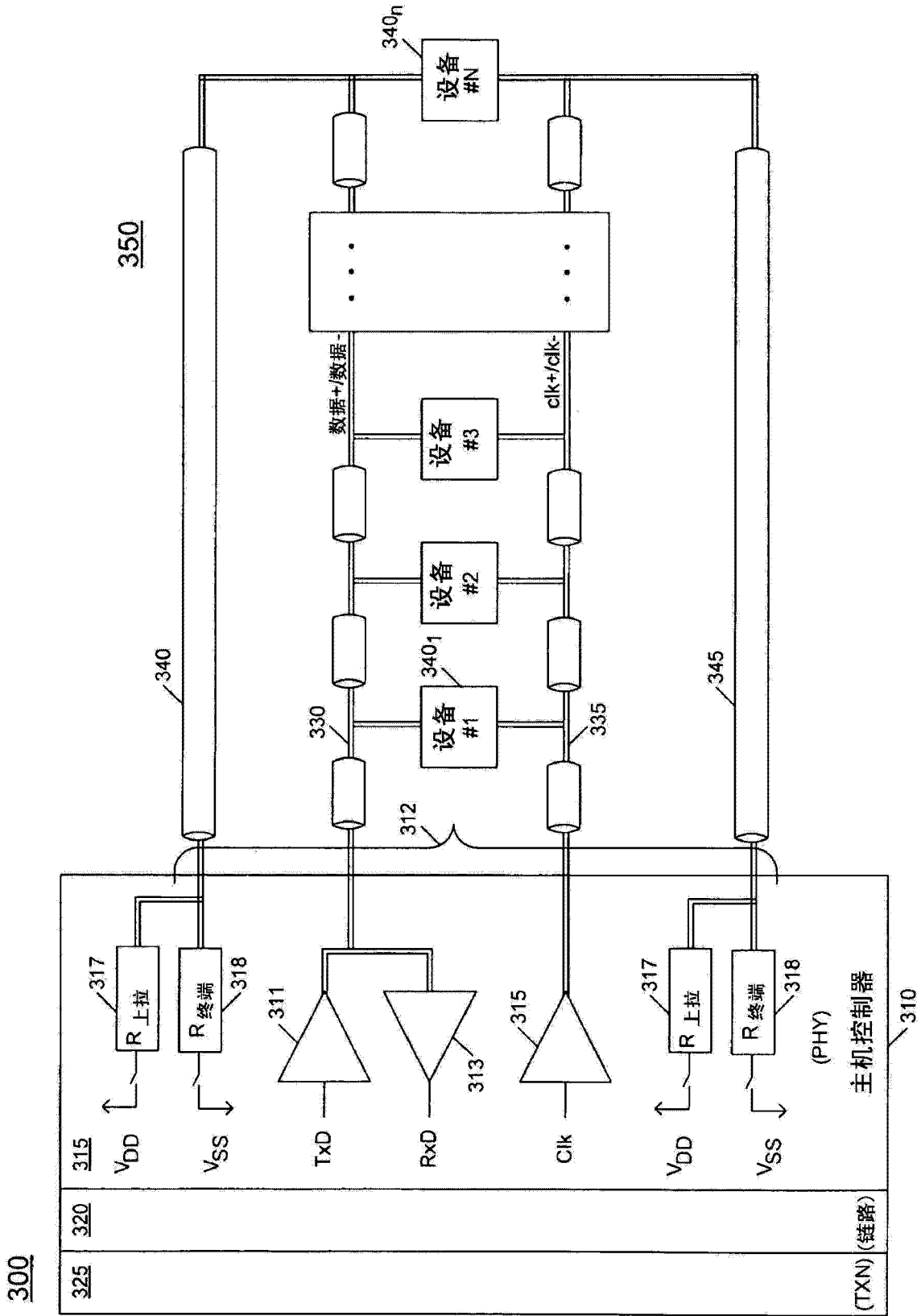


图 4

400

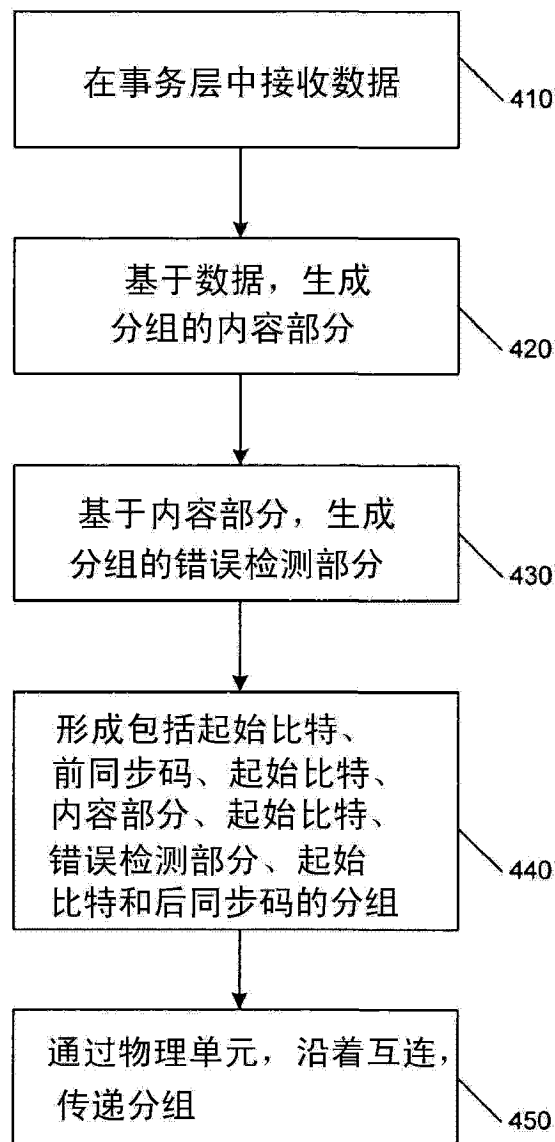


图 5

500

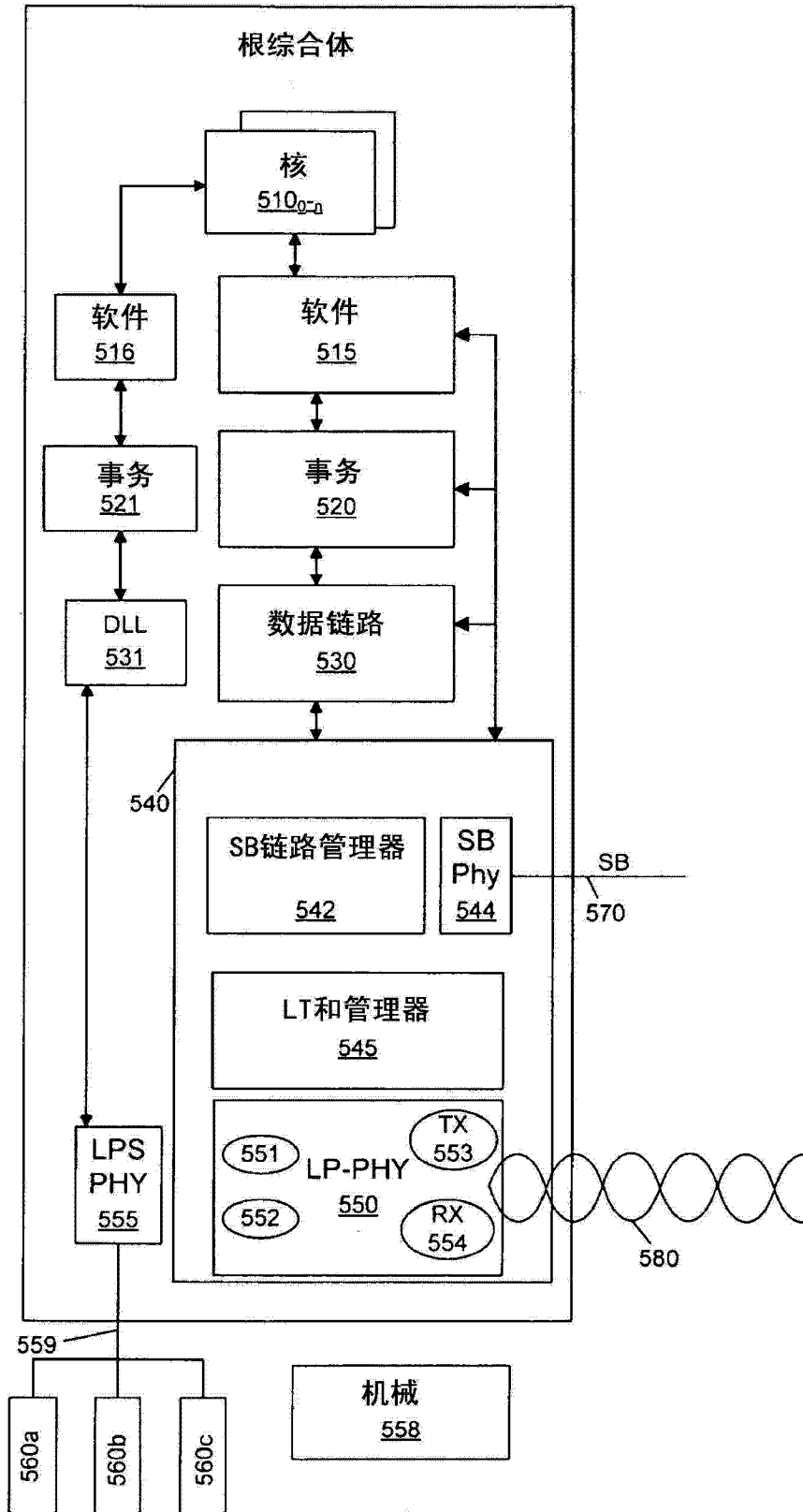


图 6

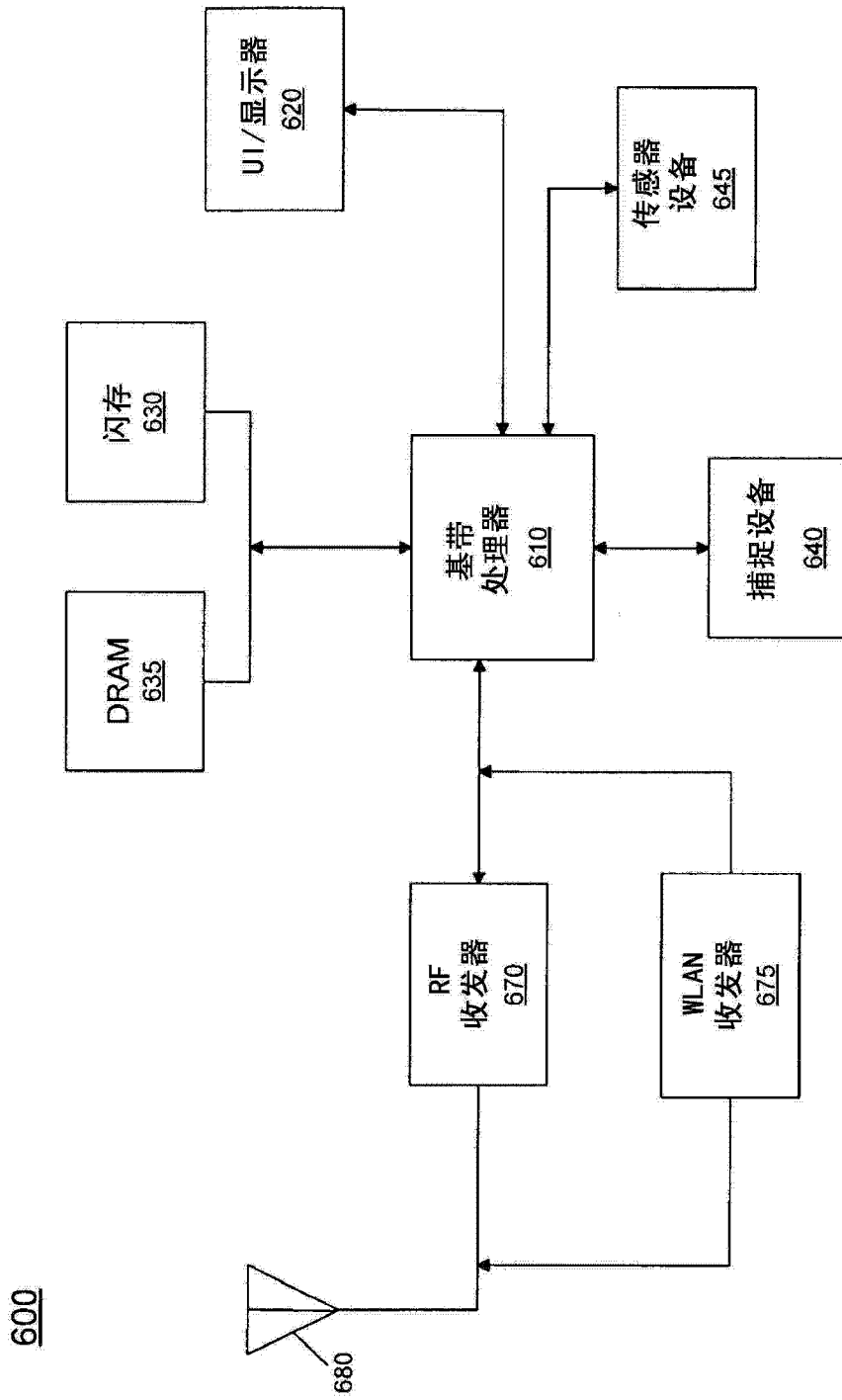


图 7