



(21) 申请号 201780005275.6
(22) 申请日 2017.04.12
(65) 同一申请的已公布的文献号
申请公布号 CN 108432144 A

(43) 申请公布日 2018.08.21

(30) 优先权数据
62/321,685 2016.04.12 US
62/321,668 2016.04.12 US
62/321,687 2016.04.12 US
62/321,694 2016.04.12 US
15/484,965 2017.04.11 US

(85) PCT国际申请进入国家阶段日
2018.06.28

(86) PCT国际申请的申请数据
PCT/US2017/027243 2017.04.12

(87) PCT国际申请的公布数据
W02017/180765 EN 2017.10.19

(73) 专利权人 密克罗奇普技术公司
地址 美国亚利桑那州
(72) 发明人 布赖恩·克里斯 尼尔·多伊彻
(74) 专利代理机构 北京律盟知识产权代理有限公司 11287
专利代理师 沈锦华

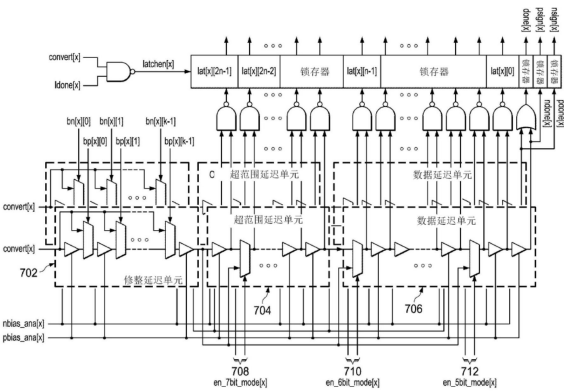
(51) Int.Cl.
H03M 1/10 (2006.01)
H03M 1/50 (2006.01)
H03M 1/00 (2006.01)

(56) 对比文件
US 2015115925 A1,2015.04.30
CN 101796730 A,2010.08.04
CN 102007696 A,2011.04.06
审查员 徐慧敏

权利要求书2页 说明书8页 附图9页

(54) 发明名称
具有数字延迟线模/数转换器的微控制器

(57) 摘要
本发明的实施例包含一种具有处理器、存储器及外围装置的控制微控制器,所述外围装置包含差分数字延迟线模/数转换器ADC。所述ADC包含:差分数字延迟线;电路,其包含所述差分数字延迟线中所含的一组延迟元件;及另一电路,其包含所述差分数字延迟线中所含的另一组延迟元件。所述第一电路经配置以生成表示输入的模/数转换的数据。所述第二电路经配置以校准到所述差分数字延迟线的源。



1. 一种微控制器,其包括:
处理器核心;
存储器;及
多个外围装置,其包含差分数字延迟线模/数转换器,所述模/数转换器包括:
跨导器输入级,其经配置以将来自于源的输入差分电压转换为差分电流,
两个数字延迟线,所述两个数字延迟线分别接收所述差分电流中的第一电流或者第二电流,每一数字延迟线包括:
第一电路,其包括一组延迟元件,该组延迟元件中的每一延迟元件通过所述第一电流或所述第二电流进行偏置且经配置以延迟数字信号;及
可配置的第二电路,其与所述第一电路串联耦合且包括另一组延迟元件,所述另一组延迟元件中的每一延迟元件通过所述第一电流或所述第二电流(pbias,nbias)进行偏置且经配置以延迟所述数字信号;
其中:
所述第一电路经配置以生成表示所述输入差分电压的模/数转换的温度计码;且
所述第二电路经配置以通过在所述数字延迟线中的每一者中增加额外延迟元件以校准所述差分数字延迟线模/数转换器;
所述微控制器进一步包括锁存器,所述锁存器经配置以在所述数字延迟线中的较快一者完成之后保存来自所述数字延迟线中的较慢一者的数据。
2. 根据权利要求1所述的微控制器,其中所述跨导器输入级包括经配置以通过由所述第二电路产生的值来调整的可控电流源电路。
3. 根据权利要求1所述的微控制器,其中所述跨导器输入级包括经配置以基于来自所述第二电路的所述校准而将偏置电流镜射到所述数字延迟线中的每一者的可控电流源电路。
4. 根据权利要求1所述的微控制器,其中所述第二电路包括多个多路复用器,所述多路复用器由索引命令控制以将额外延迟元件增加至所述相应数字延迟线。
5. 根据权利要求1所述的微控制器,所述跨导器输入级经配置以:
接收所述第二电路的输出信号以调整电压转电流范围。
6. 根据权利要求1所述的微控制器,其中每一延迟元件由电流限制缓冲器形成。
7. 根据权利要求1所述的微控制器,其进一步包括:
多个NAND门,其从所述第一电路的相应延迟元件接收输出信号;
其中所述锁存器与所述NAND门的输出耦合。
8. 根据权利要求7所述的微控制器,其进一步包括与每一延迟线的最后延迟元件的输出耦合的AND门,其中所述AND门的输出产生控制所述锁存器的信号。
9. 根据权利要求1所述的微控制器,其中每一数字延迟线包括与所述第一电路和所述第二电路串联耦合的第三电路,所述第三电路包括又一组延迟元件,所述又一组延迟元件中的每一延迟元件通过所述第一电流或者所述第二电流进行偏置。
10. 根据权利要求7所述的微控制器,其进一步包括与所述锁存器耦合的温度计转二进制转换器。
11. 根据权利要求7所述的微控制器,其中每一延迟线的所述第二电路通过NAND门与所

述锁存器的预定义位耦合,所述预定义位界定溢流范围。

12. 根据权利要求7所述的微控制器,其中每一数字延迟线包括与所述第一电路和所述第二电路串联耦合的第三电路,所述第三电路包括又一组延迟元件,所述又一组延迟元件中的每一延迟元件通过所述第一电流或者所述第二电流进行偏置,且其中所述第三电路的延迟元件不与所述锁存器耦合。

13. 根据权利要求12所述的微控制器,其中所述第二电路和/或所述第三电路包括多个多路复用器,所述多个多路复用器中的每一多路复用器与延迟元件相关联且经配置以旁通所述延迟元件。

14. 根据权利要求12所述的微控制器,其中所述第二电路和/或所述第三电路包括放置在距延迟线末端50%和/或25%和/或12.5%的点处。

具有数字延迟线模/数转换器的微控制器

[0001] 优先权

[0002] 本申请案要求各在2016年4月12日申请的美国临时申请案62/321,668、62/321,685、62/321,687及62/321,694的优先权,且这些美国临时申请案特此以全文并入。

技术领域

[0003] 本发明涉及基于时间的延迟线模/数转换器(ADC),特别是涉及具有具背景校准、范围调整及超出范围(out of range)估计的此类转换器的此类微控制器。

背景技术

[0004] 存在许多不同种类的ADC且其用途通常取决于应用。ADC可根据位的大小而变化,其中模拟信号将被数字化成 2^n 个不同的数字值,其中ADC是n位转换器,其使用n个位来表示模拟值的范围。此外,ADC可包含模拟信号的输入范围。ADC的最低数字化输出(例如,对于8位ADC来说是00000000)可对应于模拟信号输入的下限。ADC的最高数字化输出(例如,对于8位ADC来说是11111111)可对应于模拟信号输入的上限。此类实例值可指定正值或无符号值,但代替地可使用二的补码(two's complement)二进制枚举。ADC可具有经定义的带宽,所述带宽可对应于取样率或对模拟信号进行取样的频率。ADC可根据不同的线性度输出值。

发明内容

[0005] 本发明的实施例包含一种差分数字延迟线ADC,其包含:差分数字延迟线;第一电路,其包括包含在所述差分数字延迟线中的一组延迟元件;及第二电路,其包括包含在所述差分数字延迟线中的另一组延迟元件。结合上述实施例中的任一实施例,所述第一电路经配置以生成表示输入的模/数转换的数据。结合上述实施例中的任一实施例,所述第二电路经配置以校准到所述差分数字延迟线的源。结合上述实施例中的任一实施例,所述第一电路经配置以测量输入电压与参考电压之间的差。结合上述实施例中的任一实施例,所述ADC包含经配置以将参考电流镜射到所述差分数字延迟线中的每一者的电流源电路。结合上述实施例中的任一实施例,所述电流源电路经配置以将参考电流镜射到所述差分数字延迟线中的每一者,其中所述第二电路经配置以调整所述参考电流以最小化误差。结合上述实施例中的任一实施例,所述ADC包含经配置以将输入差分电压转换为差分电流的跨导器,其中所述第一电路经配置以测量所述差分电流及生成表示所述差分电压的数据。结合上述实施例中的任一实施例,所述ADC包含跨导器,所述跨导器经配置以将输入差分电压转换为差分电流及接受基于所述多个差分数字延迟线的输入以调整电压转电流范围。结合上述实施例中的任一实施例,每一差分数字延迟线包含一连串的电流感知缓冲器。结合上述实施例中的任一实施例,给定差分数字延迟线经配置以按根据施加到所述给定差分数字延迟线的差分电流的速度操作。结合上述实施例中的任一实施例,所述ADC进一步包含锁存器,所述锁存器经配置以在较快差分数字延迟线完成之后保存来自较慢差分数字延迟线的数据。结合上述实施例中的任一实施例,所述ADC包含第三电路,所述第三电路包括包含在所述差分数

字延迟线中的又一组延迟元件,其中第三电路经配置以产生用于指示到所述ADC的输入超出输入范围的程度的数据。

[0006] 本发明的实施例包含一种差分数字延迟线ADC,其包含:差分数字延迟线;第一电路,其包括包含在所述差分数字延迟线中的一组延迟元件;及第二电路,其包括包含在所述差分数字延迟线中的另一组延迟元件。结合上述实施例中的任一实施例,所述第一电路经配置以生成表示输入的模/数转换的数据。结合上述实施例中的任一实施例,所述第二电路经配置以产生用于指示到所述ADC的输入超出输入范围的程度的数据。结合上述实施例中的任一实施例,所述第一电路经配置以测量输入电压与参考电压之间的差。结合上述实施例中的任一实施例,所述ADC包含经配置以将参考电流镜射到所述差分数字延迟线中的每一者的电流源电路。结合上述实施例中的任一实施例,所述ADC包含经配置以将参考电流镜射到所述差分数字延迟线中的每一者的电流源电路,其中所述第二电路经配置以调整所述参考电流以最小化误差。结合上述实施例中的任一实施例,所述ADC包含经配置以将输入差分电压转换为差分电流的跨导器,其中所述第一电路经配置以测量所述差分电流及生成表示所述差分电压的数据。结合上述实施例中的任一实施例,所述跨导器经配置以接受基于所述多个差分数字延迟线的输入以调整电压转电流范围。结合上述实施例中的任一实施例,每一差分数字延迟线包含一连串的电流感知缓冲器。结合上述实施例中的任一实施例,给定差分数字延迟线经配置以根据施加到所述给定差分数字延迟线的差分电流的速度操作。结合上述实施例中的任一实施例,所述ADC进一步包括锁存器,所述锁存器经配置以在较快差分数字延迟线完成之后保存来自较慢差分数字延迟线的数据。结合上述实施例中的任一实施例,所述ADC进一步包含第三电路,所述第三电路包括包含在所述差分数字延迟线中的又一组延迟元件,其中所述第三电路经配置以校准到所述差分数字延迟线的源。

[0007] 本发明的实施例包含包含上述实施例中的ADC的任何者的处理器、微控制器、电子装置、裸片封装、半导体封装及半导体装置。本发明的实施例包含具有处理器核心、存储器及外围装置的微控制器,所述外围装置包含上述实施例中的ADC的任何者。

[0008] 本发明的实施例包含由上述实施例中的ADC、处理器、微控制器、电子装置、裸片封装、半导体封装及半导体装置中的任何者执行的方法。

附图说明

[0009] 图1说明根据本发明的实施例的实例超范围保护(over range protection)可变分辨率差分延迟线ADC;

[0010] 图2说明根据本发明的实施例的输入电路的表示;

[0011] 图3说明根据本发明的实施例的ADC的典型使用模型;

[0012] 图4说明根据本发明的实施例的ADC的操作时序图;

[0013] 图5说明根据本发明的实施例的实例前端;

[0014] 图6说明根据本发明的实施例的实例延迟单元;

[0015] 图7是根据本发明的实施例的ADC的更详细视图;

[0016] 图8是根据本发明的实施例的经配置以并入ADC的实例系统、微控制器或其它装置的说明;

[0017] 图9是根据本发明的实施例的具有ADC的微控制器的说明,所述ADC以用于控制PWM

的数字比较器为特征;及

[0018] 图10是根据本发明的实施例的ADC的另一更详细视图。

具体实施方式

[0019] 图1说明根据本发明的实施例的实例超范围保护可变分辨率差分延迟线ADC 100。

[0020] ADC 100可用在例如切换模式电力系统 (SMPS) 中。SMPS控制环路可利用模拟值的测量。控制环路可要求快速、单执行循环测量。在单个循环中读取并作用于由ADC 100测量的值可改进SMPS的稳定性及效率。因此,可需要ADC 100的极快速实施方案。ADC 100的速度可影响ADC 100的分辨率,以在运行时间期间在脉宽调制 (PWM) 循环期间更新PWM命令。

[0021] ADC 100可实施为数字延迟线 (DDL) ADC。通过实施为数字延迟线ADC,与常规快闪ADC相比,ADC 100可以较低成本及较少电力执行其测量。在一个实施例中,ADC 100可包含背景校准。在另一实施例中,ADC 100可包含范围调整。在又一实施例中,ADC 100可估计将测量的其模拟输入超出所要范围多远。并入背景校准或范围调整改进了性能及功能性。当ADC 100的误差电压超出范围时,使用ADC 100的控制环路可能难以重新获取锁定。由ADC 100产生的超出范围估计提供误差的方向及对误差的定性估计,使得算法可进行必要调整。即使所述估计在ADC的准确范围之外,对所述估计恰在准确范围之外多远的定性估计仍可允许较佳动作及性能。

[0022] ADC 100可主要由数字、低电压逻辑实施。因此,ADC 100相对于覆盖区或裸片大小可为小的。此外,ADC 100可因此需要低电力。而且,ADC 100可因此极快速地操作。因此,ADC 100可用作SMPS控制环路中的误差计算ADC。

[0023] 背景校准可改进ADC 100在关键度量 (例如分辨率及准确度) 方面的性能。范围调整可使SMPS控制环路更灵活且适于实施ADC 100的任何系统的系统需求。超出范围估计可在ADC 100超出其线性范围 (关于其输入) 时提供有用信息。此外,ADC 100可将超出范围输入的定性或定量大小以及其符号或方向指定为估计的部分。

[0024] 通过将ADC 100实施为延迟线ADC,ADC 100可将差分电压转换成差分电流。图2说明根据本发明的实施例的输入电路200的表示。输入电路200可与ADC 100介接或可实施为ADC 100的部分。输入电路200可经配置以将输入电压与参考电压之间的差分电压转换成电流。特定来说,输入电路200可将差分电压转换成pbias电流及nbias电流。输入电路200可由一组晶体管实施。差分电流之间的差与输入电压与参考电压之间的差有关。pbias电流或nbias电流中的一者将比另一者更强。此外,pbias电流或nbias电流中的一者比另一者强的程度将达到输入电压或参考电压中的一者比另一者高的程度。

[0025] 返回到图1,可将pbias电流及nbias电流的输出施加为输入102、104。ADC 100可通过电流匮乏型缓冲器116、118而与数据延迟线一起作用。缓冲器116、118中的每一元件可在来自相应nbias 104、pbias 102电流的电流到达所述元件时激活以传播其输入。缓冲器状态最初可全部为0,且待传播的转换信号106可为1。在其它情况中,缓冲器状态最初可全部为1,且待传播的转换信号106可为0。因为缓冲器116、118中的每一元件将在来自相应nbias 104、pbias 102电流的电流到达所述元件时激活以传播其输入,所以与nbias 104或pbias 102电流中的较大且因此较快的电流相关联的缓冲器可首先填满。缓冲器可来自转换信号106的传播值填满。另一缓冲器可能自始至终未填满,而是可根据其电流的相对速度 (及

因此大小) 填满。因此, ADC 100可在缓冲器116、118中的一者完成之后检查缓冲器116、118中未完成的缓冲器的状态。基于经部分填充的缓冲器内的经填充元件的数目, 可确定nbias 104与pbias 102之间的相对差。基于此相对差, 可确定输入电压与参考电压之间的差。缓冲器116、118可称为电流匮乏型缓冲器, 这是因为在从pbias 102或nbias 104接收电流之前, 缓冲器一直在等待激活。缓冲器116、118将以与相应差分电流的大小有关的速度相继激活。

[0026] ADC 100可经配置以通过温度计码、通过每一缓冲器116、118的相对速度来表示pbias 102与nbias 104之间的速度差。所述码可存储在锁存器112中。锁存器112可在pbias 102及nbias 104的第一者完成之后将温度计码存储为缓冲器116、118的快照。在pbias 102或nbias 104的第一者完成之后, 缓冲器116、118中的相应缓冲器可输出其信号, 代替传播到下一延迟元件, 所述信号可分别变为done+或done-。done+可表示缓冲器116已完成传播(归因于pbias 102), 且done-可表示缓冲器118已完成传播(归因于nbias 104)。OR门可组合done+及done-以生成done(完成)信号。可将done信号作为用于设置锁存器112的值的控制项来馈送。因此, 锁存器112可在done信号生成时接受其值, 此将是在缓冲器116、118中的第一者完成之后。可将经设置或经完成的done+及done-中的一者保存为符号, 其指示差的符号。可通过所设置的psign及nsign的任何者来表示符号。也可根据是否已发出转换信号来设置或复位锁存器112。

[0027] 在将设置锁存器112的值(因为nbias 104或pbias 102已完成通过其相应缓冲器)之时, 可将缓冲器116、118的当前值加载到锁存器112中。在一个实施例中, 可将值的经修改版本加载到锁存器112中。举例来说, 在将结果存储于锁存器112的对应元件中之前, 来自缓冲器116、118的对应元件的值可一起通过NAND门。因此, 锁存器112可存储一串1, 随后是一串0, 且1切换为0的位置可表示当pbias 102或nbias 104中的较快者到达其相应缓冲器的末端且生成done信号时, pbias 102或nbias 104中的较慢者在其相应缓冲器中所到达的位置。可由温度计转二进制转换器114中的移位寄存器、倍增器或其它算法电路来转换展示pbias 102或nbias 104中的较慢者的此位置的温度计码。所得数据106可用于展示pbias 102与nbias 104之间的相对差。接着, 可从所得数据106推断生成的pbias 102及nbias 104的电压差。在一些实施例中, 例如在电压调节器中, 此差可为调节器的实际输出电压与调节器的期望输出电压电平之间的差。

[0028] ADC 100包含用数字单元实施的缓冲器116、118。因此, ADC 100可具有小的覆盖区或裸片需求以及低电力。因此, ADC 100可比其它ADC更快, 其它ADC可包含对ADC核心操作而言约200ns、对ADC控制而言约100ns及对中断延时而言约80ns的延时, 总延时约380ns。相比之下, 使用DDL缓冲器, ADC 100可为快的且小的。举例来说, ADC 100可小达55nm。实施为4位正号DDL ADC的ADC 100的操作可为4.1ns。5位正号DDL ADC实施方案可以8.2ns操作且占据36平方密耳(对于4的群组)。6位正号DDL ADC可以16.4ns操作且占据44平方密耳(4的群组)。7位正号DDL ADC可以32.8ns操作且可占据60平方密耳(4的群组)。相比之下, 实施为常规快闪ADC的ADC可以是快的, 但其在当前亚微米技术节点中可能很大且消耗大量电流。延迟线ADC, 例如ADC 100可相对小得多且电力低得多。

[0029] 图3说明根据本发明的实施例的ADC 100的典型使用模型。特定来说, 302说明ADC在电压调节器反馈确定中的使用, 其中ADC未能实施本发明的教导。304说明根据本发明的教导的ADC 100在电压调节器反馈中的使用。

[0030] 在302中,电压感测(Vsense)可感测由电压调节器输出的电压。将此电压与参考电压进行比较。参考电压可由施加到数/模转换器的控制环路命令码指定,所述数/模转换器可产生所要电压参考电平的模拟信号。可将Vsense及参考电压输入到比较器中。比较器也可连接到另一电压参考(Vbg)以支持或适应带符号误差结果。Vbg也可由ADC本身参考。误差可从ADC输出,其表示参考电压与Vsense之间的控制环路误差。

[0031] 在304中,可将电压感测及参考电压施加到ADC 100。例如Vbg的额外元素可为非必要的。此外,302中使用的比较器可为非必要的。

[0032] 返回到图1,在一个实施例中,ADC 100可包含用于执行超出范围估计的延迟元件。缓冲器116、118中的每一者可包含p个延迟元件。p个延迟元件可足以使ADC 100以q位分辨率实施ADC转换。可用n个延迟元件执行电压差转二进制数据106的转换。温度计码可为n位宽。然而,在此n个延迟元件之前,缓冲器116、118中的每一者可包含有实际用于电压差计算的额外延迟元件。可存在任何适当个数的此类延迟元件,例如1到m个此类延迟元件。这些额外延迟元件的输出可输出为溢流120。在相应缓冲器116、118中的开端处的这些额外延迟元件及所得位可包含在ADC 100中,使得图2的电压转电流转换器的跨导器以及ADC 100的n个延迟单元可在线性区域内操作。在不包含m个延迟单元的情况下,电流通过n个延迟单元的速度可能不与由电压转电流转换器产生的电流差精确地成比例。

[0033] 在一个实施例中,ADC 100可捕获m个延迟单元的输出作为溢流120。溢流120可用于在Vsense相对于当前设置而言超出范围时生成其电压值的估计。所述估计可被系统中实施ADC 100的部分使用以采取校正动作。校正动作可包含改变ADC 100的输入范围、改变参考电压或其它适当的动作。

[0034] 举例来说,ADC 100的输入范围可为200毫伏。如果参考电压是1.0V,且感测到的电压是1.4V,那么ADC 100可产生对应于0.2V的电压差的温度计码。然而,在给定ADC 100的分辨率的情况下可表示的最大差是0.2V。因此,ADC 100可报告感测到的电压与参考电压之间的差是0.2V。然而,此信息的消耗装置可认识到,所述差值是ADC 100可报告的最大值,且因此实际差可能大于所报告的值。

[0035] ADC 100可提供溢流120。当ADC 100的输出指示ADC 100的输入的最大电压差时,ADC 100的输出的消耗装置可利用溢流120。在一个实施例中,可从来自缓冲器116、118中未用于表示来自ADC 100的输入值范围的电压差的部分的ADC 100的现有延迟重新利用溢流120。如上文论述,可从用于用电流差来线性化温度计码的延迟重新利用溢流120。

[0036] 在一个实施例中,当数据106是最大或最小值时(其中最大与最小性质是由数据106的符号指定),可定性地评估溢流120。此评估可能是因为跨导器或延迟单元的非线性范围。

[0037] 在一个实施例中,ADC 100可经配置以执行范围调整。例如,ADC 100的输入范围可经设计以具有 $\pm 200\text{mV}$ 或 $\pm 400\text{mV}$ 的范围。所述范围可为可选择的。在另一实施例中,ADC 100可基于数据106的先前输出选择可用范围(例如 $\pm 200\text{mV}$ 或 $\pm 400\text{mV}$)中的一者。举例来说,如果数据106指示最大差且输入范围经选择为 $\pm 200\text{mV}$,那么可将输入范围改变为 $\pm 400\text{mV}$ 。在另一实例中,如果数据106指示电压差小于可用输入范围的一半且输入范围是 $\pm 400\text{mV}$,那么可将输入范围改变为 $\pm 200\text{mV}$ 。较窄范围可用于增加有效分辨率,同时使用相同位数。最初可使用较广范围来找出初始误差电压,且接着在SMPS控制环路将测量电压及

参考电压带到较接近电平时,可减小所述范围。

[0038] 在一个实施例中,ADC 100可经配置以执行校准。举例来说,校准可通过调整pbias 102或nbias 104的个别者的电流而执行。在另一实例中,校准可通过调整pbias 102及nbias 104两者的电流而执行。调整电流可调整pbias 102或nbias 104的速度或偏移。可根据溢流中的校准线而调整电流。举例来说,如果溢流指示差很大,那么可根据所述差的符号而向上或向下调整电流源电路中的电流。

[0039] 在另一实施例中,ADC 100可经配置以通过调整延迟线116、118的长度而执行校准。可通过添加例如多路复用器的启用元件以选择性地消除使用延迟线116、118中的一些延迟而有效地调整延迟线116、118的长度。

[0040] 图4说明根据本发明的实施例的ADC 100的操作时序图。如所展示,转换信号可开始模/数转换。清除转换信号可用作复位。在nbias信号或pbias信号中的第一者的一者结束之后,相关联延迟线将结束。因此,将触发锁存信号且将锁存相关联温度计码。可在适当长度的时间内将温度计码解码为数字值。当转换信号再次变低时,延迟线可复位。必要时可应用校准及超出范围估计。

[0041] 图5说明根据本发明的实施例的实例前端。前端可包含图2中展示的电压转电流转换器的实施方案。前端可部分用跨导器实施。跨导器可将差分电压转换成差分电流,且通过调整其阻抗值 R_s 而进行范围选择。跨导器可根据其跨导 g_m 定义,可根据差分电流输出除以差分电压输入而给出所述跨导 g_m 。前端的总输出电流可由以下给出:

$$[0042] \quad I = \frac{g_{m1}}{1 + g_{m1} \frac{R_s}{2}} \Delta v_o$$

[0043] 因此,可调整前端的阻抗以调整输出电流。

[0044] 图6说明根据本发明的实施例的实例延迟单元。说明两个对应延迟单元及锁存器的相关联部分。所述三者可实施为堆叠以本质上建立组合元件的三层高的行或堆叠。在每一延迟单元中,可将来自前一单元的输出路由到时钟信号输入,且可将pbias信号或nbias信号路由到偏压输入。一旦两个输入都为高,便可将输出路由到下一元件。

[0045] 图7是根据本发明的实施例的ADC 100的更详细视图。如图7中展示,在各种实施例中,延迟线116、118可划分为视情况经修整延迟单元702、超范围延迟单元704及数据延迟单元706。在一些实施例中,可省略经修整延迟单元702及超范围延迟单元704中的一者。此外,根据ADC 100的所要精度,可将这些群组的单元中的一或多者划分为单元范围。在一个实施例中,根据所要精度,可将数据延迟单元706划分为单元范围。在另一实施例中,根据所要精度,可将数据延迟单元706及超范围延迟单元704划分为单元范围。

[0046] 举例来说,一些延迟单元可分组成用多路复用器712支持ADC 100的5位精度所需的数个数据单元。在另一实例中,一些延迟单元可分组成用多路复用器710支持ADC 100的6位精度所需的数个数据单元,或分组成用多路复用器708支持ADC 100的7位精度所需的数个数据单元。每一此类多路复用器可启用延迟线内在所述多路复用器之后的延迟单元的延迟操作。因此,可根据精度模式选择性地激活延迟线的部分。可根据ADC 100的所要模式、用户或软件操作而设置精度模式,或可由ADC 100响应于过电压或欠电压情形而动态地设置精度模式。启用5位精度可启用所有后续延迟单元,直到done信号生成为止。类似地,启用6

位精度可启用所有后续延迟单元,直到done信号生成为止。可执行5位精度延迟单元的启用。类似地,启用7位精度可启用所有后续延迟单元,直到done信号生成为止。可执行5位及6位精度延迟单元的启用。

[0047] 因此,在不同情况及不同时间,一些群组704与706之间可能存在重叠。未用于超范围的单元可能用于常规数据。类似地,未用于数据的单元可能用于超范围。此外,视情况经修整延迟单元702的配置可应用于群组704或706的元件。虽然位分组708、710、712可用应用于整个群组的多路复用器完成,但在给定的此位分组内,个别多路复用器可应用于其修整部分。

[0048] 在群组702中,延迟单元的个别多路复用器可修整或省略在传播线中的使用。在一些情况中,nbias延迟线中的延迟单元的多路复用器操作可不同于pbias延迟线中的对应延迟单元。因此,可调整延迟线的长度以补偿偏移,使得pbias线或nbias线中的一者并不经过与另一延迟线一样多的延迟元件。可通过索引命令bp来控制用于修整pbias线的多路复用器,且可通过索引命令bn来控制用于修整nbias线的多路复用器。修整延迟线可校准相应电流值。

[0049] 图8是根据本发明的实施例的经配置以并入ADC 100的实例系统、微控制器800或其它装置的说明。ADC 100可作为DDL ADC 812包含于微控制器800中。也可包含处理器804、存储器808、常规ADC 810及PWM电路814。这些器件可通过适当的数据总线802通信地耦合。

[0050] 在通过处理器804执行存储器808中的指令之后,DDL ADC 812的操作可代表微控制器800而起始。指令可用于PWM 814的各个部分以执行电压调节。作为电压调节的部分,可由DDL ADC 812或常规ADC 810进行电压比较。取决于来自DDL ADC 812的结果,处理器804可采取校正动作。举例来说,可基于即时导体信息调整PWM设置。

[0051] DDL ADC 812相对于微控制器800的其余部分的操作可在不必使用如常规ADC 810使用的中断服务例程 (ISR) 的情况下进行。此外,可不必如使用常规ADC 810时那样进行直接存储器存取 (DMA) 来利用DDL ADC 812。DDL ADC 812的七个例子可小于15ns比较器,且与模拟比较器一样快。

[0052] 图9是根据本发明的实施例的具有DDL ADC的微控制器的说明,所述DDL ADC以用于控制PWM的数字比较器为特征。

[0053] 在其它应用中,纯模拟比较器可监测应用以检测过电流或欠电流或过电压或欠电压状况,且直接关断或接通PWM信号。然而,此类模拟比较器受限于单个输出,但可能是快的。在其它应用中,ADC并入数字比较器以检测超出范围操作且产生对处理器的中断,因此软件可对PWM进行调整。ADC可将多个位的输出提供到软件,但相对于电力供应器控制环路是慢的。

[0054] 通过使用ADC 100,微控制器可利用ADC 100的极高速度。举例来说,ADC 100的5位实施方案可具有8.2ns的转换时间。数字比较器及相关联寄存器可监测ADC 100数据输出且在数据满足比较准则时确证数字输出信号。这些输出信号可连接到PWM电路,以提供对PWM输出信号的即时控制(修改)。

[0055] ADC 100的例子可将其值输出到一或多个PWM控制器或电路。这些值可通过ADC总线直接路由到一或多个数字比较器。数字比较器可在相应PWM控制器或电路中实施,或可通信地耦合到相应PWM控制器或电路。数字比较器可用寄存器值或ADC 100信号中待用于给定

数字比较器的其它指示符来编程。因此,数字比较器可经指定以预订或接受来自给定ADC 100的数据。此外,可在寄存器中指定数字比较器会将其与ADC 100信号进行比较的值。PWM控制器可基于差分电压是否大于比较值寄存器中指定的阈值而发出PWM信号。此外,可在不同比较值寄存器中指定不同电平。PWM控制器可基于差分电压所达到的阈值而发出PWM信号。

[0056] 数字比较器可各具有两个输出,第一输出指示值大于相关联寄存器中存储的值,且第二输出指示值小于或等于相关联寄存器中存储的值。根据其它实施例的比较器可具有指示使用不同运算符(例如等于、大于、小于、大于或等于、小于或等于等等)的不同输出。由比较器提供的输出信号可用于直接控制PWM模块。此设计无需等待中断服务例程且无需DMA传送。

[0057] 图10是根据本发明的实施例的ADC 100的另一更详细视图。说明多路复用器1006、1008。多路复用器1006、1008可用于与多路复用器710、712类似的目的。多路复用器710可放置在距DDL末端50%的点处。多路复用器712可放置在距DDL末端25%的点处。其它多路复用器(未展示)可放置在例如距DDL末端12.5%的点处。

[0058] ADC 100可包含用于从锁存器加载数据的数字逻辑块,例如块1002及块1004。数字逻辑块的启用信号可与多路复用器启用相联系。举例来说,当多路复用器1006、1008将启用全分辨率时,块1002及1004可允许从锁存器加载全部数据。当多路复用器1006、1008将启用半分辨率时,可关断块1002而接通块1004。未展示四分之一分辨率等等的其它逻辑块。此类块也与图7的多路复用器协同使用。

[0059] 较靠近末端的每一多路复用器在关闭ADC 100的延迟线的部分时分辨率降低1位但转换速度加倍。数据锁存器与温度计转二进制码转换器之间的逻辑块的AND门选择适于不同分辨率选择的输入。可代替地在延迟线与锁存器之间实施此类逻辑块。

[0060] 通过使用逻辑块,防止未使用的延迟线分接头中的“1”破坏数据结果。放置在延迟线中的多路复用器也可提供一种机制,用于将复位值插入到延迟中的多个点中以在转换循环之后产生较快速复位。此可减少到下一转换可开始的时间延迟。

[0061] 可根据所属领域的技术人员知识、技能及理解对本发明进行添加、改变、修改或其它置换。

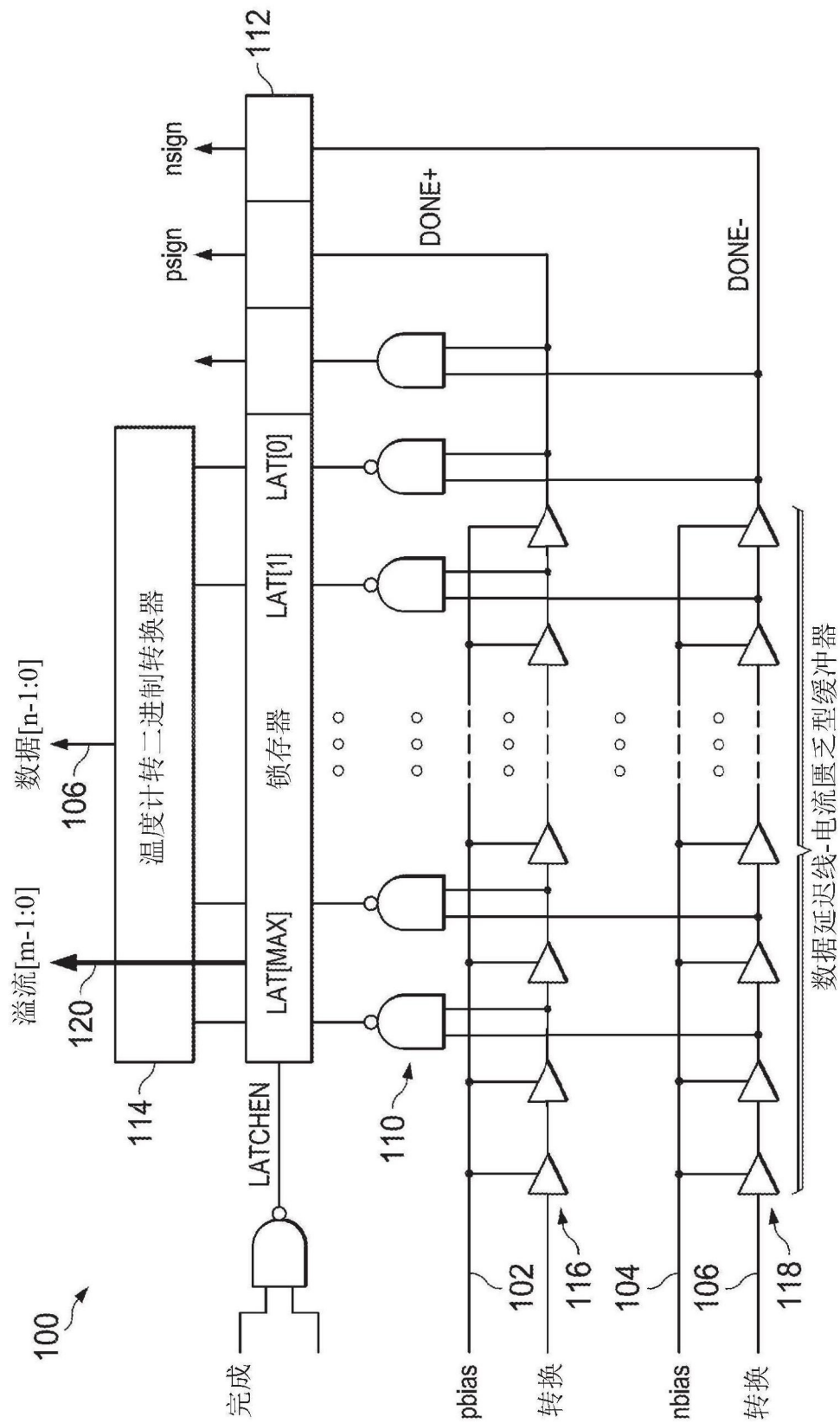


图1

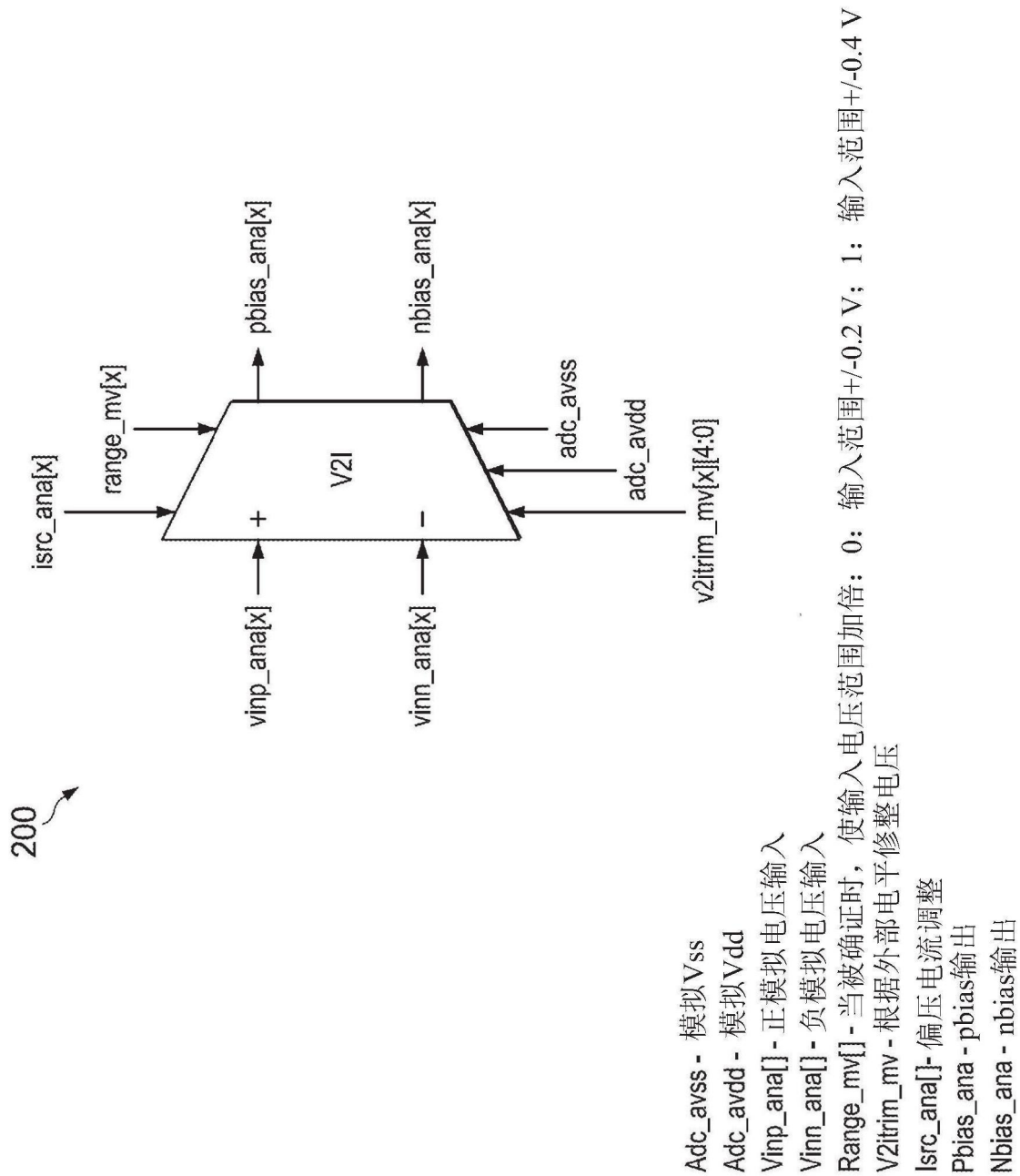


图2

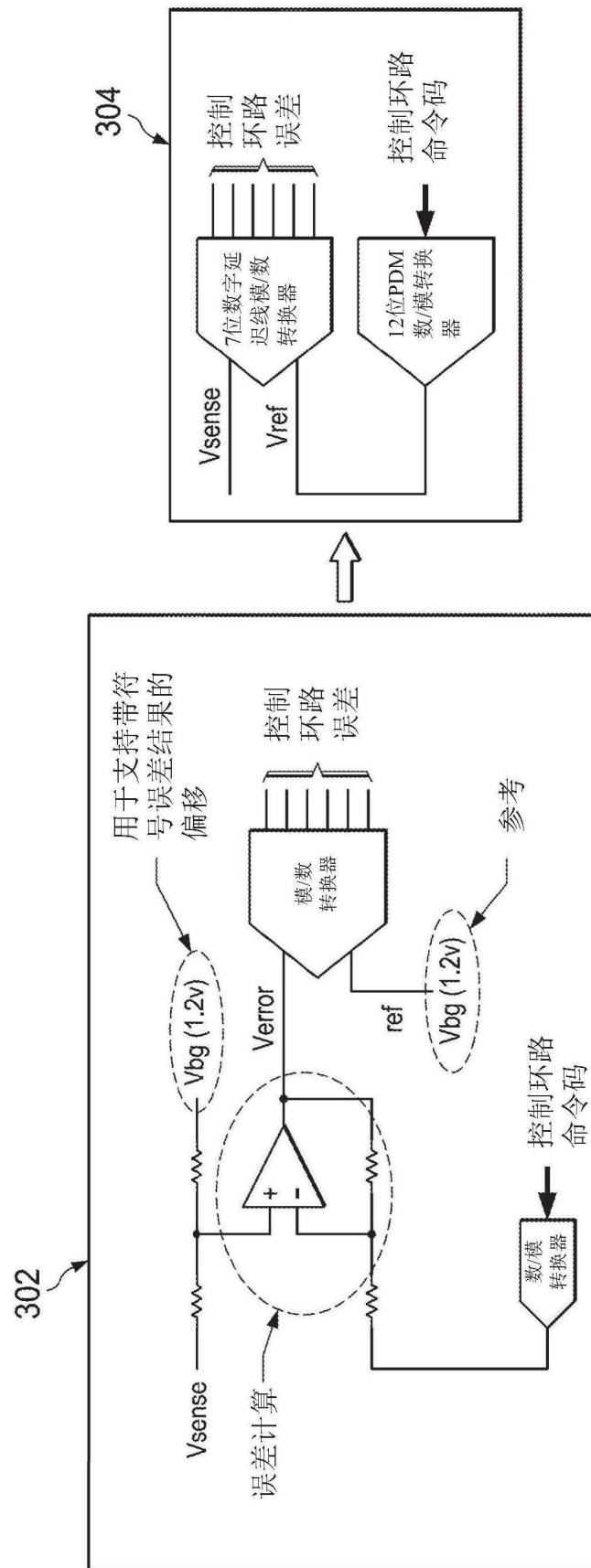


图3

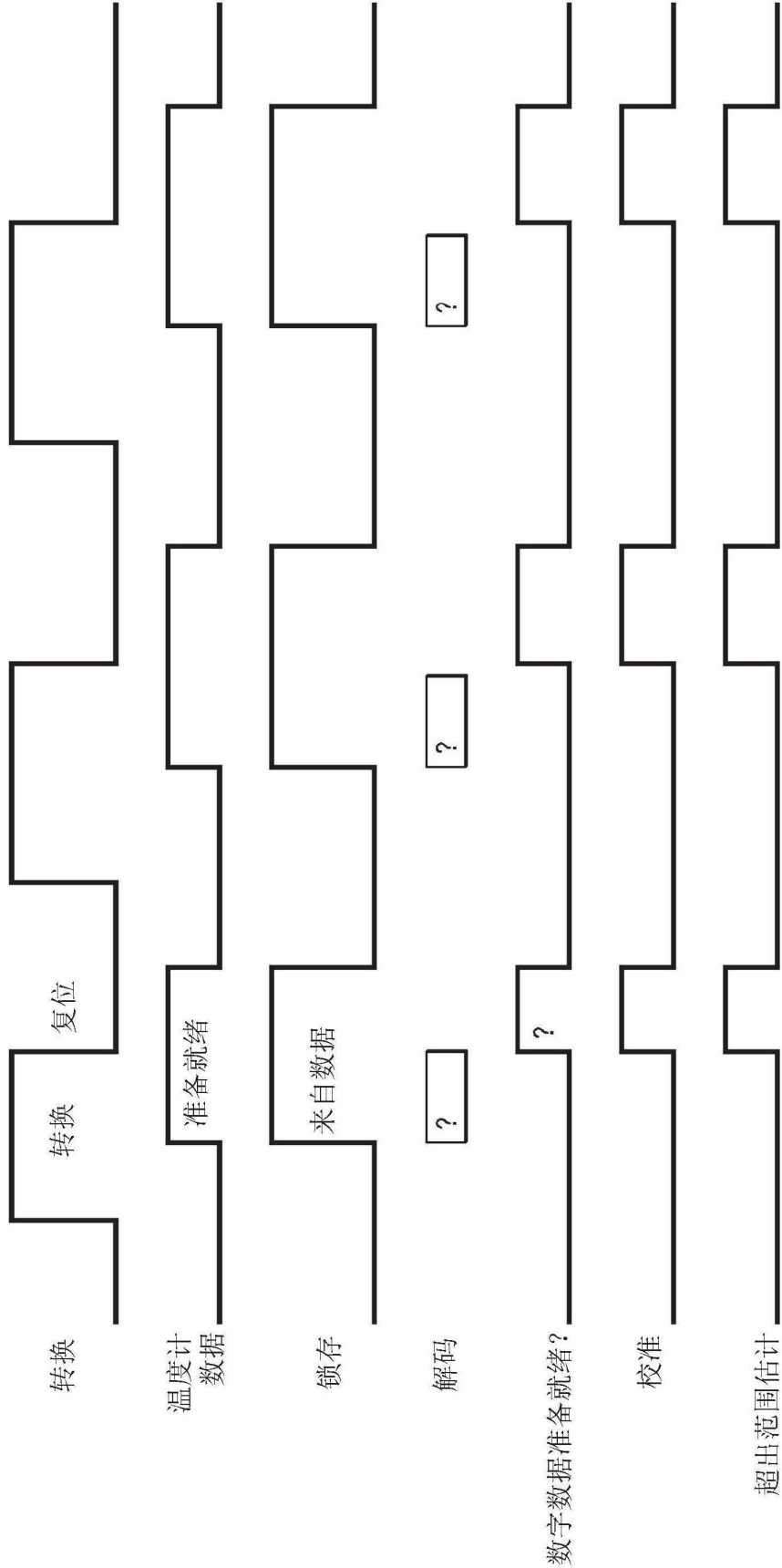


图4

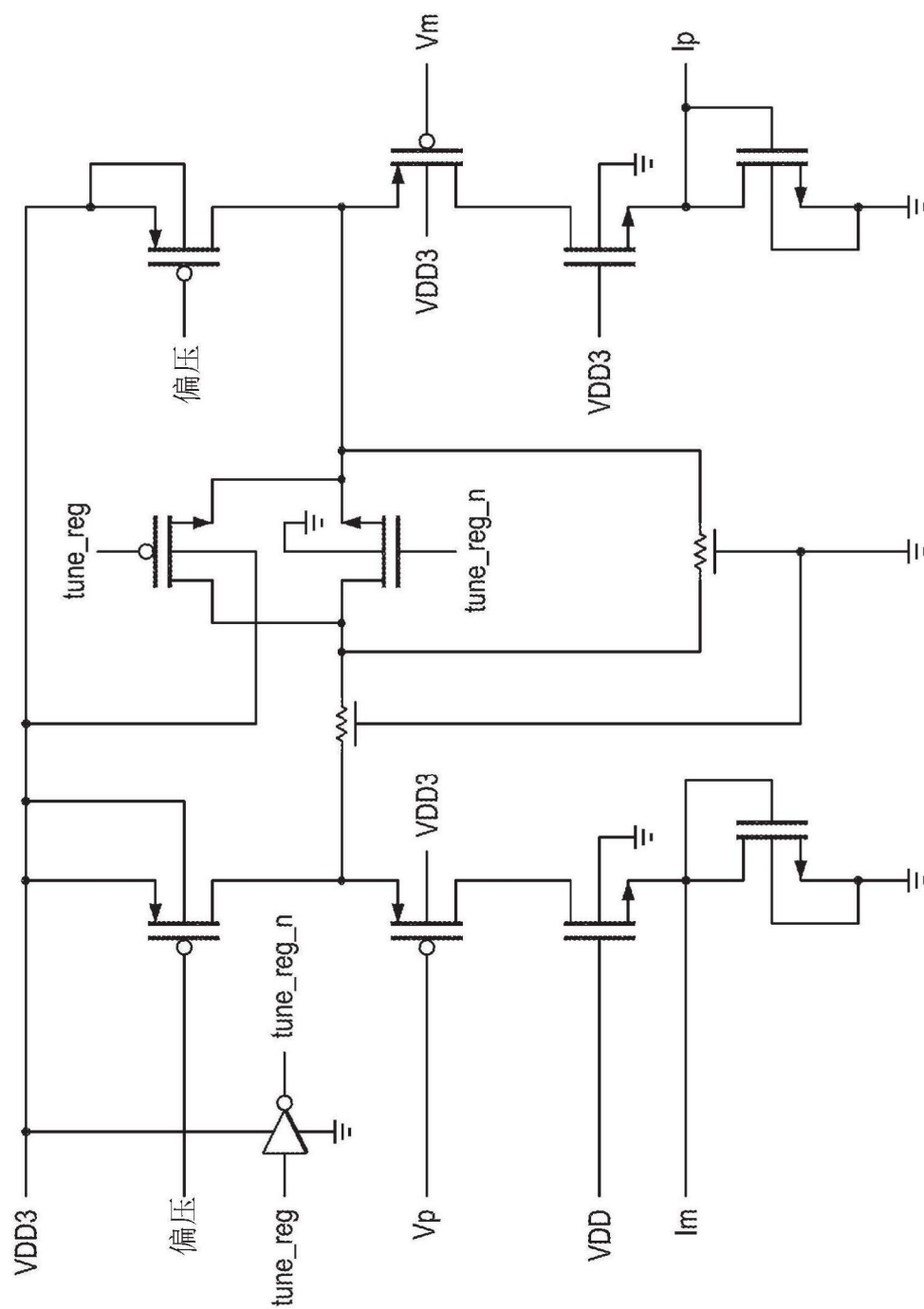


图5

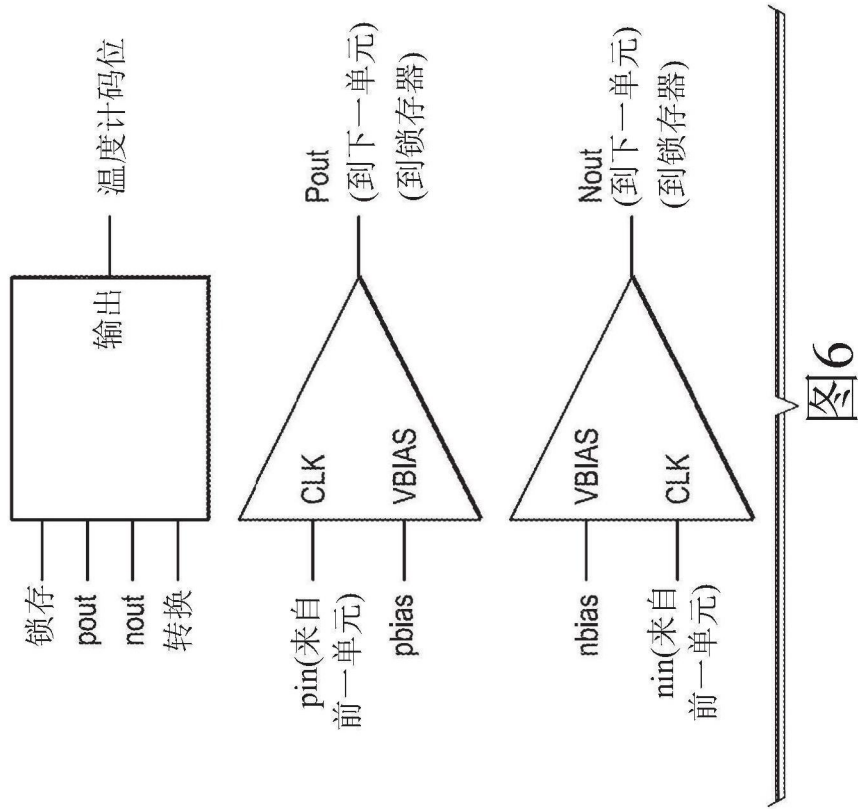


图6

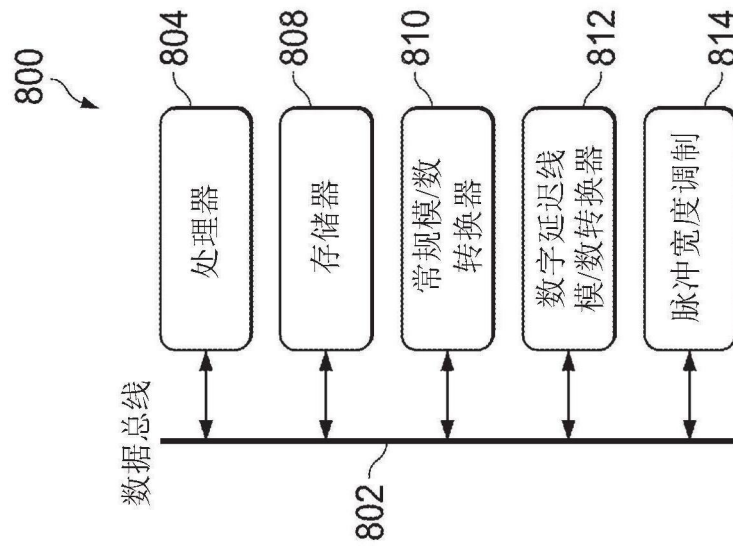


图8

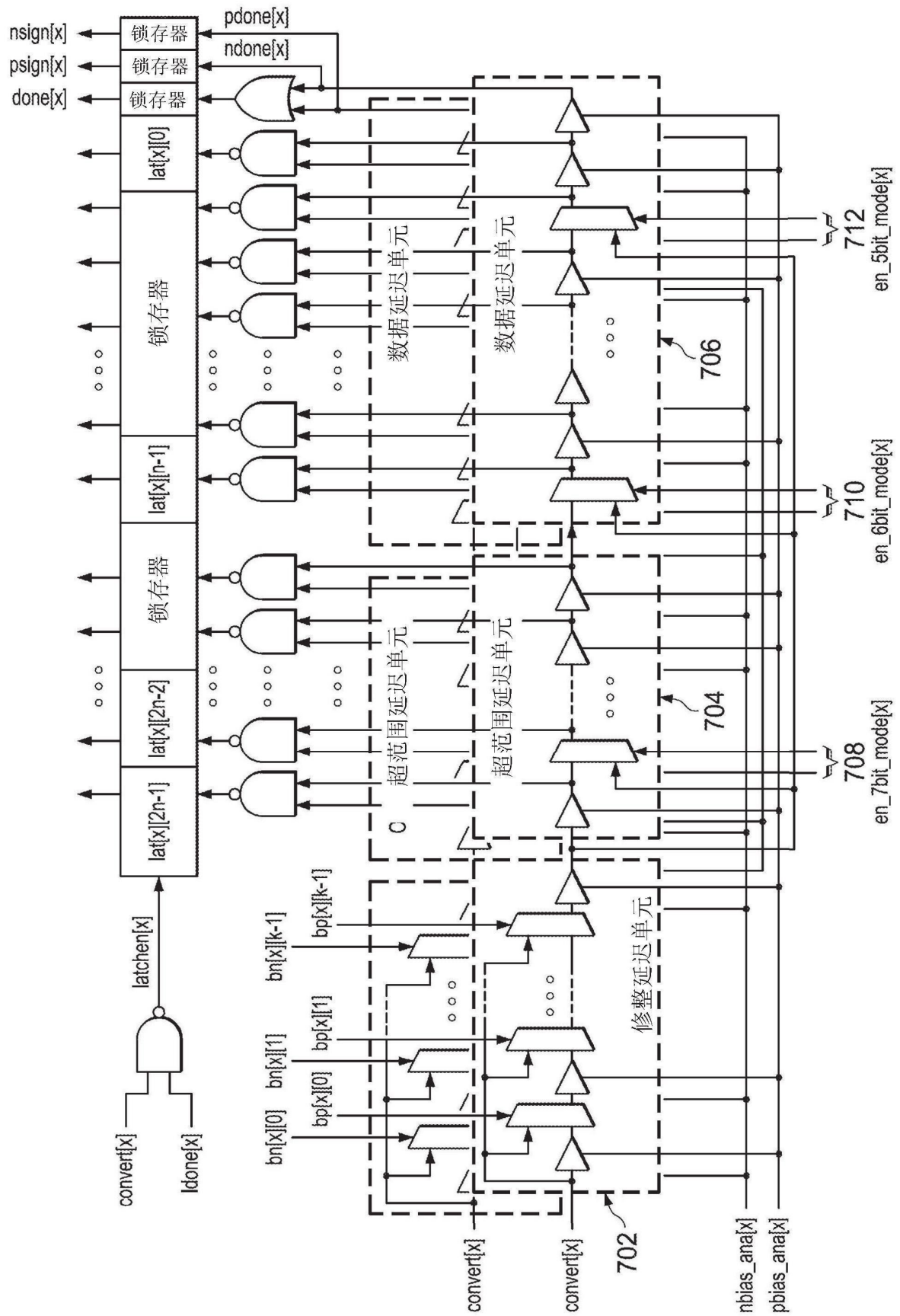


图7

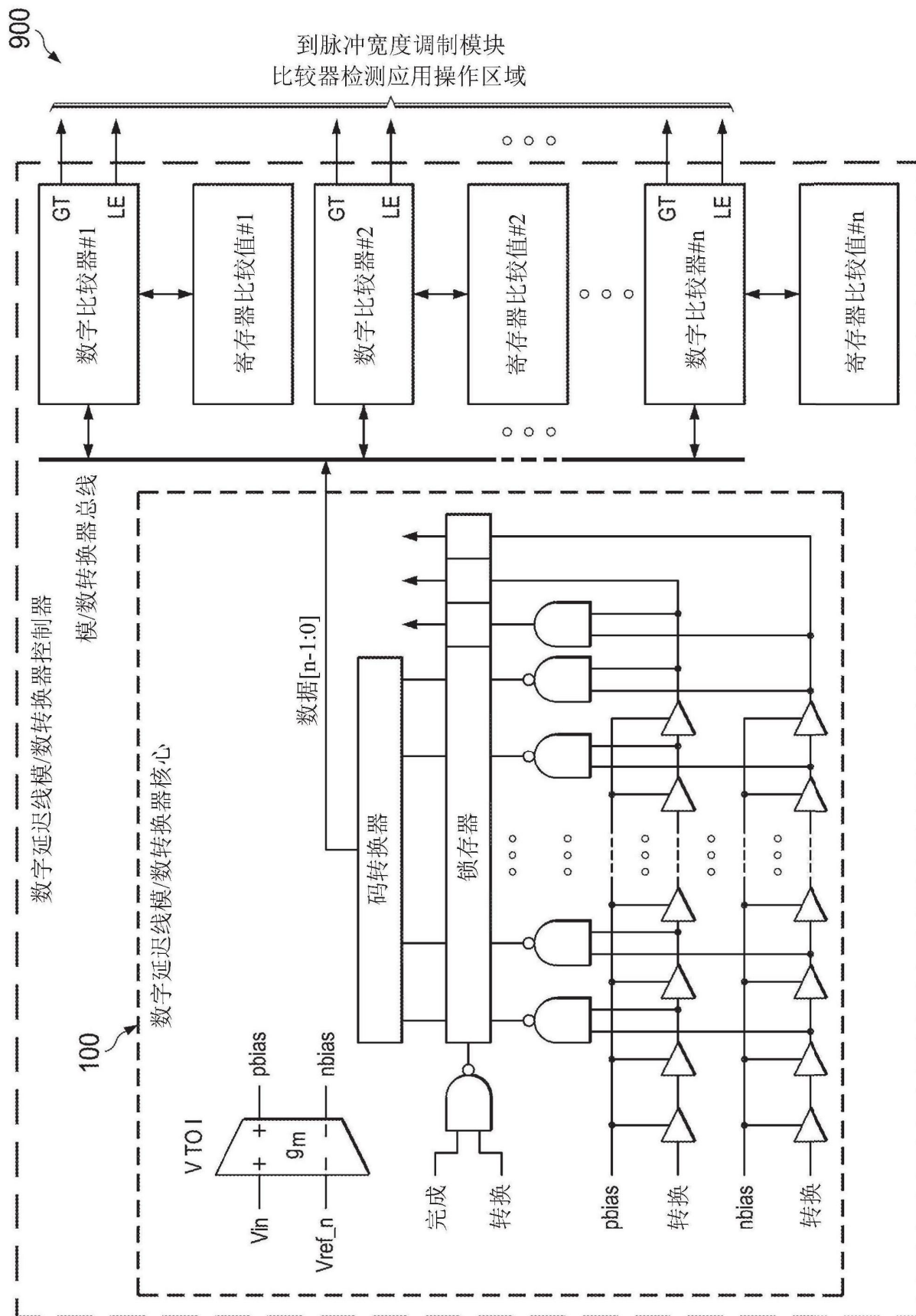


图9

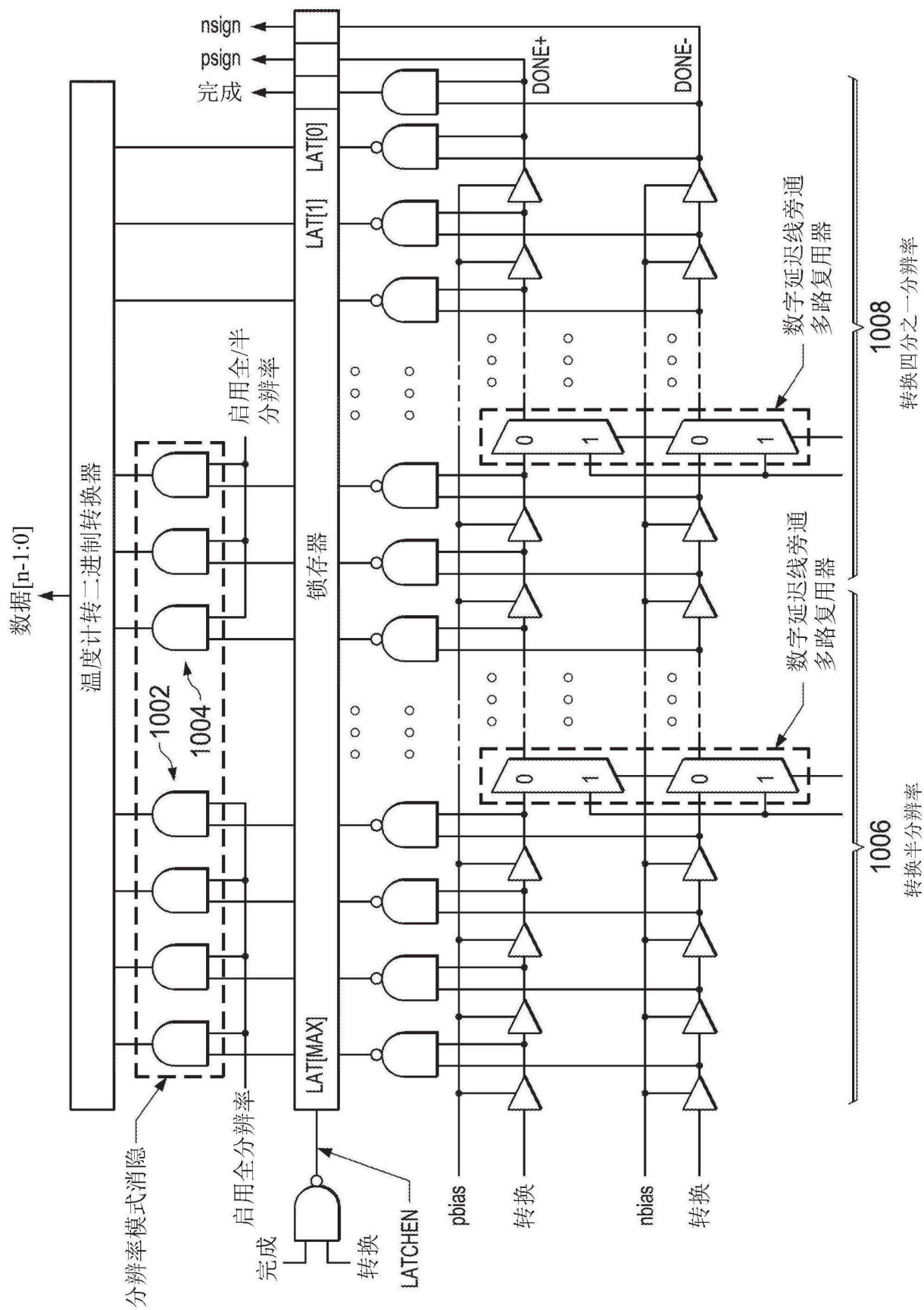


图10