



(12)发明专利申请

(10)申请公布号 CN 106934122 A

(43)申请公布日 2017.07.07

(21)申请号 201710103731.2

(22)申请日 2017.02.24

(66)本国优先权数据

201611251949.4 2016.12.30 CN

(71)申请人 北京华大九天软件有限公司

地址 100102 北京市朝阳区利泽中二路2号
A座2层

(72)发明人 张春雪 魏洪川 陆涛涛

(74)专利代理机构 北京德崇智捷知识产权代理
有限公司 11467

代理人 王金双

(51)Int.Cl.

G06F 17/50(2006.01)

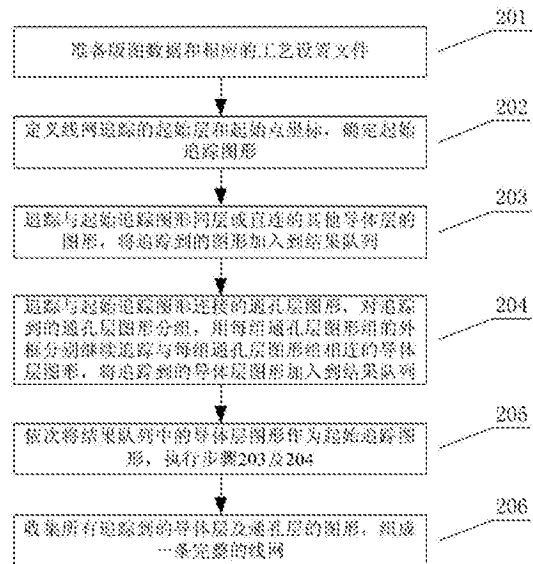
权利要求书1页 说明书4页 附图5页

(54)发明名称

一种加速生成版图中导体图形连接关系的方法

(57)摘要

一种加速生成版图中导体图形连接关系的方法,包括步骤:(1)确定起始追踪图形;(2)追踪与所述起始追踪图形同层或直连的其他导体层的图形,将追踪到的图形加入到结果队列;(3)追踪与所述起始追踪图形相连的通孔层图形,对追踪到的通孔层图形分组,追踪与每组通孔层图形相连的导体层图形,将追踪到的导体层图形加入到所述结果队列;(4)依次将所述结果队列中的导体层图形作为起始追踪图形,执行步骤(2)及(3);(5)收集所有追踪到的导体层及通孔层的图形,组成一条完整的线网。本发明能够针对多层次的大规模打孔连接,减少搜索连接导体层图形的次数,降低检查图形是否有重叠的次数,提高线网追踪的效率。



1. 一种加速生成版图中导体图形连接关系的方法,其特征在于,包括以下步骤:

(1) 确定起始追踪图形;

(2) 追踪与所述起始追踪图形同层或直连的其他导体层的图形,将追踪到的图形加入到结果队列;

(3) 追踪与所述起始追踪图形相连的通孔层图形,对追踪到的通孔层图形分组,追踪与每组通孔层图形组相连的导体层图形,将追踪到的导体层图形加入到所述结果队列;

(4) 依次将所述结果队列中的导体层图形作为起始追踪图形,执行步骤(2)及(3);

(5) 收集所有追踪到的导体层及通孔层的图形,组成一条完整的线网。

2. 根据权利要求1所述加速生成版图中导体图形连接关系的方法,其特征在于,步骤(1)所述确定起始追踪图形,是依据版图数据和相应的工艺设置文件,定义线网追踪的起始层和点坐标,确定起始追踪图形。

3. 根据权利要求1所述加速生成版图中导体图形连接关系的方法,其特征在于,步骤(3)中所述对追踪到的通孔层图形分组,是按照版图中层次结构的深度对通孔层图形进行分组。

4. 根据权利要求1所述加速生成版图中导体图形连接关系的方法,其特征在于,步骤(3)中所述追踪与每组通孔层图形组相连的导体层图形,是用每组通孔层图形组的外框分别追踪与所述每组通孔层图形组相连的导体层图形。

5. 根据权利要求1所述加速生成版图中导体图形连接关系的方法,其特征在于,步骤(3)中所述追踪与每组通孔层图形组相连的导体层图形,进一步包括:若存在覆盖某组通孔层图形组的导体层图形,则采用所述覆盖某组通孔层图形组的导体层图形代替所述某组通孔层图形组进行追踪。

一种加速生成版图中导体图形连接关系的方法

技术领域

[0001] 本发明涉及计算机辅助设计技术领域,特别是涉及一种加速生成版图中导体图形连接关系的方法。

背景技术

[0002] 随着现代信号处理技术和大规模集成电路技术的飞速发展,使得超大规模集成电路的物理设计复杂度越来越高,超深亚微米工艺条件下的后端物理设计日趋复杂,不得不依赖于EDA(电子设计自动化)工具的辅助,EDA几乎涉及集成电路设计流程的各个方面。

[0003] 进行大版图物理验证时,需要根据版图中的图形和垂直工艺信息进行线网图形追踪。随着版图规模越来越大,版图中图形越来越复杂,通孔和金属层数越来越多,线网追踪所花费的时间代价越来越大。采用EDA进行大版图物理验证时,通常需要快速建立版图中导体图形的连接关系,形成完整的电路走线。线网追踪(TraceNet)是根据版图中二维图形信息和工艺信息自动判断导体的连通关系,形成完整线网图形的技术。但是工艺层数越来越多,多种形状以及庞大的通孔阵列,严重影响了线网追踪的性能。

[0004] 因此,提出一种加速生成版图中导体图形连接关系的方法,能够针对多层次的大规模打孔连接,减少搜索连接导体层图形的次数,降低检查图形是否有重叠的次数,提高线网追踪的效率,成为亟待解决的问题。

发明内容

[0005] 为了解决现有技术存在的不足,本发明的目的在于提供一种加速生成版图中导体图形连接关系的方法,可以针对多层次的大规模打孔连接,减少搜索连接导体层图形的次数,降低检查图形是否有重叠的次数,提高线网追踪的效率。

[0006] 为实现上述目的,本发明提供的加速生成版图中导体图形连接关系的方法,包括以下步骤:

(1) 确定起始追踪图形; (2) 追踪与所述起始追踪图形同层或直连的其他导体层的图形,将追踪到的图形加入到结果队列; (3) 追踪与所述起始追踪图形相连的通孔层图形,对追踪到的通孔层图形分组,追踪与每组通孔层图形组相连的导体层图形,将追踪到的导体层图形加入到所述结果队列; (4) 依次将所述结果队列中的导体层图形作为起始追踪图形,执行步骤(2)及(3); (5) 收集所有追踪到的导体层及通孔层的图形,组成一条完整的线网。

[0007] 进一步地,步骤(1)所述确定起始追踪图形,是依据版图数据和相应的工艺设置文件,定义线网追踪的起始层和点坐标,确定起始追踪图形。

[0008] 进一步地,步骤(3)中所述对追踪到的通孔层图形分组,是按照版图中层次结构的深度对通孔层图形进行分组。

[0009] 进一步地,步骤(3)中所述追踪与每组通孔层图形组相连的导体层图形,是用每组通孔层图形组的外框分别追踪与所述每组通孔层图形组相连的导体层图形。

[0010] 步骤(3)中所述追踪与每组通孔层图形组相连的导体层图形,进一步包括:若存在

覆盖某组通孔层图形组的导体层图形,则采用所述覆盖某组通孔层图形组的导体层图形代替所述某组通孔层图形组进行追踪。

[0011] 本发明提供的加速生成版图中导体图形连接关系的方法,对于通孔层图形进行分组,用分组的外框去搜索可能连接的导体层图形;同时有条件地对该组通孔层图形进行忽略,以减少搜索和检查的次数,加快线网追踪的速度,生成网表。

[0012] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。

附图说明

[0013] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,并与本发明的实施例一起,用于解释本发明,并不构成对本发明的限制。在附图中:

图1为根据本发明的版图中具有通孔连接关系的线网结构图;

图2为根据本发明的加速生成版图中导体图形连接关系的方法流程图;

图3为根据本发明的版图中通孔层的分组示意图;

图4为根据本发明的版图中忽略通孔层的情形示意图;

图5为根据本发明的版图的线网追踪实例流程图。

具体实施方式

[0014] 以下结合附图对本发明的优选实施例进行说明,应当理解,此处所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。

[0015] 图1为根据本发明的版图中具有通孔连接关系的线网结构图,图1中,导体层C1及C2通过通孔层V连接。

[0016] 为了便于理解本发明,对本发明的线网追踪的规则进行详细解释。

[0017] 线网追踪的规则定义为:对于通孔层V连接的两个导体层C1和C2,起始追踪点为导体层C1的图形C11,用C11的外框去搜索可能与其连接的V层的图形,对于搜索到的V层的每个图形,通过图形的逻辑运算判断是否真正与C11连接,获得所有真正与C11连接的V层的图形;然后对获得的V层的每个图形,采用相同的搜索技术获得与其连接的C2层的图形,所有追踪到的C1/V/C2层的图形构成一条完整的线网。

[0018] 图2为根据本发明的加速生成版图中导体图形连接关系的方法流程图,下面将参考图2,对本发明的加速生成版图中导体图形连接关系的方法进行详细描述。

[0019] 在步骤201,准备版图数据和相应的工艺设置文件;

在该步骤中,确定大规模版图中各导体层的连接关系,形成完整的电路网表结构。

[0020] 在步骤202,定义线网追踪的起始层和起始点坐标,确定起始追踪图形;

在步骤203,追踪与起始追踪图形同层或直连的其他导体层的图形,将追踪到的图形加入到结果队列;

在步骤204,追踪与起始追踪图形连接的通孔层图形,对追踪到的通孔层图形分组,用每组通孔层图形组的外框分别继续追踪与每组通孔层图形组相连的导体层图形,将追踪到的导体层图形加入到结果队列;

在工艺定义中,不同的导体层图形通过打孔连接,通孔层图形较多,且通孔层的图形按

照分层结构的阵列进行布图；当检查到某个导体层图形连接很多通孔层图形时，对所有通孔层的图形统一检查其所连接的导体层图形。

[0021] 在该步骤中，根据通孔层的图形阵列信息对通孔层图形分组，取每一组通孔层图形组的矩形外框，根据该矩形外框去搜索其他可能与该组通孔层图形相连的导体层图形。如果有一个导体层图形完全包含了该组通孔层图形组的矩形外框，则该组内的通孔层图形无需继续检查连接关系，直接用该导体层图形去追踪其他可能与该组通孔层图形组连接的图形。

[0022] 对通孔层分组搜索可加速线网生成的依据为：在大规模版图的设计中，版图有很多深度的层次结构，高层次的结构会以阵列的方式引用很多低层次的结构，在每一个通孔层阵列中，图形相对集中，所有图形具有相同的导体层连接关系的概率也较大。按照这种阵列关系对通孔层图形进行分组，每组图形相对集中，根据每组图形的外框去搜索和追踪，可以加快线网生成的速度。

[0023] 进一步地，对通孔层图形分组的方式为：首先，按照通孔层图形在版图中的层次深度进行粗略的分组；然后，对同一层次深度的所有图形按照所在层名称进行精确的分组；最后，根据同层的所有图形是否位于同一个阵列结构中进行分组。

[0024] 图3为根据本发明的版图中通孔层的分组示意图，图3中，将通孔层图形分为四组：图形组Group1、Group2、Group3及Group4。

[0025] 进一步地，用每组通孔层图形的外框分别继续追踪的过程中，若存在覆盖某组通孔层图形组的导体层图形，则采用该导体层图形代替该组通孔层图形组进行追踪。通过代替追踪的方式，可以忽略一些通孔层图形组。

[0026] 具体而言，当一组通孔层图形全部位于同一个阵列结构中，取组内全部通孔层图形的外框去导体层C2搜索时，可以判断是否有一个导体层图形覆盖了该组通孔层图形组的外框；如果在导体层C2中，存在覆盖该组通孔层图形组外框的图形C21，则无需继续对每个通孔层图形单独进行搜索，也无需判断搜索到的其他C2层图形是否与该组通孔层图形有真实连接，直接以C21为起点进行追踪，即可获得所有与该组通孔层图形具有真实连接关系的图形。这是因为，与该组通孔层图形具有真实连接的图形必定与C21存在重叠关系。

[0027] 图4为根据本发明的版图中忽略通孔层的情形示意图，图4中，通孔层图形组V的外框被导体层C2中的图形C21覆盖，因此，只需要对图形C21进行追踪即可。

[0028] 在步骤205，依次将结果队列中的导体层图形作为起始追踪图形，执行步骤203及204；

在步骤206，收集所有追踪到的导体层及通孔层的图形，组成一条完整的线网。

[0029] 图5为根据本发明的版图的线网追踪实例流程图。图5中，分别列出了传统的追踪过程和本发明所述方法的追踪过程，其中，图形组V为通孔层图形V1、V2、V3及V4构成的通孔层图形组；图形C11为起始追踪图形，图形C12、C21、C22及C23为追踪到的图形。

[0030] 传统的追踪流程如下：

C11搜索 → C12 → 检测 C12；

C11搜索 → V1/V2/V3/V4 → 检测 V1/V2/V3/V4；

V1搜索 → C21 → 检测 C21；

V2搜索 → C21 → 检测 C21；

V3搜索 →C21→检测 C21;

V4搜索 →C21/C22 →检测 C22;

C21搜索 →C22/C23→检测 C22/C23;

本发明的追踪流程如下:

C11搜索 →C12 →检测 C12;

C11搜索 →V1/V2/V3/V4 →检测 V1/V2/V3/V4;

V搜索 →C21/C22 →检测 C21/C22;

C21搜索 → C22/C23→检测 C22/C23。

[0031] 通过对比可得出,本发明的对通孔层的分组确实减少了追踪过程中搜索和检测的次数,减少了线网追踪的时间,并且版图越大,通孔层的阵列越多,加速的效果越明显。

[0032] 本领域普通技术人员可以理解:以上所述仅为本发明的优选实施例而已,并不用于限制本发明,尽管参照前述实施例对本发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实施例记载的技术方案进行修改,或者对其中部分技术特征进行等同替换。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

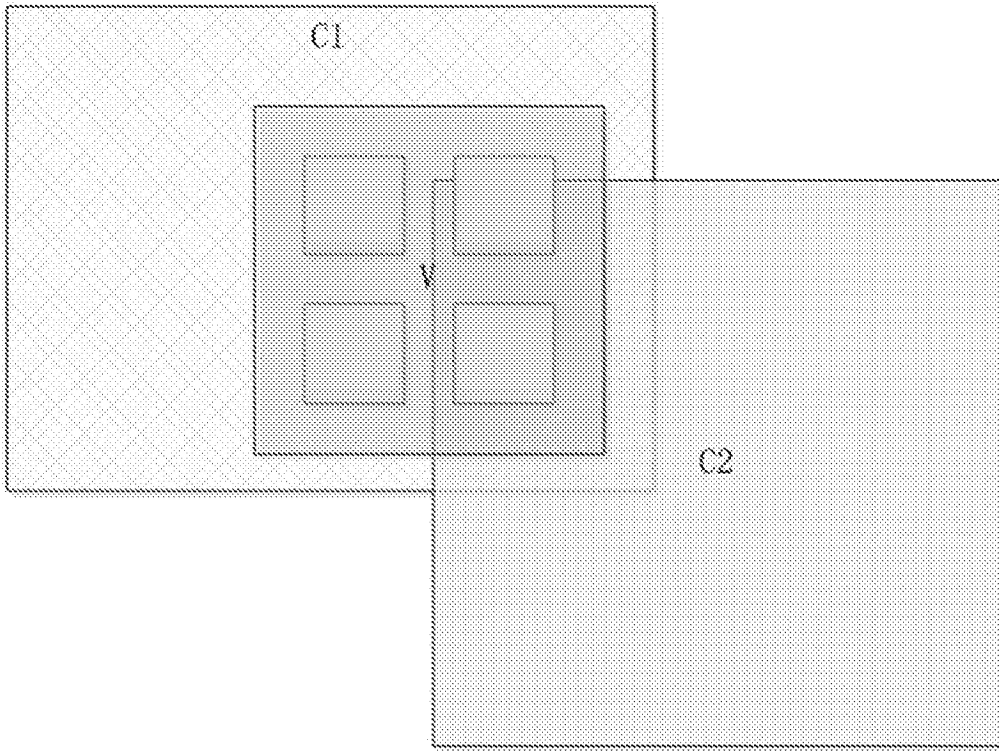


图1

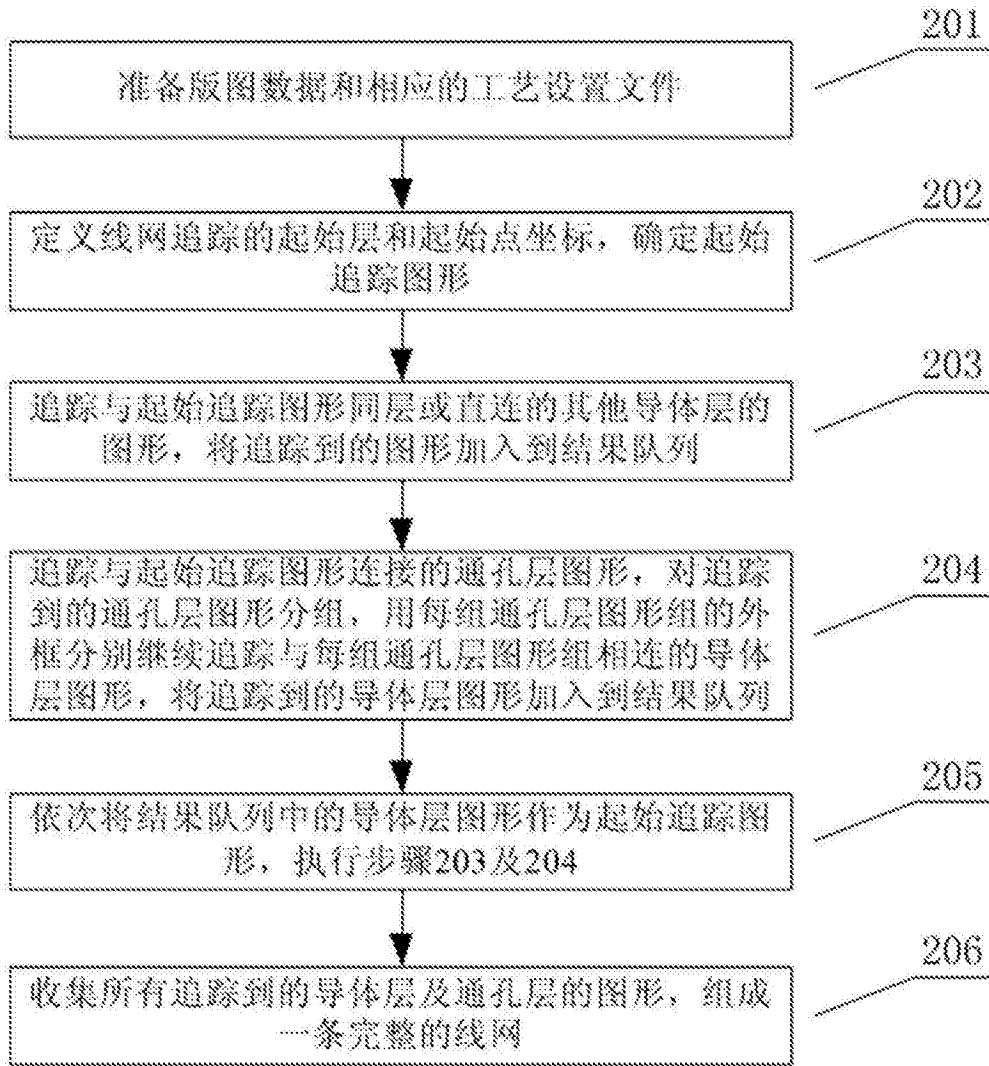


图2

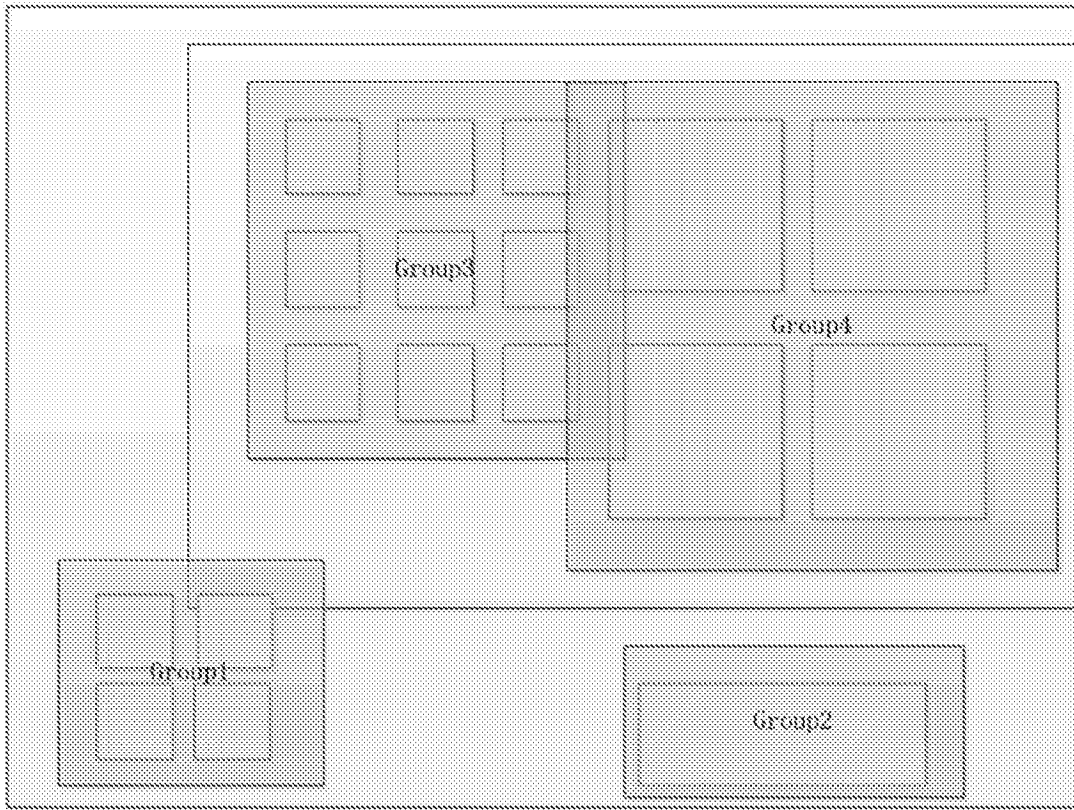


图3

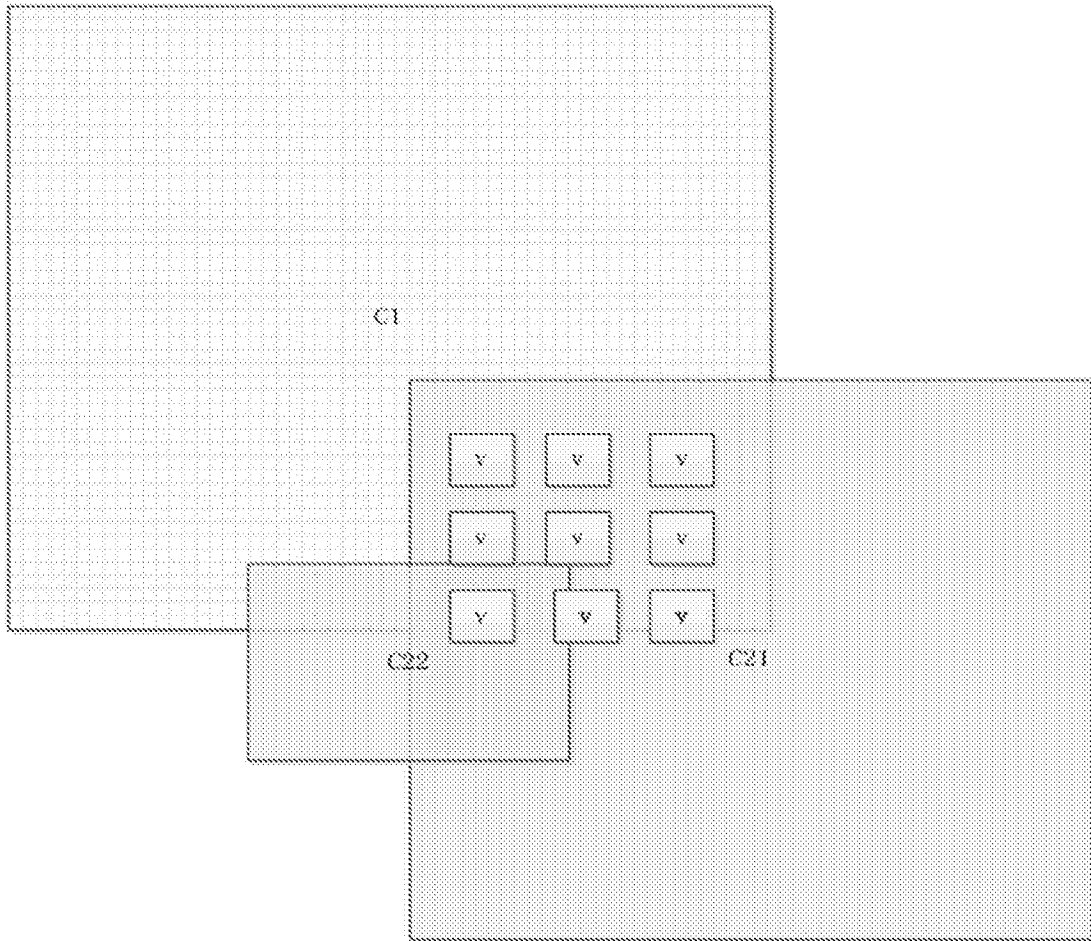


图4

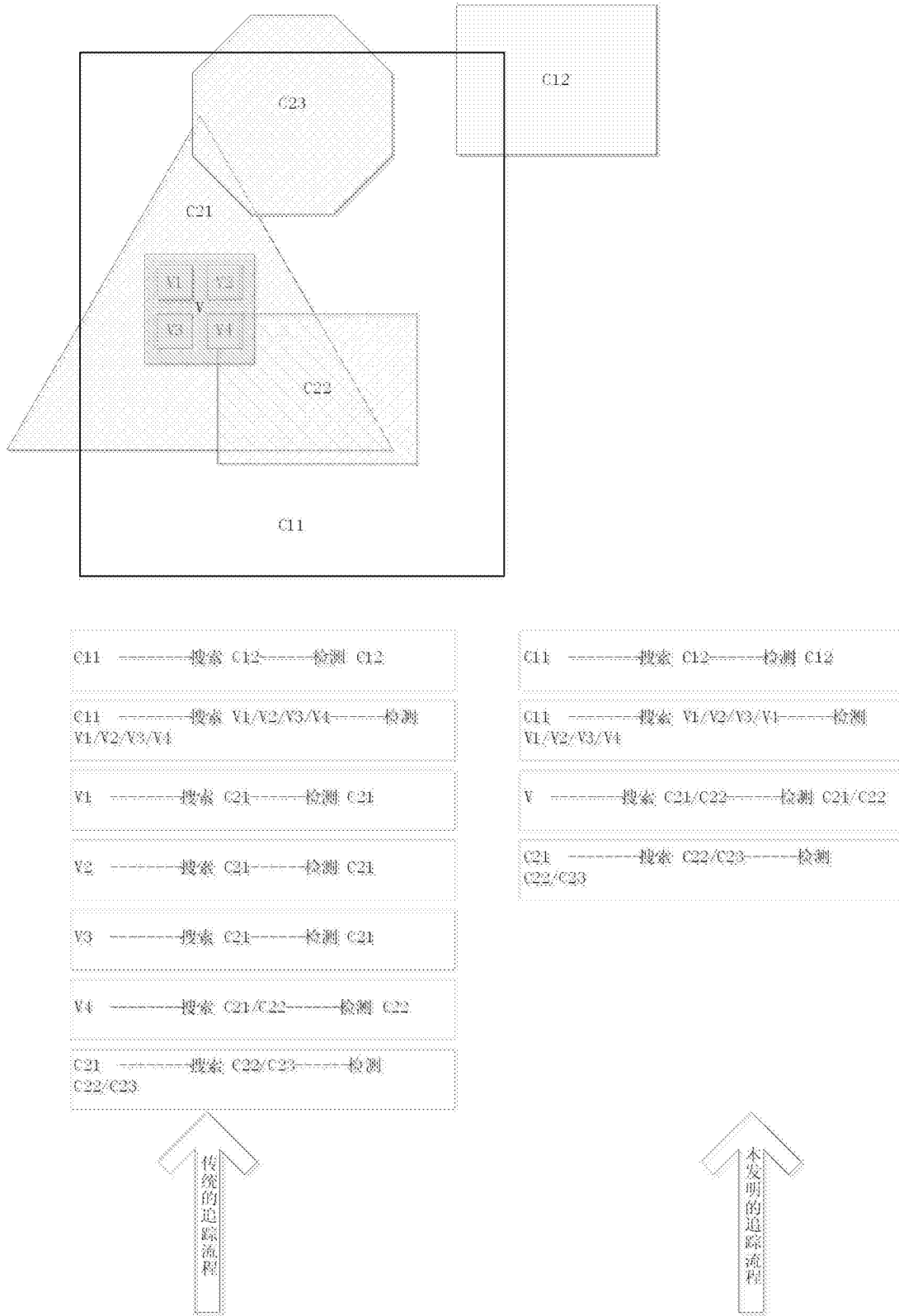


图5