



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월05일

(11) 등록번호 10-1498493

(24) 등록일자 2015년02월26일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2006.01)

(21) 출원번호 10-2013-0152405

(22) 출원일자 2013년12월09일

심사청구일자 2013년12월09일

(56) 선행기술조사문헌

US20130015429 A1*

KR1020110047454 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)

(72) 발명자

최석호

경기 수원시 영통구 매영로 366, 726동 1103호 (영통동, 살구골7단지아파트)

주승신

경기 용인시 기흥구 덕영대로 1732, 전자정보대학 123호 (서천동, 경희대학교)

김성

경기 수원시 영통구 영통로200번길 239, 101동 1103호 (영통동, 영통이-편한세상)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 15 항

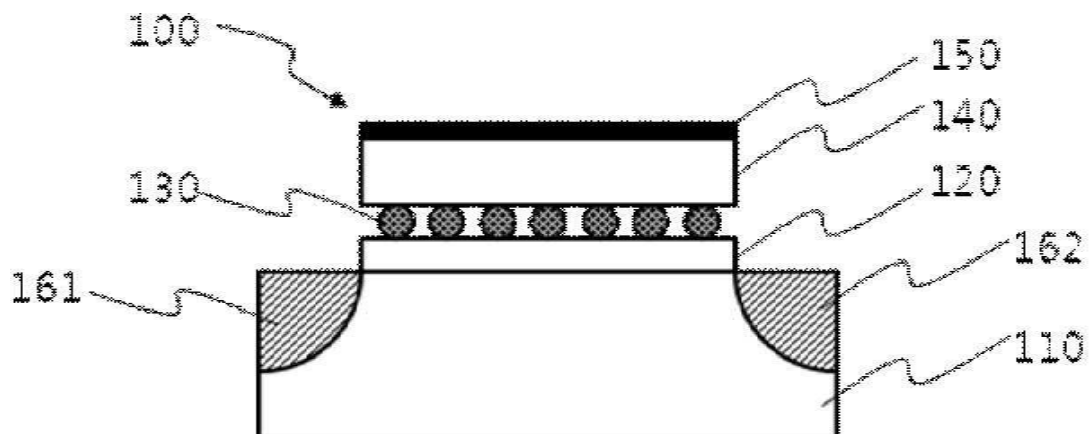
심사관 : 류정현

(54) 발명의 명칭 비휘발성 메모리 소자 및 그 제조 방법

(57) 요약

본 발명의 비휘발성 메모리 소자는 소자용 기관, 상기 소자용 기관 상에 형성된 터널 절연막, 상기 터널 절연막 상에 형성되는 그래핀 양자점, 상기 그래핀 양자점층 상에 형성되는 컨트롤 절연막, 및 상기 컨트롤 절연막 상에 형성되는 게이트 전극을 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2011-0017373

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 도전과제

연구과제명 그래핀 기반 융복합 나노구조의 특성 및 소자 응용 연구(3차년도)

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2013.05.01 ~ 2014.04.30

특허청구의 범위

청구항 1

소자용 기관;

상기 소자용 기관 상에 형성된 터널 절연막;

서로 이격되어 있는 그래핀 양자점들을 포함하고, 상기 터널 절연막 상에 형성된 그래핀 양자점층;

상기 그래핀 양자점층 상에 형성되는 컨트롤 절연막; 및

상기 컨트롤 절연막 상에 형성되는 게이트 전극을 포함하는 비휘발성 메모리 소자.

청구항 2

제1 항에 있어서,

상기 소자용 기관은 p 타입 실리콘 또는 n 타입 실리콘인 비휘발성 메모리 소자.

청구항 3

제1 항에 있어서,

상기 소자용 기관과 상기 터널 절연막 사이에 배치되는 채널막을 더 포함하는 비휘발성 메모리 소자.

청구항 4

제3 항에 있어서,

상기 소자용 기관 상에서 상기 채널막의 양단에 접속하는 소스 전극 및 드레인 전극을 더 포함하는 비휘발성 메모리 소자.

청구항 5

제3 항에 있어서,

상기 채널막은 산화아연, 질화갈륨, 펜타센, 폴리엔비닐카바졸 및 폴리스티렌으로 이루어지는 군에서 선택되는 하나 이상인 비휘발성 메모리 소자.

청구항 6

제1 항에 있어서,

상기 소자용 기관 상에서 상기 터널 절연막의 양단에 배치되는 소스 전극 및 드레인 전극을 더 포함하는 비휘발성 메모리 소자.

청구항 7

제1 항에 있어서,

상기 터널 절연막은 Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상인 비휘발성 메모리 소자.

청구항 8

제1 항에 있어서,

상기 터널 절연막은 두께가 2 nm 내지 15 nm 범위인 비휘발성 메모리 소자.

청구항 9

제1 항에 있어서,

상기 컨트롤 절연막은 Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상 또는 폴리이미드를 포함하는 고분자 물질인 비휘발성 메모리 소자.

청구항 10

제9 항에 있어서,

상기 폴리이미드는 BPDA-PDA(poly(p-phenylene biphenyl tetracarboximide)), PMDA-PDA(poly(p-phenylene pyromellitimide)), OPDA-PDA(poly(p-phenylene 3, 3', 4,4'-oxydipthalimide)) 및 6FDA-PDA (poly(p-phenylene4,4'-hexafluoro isopropylidene dipthalimide))로 이루어진 군에서 선택되는 하나 이상인 비휘발성 메모리 소자.

청구항 11

제1 항에 있어서,

상기 게이트 전극은 Al, Au, Cu, Pt, Ag, W, Ni, Zn, Ti, Zr, Hf, Cd, Pd 및 그래핀으로 이루어진 군에서 선택되는 하나 이상인 비휘발성 메모리 소자.

청구항 12

소자용 기판 상에 터널 절연막을 형성하는 단계;

상기 터널 절연막 상에 서로 이격되어 있는 그래핀 양자점들을 포함하는 그래핀 양자점층을 형성하는 단계;

상기 그래핀 양자점 상에 컨트롤 절연막을 형성하는 단계; 및

상기 컨트롤 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조 방법.

청구항 13

제12 항에 있어서,

상기 그래핀 양자점을 형성하는 단계는,

상기 터널 절연막 상에 그래핀 양자점을 포함하는 용액을 스핀코팅하는 비휘발성 메모리 소자의 제조 방법.

청구항 14

제13 항에 있어서,

상기 그래핀 양자점을 포함하는 용액은,

흑연 분말을 산 처리하여 그래핀 산화물 분말을 제조하는 단계;

상기 그래핀 산화물 분말을 환원하여 그래핀 양자점을 형성하는 단계; 및

상기 그래핀 양자점을 용매에 혼합하는 단계를 포함하는 방법으로 제조되는 비휘발성 메모리 소자의 제조 방법.

청구항 15

소자용 기판 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극, 드레인 전극 및 소자용 기판 상에 채널막을 형성하는 단계;

상기 채널막 상에 터널 절연막을 형성하는 단계;

상기 터널 절연막 상에 서로 이격되어 있는 그래핀 양자점들을 포함하는 그래핀 양자점층을 형성하는 단계;

상기 그래핀 양자점층 상에 컨트롤 절연막을 형성하는 단계; 및

상기 컨트롤 절연막 상에 게이트 전극을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 플로팅 게이트에 그래핀 양자점을 포함하는 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 디지털 카메라, 휴대용 전화기, MP3 등의 성능 향상과 함께 저장매체인 플래시 메모리 소자에 대한 수요가 급증하고 있다.

[0003] 이는 플래시 메모리가 비휘발성, 저전력 소모 및 DRAM보다 우수한 집적도로 인해 비트 밀도(bit density) 및 비트 코스트(bit cost) 감소에 유리하기 때문이다.

[0004] 그러나, 플래시 메모리의 저장 용량의 증가를 위해 소자의 크기가 작아짐에 따라 전하 트랩층으로부터 반도체 기판 또는 게이트 전극 방향으로 누설되는 누설 전류가 문제가 되고 있다.

발명의 내용

해결하려는 과제

[0005] 이에, 본 발명이 해결하려는 과제는 누설 전류를 감소시킬 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는 소자용 기판, 상기 소자용 기판 상에 형성된 터널 절연막, 상기 터널 절연막 상에 형성되는 그래핀 양자점층, 상기 그래핀 양자점층 상에 형성되는 컨트롤 절연막, 및 상기 컨트롤 절연막 상에 형성되는 게이트 전극을 포함할 수 있다.

[0008] 상기 소자용 기판은 p 타입 실리콘 또는 n 타입 실리콘일 수 있다.

[0009] 상기 소자용 기판과 터널 절연막 사이에 배치되는 채널막을 더 포함할 수 있다.

[0010] 상기 소자용 기판 상에서 상기 채널막의 양단에 접속하는 소스 전극 및 드레인 전극을 더 포함할 수 있다.

[0011] 상기 채널막은 산화아연, 질화갈륨, 펜타센, 폴리엔비닐카바졸 및 폴리스티렌으로 이루어지는 군에서 선택되는 하나 이상일 수 있다.

[0012] 상기 소자용 기판 상에서 상기 터널 절연막의 양단에 배치되는 소스 전극 및 드레인 전극을 더 포함할 수 있다.

[0013] 상기 터널 절연막은 Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상일 수 있다.

[0014] 상기 터널 절연막은 두께가 2 nm 내지 15 nm 범위일 수 있다.

[0015] 상기 컨트롤 절연막은 Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상 또는 폴리이미드를 포함하는 고분자 물질일 수 있다.

[0016] 상기 폴리이미드는 BPDA-PDA(poly(p-phenylene biphenyl tetracarboximide)), PMDA-PDA(poly(p-phenylene pyromellitimide)), OPDA-PDA(poly(p-phenylene 3, 3', 4,4'-oxydiphthalimide)) 및 6FDA-PDA (poly(p-phenylene4,4"-hexafluoro isopropylidene diphtalimide))로 이루어진 군에서 선택되는 하나 이상일 수 있다.

[0017] 상기 게이트 전극은 Al, Au, Cu, Pt, Ag, W, Ni, Zn, Ti, Zr, Hf, Cd, Pd 및 그래핀으로 이루어진 군에서 선택되는 하나 이상일 수 있다.

[0018] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법은 소자용 기판 상에 터널 절연막을 형성하는 단계, 상기 터널 절연막 상에 그래핀 양자점을 형성하는 단계, 상기 그래핀 양자점 상에 컨트롤 절연막을 형성하는 단계, 및 상기 컨트롤 절연막 상에 게이트 전극을 형성하는 단계를 포함할 수 있다.

[0019] 상기 그래핀 양자점을 형성하는 단계는, 상기 터널 절연막 상에 그래핀 양자점을 포함하는 용액을 스핀코팅할 수 있다.

[0020] 상기 그래핀 양자점을 포함하는 용액은, 흑연 분말을 산 처리하여 그래핀 산화물 분말을 제조하는 단계, 상기 그래핀 산화물 분말을 환원하여 그래핀 양자점을 형성하는 단계, 및 상기 그래핀 양자점을 용매에 혼합하는 단계를 포함하는 방법으로 제조될 수 있다.

[0021] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 제조 방법은 소자용 기판 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극, 드레인 전극 및 소자용 기판 상에 채널막을 형성하는 단계, 상기 채널막 상에 터널 절연막을 형성하는 단계, 상기 터널 절연막 상에 그래핀 양자점을 형성하는 단계, 상기 그래핀 양자점 상에 컨트롤 절연막을 형성하는 단계, 및 상기 컨트롤 절연막 상에 게이트 전극을 형성하는 단계를 포함할 수 있다.

[0022] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0023] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.

[0024] 즉, 본 발명의 실시예들에 따른 비휘발성 메모리 소자에 의하면, 소형화된 고성능 메모리를 실현할 수 있고, 공정 효율을 향상시킬 수 있다.

[0025] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 개략적인 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 단면도이다.

도 3은 제조예 1의 비휘발성 메모리 소자의 저분해능 투과전자현미경(Transmission electron microscopy, TEM) 이미지이다.

도 4는 제조예 1의 비휘발성 메모리 소자의 고분해능 투과전자현미경(Transmission electron microscopy, TEM) 이미지이다.

도 5는 제조예 2 내지 4에서 제조된 비휘발성 메모리 소자의 전기용량-게이트 전압(C-V)을 측정한 결과를 나타내는 그래프이다.

도 6 내지 도 8은 제조예 2 내지 4에서 제조된 비휘발성 메모리 소자의 쓰기 측정 결과를 나타내는 그래프이다.

도 9 내지 도 11은 제조예 2 내지 4에서 제조된 비휘발성 메모리 소자의 지우기 측정 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0028] 소자(elements) 또는 층이 다른 소자 또는 층"위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론

론이다.

- [0030] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 개략적인 단면도이다.
- [0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자(100)는 소자용 기관(110), 소자용 기관(110) 상에 형성되는 터널 절연막(120), 터널 절연막(120) 상에 형성되는 그래핀 양자점(130), 그래핀 양자점(130) 상에 형성되는 컨트롤 절연막(140), 및 컨트롤 절연막(140) 상에 형성되는 게이트 전극(150)을 포함한다.
- [0033] 소자용 기관(110) 상에서 터널 절연막(120)과 중첩되지 않는 영역에서 터널 절연막(120)의 양단에 배치되는 소스 전극(161) 및 드레인 전극(162)을 포함한다.
- [0034] 소자용 기관(110)은 그 자체로서 게이트 전하 인가 시 채널을 형성할 수 있는 물질이면 어느 것이나 제한 없이 사용이 가능하다. 예를 들어, p 타입 실리콘 또는 n 타입 실리콘일 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0035] 도 1에서는 그래핀 양자점(130)을 중심으로 터널 절연막(120)과 컨트롤 절연막(140)이 이격되어 있지만 이러한 구성으로 한정되는 것은 아니고, 그래핀 양자점(130) 사이가 컨트롤 절연막(140)으로 채워져서 터널 절연막(120)과 일부 접촉하는 형태일 수도 있다.
- [0036] 터널 절연막(120)은 전기적 절연이 가능한 물질이면 어느 것이나 사용이 가능하지만, 예를 들어, Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상인 것을 들 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0037] 터널 절연막(120)의 두께는 2 nm 내지 15 nm 범위일 수 있다. 터널 절연막(120)의 두께가 2 nm 미만인 경우에는 터널 절연막(120)을 직접 터널링하거나 폴-프랭켈(Poole-Frenkel) 효과로 인하여 저장된 전하가 채널로 누설될 수 있으며, 터널 절연막(120)의 두께가 15 nm 초과인 경우에는 직접 터널링 효과보다는 파울러-노르드하임(Fowler-Nordeim) 터널링으로 전하를 주입해야 하는데 이는 동작 전압을 상승시킬 수 있어 바람직하지 않다.
- [0038] 상기 범위 내에서 터널 절연막(120)의 두께를 조절함으로써 쓰기/지우기 시간을 조절할 수 있다.
- [0039] 그래핀 양자점(130)은 상호간에 격리되어 있어, 트랩 사이의 전도가 거의 없고, 이로 인하여 누설 전류를 감소시킬 수 있다. 일반적으로, 터널 절연막(120)의 두께가 3.5 nm 이하가 되면, 누설 전류가 급격하게 증가하여 메모리 특성이 나빠지는 것으로 알려져 있다.
- [0040] 그래핀 양자점(130)은 2차원 물질로서, 기존의 3차원 양자점들과 비교하여 높은 에너지 상태밀도를 가지며, 단위 부피당 더 많은 양자점의 적층이 가능하여 더 많은 전하를 저장할 수 있다.
- [0041] 그래핀 양자점(130)의 크기는 특별히 한정되는 것은 아니지만, 예를 들어, 3 nm 내지 200 nm 범위일 수 있다.
- [0042] 컨트롤 절연막(140)은 터널 절연막(120)과 마찬가지로 전기적 절연이 가능한 물질이면 어느 것이나 사용이 가능하지만, 예를 들어, Al_2O_3 , MgO , SiO_2 , ZrO_2 및 HfO_2 로 이루어진 군에서 선택되는 하나 이상 또는 폴리이미드를 포함하는 고분자 물질인 것을 들 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0043] 컨트롤 절연막(140)의 두께는 특별히 제한되는 것은 아니다. 예를 들면, 10 nm 내지 30 nm 범위일 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0044] 상기 폴리이미드는 예를 들어, BPDA-PDA(poly(p-phenylene biphenyl tetracarboximide)), PMDA-PDA(poly(p-phenylene pyromellitimide)), OPDA-PDA(poly(p-phenylene 3, 3', 4,4'-oxydipthalimide)) 및 6FDA-PDA(poly(p-phenylene4,4"-hexafluoro isopropylidene dipthalimide))로 이루어진 군에서 선택되는 하나 이상인 것을 들 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0045] 게이트 전극(150)은 도전성 물질이면 어느 것이나 사용이 가능하지만, 예를 들어, Al, Au, Cu, Pt, Ag, W, Ni, Zn, Ti, Zr, Hf, Cd, Pd 및 그래핀으로 이루어진 군에서 선택되는 하나 이상일 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0046] 소스 전극(161) 및 드레인 전극(162)은 게이트 전극(150)과 마찬가지로 도전성 물질이면 어느 것이나 사용이 가능하다.

- [0047] 도 2는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 단면도이다.
- [0048] 도 2를 참조하면, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자(200)는 소자용 기관(210), 소자용 기관(210) 상에 형성되는 소스 전극(261) 및 드레인 전극(262), 소자용 기관(210), 소스 전극(261) 및 드레인 전극(262) 상에 형성되는 채널막(270), 채널막(270) 상에 형성되는 터널 절연막(220), 터널 절연막 상에 형성되는 그래핀 양자점(230), 그래핀 양자점 상에 형성되는 컨트롤 절연막(240), 및 컨트롤 절연막(240) 상에 형성되는 게이트 전극(250)을 포함한다.
- [0049] 소자용 기관(210)은 비휘발성 메모리 소자(200)를 지지하기 위한 것으로, 예를 들어, 소자(200) 제조공정에 유리한 폴리카보네이트(polycarbonate: PC), 폴리아릴레이트(polyarylate: PAR), 폴리에테르술폰(polyethersulphone: PES) 및 폴리이미드(polyimide: PI)로 이루어진 군에서 선택되는 하나 이상일 수 있으나, 이들만으로 한정되는 것은 아니다.
- [0050] 비휘발성 메모리 소자(200)는 소자용 기관(210)과 터널 절연막(220) 사이에 별도의 채널막(270)을 포함한다.
- [0051] 채널막(270)은 소스 전극(261) 및 드레인 전극(262)이 형성된 소자용 기관(210) 상에 반도체 물질을 형성할 수 있다. 예를 들어, 산화아연, 질화갈륨, 펜타센, 폴리엔비닐카바졸 및 폴리스티렌으로 이루어지는 군에서 선택되는 하나 이상을 사용할 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0052] 비휘발성 메모리 소자(200)의 다른 구성은 도 1에서 설명한 비휘발성 메모리 소자(100)의 구성과 동일하므로, 중복되는 구성에 대한 설명은 생략하도록 한다.
- [0053] 이하, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 도 1을 참조하여 설명한다.
- [0054] 본 발명의 일 실시예에 따른 비휘발성 메모리 소자(100)의 제조 방법은 소자용 기관(110) 상에 터널 절연막(120)을 형성하는 단계, 터널 절연막(120) 상에 그래핀 양자점(130)을 형성하는 단계, 그래핀 양자점(130) 상에 컨트롤 절연막(140)을 형성하는 단계, 및 컨트롤 절연막(140) 상에 게이트 전극(150)을 형성하는 단계, 및 소자용 기관(110) 상에 소스 전극(161) 및 드레인 전극(162)을 형성하는 단계를 포함할 수 있지만, 상기 순서대로 한정되는 것은 아니다.
- [0055] 터널 절연막(120)을 형성하는 단계는 열산화법, 화학적 기상증착법, 물리적 기상증착법, 원자층 적층법(Atomic Layer Deposition: ALD) 등을 이용하여 형성할 수 있지만, 이들만으로 한정되는 것은 아니다.
- [0056] 상기 그래핀 양자점(130)을 형성하는 단계는 별도 제조한 그래핀 양자점 용액을 터널 절연막(120) 상에 스핀코팅하여 형성할 수 있지만, 이것만으로 한정되는 것은 아니다.
- [0057] 상기 그래핀 양자점 용액은, 예를 들어, 흑연 분말을 산(acid) 처리하여 그래핀 산화물 분말을 제조하는 단계, 상기 그래핀 산화물 분말을 환원하여 그래핀 양자점을 형성하는 단계, 및 상기 그래핀 양자점을 용매에 혼합하는 단계를 포함하는 방법으로 제조할 수 있지만, 이것만으로 한정되는 것은 아니다.
- [0058] 컨트롤 절연막(140)을 형성하는 방법은 열산화법, 화학적 기상증착법, 물리적 기상증착법, 원자층 적층법(Atomic Layer Deposition: ALD) 등을 이용하여 형성할 수 있지만, 이들만으로 한정되는 것은 아니다. 컨트롤 절연막이 고분자 물질인 경우에는 단량체 및 개시제를 포함하는 조성물을 도포하고 중합 반응시켜 형성할 수 있지만, 이것만으로 한정되는 것은 아니다.
- [0059] 게이트 전극(150)을 형성하는 방법은 컨트롤 절연막(140) 상에 전도성 물질을 증착하여 형성할 수 있지만, 이것만으로 한정되는 것은 아니다.
- [0060] 소스 전극(161) 및 드레인 전극(162)은 소자용 기관(110) 상에 전도성 물질을 증착하여 형성할 수 있지만, 이것만으로 한정되는 것은 아니다. 소자용 기관(110) 상에 터널 절연막(120)이 형성되는 관계로, 소자용 기관(110)의 일부를 식각하고 식각된 위치에 소스 전극(161) 및 드레인 전극(162)을 형성할 수 있다.
- [0061] 상기 각 단계들에서, 필요에 따라 패터닝을 위하여 포토 레지스트, 식각 등의 세부 공정이 추가될 수 있다.
- [0062] 이하, 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 도 2를 참조하여 설명한다.
- [0063] 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자(200)의 제조 방법은 소자용 기관(210) 상에 소스 전극(261) 및 드레인 전극(262)을 형성하는 단계, 소스 전극(261), 드레인 전극(262) 및 소자용 기관(210) 상에 채널막(270)을 형성하는 단계, 채널막(270) 상에 터널 절연막(220)을 형성하는 단계, 터널 절연막(220) 상에 그래핀 양자점(230)을 형성하는 단계, 그래핀 양자점(230) 상에 컨트롤 절연막(240)을 형성하는 단계, 및 컨트롤 절

연막(240) 상에 게이트 전극(250)을 형성하는 단계를 포함할 수 있지만, 상기 순서대로 한정되는 것은 아니다.

[0064] 소자용 기판(210) 상에 소스 전극(261) 및 드레인 전극(262)을 형성하는 단계는 전도성 물질을 기판 상에 열산화법, 물리적 기상증착법, 화학적 기상증착법 등의 방법으로 증착 후, 소스 전극(261) 및 드레인 전극(262)의 패턴된 마스크(미도시)를 사용하여 식각 공정을 실시하여 형성할 수 있다.

[0065] 채널막(270)은 소스 전극(261) 및 드레인 전극(262)이 형성된 소자용 기판(210) 상에 반도체 물질을 화학적 기상증착법, 물리적 기상증착법, 스핀코팅, 원자층 적층법 등을 사용하여 형성할 수 있지만, 이들만으로 한정되는 것은 아니다.

[0066] 제조예 1

[0067] 그래핀 양자점의 제조

[0068] H_2SO_4 (12 ml), $K_2S_2O_8$ (2.5 g) 및 P_2O_5 (2.5 g)으로 만든 용액에 흑연 분말을 넣고 80 °C에서 4.5 시간 유지하고, 상온까지 냉각시킨 후, 탈이온수(de-ionized water) 0.5 L를 넣어서 희석시켰다. 상기 희석된 용액을 200 nm 필터로 거르고 산(acid)을 제거하고, 젖은 분말을 대기 조건 하에서 하루 동안 건조시켜 그래핀 산화물 분말을 얻었다. 상기 그래핀 산화물 분말을 250 °C 아르곤(Ar) 분위기에서 2 시간 동안 열처리를 가하여 환원시키고, 이를 포함하는 용액을 여과기와 투석기를 이용하여 크기별로 분리된 그래핀 양자점을 제조하였다.

[0069] 비휘발성 메모리 소자의 제조

[0070] p-type 실리콘 기판 상에 열산화법으로 SiO_2 를 3 nm 두께로 성장시켜 터널 절연막을 형성하였다. 상기 터널 절연막이 형성된 기판을 아세톤 및 에탄올에 순차적으로 세척하여 유기물 및 이물질을 제거하였다. 세척이 끝난 기판 상에 상기에서 제조한 그래핀 양자점을 적하하고 2000 rpm에서 60 초간 스핀 코팅하였다. 그래핀 양자점이 코팅된 기판 위에 플라즈마 화학기상 증착법으로 20 nm 두께로 SiO_2 를 증착하여 컨트롤 절연막을 형성하고, 컨트롤 절연막 상에 알루미늄(Al) 전극을 증착하였다. 상기 적층 구조를 패터닝하고, p-type 실리콘 기판에서 상기 터널 절연막의 양단 부위를 식각한 뒤 알루미늄을 증착하여 소스 전극 및 드레인 전극을 형성하여, 비휘발성 메모리 소자를 제조하였다.

[0071] 도 3은 제조예 1의 비휘발성 메모리 소자의 저분해능 투과전자현미경(Transmission electron microscopy, TEM) 이미지이고, 도 4는 제조예 1의 비휘발성 메모리 소자의 고분해능 투과전자현미경(Transmission electron microscopy, TEM) 이미지이다.

[0072] 이들 도면들을 참조하면, 도 3에서와 같이, SiO_2 층 사이에 그래핀 양자점들이 양호하게 삽입되어 있는 것을 확인할 수 있다. 도 4에의 고분해능 TEM 이미지의 분석 결과, 그래핀 양자점 결정의 격자 간격이 0.234 nm로 측정된 바, 그래핀의 격자 간격과 일치하므로 그래핀인 것을 확인할 수 있다.

[0073] 제조예 2

[0074] 그래핀 양자점의 사이즈가 5 nm 인 것을 제외하고는 제조예 1과 동일한 방법으로 비휘발성 메모리 소자를 제조하였다.

[0075] 제조예 3

[0076] 그래핀 양자점의 사이즈가 12 nm 인 것을 제외하고는 제조예 1과 동일한 방법으로 비휘발성 메모리 소자를 제조하였다.

[0077] 제조예 4

[0078] 그래핀 양자점의 사이즈가 27 nm 인 것을 제외하고는 제조예 1과 동일한 방법으로 비휘발성 메모리 소자를 제조하였다.

[0079] 실험예 1

[0080] 제조예 2 내지 4에서 제조된 비휘발성 메모리 소자의 전기용량-게이트 전압(C-V)을 측정하였고, 그 결과를 도 5에 나타내었다.

[0081] 도 5를 참조하면, C-V 곡선은 소자가 메모리로 사용될 수 있는지를 판단할 수 있는 근거가 되는 것으로서, 도 5에서와 같이 패곡선을 이루는 것이 특징이다. 세 개의 비휘발성 메모리 소자 모두, 전압이 - 10 V에서 + 10 V로

변화하면서 측정된 C-V 곡선과 전압이 +10 V에서 - 10 V로 변화면서 측정된 C-V 곡선이 겹치지 않고 전압 측 방향으로 평행이동된 것을 확인할 수 있다. 도 5에서 양쪽 화살표(↔)로 표시된 폭을 메모리 윈도우라고 한다. 각 소자별로 차이는 있지만, 모두 메모리 윈도우를 확인할 수 있어 메모리로 사용이 가능함을 확인하였다.

실험예 2

제조예 2 내지 4에서 제조된 비휘발성 메모리 소자들에 대하여 하기 표 1과 같은 조건으로 쓰기/지우기 (Program/Erase, P/E)를 측정하였고, 그 쓰기 결과를 도 6 내지 도 8에 나타내고, 지우기 결과를 도 9 내지 도 11에 나타내었다.

쓰기 측정 방법으로, full 지우기 펄스(pulse)를 인가하여 메모리 소자에 존재하는 전자를 모두 제거한 후, 쓰기 펄스에 의해서 얼마나 많은 전자가 충전되는지 플랫폼 밴드 전압(flat-band voltage; V_{FB})의 이동으로 확인하였다.

지우기 측정 방법으로, full 쓰기 펄스를 인가하여 메모리 소자에 채울 수 있는 모든 전자를 채운 후, 지우기 펄스에 의해서 얼마나 많은 전자가 방전되는지 V_{FB} 의 이동으로 확인하였다.

표 1

	쓰기		지우기	
	full 지우기 펄스	쓰기 펄스 전압	full 쓰기 펄스	지우기 펄스 전압
제조예 2	- 14 V, 1s	5, 7, 9 V	18 V, 1s	-7, -9, -11 V
제조예 3	- 16 V, 1s	2, 4, 6 V	19 V, 1s	-13, -14, -15 V
제조예 4	- 14 V, 1s	3, 5, 7 V	14 V, 1s	-5, -7, -9 V

도 6 내지 도 11을 참조하면, 제조예 2 내지 4의 비휘발성 메모리 소자의 쓰기는 10^{-6} s 이상의 펄스 시간에서 켜지며, 지우기는 10^{-3} s 이상의 펄스 시간에서 지워지는 것을 확인할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

100, 200: 비휘발성 메모리 소자

110, 210: 소자용 기관

130, 230: 그래핀 양자점

150, 250: 게이트 전극

162, 262: 드레인 전극

120, 220: 터널 절연막

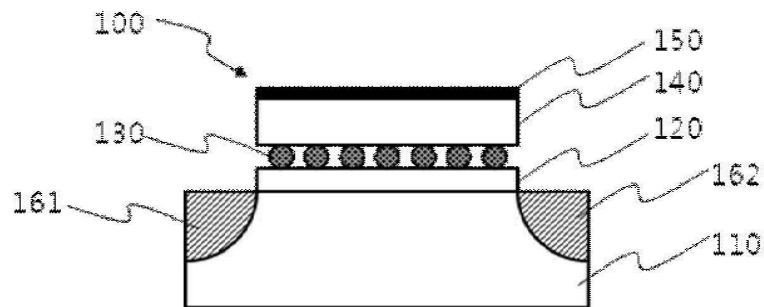
140, 240: 컨트롤 절연막

161, 261: 소스 전극

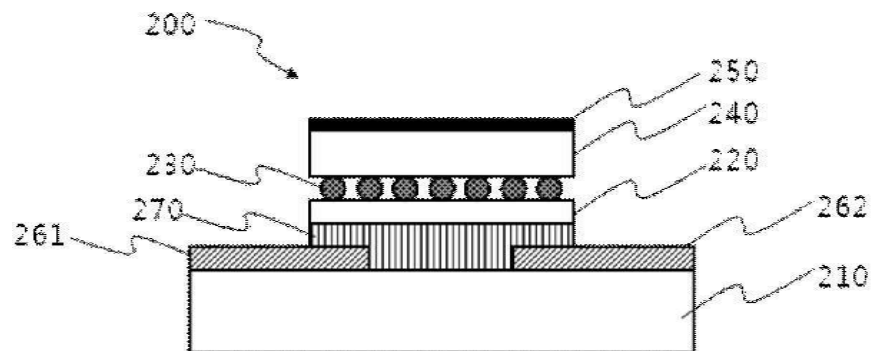
270: 채널막

도면

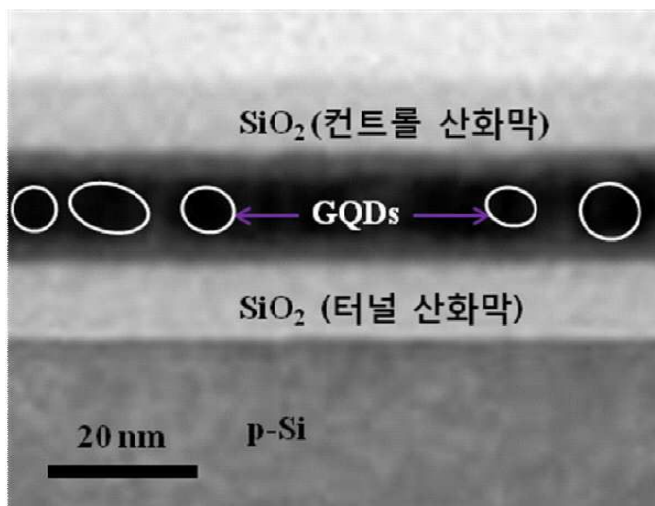
도면1



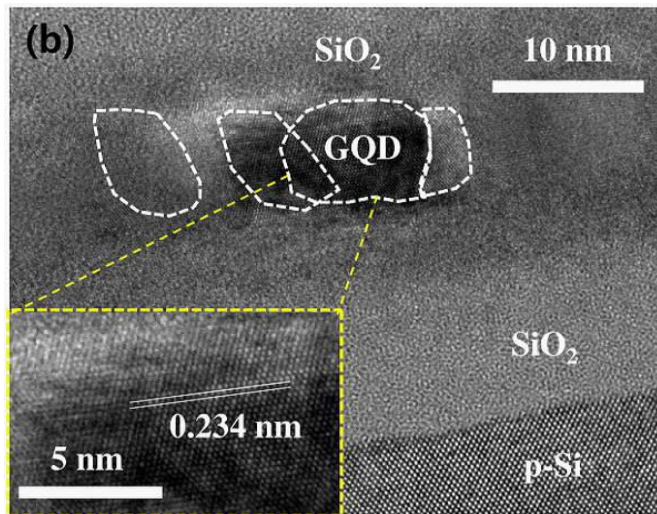
도면2



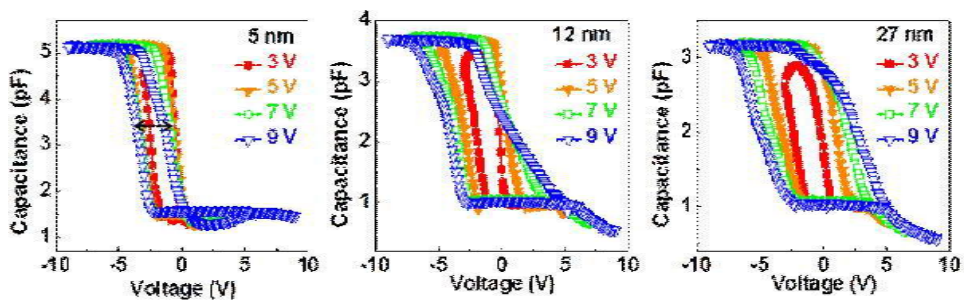
도면3



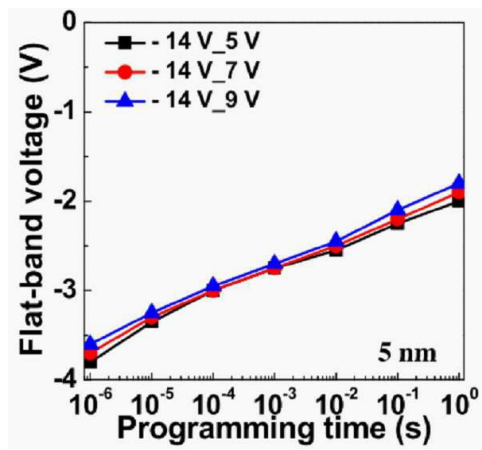
도면4



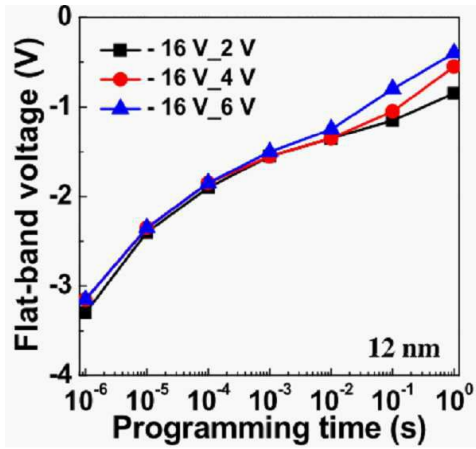
도면5



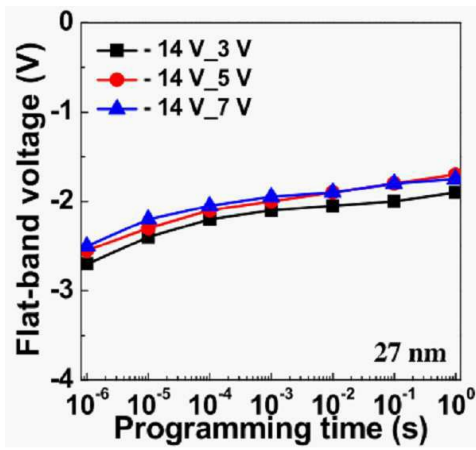
도면6



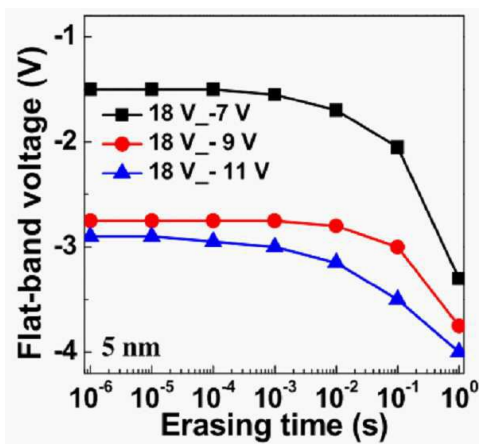
도면7



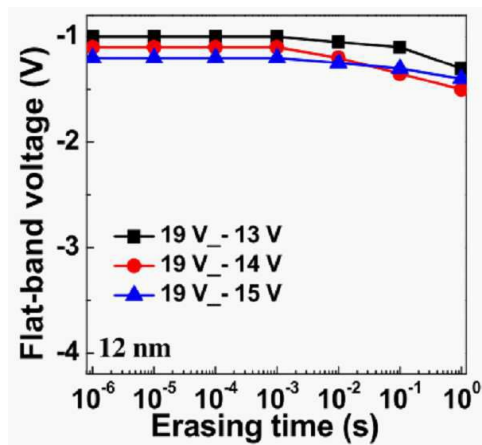
도면8



도면9



도면10



도면11

