

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

**特許第6385126号**  
**(P6385126)**

(45) 発行日 平成30年9月5日 (2018.9.5)

(24) 登録日 平成30年8月17日 (2018.8.17)

(51) Int.Cl.		F I	
<b>HO 4 N</b>	<b>5/347</b>	<b>(2011.01)</b>	HO 4 N 5/347
<b>HO 4 N</b>	<b>5/374</b>	<b>(2011.01)</b>	HO 4 N 5/374
<b>HO 1 L</b>	<b>27/146</b>	<b>(2006.01)</b>	HO 1 L 27/146 A

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2014-95283 (P2014-95283)	(73) 特許権者	000001007
(22) 出願日	平成26年5月2日 (2014.5.2)		キヤノン株式会社
(65) 公開番号	特開2015-213245 (P2015-213245A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成27年11月26日 (2015.11.26)	(74) 代理人	100094112
審査請求日	平成29年4月12日 (2017.4.12)		弁理士 岡部 譲
		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳
		(72) 発明者	高田 佳明
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素を含む画素アレイと、  
前記複数の画素から出力される信号を混合する混合手段とを備える固体撮像装置であって、

前記画素アレイは、

入射された光の光量に依存しない信号を出力する非有効画素を含む第1乃至第3の非有効画素行を有する第1の画素領域と、

入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第2の画素領域と

を備え、

前記混合手段は、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第2の非有効画素行の非有効画素から出力される信号と、を混合した第1の信号と、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第3の非有効画素行の非有効画素から出力される信号と、を混合した第2の信号と、

前記第2の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第3の信号とを生成する

ことを特徴とする固体撮像装置。

【請求項 2】

前記第 2 及び第 3 の非有効画素行は、前記非有効画素として、オブティカルブラック画素及び Null 画素の少なくとも一方を含むことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記第 1 の非有効画素行は、前記非有効画素として、オブティカルブラック画素及び Null 画素の少なくとも一方を含むことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 4】

前記第 1 の非有効画素行は、開口画素を含み、

前記第 1 の非有効画素行は、前記第 2 の非有効画素行と第 3 の非有効画素行との間の行に配置されており、

前記混合の際に、前記第 1 の非有効画素行の開口画素から出力される信号は、入射された光の光量に依存しないことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

【請求項 5】

前記各画素はフローティングディフュージョンを含み、

前記画素アレイはフローティングディフュージョンの間に接続されるトランジスタを含み、前記トランジスタがオンにされることにより、前記フローティングディフュージョンが相互に接続されて信号の混合が行われることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 6】

前記画素アレイは列に沿った方向に並ぶ各画素に共通に接続される列信号線をさらに備え、

前記複数の画素から信号が前記列信号線に出力されることにより、信号の混合が行われることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の固体撮像装置を備えることを特徴とする撮像システム。

【請求項 8】

入射された光の光量に依存しない信号を出力する非有効画素を含む第 1 乃至第 3 の非有効画素行を有する第 1 の画素領域と、入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第 2 の画素領域とを有する、行列状に配置された複数の画素を含む画素アレイを備える固体撮像装置において、前記複数の画素から出力される信号を混合する方法であって、

前記第 1 の非有効画素行の非有効画素から出力される信号と、前記第 2 の非有効画素行の非有効画素から出力される信号と、を混合した第 1 の信号と、

前記第 1 の非有効画素行の非有効画素から出力される信号と、前記第 3 の非有効画素行の非有効画素から出力される信号と、を混合した第 2 の信号と、

前記第 2 の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第 3 の信号とを生成する

ことを特徴とする方法。

【請求項 9】

前記画素アレイは列に沿った方向に並ぶ各画素に共通に接続される列信号線をさらに備え、

前記複数の画素から並行して信号が前記列信号線に出力されることにより、信号の混合が行われる

ことを特徴とする請求項 8 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関するものである。

## 【背景技術】

## 【0002】

特許文献1には、固体撮像装置における画素信号の読み出し方法に関して、撮像領域の複数行のソースフォロワ回路を並行して動作させ、複数のソースフォロワ回路の出力を列信号線上で平均（以後、混合と記載）化することが開示されている。この方法によれば、読み出す画素数を削減した場合でも、偽信号の発生を抑制できる旨が記載されている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】特開2011-97646号公報

10

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

しかしながら、特許文献1には、撮像領域以外の非有効画素行から出力される画素信号の混合については記載されていない。垂直OB画素（オプティカルブラック画素）部、Null画素部等の非有効画素行においても撮像領域と同様の混合を行うような構成を採用した場合、混合のために非有効画素行の行数を多くする必要がある。そのため、非有効画素領域の占有面積が増大し、チップ面積が増大する。

## 【0005】

本発明は、上述した課題に鑑みてなされたものであって、非有効画素の出力信号の混合を行う画素構成において、非有効画素行の行数を削減し、チップ面積を小型化することを目的とする。

20

## 【課題を解決するための手段】

## 【0006】

本発明の一態様に係る固体撮像装置は、行列状に配置された複数の画素を含む画素アレイと、複数の画素から出力される信号を混合する混合手段とを備える固体撮像装置であって、画素アレイは、入射された光の光量に依存しない信号を出力する非有効画素を含む第1乃至第3の非有効画素行を有する第1の画素領域と、入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第2の画素領域とを備え、混合手段は、第1の非有効画素行の非有効画素から出力される信号と、第2の非有効画素行の非有効画素から出力される信号と、を混合した第1の信号と、第1の非有効画素行の非有効画素から出力される信号と、第3の非有効画素行の非有効画素から出力される信号と、を混合した第2の信号と、第2の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第3の信号とを生成することを特徴とする。

30

## 【発明の効果】

## 【0007】

本発明によれば、非有効画素の出力信号の混合を行う画素構成において、非有効画素行の行数を削減し、チップ面積を小型化することができる。

## 【図面の簡単な説明】

## 【0008】

40

【図1】第1の実施形態に係る固体撮像装置の構成を示す図である。

【図2】第1の実施形態に係る周辺回路部の回路構成を示す図である。

【図3】第1の実施形態に係る垂直OB及び周辺回路部の駆動方法を示すタイミングチャートである。

【図4】第1の実施形態に係る開口画素部の回路構成を示す図である。

【図5】第1の実施形態に係る開口画素部の駆動方法を示すタイミングチャートである。

【図6】垂直OB画素の信号の混合を行わない場合における、垂直OB画素部と開口画素部の出力電圧の関係を示すグラフである。

【図7】第2の実施形態に係る固体撮像装置の構成を示す図である。

【図8】第3の実施形態に係る固体撮像装置の構成を示す図である。

50

【図 9】第 3 の実施形態に係る垂直 O B 画素部の駆動方法を示すタイミングチャートである。

【図 10】第 4 の実施形態に係る固体撮像装置の構成を示す図である。

【図 11】第 4 の実施形態に係る開口画素部の駆動方法を示すタイミングチャートである。

【図 12】第 5 の実施形態に係る撮像システムの構成を示すブロック図である。

【発明を実施するための形態】

【0009】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係る固体撮像装置の構成を示す図である。固体撮像装置は、複数の画素が行列状に配置された画素アレイ 1 と、画素アレイ 1 から信号を読み出す周辺回路部 4 とを備える。画素アレイ 1 は、開口画素部 11、Null 画素部 10、垂直 O B 画素 (オプティカルブラック画素) 部 2 を備える。

【0010】

開口画素部 11 は複数の開口画素を含み、各開口画素は入射した光を電荷に変換する光電変換素子としてフォトダイオードを含む。開口画素の出力信号は外部から入射される光量に依存して変化する。Null 画素部 10 は、フォトダイオードを有しない Null 画素を含み、Null 画素から出力される信号は列ごとの出力ばらつきの補正に用いられる。Null 画素はフォトダイオードを有しないため、Null 画素の出力信号は外部から入射される光量に依存しない。垂直 O B 画素部 2 は、アルミニウムなどの遮光膜で覆われたフォトダイオードを有する O B 画素を含む。O B 画素から出力される信号は暗電流によるノイズの補正に用いられる。O B 画素は、遮光膜で覆われているため、外部から入射した光はフォトダイオードに到達しない。よって、O B 画素の出力信号も外部から入射される光量に依存しない。

【0011】

以上述べたように、開口画素部 11 の各行は主に画像信号を取得するために用いられる有効画素行で構成されており、垂直 O B 画素部 2 及び Null 画素部 10 の各行は主にノイズ補正に用いられる非有効画素行で構成されている。非有効画素行からは画像信号が出力されないため、垂直 O B 画素部 2 及び Null 画素部 10 は画素アレイの外周に配置することが好適である。

【0012】

垂直 O B 画素部 2 は複数の画素行 9-1、9-2・・・9-n1、9-n2 を有する。各画素行 9-1、9-2・・・9-n1、9-n2 は複数の単位画素 3 を有する。各単位画素 3 は 2 つのフォトダイオード D1、D2 を含む。なお、図 1 には 4 行 2 列分の単位画素が例示されているが、実際にはさらに多数の単位画素 3 を配列することが可能である。

【0013】

単位画素 3 は、フォトダイオード D1、D2、転送トランジスタ Md1、Md2、リセットトランジスタ Mc、増幅トランジスタ Mb、選択トランジスタ Ma を備える。各トランジスタは、N 型又は P 型の MOSFET で構成される。以下、各トランジスタは N 型であるものとして説明する。転送トランジスタ Md1、Md2、リセットトランジスタ Mc 及び選択トランジスタ Ma のゲート端子には行ごとに共通化された接続線を介して制御信号が入力される。例えば、1 行目の画素行 9-1 において、各トランジスタ Md1、Md2、Mc、Ma のゲート端子には制御信号 TX11、TX12、RES1、SEL1 がそれぞれ入力される。

【0014】

フォトダイオード D1、D2 は、転送トランジスタ Md1、Md2 のソース端子にそれぞれ接続され、転送トランジスタ Md1、Md2 のドレイン端子は、増幅トランジスタ Mb の入力ノード NF に接続される。入力ノード NF にはフローティングディフュージョン (FD) 領域が構成されており、フォトダイオードから電荷を転送することができる。入力ノード NF は、さらにリセットトランジスタ Mc のソース端子及び増幅トランジスタ M

10

20

30

40

50

bのゲート端子に接続される。リセットトランジスタM cのドレイン端子及び増幅トランジスタM bのドレイン端子には電源電圧が供給される。増幅トランジスタM bのソース端子は選択トランジスタM aのドレイン端子に接続され、選択トランジスタM aのソース端子は列信号線5を介して周辺回路部4に接続される。単位画素3は列方向に並ぶ2つのフォトダイオードD 1、D 2を含むので、各画素行9 - 1、9 - 2・・・9 - n 1、9 - n 2はそれぞれ2行のフォトダイオード行を含んでいる。以降、フォトダイオードD 1からなる行をD 1行、フォトダイオードD 2からなる行をD 2行と呼ぶ。列方向とは、列に沿った方向のことを意味する。

#### 【0015】

リセットトランジスタM cがオンになると、入力ノードN Fには電源電圧が供給され、入力ノードN Fの電圧がリセットされる。このとき、選択トランジスタM aがオンであれば、入力ノードN Fのリセット状態に対応する電圧が列信号線5に出力される。このリセット状態に対応する電圧をリセット電圧と呼ぶ。その後、リセットトランジスタM cがオフになり、例えば転送トランジスタM d 1がオンになると、フォトダイオードD 1に蓄積された電荷が入力ノードN Fに転送され、転送された電荷に対応する電圧が列信号線5に出力される。このような入力ノードN Fに転送された電荷に基づく電圧を輝度電圧と呼ぶ。以上のように、単位画素3は、リセット電圧と輝度電圧の2種類の電圧信号を出力できる。後段の回路において輝度電圧とリセット電圧の差分を取得することにより、リセットノイズ等の各画素が有するノイズを除去することが可能となる。

#### 【0016】

図2は、第1の実施形態に係る周辺回路部4の回路構成を示す図である。周辺回路部4は、複数の列読み出し回路6と、差動入出力端子を有する差動チップ出力回路M Aとを備える。列読み出し回路6は画素アレイ1の列ごとに備えられ、各列の列読み出し回路6の出力はリセット電圧用水平信号線7及び輝度電圧用水平信号線8にそれぞれ接続される。各列の列読み出し回路6には、各列の列信号線5からリセット電圧及び輝度電圧が入力される。列読み出し回路6は、リセット電圧及び輝度電圧を読み出して、リセット電圧用水平信号線7にリセット電圧を出力し、輝度電圧用水平信号線8に輝度電圧を出力する。リセット電圧及び輝度電圧は、差動チップ出力回路M Aに入力され、差動電圧信号として差動出力端子O U T P、O U T Nから周辺回路部4の外部に出力される。

#### 【0017】

列読み出し回路6は、リセット電圧及び輝度電圧を読み出し、増幅するための回路素子として、列電流源I b、ゲインアンプG A、スイッチS G、入力容量C i及びフィードバック容量C fを備える。さらに、列読み出し回路6は、その後段にリセット電圧を増幅及び保持する回路素子として、リセット電圧用容量C N 1、第2リセット電圧用容量C N 2、リセット電圧用アンプA N及びスイッチS N 1、S B N、S S N、S N 2、S N 3 1を備える。また、列読み出し回路6は、輝度電圧を増幅及び保持する回路素子として、輝度電圧用容量C P 1、第2輝度電圧用容量C P 2、輝度電圧用アンプA P及びスイッチS P 1、S B P、S S P、S P 2、S P 3 1を備える。

#### 【0018】

列信号線5は入力容量C iの一端に接続される。列電流源I bは列信号線5に接続されており、単位画素3から出力されるリセット電圧及び輝度電圧を入力容量C iに充電させるための電流負荷として機能する。ゲインアンプG Aは反転入力端子、非反転入力端子及び出力端子を有する演算増幅器であり、ゲインアンプG Aの反転入力端子には入力容量C iの他端が接続される。ゲインアンプG Aの非反転入力端子には基準電圧V r e fが入力される。ゲインアンプG Aの反転入力端子と出力端子の間にはフィードバック容量C fが接続される。ゲインアンプG Aの反転入力端子と出力端子の間には、さらにスイッチS Gが接続されており、スイッチS Gとフィードバック容量C fとは並列接続の関係となっている。スイッチS Gは制御信号 S Gによってオン又はオフに制御される。

#### 【0019】

ゲインアンプG Aの後段にはリセット電圧を増幅及び保持する回路と、輝度電圧を増幅

10

20

30

40

50

及び保持する回路とが並列に接続されている。両者の回路は同様の回路構成となっているため、リセット電圧を増幅及び保持する回路の構成のみを説明する。

#### 【 0 0 2 0 】

ゲインアンプ G A の出力端子はスイッチ S N 1 の一端に接続され、スイッチ S N 1 の他端はスイッチ S B N の一端及びリセット電圧用容量 C N 1 の一端と接続されている。リセット電圧用アンプ A N も演算増幅器であり、リセット電圧用容量 C N 1 の他端はリセット電圧用アンプ A N の反転入力端子及びスイッチ S S N の一端に接続される。リセット電圧用アンプ A N の非反転入力端子にはクランプ電圧 V C L A M P が入力される。スイッチ S B N、S S N の他端は、リセット電圧用アンプ A N の出力端子及びスイッチ S N 2 の一端と接続される。スイッチ S N 2 の他端は、第 2 リセット電圧用容量 C N 2 の一端及びスイッチ S N 3 1 の一端に接続される。第 2 リセット電圧用容量 C N 2 の他端は接地されている。スイッチ S N 3 1 の他端は、列読み出し回路 6 の第 1 の出力端子であり、リセット電圧用水平信号線 7 を介して差動チップ出力回路 M A の非反転入力端子に接続される。スイッチ S N 1、S B N、S S N、S N 2、S N 3 1 は、それぞれ制御信号 S N 1、S B N、S S N、S N 2、S N 3 1 によりオン又はオフに制御される。

10

#### 【 0 0 2 1 】

輝度電圧を増幅及び保持する回路も同様の回路構成を有し、その出力である第 2 の出力端子は輝度電圧用水平信号線 8 を介して差動チップ出力回路 M A の反転入力端子に接続される。

#### 【 0 0 2 2 】

20

図 3 は、第 1 の実施形態に係る垂直 O B 画素部 2 及び周辺回路部 4 の駆動方法を示すタイミングチャートである。本タイミングチャートでは、垂直 O B 画素部 2 からリセット電圧及び輝度電圧を読み出すための駆動方法が示されている。垂直 O B 画素部 2 のフォトダイオード D 1、D 2 は遮光膜で覆われているため、出力される輝度電圧は、光が入射していないときに発生する電圧、すなわち、暗電流によって発生する電圧（以下、暗電圧と呼ぶ）である。なお、以下の説明において、全てのスイッチ及びトランジスタは制御信号の電圧がハイレベルのときにオンになり、ローレベルのときにオフになるものとする。

#### 【 0 0 2 3 】

時刻 t 0 から時刻 t 1 3 は、垂直 O B 画素部 2 の画素行 9 - 1、9 - n 1、9 - n 2 内の D 1 行からリセット電圧及び暗電圧の読み出しを行う期間である。

30

#### 【 0 0 2 4 】

時刻 t 0 において、制御信号 S E L 1、S E L 3、S E L 4 がハイレベルになり、選択トランジスタ M a がオンになる。これにより、垂直 O B 画素部 2 の画素行 9 - 1、9 - n 1、9 - n 2 が選択される。これと同時に S G もハイレベルになり、スイッチ S G がオンになる。ゲインアンプ G A の非反転入力端子が出力端子に接続され、ボルテージフォロワ回路になるため、出力端子の電圧は基準電圧 V r e f となる。また、制御信号 S B N、S B P がローレベルになり、スイッチ S B N、S B P がオフになる。さらに、制御信号 S S N、S S P がハイレベルになり、スイッチ S S N、S S P がオンになる。これらの動作により、リセット電圧用アンプ A N と輝度電圧用アンプ A P はサンプリングモード、すなわち、リセット電圧用容量 C N 1 と輝度電圧用容量 C P 1 に信号が書き込み可能な状態となる。また、同時に S N 1 と S P 1 がハイレベルになり、スイッチ S N 1、S P 1 がオンになるため、ゲインアンプから出力される基準電圧 V r e f がリセット電圧用容量 C N 1 と輝度電圧用容量 C P 1 に書き込まれる。

40

#### 【 0 0 2 5 】

時刻 t 1 において、制御信号 R E S 1、R E S 3、R E S 4 がローレベルになり、画素行 9 - 1、9 - n 1 及び 9 - n 2 のリセットトランジスタ M c がオフになる。これにより、入力ノード N F が浮遊状態になる。

#### 【 0 0 2 6 】

時刻 t 2 において、制御信号 S N 1、S P 1 がローレベルになり、スイッチ S N 1、S P 1 がオフとなる。これにより、リセット電圧用容量 C N 1 と輝度電圧用容量 C P 1

50

への基準電圧  $V_{ref}$  の書き込みが完了する。

【0027】

時刻  $t_3$  において、制御信号  $SG$  がローレベルになり、スイッチ  $SG$  がオフとなる。これにより、ゲインアンプ  $GA$  の反転入力端子と出力端子がフィードバック容量  $C_f$  を介して接続され増幅回路を構成する。このとき、ゲインアンプ  $GA$  による増幅回路のゲインは  $(C_i / C_f)$  となる。

【0028】

時刻  $t_4$  において、制御信号  $SN_1$  がハイレベルになり、スイッチ  $SN_1$  がオンとなる。単位画素3のリセット電圧の、リセット電圧用容量  $C_{N1}$  への書き込みが開始される。その後、時刻  $t_5$  において、制御信号  $SN_1$  がローレベルになり、スイッチ  $SN_1$  が

10

【0029】

時刻  $t_6$  において、制御信号  $SP_1$  がハイレベルになり、スイッチ  $SP_1$  がオンになる。これにより、単位画素3の入力ノード  $NF$  の電圧の、輝度電圧用容量  $C_{P1}$  への書き込みが開始される。

【0030】

時刻  $t_7$  において、制御信号  $TX_{11}$ 、 $TX_{31}$  及び  $TX_{41}$  がハイレベルになり、単位画素3の転送トランジスタ  $Md_1$  がオンになる。このとき、暗電流によってフォトダイオード  $D_1$  に蓄積された電子が、入力ノード  $NF$  に転送され、入力ノード  $NF$  の電圧はフォトダイオード  $D_1$  の蓄積電荷量に応じて低下する。時刻  $t_7$  では、制御信号  $SEL_1$ 、 $SEL_3$ 、 $SEL_4$  がハイレベルであるため、画素行  $9-1$ 、 $9-n_1$  及び  $9-n_2$  が選択されている。したがって、これら3つの画素行からの画素信号が並行して列信号線5上に出力されることにより、画素信号が列信号線5上で混合され、その電圧が輝度電圧用容量  $C_{P1}$  に書き込まれる。なお、本明細書において「混合」とは、信号として出力される電荷、電圧、電流等を複数個加算又は平均する動作を指す。また、「混合」は、単純加算及び単純平均だけではなく、各信号に所定の比率の重み付けをしてから加算又は平均を行う、加重加算及び加重平均を含むものとする。

20

【0031】

時刻  $t_8$  において、制御信号  $TX_{11}$ 、 $TX_{31}$  及び  $TX_{41}$  がローレベルになり、単位画素3の転送トランジスタ  $Md_1$  がオフになり、フォトダイオード  $D_1$  に蓄積された電子の、入力ノード  $NF$  への転送が完了する。

30

【0032】

時刻  $t_9$  において、制御信号  $SP_1$  がローレベルになり、スイッチ  $SP_1$  がオフとなる。輝度電圧用容量  $C_{P1}$  への暗電圧の書き込みが完了する。

【0033】

時刻  $t_{10}$  において、制御信号  $RES_1$ 、 $RES_3$ 、 $RES_4$  がハイレベルになり、リセットトランジスタ  $Mc$  がオンとなる。入力ノード  $NF$  にはリセットトランジスタ  $Mc$  を介して電源電圧が供給され、入力ノード  $NF$  の浮遊状態が終わる。同時に、制御信号  $SB_N$ 、 $SB_P$  がハイレベルとなり、スイッチ  $SB_N$ 、 $SB_P$  がオンになる。また、制御信号  $SS_N$ 、 $SS_P$  がローレベルとなり、スイッチ  $SS_N$ 、 $SS_P$  がオフとなることで、リセット電圧用アンプ  $AN$  はリセット電圧用容量  $C_{N1}$  の信号読み出しモードに、輝度電圧用アンプ  $AP$  は輝度電圧用容量  $C_{P1}$  の信号読み出しモードになる。

40

【0034】

時刻  $t_{11}$  において、制御信号  $SN_2$ 、 $SP_2$  がハイレベルになり、スイッチ  $SN_2$ 、 $SP_2$  がオンになる。リセット電圧用容量  $C_{N1}$  に書き込まれたリセット電圧がリセット電圧用アンプ  $AN$  により、第2リセット電圧用容量  $C_{N2}$  に書き込まれ始める。また、同様に輝度電圧用容量  $C_{N2}$  に書き込まれた暗電圧が輝度電圧用アンプ  $AP$  により第2輝度電圧用容量  $C_{P2}$  に書き込まれ始める。

【0035】

50

時刻  $t_{12}$  において、制御信号  $SEL1$ 、 $SEL3$ 、 $SEL4$  がローレベルになり、画素行  $9-1$ 、 $9-n1$ 、 $9-n2$  に含まれる単位画素 3 の選択トランジスタ  $M_a$  がオフになる。これにより、画素行  $9-1$ 、 $9-n1$ 、 $9-n2$  の  $D1$  行の画素信号の読み出しが完了する。

#### 【0036】

時刻  $t_{13}$  において、制御信号  $SN2$ 、 $SP2$  がローレベルになり、第 2 リセット電圧用容量  $CN2$  と第 2 輝度電圧用容量  $CP2$  へのリセット電圧と暗電圧の書き込みが終了する。同時に、制御信号  $SN$ 、 $SP$  がローレベルになり、スイッチ  $SN$ 、 $SP$  がオフになる。さらに、制御信号  $SSN$ 、 $SSP$  がハイレベルになり、スイッチ  $SSN$ 、 $SSP$  がオンとなり、リセット電圧量アンプ  $AN$  と輝度電圧用アンプ  $AP$  がサンプリングモードに戻る。

10

#### 【0037】

時刻  $t_{14}$  において、制御信号  $SN31$  と  $SP31$  がハイレベルになり、スイッチ  $SN31$  と  $SP31$  がオンになる。これにより、第 2 リセット電圧用容量  $CN2$  と第 2 輝度電圧用容量  $CP2$  に蓄積された 1 列目のリセット電圧と暗電圧が、それぞれリセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 に読み出される。このとき、蓄積されたリセット電圧と暗電圧はリセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 の容量により分圧されて、差動チップ出力回路  $MA$  に入力される。例えば、第 2 輝度電圧用容量  $CP2$  の容量値を  $C1$ 、リセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 の容量値を  $C2$  とした場合、電圧ゲインは  $C1 / (C1 + C2)$  となる。差動チップ出力回路  $MA$  は、輝度電圧用水平信号 8 とリセット電圧用水平信号線 7 の電圧の差分、すなわち、(輝度電圧 - リセット電圧) を取得し、チップ外に出力する相関二重サンプリングを行う。これにより、リセットノイズの除去が行われる。

20

#### 【0038】

時刻  $t_{15}$  において、制御信号  $SN32$ 、 $SP32$  がハイレベルになり、2 列目の列読み出し回路 6 のスイッチ  $SN2$ 、 $SP2$  がオンになる。第 2 リセット電圧用容量  $CN2$  と第 2 輝度電圧用容量  $CP2$  に蓄積された 2 列目のリセット電圧と暗電圧が、それぞれリセット電圧用水平信号線 7 と輝度電圧用水平信号線 8 に読み出される。図 3 のタイミングチャートでは 2 列目までが図示され、3 列目以降の制御信号は省略されているが、3 列目以降も同様にして読み出される。全列の読み出しが完了すると、画素行  $9-1$ 、 $9-n1$ 、 $9-n2$  から出力され、混合された暗信号の読み出しが終わる。

30

#### 【0039】

時刻  $t_{13}$  から  $t_{16}$  の期間では、画素行  $9-1$ 、 $9-n1$ 、 $9-n2$  の  $D2$  行からリセット電圧と暗電圧が読み出される。各パルスのタイミングは、時刻  $t_0$  から  $t_{13}$  の期間に画素行  $9-1$ 、 $9-n1$ 、 $9-n2$  の  $D1$  行の読み出しと同様であるため、説明を省略する。

#### 【0040】

時刻  $t_{16}$  から  $t_{17}$  の期間は、画素行  $9-2$ 、 $9-n1$ 、 $9-n2$  のリセット電圧と、混合された暗電圧とが読み出される。各パルスのタイミングは、制御信号  $SEL1$ 、 $RES1$ 、 $TX11$ 、 $TX12$  を、それぞれ制御信号  $SEL2$ 、 $RES2$ 、 $TX21$ 、 $TX22$  と読みかえれば、時刻  $t_0$  から時刻  $t_{16}$  と同様であるため、説明を省略する。

40

#### 【0041】

時刻  $t_0$  から  $t_{16}$  では、垂直  $OB$  画素部 2 の画素行  $9-1$  と、2 つの画素行  $9-n1$ 、 $9-n2$  が同時に選択され、時刻  $t_{16}$  から  $t_{17}$  では、画素行  $9-1$  の次の画素行  $9-2$  と、画素行  $9-n1$ 、 $9-n2$  が同時に選択される。時刻  $t_{17}$  以降は、画素行  $9-2$  の次の画素行  $9-3$  と、画素行  $9-n1$ 、 $9-n2$  が同時に選択される。このように、本実施形態では、垂直  $OB$  画素部 2 の中の同時に選択される 3 つの画素行のうち、1 つの行は先頭から順次移行して、各段階で異なる行が選択されるが、残りの 2 つの行は常に画素行  $9-n1$ 、 $9-n2$  が選択される。

50



## 【 0 0 4 2 】

図 4 は、第 1 の実施形態に係る開口画素部 1 1 の構成を示す図である。図 4 には、開口画素部 1 1 に含まれる 4 行の画素行 1 1 - 1、1 1 - 2、1 1 - 3、1 1 - 4 が図示されているが、さらに多数の画素を配列することが可能であり、例えば数千行、数千列の単位画素 3 を配置することができる。開口画素部 1 1 に含まれる単位画素 3 は、フォトダイオード D 1、D 2 上に遮光膜を有しておらず、光の入射量に応じた輝度信号を出力できるようになっている点が上述の垂直 O B 画素部 2 の単位画素 3 と異なる。ただし、単位画素 3 の回路構成は同様であるため、詳細な説明は省略する。なお、画素行 1 1 - 1 の各トランジスタ M d 1、M d 2、M c、M a のゲート端子に入力される制御信号の符号はそれぞれ T X 5 1、T X 5 2、R E S 5、S E L 5 とする。以下同様に、画素行 1 1 - 2 には制御信号 T X 6 1 等、画素行 1 1 - 3 には制御信号 T X 7 1 等、画素行 1 1 - 4 には制御信号 T X 8 1 等が入力されるものとする。

10

## 【 0 0 4 3 】

図 5 は、第 1 の実施形態に係る開口画素部 1 1 及び周辺回路部 4 の駆動方法を示すタイミングチャートである。開口画素部 1 1 の信号を読み出す際の周辺画素部 4 の動作は、図 3 に示した垂直 O B 画素部 2 の信号を読み出す際のものと同じであるため、図 5 のタイミングチャートでは周辺画素部 4 のスイッチを駆動するパルスは省略されている。

## 【 0 0 4 4 】

時刻 t 0 において、制御信号 S E L 5、S E L 6、S E L 7 がハイレベルになり、選択トランジスタ M a がオンになり、開口画素部 1 1 の画素行 1 1 - 1、1 1 - 2、1 1 - 3 が同時に選択される。

20

## 【 0 0 4 5 】

時刻 t 1 において、制御信号 R E S 5、R E S 6、R E S 7 がローレベルになり、リセットトランジスタ M c がオフになる。これにより、入力ノード N F が浮遊状態になる。その後、周辺画素部 4 にリセット電圧が保持される（図 3 と同様であるため、図 5 のタイミングチャートでは不図示）。

## 【 0 0 4 6 】

時刻 t 7 において、制御信号 T X 5 1、T X 6 1、T X 7 1 がハイレベルになり、D 1 行の転送トランジスタ M d 1 がオンになる。フォトダイオード D 1 に照射されて蓄積された電子が、入力ノード N F に転送され、入力ノード N F の電圧がフォトダイオード D 1 の蓄積電荷量に応じて下がる。

30

## 【 0 0 4 7 】

時刻 t 8 において、制御信号 T X 5 1、T X 6 1、T X 7 1 がローレベルになり、転送トランジスタ M d 1 がオフになる。これにより、フォトダイオード D 1 に蓄積された電子の、入力ノード N F への転送が完了する。その後、周辺画素部 4 に輝度電圧が保持される（図 3 と同様であるため、図 5 のタイミングチャートでは不図示）。

## 【 0 0 4 8 】

時刻 t 10 において、制御信号 R E S 5、R E S 6、R E S 7 がハイレベルになり、リセットトランジスタ M c がオンになる。これにより、入力ノード N F がリセット電位となり、浮遊状態が終わる。

40

## 【 0 0 4 9 】

時刻 t 12 において、制御信号 S E L 5、S E L 6、S E L 7 がローレベルになり、選択トランジスタ M a がオフになる。画素行 1 1 - 1、1 1 - 2、1 1 - 3 の選択が解除され、画素信号の周辺回路部 4 への読み出しが完了する。上述のように時刻 t 0 から時刻 t 12 の期間で行われる画素信号の読み出しでは、3 つの画素行 1 1 - 1、1 1 - 2、1 1 - 3 内の D 1 行からの画素信号同士が同時に列信号線 5 に読み出され、混合される。

## 【 0 0 5 0 】

時刻 t 13 から時刻 t 14 の期間には、画素行 1 1 - 2、1 1 - 3、1 1 - 4 からのリセット信号と D 2 行の画素信号が読み出される。各パルスのタイミングは、時刻 t 0 から

50

t 1 2 の間に画素行 1 1 - 1、1 1 - 2、1 1 - 3 の D 1 行が読み出されたときと同様である。時刻 t 1 5 以降の期間には、時刻 t 0 から t 1 4 までの期間と同様に、3 つの画素行を同時に選択する読み出しが順次行われる。

#### 【 0 0 5 1 】

開口画素部 1 1 から読み出され、混合される 3 行は、各読み出し期間においてすべて異なる。すなわち、どの画素行も混合に用いられる回数は 1 回のみである。これに対し、垂直 O B 画素部 2 から読み出しを行う際は、3 行のうち、2 つの画素行が繰り返し読み出され、1 つの画素行のみを変えながら、読み出して混合している。本実施形態の垂直 O B 画素部 2 の読み出し方法は、開口画素部 1 1 の混合と同様の動作を行う場合と比較して、垂直 O B 画素部 2 の行数を少なくすることができる。また、本実施形態では混合のための素子を別途チップ上に追加する必要はない。これらの理由により、チップ面積を小さくすることが可能となる。

10

#### 【 0 0 5 2 】

次に本実施形態において、垂直 O B 画素部 2 から出力された信号の混合を行う理由を説明する。暗電流成分の除去等の画像補正に必要な垂直 O B 画素部 2 の画素行数を少なくするためには、開口画素部 1 1 の走査時にのみ画素信号の混合を行い、垂直 O B 画素部 2 の走査時には混合を行わないという方法も考えられる。しかし、その場合、垂直 O B 画素部 2 の走査時のほうが開口画素部 1 1 の走査時よりも同時に選択される画素行数が少なくなるため、増幅トランジスタ M b の実効的なチャネル幅 W が小さくなる。増幅トランジスタ M b により構成されるソースフォロワ回路の相互コンダクタンス  $g_m$  は、チャネル幅 W の平方根に比例する。したがって、垂直 O B 画素部 2 の走査時のほうが開口画素部 1 1 の走査時よりも相互コンダクタンス  $g_m$  が小さくなり、ソースフォロワ回路の駆動力（ソースフォロワ回路が列信号線 5 に供給できる電流量）が小さくなる。

20

#### 【 0 0 5 3 】

図 6 は、垂直 O B 画素の信号の混合を行わない場合における垂直 O B 画素部 2 と開口画素部 1 1 の出力電圧の関係を示すグラフである。図 6 のグラフ中の 2 つの曲線は、混合を行う開口画素部 1 1 の出力電圧と、混合を行わない垂直 O B 画素部 2 の出力電圧を示している。図 6 中の「リセット解除」、「リセット電圧サンプリング」及び「輝度電圧サンプリング」のタイミングは、図 3 のタイミングチャートにおいては、それぞれ t 1、t 5 及び t 9 に対応する。図 6 に示されるように、ソースフォロワ回路の駆動力が小さい垂直 O B 画素部 2 の走査時のほうが、開口画素部 1 1 の走査時よりも、画素信号読み出し時の列信号線電圧の整定時間が長くなる。一方、信号出力は、輝度電圧サンプリング時の列信号線電圧とリセット電圧サンプリング時の列信号線電圧との差で決まる。したがって、信号出力は垂直 O B 画素部 2 のほうが開口画素部 1 1 よりも大きくなる。垂直 O B 画素部 2 の出力は画像補正の基準として用いられるため、垂直 O B 画素部 2 と開口画素部 1 1 の出力に差があると、画像補正の精度が低下する。このような理由により、第 1 の実施形態では、垂直 O B 画素部 2 の走査時と開口画素部 1 1 の走査時とにおいて、混合する画素の数を同一にすることにより、ソースフォロワ回路の駆動力を同等にしている。これにより、画像補正の精度を保つことができ、暗電流成分を正確に除去した画像を得ることができる。

30

#### 【 0 0 5 4 】

垂直 O B 画素部 2 の混合される画素の数は、開口画素部 1 1 の混合される画素の数より少なくしてもよい。例えば、開口画素部 1 1 の走査時には 3 画素の信号を混合し、垂直 O B 画素部 2 の走査時には 2 画素の信号を混合する。これにより、垂直 O B 画素部 2 の行数をさらに少なくすることができる。このように混合する画素の数が同一でない場合であっても、垂直 O B 画素部 2 の走査時に画素信号の混合を行わない場合と比較して、上述の出力差の影響が抑制される。

40

#### 【 0 0 5 5 】

以上のように本実施形態では、暗電流成分の除去に用いられる垂直 O B 画素部 2 から出力される信号を混合している。この混合数は開口画素部 1 1 から出力される信号の混合数と同数であるため、ソースフォロワ回路の駆動力が同程度であり、精度よく暗電流成分を

50

除去することができる。さらに、本実施形態の読み出し方法では、垂直OB画素部2から順次読み出す際に、混合に用いられる行のうちの一部を繰り返し用いることにより、垂直OB画素部2の画素行数を削減することができる。これにより、暗電流成分の除去を高精度化しつつ、チップ面積を小型化することが可能となる。

#### 【0056】

##### (第2の実施形態)

図7は、第2の実施形態に係る固体撮像装置の構成を示す図である。垂直OB画素部2の走査時に同時に選択される3つの画素行のうち、第1の実施形態では常に選択されていた2つの画素行9-n1、9-n2が、第2の実施形態ではNull画素部10の画素行10-1、10-2に置き換えられている。上述のように、Null画素部10内のNull画素はフォトダイオードを有していない点が、開口画素及びOB画素と異なる。垂直OB画素部2及び開口画素部11の読み出しタイミングは、それぞれ図3及び図5と同様である。周辺画素部4及び開口画素部11の回路は、それぞれ図2及び図4と同様である。この構成においても第1の実施形態と同様に補正の基準となる垂直OB画素の出力電圧と開口画素部11の出力差を小さくすることができる。よって、第2の実施形態では、垂直OB画素による出力ばらつきの補正の精度を向上させることができる。これとともに、第1の実施形態と同様の理由により、開口画素部11の混合と同様の混合を垂直OB画素部20において行う場合と比較して、垂直OB画素部20の行数を少なくすることができる。

#### 【0057】

##### (第3の実施形態)

図8は、第3の実施形態に係る固体撮像装置の構成を示す図である。垂直OB画素部2の走査時に同時に選択される3つの画素行のうち、第1の実施形態では常に選択されていた2つの画素行9-n1、9-n2が、第3の実施形態では、開口画素部11の画素行11-n1、11-n2に置き換えられている。画素行11-n1及び11-n2は、非有効画素として読み出される画素行であり、垂直OB画素部2の近傍に配置される。

#### 【0058】

図9は、第3の実施形態に係る垂直OB画素部2の駆動方法を示すタイミングチャートである。図3に示す第1の実施形態との差異点は、制御信号TX31、TX41が常時ローレベルであるため、画素行11-n1、11-n2に含まれる単位画素3の転送トランジスタMd1が常時オフになっている点である。すなわち、図9の駆動方法において、画素行11-n1、11-n2のフォトダイオードD1、D2から入力ノードNFには電荷が転送されない。これにより、遮光されていない開口画素部11に含まれる画素行である11-n、11-n2と、遮光された垂直OB画素部2に含まれる画素行9-1、9-2、・・・を同時に選択し、両者からの画素信号を混合することができる。周辺画素部4の動作タイミングは、図3と同様であるため省略されている。また、開口画素部11の画素行のうち、画素行11-n1、11-n2以外の部分の回路構成は図4と同様である。周辺画素部4の回路構成は図2と同様であり、周辺画素部4の動作タイミングは図3と同様である。本実施形態では第1の実施形態と同様の理由により垂直OB画素部2の行数を少なくすることができる。

#### 【0059】

前述のように、OB画素は光電変換素子が遮光膜で覆われている点において、素子構造が開口画素と異なる。そのため、OB画素と隣接する開口画素又は数行程度離れた位置にある(以下、「近接する」と表現する)開口画素は、周囲が開口画素のみである開口画素と比べて光学的特性が異なる場合がある。このような理由により、OB画素と隣接又は近接する開口画素は画像信号の取得に用いられないことがある。本実施形態ではこのような開口画素を垂直OB画素部2の行数削減に活用することが可能である。よって、画素部の合計画素行数が効率よく削減でき、チップ面積を小型化することができる。

#### 【0060】

##### (第4の実施形態)

図10は、第3の実施形態に係る固体撮像装置の構成を示す図である。図1及び図4に示した第1の実施形態との回路構成上の差異点は、各画素行の入力ノードNFの間に、フローティングディフュージョン(FD)領域間を接続又は非接続とするFD接続トランジスタMeが設けられている点である。図10では、開口画素部11以外の画素部の回路構成が省略されているが、Null画素部10及び垂直OB画素部2にも同様にFD接続トランジスタMeが設けられている。周辺画素部4の回路構成は図2と同様である。開口画素部11-1と開口画素部11-2の間のFD接続トランジスタMeは制御信号ADD1によりオン又はオフに制御される。開口画素部11-2と開口画素部11-3の間のFD接続トランジスタMeは制御信号ADD2により制御される。制御信号ADD3・・・・についても同様とする。

10

#### 【0061】

第4の実施形態の垂直OB画素部2の読み出しタイミングは、第1の実施形態及び第2の実施形態の垂直OB画素部2の走査時のタイミングを示す図3及び、第3の実施形態の垂直OB画素部2の走査時のタイミングを示す図9と同様である。FD接続トランジスタMeはNull画素部10及び垂直OB画素部2にも設けられているが、垂直OB画素部2の信号を読み出す際には、Null画素部10及び垂直OB画素部2のFD接続トランジスタMeはオフになっているものとする。

#### 【0062】

図11は、第4の実施形態に係る開口画素部11の駆動方法を示すタイミングチャートである。図3に示す第1の実施形態のタイミングチャートとの差異点は、FD接続トランジスタMeを駆動する制御信号ADD1、ADD2、ADD3が追加されている点であり、その他の制御信号は図3と同様である。

20

#### 【0063】

時刻t0において、制御信号ADD1、ADD2がハイレベルになり、FD接続トランジスタMeがオンになる。これにより、入力ノードNFが接続される。その後、時刻t7において、制御信号TX51、TX61、TX71がハイレベルになり、転送トランジスタMd1がオンになる。これにより、画素行11-1、11-2、11-3のフォトダイオードD1で生成された電荷が、FD接続トランジスタMeによって相互に接続された入力ノードNF上で混合される。フォトダイオードD2で生成された電荷についても同様に混合される。

30

#### 【0064】

第1から第3の実施形態では、各列からの信号を増幅トランジスタMaで増幅した後で列信号線5に出力し、混合する。このとき、各増幅トランジスタのゲート電圧が大きく異なると、垂直信号線で混合された信号は、いずれかの信号に近くなるため、信号の精度劣化が起こることがある。一方、本実施形態では、FD接続トランジスタMeを設けることにより、フォトダイオードD1、D2で生成された電荷を、増幅トランジスタMaでの増幅前にFD上で混合することができる。この混合方法では、各列の信号は、FDで混合された後に増幅トランジスタMaで増幅され、列信号線5に出力される。よって、第1から第3の実施形態場合と比較して、本実施形態では混合時の精度劣化が低減されるので、混合する単位画素からの信号の強さに差がある場合であっても、より高精度に信号を混合することができる。

40

#### 【0065】

(第5の実施形態)

図12は、本発明の第5の実施形態に係る固体撮像装置を用いた撮像システムの構成を示す図である。撮像システム800は、光学部810、固体撮像装置820、映像信号処理部830、記録・通信部840、タイミング制御部850、システム制御部860、及び再生・表示部870を備える。固体撮像装置820には、第1～第4の実施形態として前述した固体撮像装置が用いられる。

#### 【0066】

レンズ等の光学系である光学部810は、被写体からの光を固体撮像装置820の、複

50

数の単位画素 3 が 2 次元状に配列された画素アレイ 1 に結像させ、被写体の像を形成する。固体撮像装置 8 2 0 は、タイミング制御部 8 5 0 からの信号に基づくタイミングで、画素に結像された光に応じた信号を出力する。固体撮像装置 8 2 0 から出力された信号は、映像信号処理部 8 3 0 に入力される。映像信号処理部 8 3 0 は、プログラム等によって定められた方法に従って、入力された信号の処理を行う。映像信号処理部 8 3 0 での処理によって得られた信号は画像データとして記録・通信部 8 4 0 に送られる。記録・通信部 8 4 0 は、画像を形成するための信号を再生・表示部 8 7 0 に送り、再生・表示部 8 7 0 に動画や静止画像を再生・表示させる。記録・通信部 8 4 0 は、また、映像信号処理部 8 3 0 からの信号を受けて、システム制御部 8 6 0 と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

10

#### 【 0 0 6 7 】

システム制御部 8 6 0 は、撮像システム 8 0 0 の動作を統括的に制御するものであり、光学部 8 1 0、タイミング制御部 8 5 0、記録・通信部 8 4 0、及び再生・表示部 8 7 0 の駆動を制御する。また、システム制御部 8 6 0 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システム 8 0 0 の動作を制御するのに必要なプログラム等が記録される。また、システム制御部 8 6 0 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム 8 0 0 内に供給する。具体的には、読み出す行やリセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等の切り替えを行うための信号が供給される。タイミング制御部 8 5 0 は、システム制御部 8 6 0 による制御に基づいて固体撮像装置 8 2 0 及び映像信号処理部 8 3 0 の駆動タイミングを制御する。

20

#### 【 0 0 6 8 】

第 1 ～ 第 4 の実施形態の固体撮像装置は、非有効画素領域の行数が削減され、小型化されている。したがって、本実施形態によれば、撮像システム 8 0 0 の小型化を実現することができる。

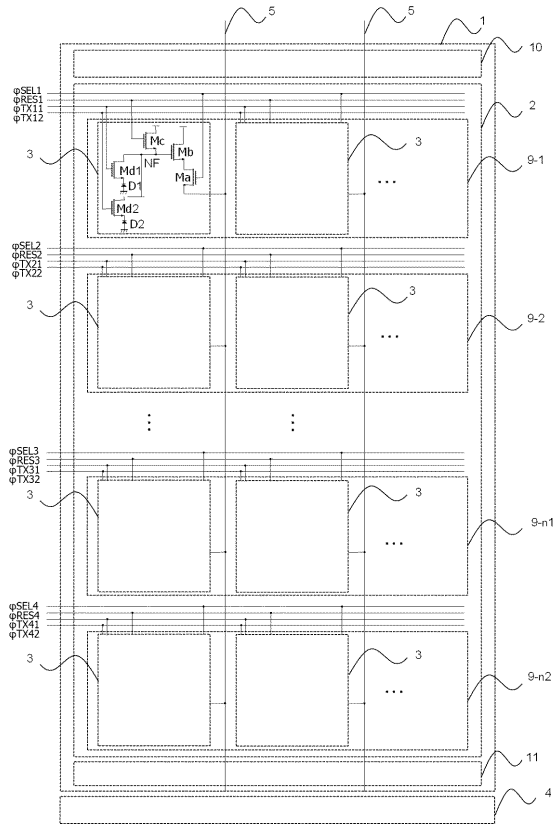
#### 【 符号の説明 】

#### 【 0 0 6 9 】

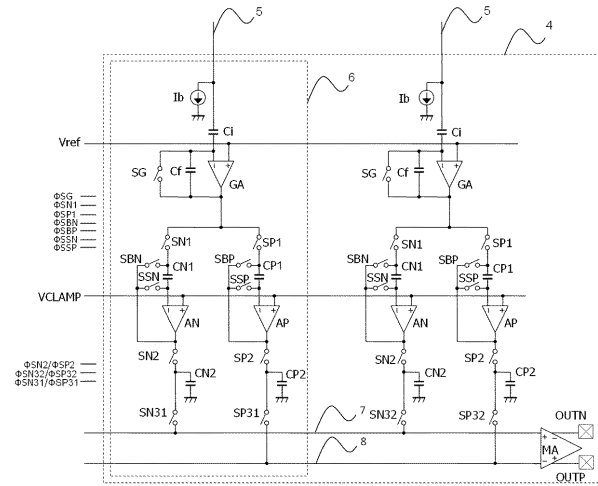
1	画素アレイ
2	垂直 O B 画素部
3	単位画素
1 0	N u l l 画素部
1 1	開口画素部
D 1、D 2	フォトダイオード
M a	選択トランジスタ
M b	増幅トランジスタ
M c	リセットトランジスタ
M d 1、M d 2	転送トランジスタ
M e	F D 接続トランジスタ
N F	増幅トランジスタの入力ノード ( フローティングディフュージョン )

30

【図 1】



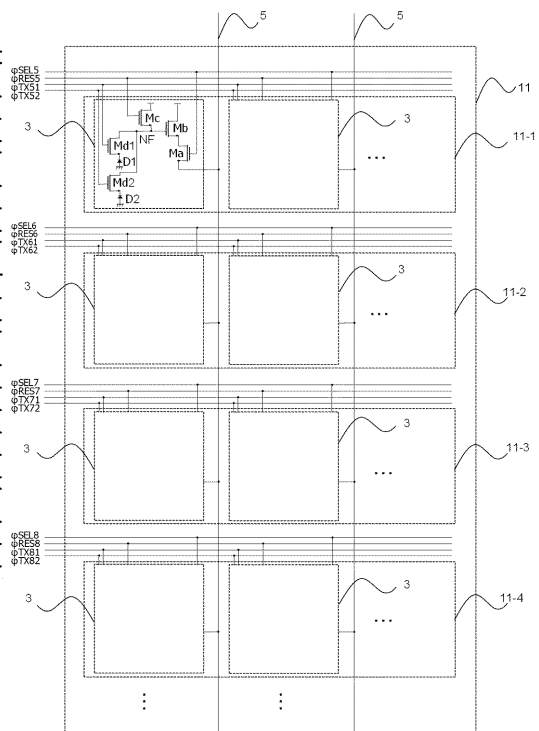
【図 2】



【図 3】

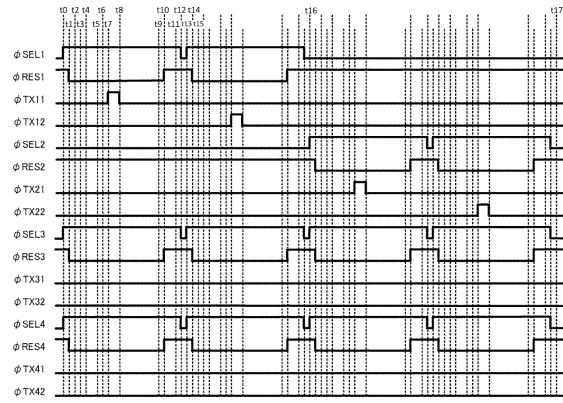


【図 4】

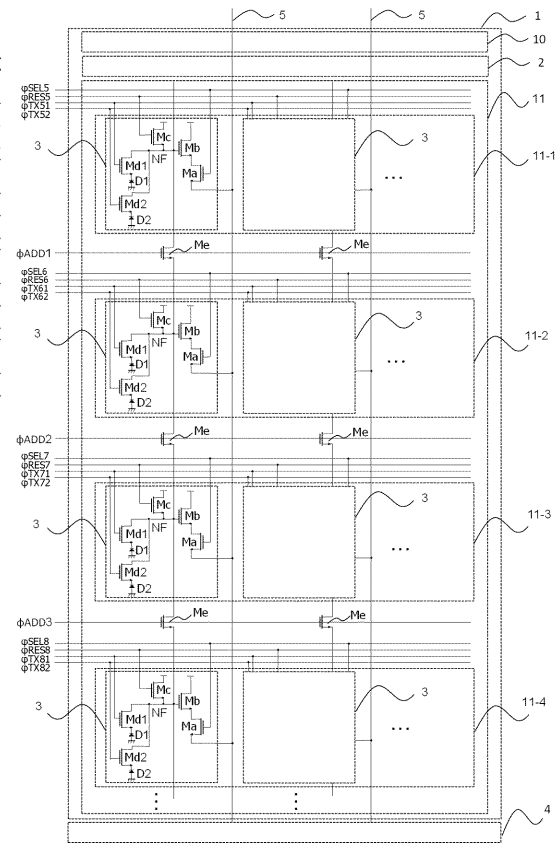




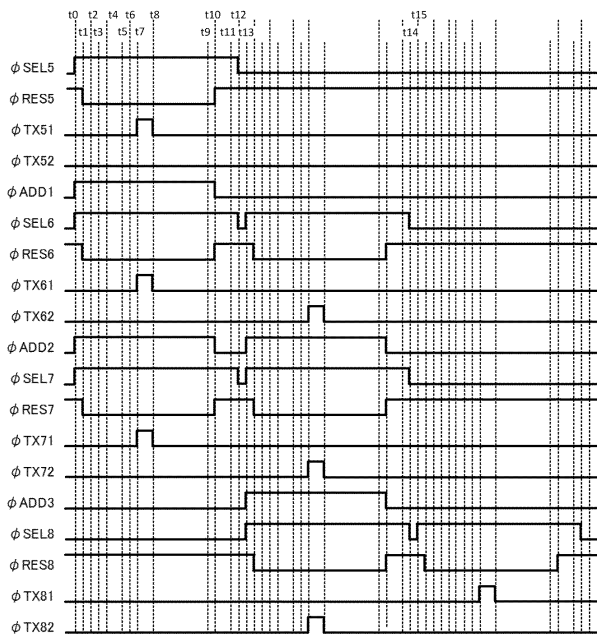
【図 9】



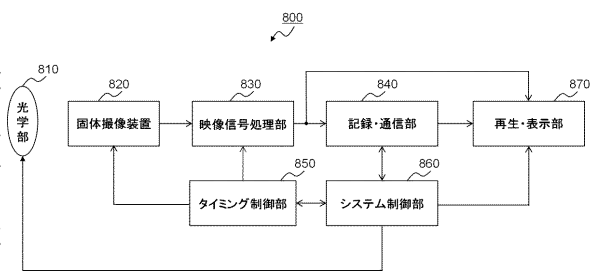
【図 10】



【図 11】



【図 12】





---

フロントページの続き

(72)発明者 大下内 和樹  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 粕谷 満成

(56)参考文献 特開2013-009190(JP,A)  
特開2011-097646(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/347  
H04N 5/374  
H01L 27/146