

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6385126号
(P6385126)

(45) 発行日 平成30年9月5日(2018.9.5)

(24) 登録日 平成30年8月17日(2018.8.17)

(51) Int.Cl.

F 1

H04N 5/347 (2011.01)

H04N 5/347

H04N 5/374 (2011.01)

H04N 5/374

H01L 27/146 (2006.01)

H01L 27/146

A

請求項の数 9 (全 17 頁)

(21) 出願番号

特願2014-95283 (P2014-95283)

(22) 出願日

平成26年5月2日(2014.5.2)

(65) 公開番号

特開2015-213245 (P2015-213245A)

(43) 公開日

平成27年11月26日(2015.11.26)

審査請求日

平成29年4月12日(2017.4.12)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100094112

弁理士 岡部 譲

(74) 代理人 100101498

弁理士 越智 隆夫

(74) 代理人 100106183

弁理士 吉澤 弘司

(74) 代理人 100128668

弁理士 斎藤 正巳

(72) 発明者 高田 佳明

東京都大田区下丸子3丁目30番2号 キ
ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素を含む画素アレイと、
前記複数の画素から出力される信号を混合する混合手段とを備える固体撮像装置であつて、

前記画素アレイは、

入射された光の光量に依存しない信号を出力する非有効画素を含む第1乃至第3の非有効画素行を有する第1の画素領域と、

入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第2の画素領域と

を備え、

前記混合手段は、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第2の非有効画素行の非有効画素から出力される信号と、を混合した第1の信号と、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第3の非有効画素行の非有効画素から出力される信号と、を混合した第2の信号と、

前記第2の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第3の信号とを生成する

ことを特徴とする固体撮像装置。

【請求項 2】

前記第2及び第3の非有効画素行は、前記非有効画素として、オプティカルブラック画素及びN u 1 1画素の少なくとも一方を含むことを特徴とする請求項1に記載の固体撮像装置。

【請求項3】

前記第1の非有効画素行は、前記非有効画素として、オプティカルブラック画素及びN u 1 1画素の少なくとも一方を含むことを特徴とする請求項1又は2に記載の固体撮像装置。

【請求項4】

前記第1の非有効画素行は、開口画素を含み、

前記第1の非有効画素行は、前記第2の非有効画素行と第3の非有効画素行との間に行
に配置されており、

前記混合の際に、前記第1の非有効画素行の開口画素から出力される信号は、入射された光の光量に依存しないことを特徴とする請求項1又は2に記載の固体撮像装置。

【請求項5】

前記各画素はフローティングディフュージョンを含み、

前記画素アレイはフローティングディフュージョンの間に接続されるトランジスタを含み、前記トランジスタがオンにされることにより、前記フローティングディフュージョンが相互に接続されて信号の混合が行われることを特徴とする請求項1乃至4のいずれか1項に記載の固体撮像装置。

【請求項6】

前記画素アレイは列に沿った方向に並ぶ各画素に共通に接続される列信号線をさらに備え、

前記複数の画素から信号が前記列信号線に出力されることにより、信号の混合が行われることを特徴とする請求項1乃至4のいずれか1項に記載の固体撮像装置。

【請求項7】

請求項1乃至6のいずれか1項に記載の固体撮像装置を備えることを特徴とする撮像システム。

【請求項8】

入射された光の光量に依存しない信号を出力する非有効画素を含む第1乃至第3の非有効画素行を有する第1の画素領域と、入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第2の画素領域とを有する、行列状に配置された複数の画素を含む画素アレイを備える固体撮像装置において、前記複数の画素から出力される信号を混合する方法であって、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第2の非有効画素行の非有効画素から出力される信号と、を混合した第1の信号と、

前記第1の非有効画素行の非有効画素から出力される信号と、前記第3の非有効画素行の非有効画素から出力される信号と、を混合した第2の信号と、

前記第2の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第3の信号とを生成する

ことを特徴とする方法。

【請求項9】

前記画素アレイは列に沿った方向に並ぶ各画素に共通に接続される列信号線をさらに備え、

前記複数の画素から並行して信号が前記列信号線に出力されることにより、信号の混合が行われる

ことを特徴とする請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関するものである。

10

20

30

40

50

【背景技術】**【0002】**

特許文献1には、固体撮像装置における画素信号の読み出し方法に関して、撮像領域の複数行のソースフォロワ回路を並行して動作させ、複数のソースフォロワ回路の出力を列信号線上で平均（以後、混合と記載）化することが開示されている。この方法によれば、読み出す画素数を削減した場合でも、偽信号の発生を抑制できる旨が記載されている。

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開2011-97646号公報

10

【発明の概要】**【発明が解決しようとする課題】****【0004】**

しかしながら、特許文献1には、撮像領域以外の非有効画素行から出力される画素信号の混合については記載されていない。垂直OB画素（オプティカルブラック画素）部、N_u11画素部等の非有効画素行においても撮像領域と同様の混合を行うような構成を採用した場合、混合のために非有効画素行の行数を多くする必要がある。そのため、非有効画素領域の占有面積が増大し、チップ面積が増大する。

【0005】

本発明は、上述した課題に鑑みてなされたものであって、非有効画素の出力信号の混合を行う画素構成において、非有効画素行の行数を削減し、チップ面積を小型化することを目的とする。

20

【課題を解決するための手段】**【0006】**

本発明の一態様に係る固体撮像装置は、行列状に配置された複数の画素を含む画素アレイと、複数の画素から出力される信号を混合する混合手段とを備える固体撮像装置であって、画素アレイは、入射された光の光量に依存しない信号を出力する非有効画素を含む第1乃至第3の非有効画素行を有する第1の画素領域と、入射された光の光量に依存する信号を出力する開口画素を含む複数の有効画素行を有する第2の画素領域とを備え、混合手段は、第1の非有効画素行の非有効画素から出力される信号と、第2の非有効画素行の非有効画素から出力される信号と、を混合した第1の信号と、第1の非有効画素行の非有効画素から出力される信号と、を混合した第2の信号と、第2の画素領域に含まれる複数の有効画素行の開口画素から出力される信号同士を混合した第3の信号とを生成することを特徴とする。

30

【発明の効果】**【0007】**

本発明によれば、非有効画素の出力信号の混合を行う画素構成において、非有効画素行の行数を削減し、チップ面積を小型化することができる。

【図面の簡単な説明】**【0008】**

40

【図1】第1の実施形態に係る固体撮像装置の構成を示す図である。

【図2】第1の実施形態に係る周辺回路部の回路構成を示す図である。

【図3】第1の実施形態に係る垂直OB及び周辺回路部の駆動方法を示すタイミングチャートである。

【図4】第1の実施形態に係る開口画素部の回路構成を示す図である。

【図5】第1の実施形態に係る開口画素部の駆動方法を示すタイミングチャートである。

【図6】垂直OB画素の信号の混合を行わない場合における、垂直OB画素部と開口画素部の出力電圧の関係を示すグラフである。

【図7】第2の実施形態に係る固体撮像装置の構成を示す図である。

【図8】第3の実施形態に係る固体撮像装置の構成を示す図である。

50

【図9】第3の実施形態に係る垂直OB画素部の駆動方法を示すタイミングチャートである。

【図10】第4の実施形態に係る固体撮像装置の構成を示す図である。

【図11】第4の実施形態に係る開口画素部の駆動方法を示すタイミングチャートである。

【図12】第5の実施形態に係る撮像システムの構成を示すブロック図である。

【発明を実施するための形態】

【0009】

(第1の実施形態)

図1は、第1の実施形態に係る固体撮像装置の構成を示す図である。固体撮像装置は、複数の画素が行列状に配置された画素アレイ1と、画素アレイ1から信号を読み出す周辺回路部4とを備える。画素アレイ1は、開口画素部11、Null画素部10、垂直OB画素(オプティカルブラック画素)部2を備える。10

【0010】

開口画素部11は複数の開口画素を含み、各開口画素は入射した光を電荷に変換する光電変換素子としてフォトダイオードを含む。開口画素の出力信号は外部から入射される光量に依存して変化する。Null画素部10は、フォトダイオードを有しないNull画素を含み、Null画素から出力される信号は列ごとの出力ばらつきの補正に用いられる。Null画素はフォトダイオードを有しないため、Null画素の出力信号は外部から入射される光量に依存しない。垂直OB画素部2は、アルミニウムなどの遮光膜で覆われたフォトダイオードを有するOB画素を含む。OB画素から出力される信号は暗電流によるノイズの補正に用いられる。OB画素は、遮光膜で覆われているため、外部から入射した光はフォトダイオードに到達しない。よって、OB画素の出力信号も外部から入射される光量に依存しない。20

【0011】

以上述べたように、開口画素部11の各行は主に画像信号を取得するために用いられる有効画素行で構成されており、垂直OB画素部2及びNull画素部10の各行は主にノイズ補正に用いられる非有効画素行で構成されている。非有効画素行からは画像信号が出力されないので、垂直OB画素部2及びNull画素部10は画素アレイの外周に配置することが好適である。30

【0012】

垂直OB画素部2は複数の画素行9-1、9-2・・・9-n1、9-n2を有する。各画素行9-1、9-2・・・9-n1、9-n2は複数の単位画素3を有する。各単位画素3は2つのフォトダイオードD1、D2を含む。なお、図1には4行2列分の単位画素が例示されているが、実際にはさらに多数の単位画素3を配列することが可能である。

【0013】

単位画素3は、フォトダイオードD1、D2、転送トランジスタMd1、Md2、リセットトランジスタMc、増幅トランジスタMb、選択トランジスタMaを備える。各トランジスタは、N型又はP型のMOSFETで構成される。以下、各トランジスタはN型であるものとして説明する。転送トランジスタMd1、Md2、リセットトランジスタMc及び選択トランジスタMaのゲート端子には行ごとに共通化された接続線を介して制御信号が入力される。例えば、1行目の画素行9-1において、各トランジスタMd1、Md2、Mc、Maのゲート端子には制御信号TX11、TX12、RES1、SEL1がそれぞれ入力される。40

【0014】

フォトダイオードD1、D2は、転送トランジスタMd1、Md2のソース端子にそれぞれ接続され、転送トランジスタMd1、Md2のドレイン端子は、増幅トランジスタMbの入力ノードNFに接続される。入力ノードNFにはフローティングディフュージョン(FD)領域が構成されており、フォトダイオードから電荷を転送することができる。入力ノードNFは、さらにリセットトランジスタMcのソース端子及び増幅トランジスタMb

b のゲート端子に接続される。リセットトランジスタ M c のドレイン端子及び増幅トランジスタ M b のドレイン端子には電源電圧が供給される。増幅トランジスタ M b のソース端子は選択トランジスタ M a のドレイン端子に接続され、選択トランジスタ M a のソース端子は列信号線 5 を介して周辺回路部 4 に接続される。単位画素 3 は列方向に並ぶ 2 つのフォトダイオード D 1、D 2 を含むので、各画素行 9 - 1、9 - 2 ··· 9 - n 1、9 - n 2 はそれぞれ 2 行のフォトダイオード行を含んでいる。以降、フォトダイオード D 1 からなる行を D 1 行、フォトダイオード D 2 からなる行を D 2 行と呼ぶ。列方向とは、列に沿った方向のことを意味する。

【 0 0 1 5 】

リセットトランジスタ M c がオンになると、入力ノード N F には電源電圧が供給され、
10 入力ノード N F の電圧がリセットされる。このとき、選択トランジスタ M a がオンであれば、入力ノード N F のリセット状態に対応する電圧が列信号線 5 に出力される。このリセ
ット状態に対応する電圧をリセット電圧と呼ぶ。その後、リセットトランジスタ M c がオ
フになり、例えば転送トランジスタ M d 1 がオンになると、フォトダイオード D 1 に蓄積
された電荷が入力ノード N F に転送され、転送された電荷に対応する電圧が列信号線 5 に
出力される。このような入力ノード N F に転送された電荷に基づく電圧を輝度電圧と呼ぶ。
。以上のように、単位画素 3 は、リセット電圧と輝度電圧の 2 種類の電圧信号を出力できる。
後段の回路において輝度電圧とリセット電圧の差分を取得することにより、リセット
ノイズ等の各画素が有するノイズを除去することが可能となる。

【 0 0 1 6 】

図 2 は、第 1 の実施形態に係る周辺回路部 4 の回路構成を示す図である。周辺回路部 4 は、複数の列読み出し回路 6 と、差動入出力端子を有する差動チップ外出力回路 M A とを備える。列読み出し回路 6 は画素アレイ 1 の列ごとに備えられ、各列の列読み出し回路 6 の出力はリセット電圧用水平信号線 7 及び輝度電圧用水平信号線 8 にそれぞれ接続される。各列の列読み出し回路 6 には、各列の列信号線 5 からリセット電圧及び輝度電圧が入力される。列読み出し回路 6 は、リセット電圧及び輝度電圧を読み出して、リセット電圧用水平信号線 7 にリセット電圧を出力し、輝度電圧用水平信号線 8 に輝度電圧を出力する。リセット電圧及び輝度電圧は、差動チップ外出力回路 M A に入力され、差動電圧信号として差動出力端子 OUT P、OUT N から周辺回路部 4 の外部に出力される。

【 0 0 1 7 】

列読み出し回路 6 は、リセット電圧及び輝度電圧を読み出し、増幅するための回路素子として、列電流源 I b、ゲインアンプ G A、スイッチ S G、入力容量 C i 及びフィードバック容量 C f を備える。さらに、列読み出し回路 6 は、その後段にリセット電圧を増幅及び保持する回路素子として、リセット電圧用容量 C N 1、第 2 リセット電圧用容量 C N 2、リセット電圧用アンプ A N 及びスイッチ S N 1、S B N、S S N、S N 2、S N 3 1 を備える。また、列読み出し回路 6 は、輝度電圧を増幅及び保持する回路素子として、輝度電圧用容量 C P 1、第 2 輝度電圧用容量 C P 2、輝度電圧用アンプ A P 及びスイッチ S P 1、S B P、S S P、S P 2、S P 3 1 を備える。

【 0 0 1 8 】

列信号線 5 は入力容量 C i の一端に接続される。列電流源 I b は列信号線 5 に接続されており、単位画素 3 から出力されるリセット電圧及び輝度電圧を入力容量 C i に充電させるための電流負荷として機能する。ゲインアンプ G A は反転入力端子、非反転入力端子及び出力端子を有する演算増幅器であり、ゲインアンプ G A の反転入力端子には入力容量 C i の他端が接続される。ゲインアンプ G A の非反転入力端子には基準電圧 V ref が入力される。ゲインアンプ G A の反転入力端子と出力端子の間にはフィードバック容量 C f が接続される。ゲインアンプ G A の反転入力端子と出力端子の間には、さらにスイッチ S G が接続されており、スイッチ S G とフィードバック容量 C f とは並列接続の関係となっている。スイッチ S G は制御信号 S G によってオン又はオフに制御される。

【 0 0 1 9 】

ゲインアンプ G A の後段にはリセット電圧を増幅及び保持する回路と、輝度電圧を増幅

10

20

30

40

50

及び保持する回路とが並列に接続されている。両者の回路は同様の回路構成となっているため、リセット電圧を増幅及び保持する回路の構成のみを説明する。

【0020】

ゲインアンプGAの出力端子はスイッチSN1の一端に接続され、スイッチSN1の他端はスイッチSBNの一端及びリセット電圧用容量CN1の一端と接続されている。リセット電圧用アンプANも演算増幅器であり、リセット電圧用容量CN1の他端はリセット電圧用アンプANの反転入力端子及びスイッチSSNの一端に接続される。リセット電圧用アンプANの非反転入力端子にはクランプ電圧VCLAMPが入力される。スイッチSBN、SSNの他端は、リセット電圧用アンプANの出力端子及びスイッチSN2の一端と接続される。スイッチSN2の他端は、第2リセット電圧用容量CN2の一端及びスイッチSN31の一端に接続される。第2リセット電圧用容量CN2の他端は接地されている。スイッチSN31の他端は、列読み出し回路6の第1の出力端子であり、リセット電圧用水平信号線7を介して差動チップ外出力回路MAの非反転入力端子に接続される。スイッチSN1、SBN、SSN、SN2、SN31は、それぞれ制御信号SN1、SBN、SSN、SN2、SN31によりオン又はオフに制御される。

10

【0021】

輝度電圧を増幅及び保持する回路も同様の回路構成を有し、その出力である第2の出力端子は輝度電圧用水平信号線8を介して差動チップ外出力回路MAの反転入力端子に接続される。

【0022】

20

図3は、第1の実施形態に係る垂直OB画素部2及び周辺回路部4の駆動方法を示すタイミングチャートである。本タイミングチャートでは、垂直OB画素部2からリセット電圧及び輝度電圧を読み出すための駆動方法が示されている。垂直OB画素部2のフォトダイオードD1、D2は遮光膜で覆われているため、出力される輝度電圧は、光が入射していないときに発生する電圧、すなわち、暗電流によって発生する電圧（以下、暗電圧と呼ぶ）である。なお、以下の説明において、全てのスイッチ及びトランジスタは制御信号の電圧がハイレベルのときにオンになり、ローレベルのときにオフになるものとする。

【0023】

時刻t0から時刻t13は、垂直OB画素部2の画素行9-1、9-n1、9-n2内のD1行からリセット電圧及び暗電圧の読み出しを行う期間である。

30

【0024】

時刻t0において、制御信号SEL1、SEL3、SEL4がハイレベルになり、選択トランジスタMaがオンになる。これにより、垂直OB画素部2の画素行9-1、9-n1、9-n2が選択される。これと同時にSGもハイレベルになり、スイッチSGがオンになる。ゲインアンプGAの非反転入力端子が出力端子に接続され、ボルテージフォロワ回路になるため、出力端子の電圧は基準電圧Vrefとなる。また、制御信号SBN、SBPがローレベルになり、スイッチSBN、SBPがオフになる。さらに、制御信号SSN、SSPがハイレベルになり、スイッチSSN、SSPがオンになる。これらの動作により、リセット電圧用アンプANと輝度電圧用アンプAPはサンプリングモード、すなわち、リセット電圧用容量CN1と輝度電圧用容量CP1に信号が書き込み可能な状態となる。また、同時にSN1とSP1がハイレベルになり、スイッチSN1、SP1がオンになるため、ゲインアンプから出力される基準電圧Vrefがリセット電圧用容量CN1と輝度電圧用容量CP1に書き込まれる。

40

【0025】

時刻t1において、制御信号RES1、RES3、RES4がローレベルになり、画素行9-1、9-n1及び9-n2のリセットトランジスタMcがオフになる。これにより、入力ノードNFが浮遊状態になる。

【0026】

時刻t2において、制御信号SN1、SP1がローレベルになり、スイッチSN1、SP1がオフとなる。これにより、リセット電圧用容量CN1と輝度電圧用容量CP1

50

への基準電圧 V_{ref} の書き込みが完了する。

【0027】

時刻 t_3 において、制御信号 S_G がローレベルになり、スイッチ S_G がオフとなる。これにより、ゲインアンプ G_A の反転入力端子と出力端子がフィードバック容量 C_f を介して接続され増幅回路を構成する。このとき、ゲインアンプ G_A による増幅回路のゲインは (C_i / C_f) となる。

【0028】

時刻 t_4 において、制御信号 S_N1 がハイレベルになり、スイッチ S_N1 がオンとなる。単位画素3のリセット電圧の、リセット電圧用容量 C_N1 への書き込みが開始される。
10 その後、時刻 t_5 において、制御信号 S_N1 がローレベルになり、スイッチ S_N1 がオフになる。これにより、リセット電圧用容量 C_N1 へのリセット電圧の書き込みが完了する。

【0029】

時刻 t_6 において、制御信号 S_P1 がハイレベルになり、スイッチ S_P1 がオンとなる。これにより、単位画素3の入力ノード N_F の電圧の、輝度電圧用容量 C_P1 への書き込みが開始される。

【0030】

時刻 t_7 において、制御信号 $TX11$ 、 $TX31$ 及び $TX41$ がハイレベルになり、単位画素3の転送トランジスタ M_d1 がオンになる。このとき、暗電流によってフォトダイオード D_1 に蓄積された電子が、入力ノード N_F に転送され、入力ノード N_F の電圧はフォトダイオード D_1 の蓄積電荷量に応じて低下する。
20 時刻 t_7 では、制御信号 $SEL1$ 、 $SEL3$ 、 $SEL4$ がハイレベルであるため、画素行 $9 - 1$ 、 $9 - n_1$ 及び $9 - n_2$ が選択されている。したがって、これら3つの画素行からの画素信号が並行して列信号線5上に出力されることにより、画素信号が列信号線5上で混合され、その電圧が輝度電圧用容量 C_P1 に書き込まれる。なお、本明細書において「混合」とは、信号として出力される電荷、電圧、電流等を複数個加算又は平均する動作を指す。また、「混合」は、単純加算及び単純平均だけではなく、各信号に所定の比率の重み付けをしてから加算又は平均を行う、加重加算及び加重平均を含むものとする。

【0031】

時刻 t_8 において、制御信号 $TX11$ 、 $TX31$ 及び $TX41$ がローレベルになり、単位画素3の転送トランジスタ M_d1 がオフになり、フォトダイオード D_1 に蓄積された電子の、入力ノード N_F への転送が完了する。
30

【0032】

時刻 t_9 において、制御信号 S_P1 がローレベルになり、スイッチ S_P1 がオフとなる。輝度電圧用容量 C_P1 への暗電圧の書き込みが完了する。

【0033】

時刻 t_{10} において、制御信号 $RES1$ 、 $RES3$ 、 $RES4$ がハイレベルになり、リセットトランジスタ M_c がオンとなる。入力ノード N_F にはリセットトランジスタ M_c を介して電源電圧が供給され、入力ノード N_F の浮遊状態が終わる。同時に、制御信号 SBN 、 SBP がハイレベルとなり、スイッチ SBN 、 SBP がオンになる。また、制御信号 SSN 、 SSP がローレベルとなり、スイッチ SSN 、 SSP がオフとなることで、リセット電圧用アンプ A_N はリセット電圧用容量 C_N1 の信号読み出しモードに、輝度電圧用アンプ A_P は輝度電圧用容量 C_P1 の信号読み出しモードになる。
40

【0034】

時刻 t_{11} において、制御信号 S_N2 、 S_P2 がハイレベルになり、スイッチ S_N2 、 S_P2 がオンになる。リセット電圧用容量 C_N1 に書き込まれたリセット電圧がリセット電圧用アンプ A_N により、第2リセット電圧用容量 C_N2 に書き込まれ始める。また、同様に輝度電圧用容量 C_N2 に書き込まれた暗電圧が輝度電圧用アンプ A_P により第2輝度電圧用容量 C_P2 に書き込まれ始める。

【0035】

時刻 t_{12} において、制御信号 SEL1、SEL3、SEL4がローレベルになり、画素行 9 - 1、9 - n1、9 - n2に含まれる単位画素3の選択トランジスタMaがオフになる。これにより、画素行 9 - 1、9 - n1、9 - n2のD1行の画素信号の読み出しが完了する。

【0036】

時刻 t_{13} において、制御信号 SN2、SP2がローレベルになり、第2リセット電圧用容量CN2と第2輝度電圧用容量CP2へのリセット電圧と暗電圧の書き込みが終了する。同時に、制御信号 SBN、SBPがローレベルになり、スイッチSBN、SBPがオフになる。さらに、制御信号 SSN、SSPがハイレベルになり、スイッチSSN、SSPがオンとなり、リセット電圧量アンプANと輝度電圧用アンプAPがサンプリングモードに戻る。10

【0037】

時刻 t_{14} において、制御信号 SN31とSP31がハイレベルになり、スイッチSN31とSP31がオンになる。これにより、第2リセット電圧用容量CN2と第2輝度電圧用容量CP2に蓄積された1列目のリセット電圧と暗電圧が、それぞれリセット電圧用水平信号線7と輝度電圧用水平信号線8に読み出される。このとき、蓄積されたりセット電圧と暗電圧はリセット電圧用水平信号線7と輝度電圧用水平信号線8の容量により分圧されて、差動チップ外出力回路MAに入力される。例えば、第2輝度電圧用容量CP2の容量値をC1、リセット電圧用水平信号線7と輝度電圧用水平信号線8の容量値をC2とした場合、電圧ゲインは $C_1 / (C_1 + C_2)$ となる。差動チップ外出力回路MAは、輝度電圧用水平信号8とリセット電圧用水平信号線7の電圧の差分、すなわち、(輝度電圧 - リセット電圧)を取得し、チップ外に出力する相関二重サンプリングを行う。これにより、リセットノイズの除去が行われる。20

【0038】

時刻 t_{15} において、制御信号 SN32、SP32がハイレベルになり、2列目の列読み出し回路6のスイッチSN2、SP2がオンになる。第2リセット電圧用容量CN2と第2輝度電圧用容量CP2に蓄積された2列目のリセット電圧と暗電圧が、それぞれリセット電圧用水平信号線7と輝度電圧用水平信号線8に読み出される。図3のタイミングチャートでは2列目までが図示され、3列目以降の制御信号は省略されているが、3列目以降も同様にして読み出される。全列の読み出しが完了すると、画素行 9 - 1、9 - n1、9 - n2から出力され、混合された暗信号の読み出しが終わる。30

【0039】

時刻 t_{13} から t_{16} の期間では、画素行 9 - 1、9 - n1、9 - n2のD2行からリセット電圧と暗電圧が読み出される。各パルスのタイミングは、時刻 t_0 から t_{13} の間に画素行 9 - 1、9 - n1、9 - n2のD1行の読み出しと同様であるため、説明を省略する。

【0040】

時刻 t_{16} から t_{17} の期間は、画素行 9 - 2、9 - n1、9 - n2のリセット電圧と、混合された暗電圧とが読み出される。各パルスのタイミングは、制御信号 SEL1、RES1、TX11、TX12を、それぞれ制御信号 SEL2、RES2、TX21、TX22と読みかえれば、時刻 t_0 から時刻 t_{16} と同様であるため、説明を省略する。40

【0041】

時刻 t_0 から t_{16} では、垂直OB画素部2の画素行 9 - 1と、2つの画素行 9 - n1、9 - n2が同時に選択され、時刻 t_{16} から t_{17} では、画素行 9 - 1の次の画素行9 - 2と、画素行 9 - n1、9 - n2が同時に選択される。時刻 t_{17} 以降は、画素行 9 - 2の次の画素行 9 - 3と、画素行 9 - n1、9 - n2が同時に選択される。このように、本実施形態では、垂直OB画素部2の中の同時に選択される3つの画素行のうち、1つの行は先頭から順次移行して、各段階で異なる行が選択されるが、残りの2つの行は常に画素行 9 - n1、9 - n2が選択される。50

【0042】

図4は、第1の実施形態に係る開口画素部11の構成を示す図である。図4には、開口画素部11に含まれる4行の画素行11-1、11-2、11-3、11-4が図示されているが、さらに多数の画素を配列することが可能であり、例えば数千行、数千列の単位画素3を配置することができる。開口画素部11に含まれる単位画素3は、フォトダイオードD1、D2上に遮光膜を有しておらず、光の入射量に応じた輝度信号を出力できるようになっている点が上述の垂直OB画素部2の単位画素3と異なる。ただし、単位画素3の回路構成は同様であるため、詳細な説明は省略する。なお、画素行11-1の各トランジスタMd1、Md2、Mc、Maのゲート端子に入力される制御信号の符号はそれぞれTX51、TX52、RES5、SEL5とする。以下同様に、画素行11-2には制御信号 TX61等、画素行11-3には制御信号 TX71等、画素行11-4には制御信号 TX81等が入力されるものとする。

10

【0043】

図5は、第1の実施形態に係る開口画素部11及び周辺回路部4の駆動方法を示すタイミングチャートである。開口画素部11の信号を読み出す際の周辺画素部4の動作は、図3に示した垂直OB画素部2の信号を読み出す際のものと同じであるため、図5のタイミングチャートでは周辺画素部4のスイッチを駆動するパルスは省略されている。

【0044】

時刻t0において、制御信号 SEL5、SEL6、SEL7がハイレベルになり、選択トランジスタMaがオンになり、開口画素部11の画素行11-1、11-2、11-3が同時に選択される。

20

【0045】

時刻t1において、制御信号 RES5、RES6、RES7がローレベルになり、リセットトランジスタMcがオフになる。これにより、入力ノードNFが浮遊状態になる。その後、周辺画素部4にリセット電圧が保持される（図3と同様であるため、図5のタイミングチャートでは不図示）。

【0046】

時刻t7において、制御信号 TX51、TX61、TX71がハイレベルになり、D1行の転送トランジスタMd1がオンになる。フォトダイオードD1に照射されて蓄積された電子が、入力ノードNFに転送され、入力ノードNFの電圧がフォトダイオードD1の蓄積電荷量に応じて下がる。

30

【0047】

時刻t8において、制御信号 TX51、TX61、TX71がローレベルになり転送トランジスタMd1がオフになる。これにより、フォトダイオードD1に蓄積された電子の、入力ノードNFへの転送が完了する。その後、周辺画素部4に輝度電圧が保持される（図3と同様であるため、図5のタイミングチャートでは不図示）。

【0048】

時刻t10において、制御信号 RES5、RES6、RES7がハイレベルになり、リセットトランジスタMcがオンになる。これにより、入力ノードNFがリセット電位となり、浮遊状態が終わる。

40

【0049】

時刻t12において、制御信号 SEL5、SEL6、SEL7がローレベルになり、選択トランジスタMaがオフになる。画素行11-1、11-2、11-3の選択が解除され、画素信号の周辺回路部4への読み出しが完了する。上述のように時刻t0から時刻t12の期間で行われる画素信号の読み出しでは、3つの画素行11-1、11-2、11-3内のD1行からの画素信号同士が同時に列信号線5に読み出され、混合される。

【0050】

時刻t13から時刻t14の期間には、画素行11-2、11-3、11-4からのリセット信号とD2行の画素信号が読み出される。各パルスのタイミングは、時刻t0から

50

t_{12} の間に画素行 11-1、11-2、11-3 の D1 行が読み出されたときと同様である。時刻 t_{15} 以降の期間には、時刻 t_0 から t_{14} までの期間と同様に、3 つの画素行を同時に選択する読み出しが順次行われる。

【0051】

開口画素部 11 から読み出され、混合される 3 行は、各読み出し期間においてすべて異なる。すなわち、どの画素行も混合に用いられる回数は 1 回のみである。これに対し、垂直 OB 画素部 2 から読み出しを行う際は、3 行のうち、2 つの画素行が繰り返し読み出され、1 つの画素行のみを変えながら、読み出して混合している。本実施形態の垂直 OB 画素部 2 の読み出し方法は、開口画素部 11 の混合と同様の動作を行う場合と比較して、垂直 OB 画素部 2 の行数を少なくすることができる。また、本実施形態では混合のための素子を別途チップ上に追加する必要はない。これらの理由により、チップ面積を小さくすることが可能となる。10

【0052】

次に本実施形態において、垂直 OB 画素部 2 から出力された信号の混合を行う理由を説明する。暗電流成分の除去等の画像補正に必要な垂直 OB 画素部 2 の画素行数を少なくするためには、開口画素部 11 の走査時にのみ画素信号の混合を行い、垂直 OB 画素部 2 の走査時には混合を行わないという方法も考えられる。しかし、その場合、垂直 OB 画素部 2 の走査時のほうが開口画素部 11 の走査時よりも同時に選択される画素行数が少なくなるため、增幅トランジスタ M_b の実効的なチャネル幅 W が小さくなる。増幅トランジスタ M_b により構成されるソースフォロワ回路の相互コンダクタンス g_m は、チャネル幅 W の平方根に比例する。したがって、垂直 OB 画素部 2 の走査時のほうが開口画素部 11 の走査時よりも相互コンダクタンス g_m が小さくなり、ソースフォロワ回路の駆動力（ソースフォロワ回路が列信号線 5 に供給できる電流量）が小さくなる。20

【0053】

図 6 は、垂直 OB 画素の信号の混合を行わない場合における垂直 OB 画素部 2 と開口画素部 11 の出力電圧の関係を示すグラフである。図 6 のグラフ中の 2 つの曲線は、混合を行う開口画素部 11 の出力電圧と、混合を行わない垂直 OB 画素部 2 の出力電圧を示している。図 6 中の「リセット解除」、「リセット電圧サンプリング」及び「輝度電圧サンプリング」のタイミングは、図 3 のタイミングチャートにおいては、それぞれ t_1 、 t_5 及び t_9 に対応する。図 6 に示されるように、ソースフォロワ回路の駆動力が小さい垂直 OB 画素部 2 の走査時のほうが、開口画素部 11 の走査時よりも、画素信号読み出し時の列信号線電圧の整定時間が長くなる。一方、信号出力は、輝度電圧サンプリング時の列信号線電圧とリセット電圧サンプリング時の列信号線電圧との差で決まる。したがって、信号出力は垂直 OB 画素部 2 のほうが開口画素部 11 よりも大きくなる。垂直 OB 画素部 2 の出力は画像補正の基準として用いられるため、垂直 OB 画素部 2 と開口画素部 11 の出力に差があると、画像補正の精度が低下する。このような理由により、第 1 の実施形態では、垂直 OB 画素部 2 の走査時と開口画素部 11 の走査時において、混合する画素の数を同一にすることにより、ソースフォロワ回路の駆動力を同等にしている。これにより、画像補正の精度を保つことができ、暗電流成分を正確に除去した画像を得ることができる。30

【0054】

垂直 OB 画素部 2 の混合される画素の数は、開口画素部 11 の混合される画素の数より少なくしてもよい。例えば、開口画素部 11 の走査時には 3 画素の信号を混合し、垂直 OB 画素部 2 の走査時には 2 画素の信号を混合する。これにより、垂直 OB 画素部 2 の行数をさらに少なくすることができる。このように混合する画素の数が同一でない場合であっても、垂直 OB 画素部 2 の走査時に画素信号の混合を行わない場合と比較して、上述の出力差の影響が抑制される。40

【0055】

以上のように本実施形態では、暗電流成分の除去に用いられる垂直 OB 画素部 2 から出力される信号を混合している。この混合数は開口画素部 11 から出力される信号の混合数と同数であるため、ソースフォロワ回路の駆動力が同程度であり、精度よく暗電流成分を50

除去することができる。さらに、本実施形態の読み出し方法では、垂直OB画素部2から順次読み出す際に、混合に用いられる行のうちの一部を繰り返し用いることにより、垂直OB画素部2の画素行数を削減することができる。これにより、暗電流成分の除去を高精度化しつつ、チップ面積を小型化することが可能となる。

【0056】

(第2の実施形態)

図7は、第2の実施形態に係る固体撮像装置の構成を示す図である。垂直OB画素部2の走査時に同時に選択される3つの画素行のうち、第1の実施形態では常に選択されていた2つの画素行9-n1、9-n2が、第2の実施形態ではNul1画素部10の画素行10-1、1-2に置き換えられている。上述のように、Nul1画素部10内のNul1画素はフォトダイオードを有していない点が、開口画素及びOB画素と異なる。垂直OB画素部2及び開口画素部11の読み出しタイミングは、それぞれ図3及び図5と同様である。周辺画素部4及び開口画素部11の回路は、それぞれ図2及び図4と同様である。この構成においても第1の実施形態と同様に補正の基準となる垂直OB画素の出力電圧と開口画素部11の出力差を小さくすることができる。よって、第2の実施形態では、垂直OB画素による出力ばらつきの補正の精度を向上させることができる。これとともに、第1の実施形態と同様の理由により、開口画素部11の混合と同様の混合を垂直OB画素部20において行う場合と比較して、垂直OB画素部20の行数を少なくすることができる。

【0057】

(第3の実施形態)

図8は、第3の実施形態に係る固体撮像装置の構成を示す図である。垂直OB画素部2の走査時に同時に選択される3つの画素行のうち、第1の実施形態では常に選択されていた2つの画素行9-n1、9-n2が、第3の実施形態では、開口画素部11の画素行11-n1、11-n2に置き換えられている。画素行11-n1及び11-n2は、非有効画素として読み出される画素行であり、垂直OB画素部2の近傍に配置される。

【0058】

図9は、第3の実施形態に係る垂直OB画素部2の駆動方法を示すタイミングチャートである。図3に示す第1の実施形態との差異点は、制御信号TX31、TX41が常時ローレベルであるため、画素行11-n1、11-n2に含まれる単位画素3の転送トランジスタMd1が常時オフになっている点である。すなわち、図9の駆動方法において、画素行11-n1、11-n2のフォトダイオードD1、D2から入力ノードNFには電荷が転送されない。これにより、遮光されていない開口画素部11に含まれる画素行である11-n、11-n2と、遮光された垂直OB画素部2に含まれる画素行9-1、9-2、・・・を同時に選択し、両者からの画素信号を混合することができる。周辺画素部4の動作タイミングは、図3と同様であるため省略されている。また、開口画素部11の画素行のうち、画素行11-n1、11-n2以外の部分の回路構成は図4と同様である。周辺画素部4の回路構成は図2と同様であり、周辺画素部4の動作タイミングは図3と同様である。本実施形態では第1の実施形態と同様の理由により垂直OB画素部2の行数を少なくすることができる。

【0059】

前述のように、OB画素は光電変換素子が遮光膜で覆われている点において、素子構造が開口画素と異なる。そのため、OB画素と隣接する開口画素又は数行程度離れた位置にある（以下、「近接する」と表現する）開口画素は、周囲が開口画素のみである開口画素と比べて光学的特性が異なる場合がある。このような理由により、OB画素と隣接又は近接する開口画素は画像信号の取得に用いられないことがある。本実施形態ではこのような開口画素を垂直OB画素部2の行数削減に活用することが可能である。よって、画素部の合計画素行数が効率よく削減でき、チップ面積を小型化することができる。

【0060】

(第4の実施形態)

10

20

30

40

50

図10は、第3の実施形態に係る固体撮像装置の構成を示す図である。図1及び図4に示した第1の実施形態との回路構成上の差異点は、各画素行の入力ノードNFの間に、フローティングディフュージョン(FD)領域間を接続又は非接続とするFD接続トランジスタMeが設けられている点である。図10では、開口画素部11以外の画素部の回路構成が省略されているが、Nul1画素部10及び垂直OB画素部2にも同様にFD接続トランジスタMeが設けられている。周辺画素部4の回路構成は図2と同様である。開口画素部11-1と開口画素部11-2の間のFD接続トランジスタMeは制御信号ADD1によりオン又はオフに制御される。開口画素部11-2と開口画素部11-3の間のFD接続トランジスタMeは制御信号ADD2により制御される。制御信号ADD3・・・についても同様とする。

10

【0061】

第4の実施形態の垂直OB画素部2の読み出しタイミングは、第1の実施形態及び第2の実施形態の垂直OB画素部2の走査時のタイミングを示す図3及び、第3の実施形態の垂直OB画素部2の走査時のタイミングを示す図9と同様である。FD接続トランジスタMeはNul1画素部10及び垂直OB画素部2にも設けられているが、垂直OB画素部2の信号を読み出す際には、Nul1画素部10及び垂直OB画素部2のFD接続トランジスタMeはオフになっているものとする。

【0062】

図11は、第4の実施形態に係る開口画素部11の駆動方法を示すタイミングチャートである。図3に示す第1の実施形態のタイミングチャートとの差異点は、FD接続トランジスタMeを駆動する制御信号ADD1、ADD2、ADD3が追加されている点であり、その他の制御信号は図3と同様である。

20

【0063】

時刻t0において、制御信号ADD1、ADD2がハイレベルになり、FD接続トランジスタMeがオンになる。これにより、入力ノードNFが接続される。その後、時刻t7において、制御信号TX51、TX61、TX71がハイレベルになり、転送トランジスタMd1がオンになる。これにより、画素行11-1、11-2、11-3のフォトダイオードD1で生成された電荷が、FD接続トランジスタMeによって相互に接続された入力ノードNF上で混合される。フォトダイオードD2で生成された電荷についても同様にして混合される。

30

【0064】

第1から第3の実施形態では、各列からの信号を増幅トランジスタMaで増幅した後で列信号線5に出力し、混合する。このとき、各増幅トランジスタのゲート電圧が大きく異なると、垂直信号線で混合された信号は、いずれかの信号に近くなるため、信号の精度劣化が起こることがある。一方、本実施形態では、FD接続トランジスタMeを設けることにより、フォトダイオードD1、D2で生成された電荷を、増幅トランジスタMaでの増幅前にFD上で混合することができる。この混合方法では、各列の信号は、FDで混合された後に増幅トランジスタMaで増幅され、列信号線5に出力される。よって、第1から第3の実施形態場合と比較して、本実施形態では混合時の精度劣化が低減されるので、混合する単位画素からの信号の強さに差がある場合であっても、より高精度に信号を混合することができる。

40

【0065】

(第5の実施形態)

図12は、本発明の第5の実施形態に係る固体撮像装置を用いた撮像システムの構成を示す図である。撮像システム800は、光学部810、固体撮像装置820、映像信号処理部830、記録・通信部840、タイミング制御部850、システム制御部860、及び再生・表示部870を備える。固体撮像装置820には、第1～第4の実施形態として前述した固体撮像装置が用いられる。

【0066】

レンズ等の光学系である光学部810は、被写体からの光を固体撮像装置820の、複

50

数の単位画素 3 が 2 次元状に配列された画素アレイ 1 に結像させ、被写体の像を形成する。固体撮像装置 820 は、タイミング制御部 850 からの信号に基づくタイミングで、画素に結像された光に応じた信号を出力する。固体撮像装置 820 から出力された信号は、映像信号処理部 830 に入力される。映像信号処理部 830 は、プログラム等によって定められた方法に従って、入力された信号の処理を行う。映像信号処理部 830 での処理によって得られた信号は画像データとして記録・通信部 840 に送られる。記録・通信部 840 は、画像を形成するための信号を再生・表示部 870 に送り、再生・表示部 870 に動画や静止画像を再生・表示させる。記録・通信部 840 は、また、映像信号処理部 830 からの信号を受けて、システム制御部 860 と通信を行うほか、不図示の記録媒体に、画像を形成するための信号を記録する動作も行う。

10

【0067】

システム制御部 860 は、撮像システム 800 の動作を統括的に制御するものであり、光学部 810、タイミング制御部 850、記録・通信部 840、及び再生・表示部 870 の駆動を制御する。また、システム制御部 860 は、例えば記録媒体である不図示の記憶装置を備え、ここに撮像システム 800 の動作を制御するのに必要なプログラム等が記録される。また、システム制御部 860 は、例えばユーザの操作に応じて駆動モードを切り替える信号を撮像システム 800 内に供給する。具体的には、読み出す行やりセットする行の変更、電子ズームに伴う画角の変更や、電子防振に伴う画角のずらし等の切り替えを行うための信号が供給される。タイミング制御部 850 は、システム制御部 860 による制御に基づいて固体撮像装置 820 及び映像信号処理部 830 の駆動タイミングを制御する。

20

【0068】

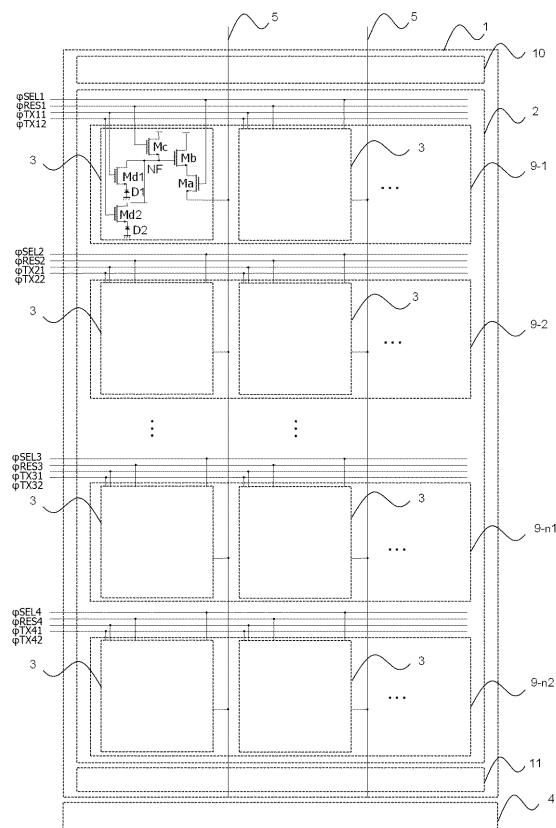
第 1 ~ 第 4 の実施形態の固体撮像装置は、非有効画素領域の行数が削減され、小型化されている。したがって、本実施形態によれば、撮像システム 800 の小型化を実現することができる。

【符号の説明】

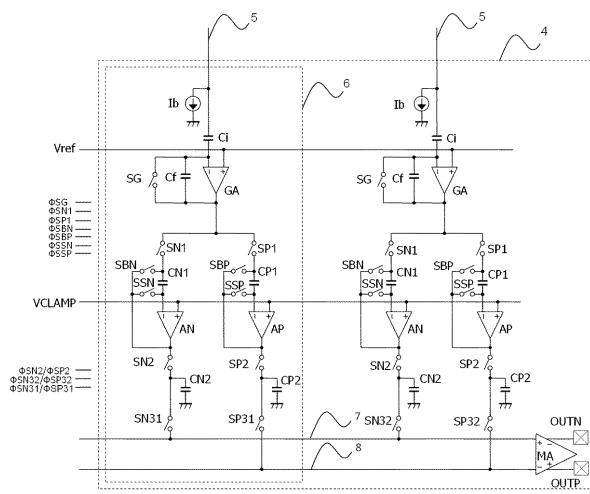
【0069】

1	画素アレイ	
2	垂直 O B 画素部	
3	単位画素	30
1 0	N u l l 画素部	
1 1	開口画素部	
D 1、D 2	フォトダイオード	
M a	選択トランジスタ	
M b	増幅トランジスタ	
M c	リセットトランジスタ	
M d 1、M d 2	転送トランジスタ	
M e	F D 接続トランジスタ	
N F	増幅トランジスタの入力ノード (フローティングディフュージョン)	

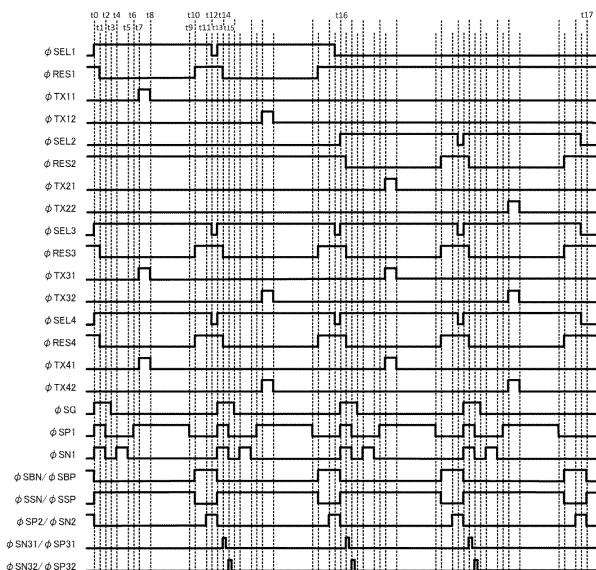
【図1】



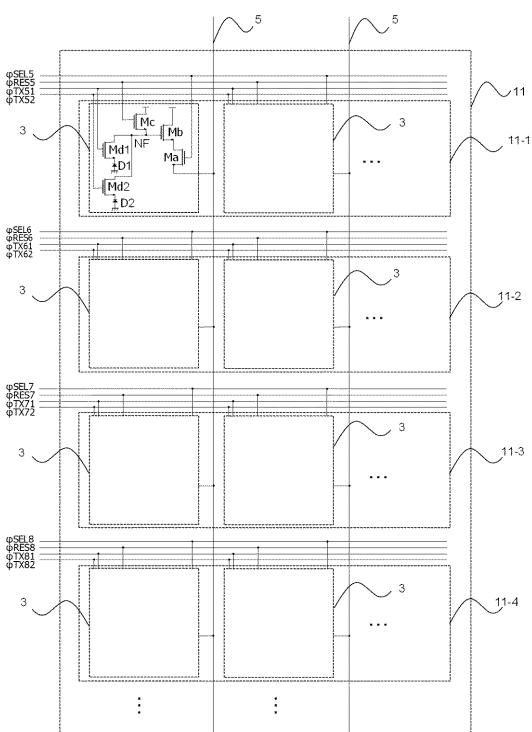
【図2】



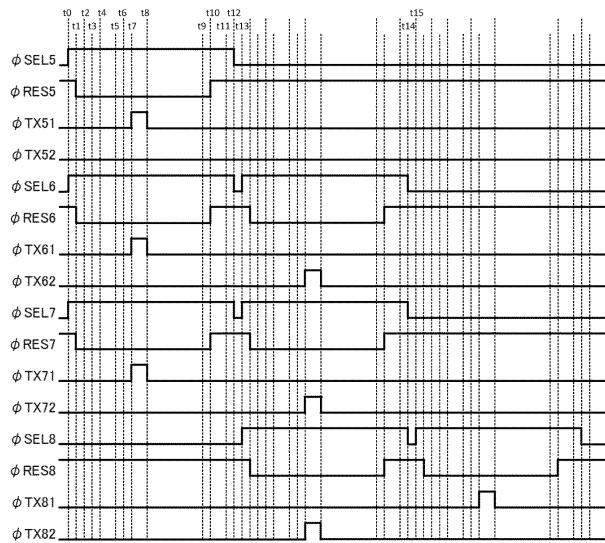
【図3】



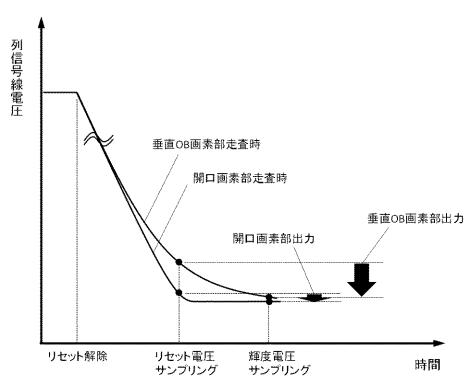
【図4】



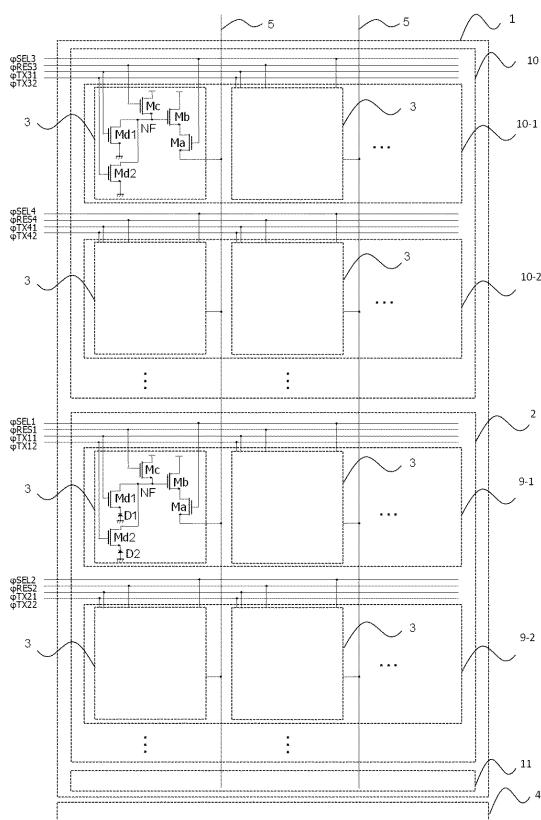
【図5】



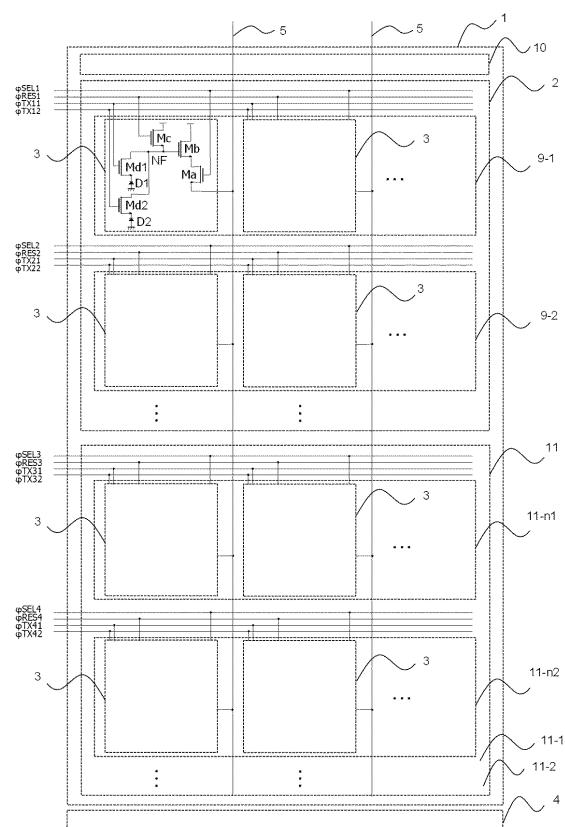
【図6】



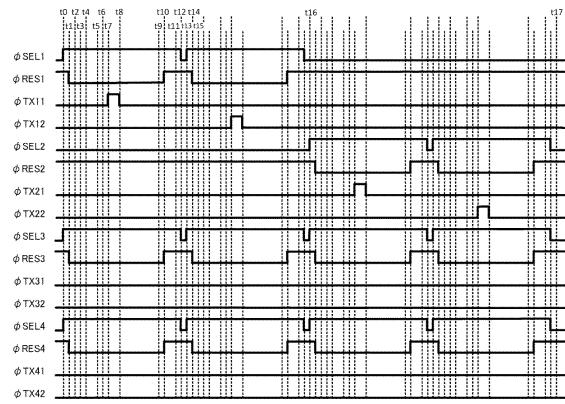
【図7】



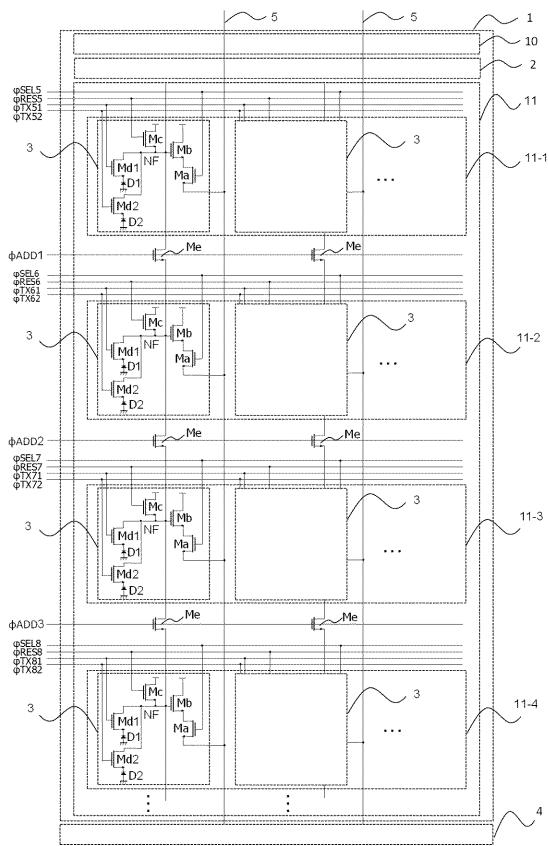
【図8】



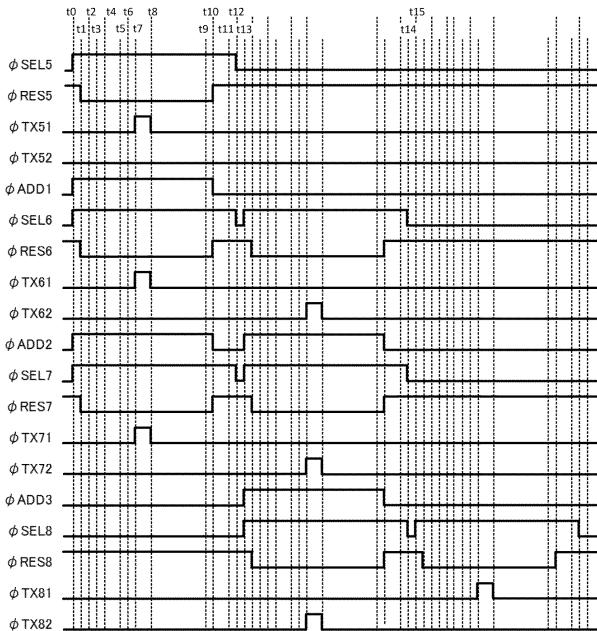
【図9】



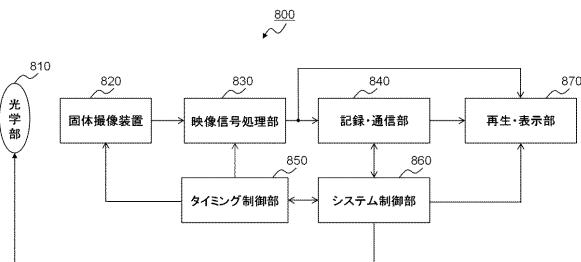
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 大下内 和樹
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 粕谷 満成

(56)参考文献 特開2013-009190(JP,A)
特開2011-097646(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/347

H04N 5/374

H01L 27/146