



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

① CH 671 123 A5

⑤ Int. Cl.⁴: H 03 M 13/00
G 06 F 11/00

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

⑫ PATENTSCHRIFT A5

⑲ Gesuchsnummer: 4777/85

⑳ Anmeldungsdatum: 07.11.1985

⑳ Priorität(en): 13.12.1984 DE 3445512
12.08.1985 DE 3528902

㉑ Patent erteilt: 31.07.1989

㉒ Patentschrift veröffentlicht: 31.07.1989

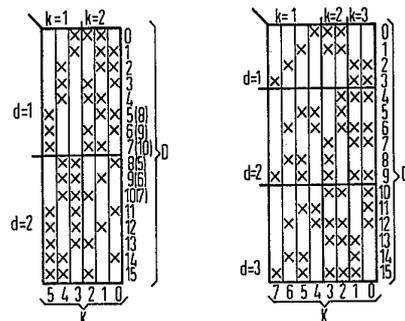
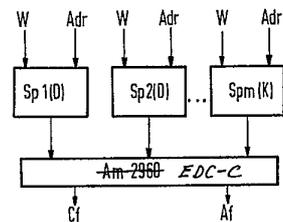
㉓ Inhaber:
Siemens Aktiengesellschaft Berlin und München,
München 2 (DE)

㉔ Erfinder:
Knefel, Hans-Werner, Martinsried (DE)

㉕ Vertreter:
Siemens-Albis Aktiengesellschaft, Zürich

⑤④ Durch einen Error-Detection-Code gesicherte Speicheranordnung.

⑤⑦ Die Speicheranordnung ist durch einen Error-Detection-Correction-Code, also durch K-Bits (K), gesichert. Durch Teilparitätsbildungen aus bestimmten Bitstellen der Datenwörter werden K-Bits gewonnen, die zusammen mit den Datenworten übertragen werden. Jedes Bit eines Datenworts ist dabei in eine Vielzahl solcher Teilparitätsbildungen einbezogen. Die Speicheranordnung besteht aus mehreren parallel mit identischen Ansteuersignalen (Adr, W) angesteuerten Speichereinheiten (Sp1, Sp2...Spm), welche jeweils eine eigene Ansteuereinheit enthalten. Die Datenwörter sind abschnittsweise zusammen mit einzelnen K-Bits derart auf die einzelnen Speichereinheiten verteilt, dass möglichst wenig nicht korrigierbare Fehler bei der Codeprüfung fälschlicherweise als korrigierbar angesehen und dementsprechend korrigiert werden.



PATENTANSPRÜCHE

1. Durch einen Error-Detection, and Correction-Code, kurz EDC-Code also durch K-Bits (K), gesicherte Speicheranordnung, insbesondere für eine zentrale Steuereinheit eines elektronischen Fernsprechvermittlungssystems, wobei

– die mitabgespeicherten K-Bits (K) durch Teilparitätbildungen aus bestimmten Bitstellen eines abgespeicherten Datenwortes (D) derart gebildet sind, dass

– – jeweils jedes einzelne Datenwort-Bit mit einer ungeradzahigen K-Bit-Teilmenge verknüpft ist, so daß dieses einzelne Datenwort-Bit und die mit ihm verknüpfte K-Bit-Teilmenge eine miteinander auf diese Weise verknüpfte «Bitmenge» bilden,

– – aber zumindest jedes Bitt der K-Bits (K) jeweils mit sehr vielen Datenwort-Bits noch in anderer Weise verknüpft ist,

– mehrere, parallel mit identischen Ansteuersignalen (Adr, W) angesteuerte Speichereinheiten (Sp1, Sp2, ... Spm), welche jeweils eine eigene Ansteuerungseinheit enthalten, angebracht sind,

– jeweils die Datenwort-Bits verteilt in den verschiedenen, unter derselben Adresse (Adr) anzusteuernenden Speichereinheiten (Sp...) abgespeichert sind, und

– den Speichereinheiten (Sp1, Sp2, ... Spm) eine oder mehrere EDC-Controllerschaltung (EDC-C) nachgeschaltet sind, dadurch gekennzeichnet, daß

– in jeder der Speichereinheiten (Sp1, Sp2, ... Spm) jeweils sowohl ein Abschnitt (d) des Datenwortes (D) als auch ein Abschnitt (k) der K-Bits (K) so abgespeichert sind, nämlich

– die einzelnen Bits zumindest fast aller Bitmengen — deren K-Bits übrigens jeweils in einer geradzahigen Untermenge oder in, für sich in getrennten Speichereinheiten (z.B. in Sp2 + Sp3) abgespeicherte, geradzahige Subuntermengen sowie eine ungeradzahige Restmenge von Bits unterteilt sind — so verteilt in den verschiedenen Speichereinheiten abgespeichert sind, dass

– – jedes Datenwort-Bit, jeweils zusammen mit der Restmenge seiner Bitmenge, in einer anderen der Speichereinheiten (z.B. in Sp1) abgespeichert ist als die Untermenge (z.B. in Sp2)/Subuntermengen (z.B. in Sp2 + Sp3) seiner Bitmenge, so wie

– – allen Speichereinheiten (Sp1, Sp2), welche die Untermenge/Subuntermengen, die Restmenge und das Datenwort-Bit einer Bitmenge abspeichern, jeweils gemeinsam eine einzige EDC-Controllerschaltung EDC-C nachgeschaltet ist (Fig. 5 und 6).

2. Speicheranordnung nach Patentanspruch 1, dadurch gekennzeichnet, dass jedes Datenwort-Bit jeweils nur in einer einzigen der Speichereinheiten (z.B. in Sp2) abgespeichert ist.

3. Speicheranordnung nach Patentanspruch 1 oder 2, dadurch gekennzeichnet, dass jedes Bit der K-Bits (K) jeweils nur in einer einzigen der Speichereinheiten (z.B. Sp1) abgespeichert ist.

4. Speicheranordnung nach den Patentansprüchen 1 bis 3, dadurch gekennzeichnet, dass

– die Datenwörter (D) jeweils sechzehn Bit Länge haben,

– die K-Bits jeweils sechs Bit Länge haben,

– die EDC-Controllerschaltung durch einen Baustein (EDC-C) gebildet wird, durch den jeder Datenbitstelle eine ungerade Anzahl von K-Bits so zugeordnet wird, dass beim Vergleich mit den abgespeicherten K-Bits nur dann ungeradzahige Muster von Nichtübereinstimmungen entstehen wenn ein 1-Bit-Fehler im ausgelesenen Datenwort vorliegt, und

– in zumindest zwei der Speichereinheiten (z.B. Sp1, Sp2) sowohl höhere als auch niedere Bitstellen des jeweiligen Datenwortes (D), aber nicht Bitstellen zwischen den niederen und den höheren Bitstellen des Datenwortes (D) abgespeichert sind (Fig. 5).

BESCHREIBUNG

Die Erfindung betrifft eine Speicheranordnung gemäss dem

Oberbegriff des Patentanspruches 1. Dieses Speichersystem ist also mit einem Error-Detection-Correction-Code, kurz EDC-Code gesichert und enthält u.a. mehrere, parallel angesteuerte Speichereinheiten, welche jeweils eine eigene Ansteuerungseinheit, also vor allem jeweils auch eine eigene Adressendekodierung aufweisen.

Bei den bekannten derartigen Speichersystemen sind die Datenwörter über einen EDC-Code auf solche Art gesichert, dass unter der jeweiligen Adresse der Datenwörter zusätzlich eine Anzahl redundanter Bits, genannt K-Bits oder EDC-Kontrollbits oder EDC-Codewort, mitabgespeichert wird. Diese K-Bits entstehen durch Teilparitätbildungen, nämlich durch Paritätbildung über bestimmte Teile/Bitstellen des jeweiligen Datenwortes. Beim Auslesen des Datenwortes werden aus dem ausgelesenen Datenwort die betreffenden Teilparitäten und damit alle K-Bits erneut gebildet und mit den mitabgespeicherten, ebenfalls ausgelesenen, diesem Datenwort zugeordneten K-Bits verglichen, um Fehler im ausgelesenen Datenwort zu erkennen.

Diejenigen einzelnen Bits der gesamten K-Bits eines Datenwortes, welche bei diesem Vergleich nicht übereinstimmen, heissen Syndrome. Falls alle verglichenen Bits der K-Bits jeweils untereinander identisch sind, wenn also ein sog. 0-Syndrom vorliegt, ist das ausgelesene Datenwort meistens fehlerfrei eingeschrieben, gespeichert und ausgelesen. Sind aber nicht alle der jeweils miteinander verglichenen Bits der K-Bits untereinander identisch, dann wird aus dem Muster der nicht übereinstimmenden Bits, vor allem aus dem Muster der Bitstellen dieser nicht übereinstimmenden Bits, also aus den sogenannten Syndrommuster, auf die Art des Fehlers geschlossen, wobei anschliessend gewisse Fehler, normalerweise 1-Bit-Fehler, des ausgelesenen Datenwortes auch selbsttätig korrigiert werden. Jene Syndrommuster können ihrerseits im Prinzip eine gerade oder eine ungerade Anzahl von Bitstellen aufweisen. Sie heissen dann geradzahige oder ungeradzahige Syndrommuster.

Diese Syndrommuster gestatten nämlich wegen der hohen Redundanz des betreffenden, mit dem EDC-Code gesicherten Datenwortes, eine einzelne verfälschte Bitstelle im ausgelesenen Datenwort — jedenfalls sehr oft — präzise zu ermitteln und durch Invertieren zu korrigieren. Dazu können die betreffenden Syndrommuster in einem speziellen Netzwerk dekodiert werden, wodurch eine selbsttätiges Invertieren der verfälschten Bitstelle des Datenwortes erreichbar ist.

Zur Erläuterung der Aufgabe und der Vorteil der Erfindung soll zunächst anhand der Fig. 1 bis 3 auf die besondere Anwendungsweise von bekannten EDC-Controllerschaltungen, nämlich besonders des bekannten, in LSI-Technik hergestellten Bausteins Am2960 eingegangen werden. Hierbei sollen die einzelnen Speichereinheiten Sp... individuell durch z.B. LSI-Speicherbausteine Sp... gebildet werden.

EDC-Controllerschaltungen enthalten üblicherweise Paritätsnetzwerke, um selbsttätig die dem jeweiligen EDC-Code entsprechenden K-Bits K aus dem gelesenen Datenwort D zu erzeugen; sie enthalten ferner Verknüpfungsglieder, um die so erneut gebildeten K-Bits K mit den aus den Speichereinheiten Sp... mitausgelesenen mitabgespeicherten K-Bits K zu vergleichen. Eine solche EDC-Controllerschaltung bewirkt also die erneute Bildung der K-Bits K aus dem ausgelesenen Datenwort D, den Vergleich der ausgelesenen und der erneut gebildeten K-Bits K, die Dekodierung der Syndrome, die Korrektur und ggf. auch eine Alarmierung — welche z.B. veranlasst, dass das betreffende Auslesen der abgespeicherten Bits D + K wiederholt wird.

In Fig.1 ist beispielhaft das Schema dargestellt, gemäss dem in dem bekannten EDC-Controller-Baustein Am2960, wegen des Aufbaus seiner in ihm integrierten Schaltungen, die bei ihm sechs K-Bits K, vgl. 0.....5, über die bei ihm sechzehn Bitstellen 0.....15 eines 16-Bit-Datenwortes D gebildet werden. Bei diesem Baustein Am2960 sind nämlich jeweils nur die angekreuzten Bitstellen des Datenwortes D — d.h. deren jeweilige Null oder

Eins — in die Teilparitätbildung, also in die Paritätbildung für das betreffende Bit der K-Bits K, einbezogen. Bei diesem Baustein Am2960 sind jeder Datenwort-Bitstelle nach einem typischen, nur dieser Bitstelle eigenen Schema, vgl. Fig. 1, stets drei (!) verschiedene K-Bits, also eine ungerade Anzahl von K-Bits, so zugeordnet, dass möglichst nur dann ungeradzahliges Syndrommuster entstehen, wenn ein 1-Bit-Fehler im ausgelesenen Datenwort D vorliegt. Das dann vorliegende ungeradzahliges Syndrommuster — nämlich welche drei Bits von den sechs K-Bits zum Syndrommuster gehören — gestattet, sowohl anhand des in Fig. 1 gezeigten Schemas die falsche Bitstelle der 16 Bitstellen des betreffenden Datenwortes D zu ermitteln, als auch zuverlässig diesen 1-Bit-Fehler des ausgelesenen Datenwortes zu korrigieren.

Liegt hingegen im ausgelesenen Datenwort D ein geradzahliges Mehr-Bit-Fehler vor, entstehen wegen des in Fig. 1 gezeigten Schemas fast stets geradzahliges Syndrommuster (manchmal allerdings auch 0-Synonyme), wobei das in Fig. 1 gezeigte Schema dieses Bausteins Am2960 bei einem geradzahliges Syndrommuster nicht mehr gestattet, die verfälschten Bitstellen des 16-Bit-Datenwortes D zu ermitteln und zu korrigieren. (Bei ungeradzahliges Mehr-Bit-Einschreib-, -Speicher- bzw. -Auslesefehlern verhält sich dieser Baustein Am2960 zwar nicht mehr befriedigend, worauf aber in der folgenden Beschreibung nicht mehr näher eingegangen wird, weil der Schwerpunkt der vorliegenden Erfindung eine andere Aufgabe betrifft, vgl. aber z.B. die DE-OS 3 323 577 und 3 319 710, welche Aufgabe lösen, welche der Aufgabe der vorliegenden Erfindung ähnlich sind).

Dieser Baustein Am2960, vgl. ein Anwendungsbeispiel in einem Speichersystem aus m parallel angesteuerten Speicherbausteinen Sp1 ... Spm von z.B. je 8 Bit Länge gemäss Fig. 3, dort mit EDC-C bezeichnet liefert weder ein Signal Cf noch ein Signal Af, wenn sich aus dem Vergleich der ausgelesenen K-Bits K mit den erneut gebildeten K-Bits K ein 0-Syndrom ergibt — wenn sich also ergibt, dass das aus den Speicherbausteinen Sp1 ... Spm ausgelesene Datenwort D wohl fehlerfrei ist. Dieser Baustein EDC-C liefert aber Signale Cf, falls ein ungeradzahliges Syndrommuster vorliegt, falls also im ausgelesenen Datenwort D ein als korrigierbar erkannter 1-Bit-Fehler vorliegt. Bei einem geradzahliges Syndrommuster, also bei einem vom ihm als nicht korrigierbar erkannten Mehr-Bit-Fehler im ausgelesenen Datenwort D, liefert dieser Baustein EDC-C aber ein Alarmsignal Af.

Die Erfindung hat die Aufgabe, die Häufigkeit, mit welcher ein Fehler in der Ansteuerung eines der parallel angesteuerten Speichereinheiten fälschlicherweise von der EDC-Controllerschaltung, vgl. Am2960, als korrigierbar behandelt wird, ganz erheblich zu verringern, ja sogar möglichst völlig Null werden zu lassen.

In der obigen Beschreibung des EDC-gesicherten Speichersystemsbeispiels, vgl. Fig. 3, wurden zunächst nämlich nur Fehler beachtet, welche beim Einschreiben, Speichern und/oder Auslesen des Datenwortes D unter der jeweils richtigen, fehlerfreien Adresse auftreten. Wenn jedoch ein Fehler in der Ansteuerung eines der Speicherbausteine vorliegt, können bei einem 16-Bit-Datenwort D und bei einem EDC-Code gemäss Fig. 1, wie sich zeigte, jeweils mit gleicher Wahrscheinlichkeit 64 verschiedene Syndrommuster entstehen: 22 dieser Syndrommuster (=34.4%) werden hierbei einen korrigierbaren 1-Bit-Fehler vortäuschen und damit eine fehlerhafte Korrektur des ausgelesenen Datenwortes D veranlassen, statt in richtiger Weise als unkorrigierbarer Fehler erkannt zu werden.

Im Prinzip sind hierbei verschiedene Ansteuerungsfehler möglich, z.B. der Ausfall einer der Adress-Bitstellen für z.B. einen einzigen der Speicherbausteine Sp..., vgl. Adr in Fig. 3, oder der Ausfall seines ENABLE-impulses — oder z.B. der Ausfall des Schreibimpulses W für z.B. einen einzigen der Speicherbausteine Sp... z.B. beim Einschreiben in diesen Speicher-

baustein Sp... Solche Fehler sind über die beschriebene EDC-Überwachung im allgemeinen nur sehr unzuverlässig als unkorrigierbar erkennbar — z.B. weil, bei Ausfall des Schreibsteuersignals W oder eines Adress-Bit für einen der Speicherbausteine Sp..., in diesem Speicherbaustein Sp... ein schon früher dort abgespeicherter Abschnitt eines anderen Datenwortes, z.B. also auch lauter 0-Bits abgespeichert bleiben, oder nun falsche, nämlich nicht zum abzuspeichernden Datenwort D gehörende K-Bits abgespeichert werden. Ähnlich unzuverlässig werden Ansteuerungsfehler, welche beim Auslesen auftreten, als unkorrigierbar erkannt.

Fig. 3 zeigt mehrere EDC-geschützte Speicherbausteine Sp..., z.B. drei RAM-Bausteine Sp1, Sp2, Spm = 3, wobei diese Bausteine Sp... beim Einschreiben und Auslesen jeweils gemeinsam von denselben Ansteuersignalen, also z.B. von derselben Adresse Adr oder demselben Schreibsignal W oder ENABLE-signal — vgl. auch Fig. 2 — aktiviert werden. Zur Ansteuerung wird also das jeweilige Steuersignal Adr/W vervielfacht, z.B. gedreifacht, diesen Speicherbausteinen Sp... zugeleitet, wobei der letzte Baustein Spm die K-Bits enthalten mag.

Man kann in der Regel mit einem Ausfall nur eines einzigen Bits dieser Ansteuersignale Adr/W an einem einzigen dieser Speicherbausteinen Sp... rechnen, wodurch, wie erwähnt, Abschnitte verschiedener Datenwörter D und/oder K-Bits K, welche in Wahrheit gar nicht dem betreffenden Speicherwort D zugeordnet sind, beim Einschreiben und/oder Auslesen miteinander vermischt sein können. Ein Speichersystem, welches der Fig. 3 entspricht, erzeugt jedoch, wie sich zeigte, noch viel zu häufig ungeradzahliges Syndrommuster, es täuscht also noch viel zu häufig einen korrigierbaren 1-Bit-Datenwortfehler (Signale am Ausgang Cf) oder völlige Fehlerfreiheit (keine Signale an den Ausgängen Cf und Af) vor, ohne dass in Wahrheit ein korrigierbarer 1-Bit-Datenwortfehler oder eine Fehlerfreiheit vorliegen.

Auf eine solche Weise ist also die Aufgabe der Erfindung noch nicht befriedigend gelöst.

Um die Zuverlässigkeit der Ansteuerung eines solchen Speichersystems weiter zu verbessern, könnte man zwar alle vervielfachten Bits der Ansteuersignale, vgl. Adr/W, für sich noch vor den Speicherbausteinen Sp... durch eine Vielzahl von XOR-Gliedern vergleichen, vgl. das symbolisch in Fig. 2 eingetragene EXCLUSIV-ODER-Glied XOR — diese Fig. 2 zeigt der besseren Übersichtlichkeit wegen auch nur zwei Speicherbausteinen Sp1/Sp2.

Schon in diesem relativ simplen Falle wäre aber der zusätzliche Hardwareaufwand für diese XOR-Glieder beträchtlich. Sind mehr als zwei solche Speicherbausteine Sp... bei dem in Fig. 2 gezeigten Beispiel vorhanden und parallel angesteuert, dann wären sogar noch viel mehr zusätzliche XOR-Glieder nötig, wobei auch dann jeder dieser Speicherbausteine Sp... jeweils nur einen Abschnitt der Datenwörter D aus z.B. acht Bit-Stellen oder die K-Bits speichert, vgl. Fig. 2 und 3. Gleichartig aufgebaute Speichersysteme für besonders lange Datenwörter D, welche also aus extrem vielen Bitstellen bestehen, weisen besonders viele parallel angesteuerte Speicherbausteine Sp... und demnach — ungünstigerweise — besonders viele XOR-Glieder auf, weil dann die Ansteuersignale (Adr, W usw.) entsprechend oft auf die verschiedenen Speicherbausteine Sp... aufzuteilen sind.

Die Aufgabe der Erfindung ist also auch mit solchen XOR-Gliedern, oder mit anderen adäquaten Verknüpfungsgliedern an den Ansteuerungsleitungen, noch nicht befriedigend gelöst. Die Erfindung gestattet jedoch, den hohen zusätzlichen Hardwareaufwand für solche XOR-Glieder oder dgl. in den Ansteuerungsleitungen zu vermeiden; die Erfindung gestattet aber trotzdem, zusätzlich solche Glieder in den Ansteuerungsleitungen anzubringen, und zwar z.B. zur besseren Diagnose von Ansteuerungsfehlern.

Die Aufgabe der Erfindung ist also, noch genauer als oben

formuliert, zumindest die Häufigkeit von durch falsche Ansteuerung bewirkten, fälschlicherweise als korrigierbar statt richtigerweise als unkorrigierbar erkannten Fehlern zu verringern, nämlich zu erreichen, dass bei Ansteuerungsfehler möglichst nur noch sehr selten, möglichst sogar überhaupt nie mehr, korrigierbare Datenwortfehler vorgetäuscht werden, wenn nach einem Fehler in der Ansteuerung (!) einer der parallel angesteuerten Speichereinheiten — beim Einschreiben und/oder (!) beim Auslesen — eine Vermischung von Bits verschiedener, nicht untereinander identischer Datenwörter D und/oder ein Hinzufügen von nicht zum Datenwort D gehörenden Bits der K-Bits K eintrat.

Diese Aufgabe der Erfindung soll mit möglichst kleinem Hardwareaufwand, nämlich bevorzugt durch eine geschickte Aufteilung der Bitstellen der Datenwörter D und der K-Bits K auf die einzelnen Speicherbausteine Sp bzw. Speicherstellen des Speichersystems gelöst werden. Die Erfindung soll aber zulassen, dass bei Bedarf zusätzliche Hardware-Sicherungsmaßnahmen wie z.B. die Einfügung jener XOR-Glieder noch möglich sind.

Diese Aufgabe wird erfindungsgemäss durch die im Patentanspruch 1 genannten Massnahmen gelöst.

Die Erfindung beruht also auf dem Prinzip, von — möglichst — allen Bitmengen, welche jeweils aus dem Datenwort-Bit und der damit verknüpften K-Bit-Teilmenge bestehen, jeweils eine geradzahlige Untermenge — oder mehrere geradzahlige, für sich dann in verschiedenen Speichereinheiten abgespeicherten Subuntermengen — von Bits von der K-Bit-Teilmenge abzuspalten und diese Untermenge/Subuntermengen nicht in derselben Speichereinheit wie das dazugehörige Datenwort-Bit abzuspeichern, sowie die verbleibende ungeradzahlige Restmenge der K-Bit-Teilmenge jeder Bitmenge jeweils in derselben Speichereinheit wie das Datenwort-Bit abzuspeichern. Durch diese Massnahmen wird erreicht, dass, sobald ein unkorrigierbarer Ansteuerfehler bei einer der der Speichereinheiten auftrat, stets oder fast stets geradzahlige Syndrommuster entstehen, welche also zuverlässig von der nachgeschalteten EDC-Controllerschaltung als unkorrigierbarer Ansteuerungsfehler erkannt werden. Bei einer erfindungsgemässen Verteilung aller Bits auf die verschiedenen Speichereinheiten würden also bei einem Ansteuerungsfehler, wenn der Baustein Am2960 als EDC-Controllerschaltung verwendet wird, bei solcher fehlerhaften Ansteuerung normalerweise das einen unkorrigierbaren Fehler anzeigende Alarmsignal Af abgegeben werden, weil dieser ein geradzahliges Syndrommuster feststellte.

Im Prinzip kann daher auch aus dem in Fig. 3 gezeigten Beispiel ein erfindungsgemässes Beispiel gebildet werden, wenn die Bitmengen jeweils passend auf die verschiedenen Speichereinheiten Sp... verteilt werden, statt alle Bits nur in der in Fig. 3 gezeigten Weise abzuspeichern.

Weil aber alle Datenwort-Bits durch den EDC-Code gesichert sind, kann darüberhinaus ein Einschreib-, Speicher- und/oder Auslesefehler, der bei fehlerloser Ansteuerung aller Speichereinheiten eintrat, auch bei der Erfindung in der für EDC gewohnter Weise erkannt und 1-Bit-Datenwort-Fehler auch selbsttätig korrigiert werden.

Die in den Ansprüchen angegebenen zusätzlichen Massnahmen gestatten, zusätzliche Vorteile zu erreichen, nämlich die Massnahmen gemäss Patentanspruch 2 und 3, jeweils besonders geringen Aufwand an Speicherkapazität zu benötigen; sowie

4, als EDC-Controller-Baustein den Baustein Am2960 bei besonders wenig Hardwareaufwand verwenden zu können, nämlich nur eine entsprechende Vertauschung von Zuordnungen von EDC-Controller-Baustein-Anschlüssen zu Speichereinheiten-Anschlüssen wählen zu müssen.

Die Erfindung und ihre Weiterbildungen werden anhand der in den Fig. 4 bis 6 gezeigten Beispiele weiter erläutert, welche dem erfindungsgemässen, zusätzlich zum EDC-Schema (vgl.

Fig. 1) vorgegebenen Verteilungsschema für die einzelnen Bits der Bitmengen auf die verschiedenen Speichereinheiten Sp... entsprechen. Hierbei zeigen die Figur 4 generell ein erfindungsgemässes Verteilungsschema, welches bevorzugt weiteren, später anhand von Fig. 5 und 6 näher erläuterten Bedingungen über die jeweils nur einmalig Abspeicherung jedes Bit unterworfen ist, um Speicherplätze, d.h. Speicherkapazität zu sparen;

5 eine zwei Speichereinheiten aufweisende Weiterbildung, bei welcher jede Speichereinheit acht der hier sechzehn Datenwort-Bits sowie jeweils drei der hier sechs K-Bits abspeichern; sowie

6 eine drei Speichereinheiten aufweisende Weiterbildung, bei welcher jede Speichereinheit jeweils insgesamt nur acht Bits abspeichert, nämlich jeweils vier Datenwort-Bits der hier insgesamt sechzehn Datenwort-Bits und vier Bits der hier acht K-Bits, oder sechs Datenwort-Bits und zwei Bits der K-Bits,

wobei die Fig. 5 und 6 — ähnlich wie Fig. 1 — durch Ankreuzen markierte Schemen für Teilparitätbildungen der K-Bits darstellen.

Jedes der in irgendeiner der Speichereinheiten Sp... abgespeicherten Datenwort-Bits ist auch bei der Erfindung gemäss einem nach EDC-Art vorgegebenen Teilparitäten-Bildungsschema, z.B. gemäss Fig. 1, mit jeweils einer ungeradzahligen K-Bit-Teilmenge verknüpft. Die erfindungsgemässe Verteilung der K-Bits K auf die verschiedenen Speichereinheiten bzw. Speicherbausteine Sp... liegt dann vor, wenn angestrebt ist, möglichst jedes Datenwort-Bit in irgendeiner anderen Speichereinheit Sp... (z.B. Sp2) abzuspeichern als eine geradzahlige (Sub-)Untermenge der mit diesem Datenwort-Bit verknüpften K-Bit-Teilmenge. Daneben ist bei der Erfindung, zur Erkennung der unkorrigierbaren Ansteuerungsfehler, allen jenen Speichereinheiten Sp..., welche insgesamt das zu jeweils einer einzigen Bitmenge gehörende Datenwort-Bit, die dazugehörige Untermenge/Subuntermengen sowie die dazugehörige Restmenge der K-Bit-Teilmenge speichern, eine alle diese Komponenten der Bitmenge gemeinsam prüfende EDC-Controllerschaltung nachgeschaltet.

Im Prinzip, vgl. Fig. 5 und 6, kann also, wie erwähnt, die Schaltung des erfindungsgemässen Speichersystems auch in gleicher Weise wie in Fig. 3 — oder auch Fig. 2 — gewählt werden, aber mit dem Unterschied, dass zumindest die Verteilung der Bits der Untermengen der K-Bit-Teilmengen auf die verschiedenen Speichereinheiten Sp... anders, nämlich erfindungsgemäss gewählt wird. Hierbei können, wie ebenfalls bereits erwähnt, einzelne der oder alle diese Untermengen auch in jeweils mehrere, für sich geradzahlige Subuntermengen aufgeteilt sein, wobei jede dieser Subuntermengen jeweils in einer anderen Speichereinheit als die anderen Subuntermengen dieser Bitmenge abgespeichert werden — was anhand von Fig. 6 später noch näher gezeigt werden wird.

Ganz besonders wenig Geschick für die Verteilung der Bits aller Bitmengen — wenn auch entsprechend mehr Speicherplatzaufwand — erfordert das erfindungsgemässe Speichersystem, wenn einzelne oder alle Bits gleichzeitig mehrfach, nämlich vervielfacht in mehreren der Speichereinheiten Sp... abgespeichert werden. Dann ist nämlich besonders leicht zu erreichen, dass jeder in einer Speichereinheit abgespeicherten Datenwort-Bitstelle jeweils eine in einer anderen Speichereinheit abgespeicherte, damit verknüpfte Untermenge der K-Bit-Teilmenge zugeordnet ist.

Bei Bedarf, besonders bei sehr grosser Länge der Datenwörter D — z.B. bei 64-Bit-Datenwörtern — d.h. besonders bei einer sehr hohen Anzahl der parallel angesteuerten Speichereinheiten Sp..., ist es mitunter günstig, mehrere statt einer einzigen EDC-Controllerschaltungen den Speichereinheiten Sp... nachzuschalten. Hierbei kann man das lange Datenwort in mehrere kürzere Datensilben zerlegen, jede Datensilbe für sich nach einem EDC-Code sichern, die Bits jeder Datensilbe und die zu ihr gehörenden K-Bits für sich gemäss dem erfindungsgemässen

Verteilungsschema auf mehrere eigene Speichereinheiten verteilen und jeweils allen Speichereinheiten, welche einer Datensilbe und deren K-Bits zugeordnet sind, gemeinsam eine der EDC-Controllerschaltungen nachschalten.

Weil alle K-Bits für sich nach einem EDC-Code gebildet wurden, also insofern keine Abweichung von den bei EDC üblichen Schemen vorliegt, werden die Speichereinheiten $Sp\dots$ auch bei solchen extrem langen Datenwörtern D , in gemäss dem gewählten EDC-Code üblicher Weise prüfbar Ausleseergebnisse liefern, wenn kein Ansteuerungsfehler vorliegt: Beim Auslesen des Datenwortes D und seiner zugehörigen K-Bits K kann weiterhin in der bei EDC üblichen Weise durch die EDC-Controllerschaltung, z.B. durch den Baustein Am 2960, das aus den Speichereinheiten ausgelesene Ausleseergebnis ausgewertet, also jeweils entweder als fehlerfrei erkannt, oder bei einem 1-Bit-Fehler des ausgelesenen Datenwortes D korrigiert, oder bei einem Mehr-Bit-Fehler des ausgelesenen Datenwortes D als unkorrigierbar erkannt werden, wenn jeweils kein Ansteuerungsfehler vorliegt. Ferner kann wegen der zusätzlichen erfindungsgemässen Verteilung der Bits aller Bitmengen auf die verschiedenen Speichereinheiten auch bei solchen extrem langen Datenwörtern D der Ansteuerungsfehler als unkorrigierbar erkannt werden, weil jede Datenwort-Silbe für sich erfindungsgemäss abgespeichert ist.

Das erfindungsgemässe Verteilungsschema bewirkt, dass in jeder der verschiedenen Speichereinheiten jeweils sowohl ein Abschnitt des Datenwortes sowie ein Abschnitt der K-Bits abgespeichert ist.

Zwei besonders einfache Beispiele der Erfindung werden zunächst anhand der Fig. 5 und 6 erläutert, welche eine entsprechende Verteilung der Bitmengen in einem Speichersystem mit zwei (Fig. 5) oder drei (Fig. 6) verschiedenen Speichereinheiten — vgl. Fig. 3 — zeigen und welche zwei zusätzliche erschwerende Bedingungen erfüllen: dass es nämlich kein Bit eines Abschnittes des Datenwortes D gibt, welches in mehr als in einer einzigen der Speichereinheiten abgespeichert ist, vgl. den Patentanspruch 2, sowie dass es kein Bit eines Abschnittes der K-Bits gibt, welches in mehr als einer einzigen der Speichereinheiten gespeichert ist, vgl. den Patentanspruch 3.

Hierbei bedeuten in Fig. 5 und 6 (auch in Fig. 4):

k = jeweils einer der verschiedenen Abschnitte der K-Bits;

d = jeweils einer der verschiedenen Abschnitte des Datenwortes D ;

wobei sich untereinander weder die Abschnitte k noch die Abschnitte d gegenseitig überlappen.

Bei dem in Fig. 5 gezeigten Beispiel sind nämlich in der ersten Speichereinheit ($d = 1$, vgl. $Sp1$ in Fig. 3) jeweils nur die Datenwort-Bitstellen $0\dots7$ zusammen mit den K-Bitstellen 3, 4, 5 abgespeichert, sowie in der zweiten Speichereinheit ($d = 2$) jeweils nur die Datenwort-Bitstellen $8\dots15$ zusammen mit den K-Bitstellen 0, 1, 2. Jedes Bit der K-Bits stellt innerhalb eines jeden der beiden Speichereinheiten jeweils eine ungeradzahlige Restmenge für ein dort mitabgespeichertes Datenwort-Bit dar. Ausserdem gehören die in der einen Speichereinheit abgespeicherten K-Bits jeweils zu den geradzahligen Untermengen der in der anderen Speichereinheit abgespeicherten Datenwort-Bits.

Im übrigen kann man durch einen Vergleich der Fig. 1 und 5 erkennen, dass das erfindungsgemässe Verteilungsschema gemäss Fig. 5 bei Verwendung des Bausteins Am2960 als EDC-Controllerschaltung erhalten werden kann, wenn man entweder am Baustein Am2960, oder an den Speichereinheiten, die Enden der Verdrahtungen an den Datenwort-Bit-Anschlüssen 5 - 8, 6 - 9 und 7 - 10 miteinander vertauscht.

Ähnlich bei der Weiterbildung gemäss Fig. 6: dort sind nämlich in der ersten Speichereinheit ($d = 1$) jeweils nur die Datenwort-Bitstellen $0\dots3$ zusammen mit den dafür Restmengen darstellenden K-Bitstellen $4\dots7$ abgespeichert, aber in der zweiten Speichereinheit ($d = 2$) die jeweils nur die Datenwort-

Bitstellen $4\dots9$ zusammen mit den dafür Restmengen darstellenden K-Bitstellen 2 und 3, ferner in der dritten Speichereinheit ($d = 3$) die restlichen Datenwort-Bitstellen $10\dots15$ des auch hier sechzehnstelligen Datenwortes D zusammen mit den restlichen, dafür Restmengen darstellenden K-Bitstellen 0 und 1 der hier achtstelligen K-Bits. Auch bei diesem Beispiel stellt also jedes Bit der K-Bits innerhalb eines der drei Speichereinheiten jeweils eine ungeradzahlige Restmenge für ein dort mitabgespeichertes Datenwort-Bit dar. Ausserdem gehören auch bei dieser Weiterbildung die in der einen Speichereinheit abgespeicherten K-Bits jeweils zu den geradzahligen Untermengen (Datenwort-Bitstellen $0\dots5, 7, 8, 10, 11, 13, 14$) oder zu den geradzahligen Subuntermengen (Datenwort-Bitstellen 6, 9, 12, 15) der in anderen der Speichereinheiten abgespeicherten Datenwort-Bits.

Im folgenden wird anhand von Fig. 4 ein allgemeines Prinzip des den Fig. 5 und 6 zugrundeliegenden erfindungsgemässen Verteilungsschemas erläutert, wobei dieses allgemeine Prinzip auch für Datenwörter mit mehr oder mit weniger als 16 Bitstellen, sowie auch für K-Bits mit mehr oder mit weniger als sechs oder acht Bitstellen gültig ist.

Dabei bedeuten in der Fig. 4:

U_{dk} = derartige «direkte Zuordnung»/Verteilung der Datenwort-Abschnitte d sowie ihrer (!) jeweiligen ungeradzahligen Restmengen k , dass diese beiden Abschnitte $d + k$ gemeinsam (!) angesteuert, also in einer ihnen gemeinsamen Speichereinheit abgespeichert werden;

G_{dk} = derartige «indirekte Zuordnung»/Verteilung der Datenwort-Bits eines Datenwort-Abschnittes d sowie ihrer (!) jeweiligen geradzahligen (Sub-) Untermengen k , dass diese Abschnitte $d + k$ nicht (!) gemeinsam angesteuert, also in verschiedenen Speichereinheiten abgespeichert werden;

Ferner bedeuten:

E_{dk} = Elementar-Syndrommuster, das aufgrund eines 1-Bit-Datenwortfehlers, welcher im Abschnitt d auftritt, mit den dazugehörigen Bits des K-Bits-Abschnittes k der K-Bits entsteht;

R_{dk} = resultierendes Syndrommuster, das aufgrund eines Mehr-Bit-Datenwortfehlers, welcher im Abschnitt d auftritt, mit den dazugehörigen Bits des K-Bits-Abschnittes k entsteht; sowie

S_k = Spalten-Syndrommuster, das durch Überlagerung aller R_{dk} einer betreffenden Spalte k von Fig. 4 (vgl. auch die entsprechenden k -Spalten in Fig. 5 und 6) entsteht.

Sobald aus einer einzigen Speichereinheit Sp sowohl die Bits d eines falschen Speicherwort-Abschnittes als auch der diesen Bits d direkt zugeordnete Abschnitt k der K-Bits K , siehe Fig. 4, des betreffenden falschen Datenwort-Abschnittes d — zusammen mit richtigen Bits anderer Datenwort-Abschnitte d und diesen d zugeordneten richtigen Abschnitten k der K-Bits K des richtig zu lesenden Datenwortes D — gelesen werden, enthält das zugehörige resultierende Syndrommuster R_{dk} mit $d = k$ keine Syndrome, es enthält also 0-Syndrome, da die zugehörigen Datenwort- und K-Bits-Abschnitte d, k miteinander konsistent sind. Resultierende Syndrommuster R_{dk} können dann nur in den Codebereichen mit $d \neq k$ auftreten, siehe Fig. 4, deren Elementar-Syndrommuster E_{dk} jeweils geradzahlig sind. Man kann sich hierbei die resultierenden Syndrommuster R_{dk} mit $d \neq k$ auch durch EXCLUSIV-ODERierung aller beteiligten Elementar-Syndrommuster E_{dk} entstanden denken. Daher enthalten die resultierenden Syndrommuster R_{dk} mit $d \neq k$ ebenfalls nur geradzahlige Syndrommuster. Auf dieselbe Art entstehen die Spalten-Syndrommuster S_k aus den beteiligten resultierenden Syndrommustern R_{dk} , so dass auch diese Spalten-Syndrommuster S_{dk} nur geradzahlige Syndrommuster enthalten. Das endgültige Syndrommuster entsteht durch Aneinanderfügen aller Spalte-Syndrommuster S_k und ist daher dann ebenfalls geradzahlig.

Dem Einwand, dass die resultierenden Syndrommuster R_{dk} mit $d \neq k$, welche zum falsch ausgelesenen K-Bits-Abschnitt k gehören, nur durch K-Bit-Fehler entstanden sind und daher nicht wie Datenfehler behandelt werden dürften, ist entgegenzuhalten, dass auch in diesem Fall die richtig ausgelesenen Datenwort-Bits nicht zu den falsch ausgelesenen Bits der K-Bits passen, und zwar genauso wie in dem Fall, bei welchem die falsch ausgelesenen Bits der K-Bits richtig wären und die Datenwort-Bits unter einer falschen Adresse gelesen worden wären.

Wenn das resultierende Syndrommuster 0-Syndrome enthält und wenn trotzdem ein Lesefehler vorliegt, dann kann normalerweise der Fehler nicht spontan erkannt werden, wenn wie in Fig. 4 bis 6 keine Mehrfach-Abspeicherung von Bits in gleichzeitig verschiedenen Speichereinheiten zugelassen wird. Die Wahrscheinlichkeit für diesen nicht erkennbaren Fehler

nimmt mit wachsender Anzahl der Ansteuerungseinheiten bzw. Speicherbausteine zu. Wenn alle Bits auf nur zwei Speichereinheiten/Ansteuerungseinheiten verteilt werden, dann ist in der Regel eine besonders simple Realisierung mit einem handelsüblichen EDC-Controller-Baustein möglich, siehe das Beispiel in Fig. 5, für welches bei einem Ansteuerungsfehler die Wahrscheinlichkeit für 0-Syndrome übrigens nur noch $1/16$ beträgt.

Das in Fig. 6 gezeigte Beispiel ist insbesondere für eine Realisierung mit Speicherbausteinen S_p interessant, die intern eine Wortbreite von nur 8 Bit aufweisen. Da in diesem Fall eine Speicherkapazität für zwei zusätzliche Bits der K-Bits ($6 + 2$ KBits) vorhanden ist, welche für das Erreichen von zusätzlicher Sicherheit genutzt werden können, beträgt dann die Wahrscheinlichkeit für 0-Syndrome bei einem Ansteuerungsfehler sogar nur noch $1/32$.

