

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月24日(24.08.2017)



(10) 国際公開番号
WO 2017/141559 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2017/000049
- (22) 国際出願日: 2017年1月4日(04.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-027094 2016年2月16日(16.02.2016) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 赤羽 正志(AKAHANE, Masashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 星野 裕司(HOSHINO, Hiroshi); 〒1130033 東京都文京区本郷三丁目21番10号 浅沼第2ビル8階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

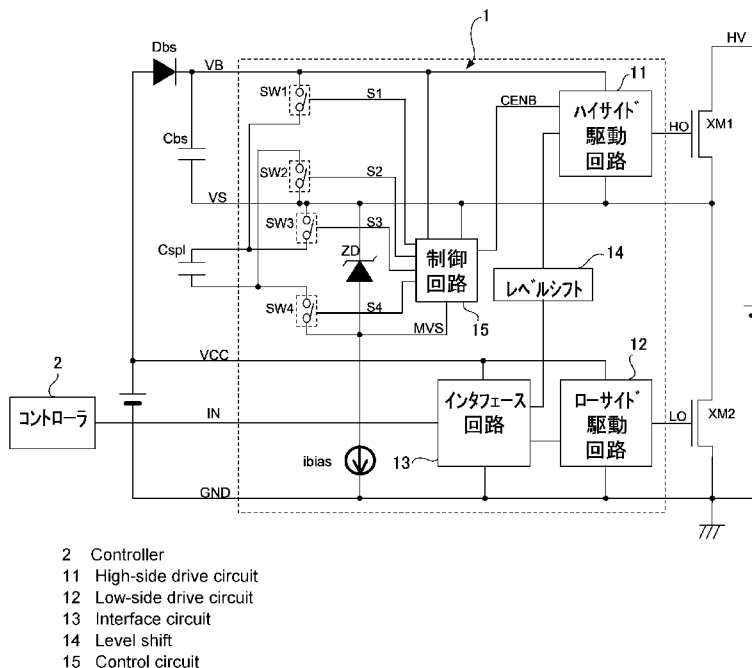
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is provided with: a bootstrap capacitor which is charged over a diode when a low-side switching element is on and which applies said charge voltage to a high-side drive circuit when the low-side switching element is off; an auxiliary bootstrap capacitor which is charged when the low-side switching element is off; a Zener diode which regulates the charge voltage of the auxiliary bootstrap capacitor; and a control circuit which, when the charge voltage of the bootstrap capacitor falls to less than a prescribed voltage while the high-side switching element is on, applies the charge voltage of the auxiliary bootstrap capacitor to the high-side drive circuit over a switch circuit.

(57) 要約: ダイオードを介してローサイドスイッチング素子のオン時に充電され、その充電電圧をローサイドスイッチング素子のオフ時にハイサイド駆動回路に印加するブートストラップコンデンサと、ローサイドスイッチング素子のオフ時に充電される補助ブートストラップコンデンサと、この補助ブートストラップコンデンサの充電電圧を規定するツェナーダイオードと、ハイサイドスイッチング素子のオン時にブートストラップコンデンサの充電電圧が所定電圧よりも低下したとき、スイッチ回路を介して補助ブートストラップコンデンサの充電電圧をハイサイド駆動回路に印加する制御回路とを備える。

して補助ブートストラップコンデンサの充電電圧をハイサイド駆動回路に印加する制御回路とを備える。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、トータムポール接続されたハイサイドスイッチング素子とローサイドスイッチング素子を相補的に駆動するハイサイド駆動回路とローサイド駆動回路とを備えた半導体装置に関する。

背景技術

[0002] 図 1 1 はトータムポール接続されたハイサイドスイッチング素子 X M 1 とローサイドスイッチング素子 X M 2 とを備えた電力変換器の概略構成を示している。この電力変換器は、相補的にオン・オフされるスイッチング素子 X M 1 , X M 2 を介して直流電圧 H V および接地電位を交互に負荷 R L に出力し、これによって負荷 R L に供給する交流電力を生成する D C / A C コンバータとしての役割を担う。

[0003] ハイサイド駆動回路 1 1 およびローサイド駆動回路 1 2 を備えてスイッチング素子 X M 1 , X M 2 を相補的にオン・オフする半導体装置 1 は、例えば I P M (Intelligent Power Module) として実現される。この半導体装置 1 は、外部機器であるコントローラ 2 から与えられる制御信号 I N に従ってハイサイド駆動信号とローサイド駆動信号とを相補的に生成するインターフェース回路 1 3 を備える。ハイサイド駆動回路 1 1 はハイサイド駆動信号に従ってハイサイドスイッチング素子 X M 1 をオン・オフし、またローサイド駆動回路 1 2 はローサイド駆動信号に従ってローサイドスイッチング素子 X M 2 をオン・オフする。尚、インターフェース回路 1 3 が生成したハイサイド駆動信号は、レベルシフト回路 1 4 を介してハイサイド駆動回路 1 1 に与えられる。

[0004] ここでローサイド駆動回路 1 2 およびインターフェース回路 1 3 は、接地電位 G N D を基準電位として所定の電源電圧 V C C を受けて動作する。またハイサイド駆動回路 1 1 はスイッチング素子 X M 1 , X M 2 の直列接続点に生

起される中間電圧 V_S を基準電位とし、ブートストラップダイオード D_{bs} およびブートストラップコンデンサ C_{bs} からなるブートストラップ回路にて電源電圧 V_{CC} を昇圧（ブートストラップ）した電源電圧 V_B を受けて動作する。

[0005] ブートストラップ回路は、ローサイドスイッチング素子 X_{M2} のオン時に電源電圧 V_{CC} によりブートストラップコンデンサ C_{bs} を充電する。ブートストラップ回路は、ローサイドスイッチング素子 X_{M2} がオフ動作のとき、ハイサイドスイッチング素子 X_{M1} のオン動作に伴ってブートストラップコンデンサ C_{bs} の低電圧側端子電圧である中間電圧 V_S が上昇することを利用して、昇圧（ブートストラップ）された電源電圧 V_B を生成する。

[0006] 基本的には上述した如く構成される半導体装置1において、例えばハイサイドスイッチング素子 X_{M1} のオン時間が長いとき、ブートストラップコンデンサ C_{bs} に充電された電荷の減少が大きくなり、ハイサイド駆動回路11の駆動に必要な電源電圧 V_B を維持することができなくなる虞れがある。

[0007] このような不具合を解消する為に、例えば特許文献1にはローサイドスイッチング素子 X_{M2} をオフする際、高圧側電位を基準電位とするフローティング電源 FV からブートストラップコンデンサ C_{bs} に電流を供給することが開示されている（特許文献1の図1を参照）。しかし特許文献1に開示される構成においては、フローティング電源 FV を用意しなければならず、追加コストの発生やそもそもフローティング電源 FV 自体をどうするのか等の問題が生じる。

[0008] また特許文献2にはローサイドスイッチング素子 X_{M2} がオンのとき、高圧の直流電圧 HV から抵抗 R_1 を介してブートストラップコンデンサ C_{bs} を直接的に充電することが開示されている（特許文献2の図1を参照）。しかし特許文献2に開示される構成においてはハイサイドスイッチング素子 X_{M1} がオンのときには直流電圧 HV と中間電圧 V_S とが略同電位となり、抵抗 R_1 が電源電圧 V_B に対して負荷となってブートストラップコンデンサ C_{bs} に充電した電荷を放電すると言う不具合が生じる。

- [0009] しかもローサイドスイッチング素子 $XM2$ がオンのときには中間電圧 V_S と接地電位 GND とが略同電位となるのでブートストラップコンデンサ C_{bs} の充電電流が大きくなる。更にブートストラップコンデンサ C_{bs} の充電電圧を規定するツェナーダイオードに流れるクランプ電流も大きくなる。この結果、ブートストラップ回路における消費電力が増大し、半導体装置1の小型化を図ることが困難になると言う問題がある。
- [0010] この点、特許文献3には図12に示すようにスイッチ素子 Q_{n1} , Q_{n2} を介して電源電圧 V_{CC} により1段目のコンデンサ C_1 を充電した後、スイッチ素子 Q_{p1} , Q_{p2} を介してコンデンサ C_1 の充電電圧にて2段目のコンデンサ C_2 を充電することが開示される。特許文献3に開示される構成によれば、スイッチング素子 $XM1$, $XM2$ のオン・オフとは独立に制御回路15による制御の下でスイッチ素子 Q_{n1} , Q_{n2} とスイッチ素子 Q_{p1} , Q_{p2} を相補的にオン・オフさせることで、2段目のコンデンサ C_2 の充電電圧として電源電圧 V_B が生成される。従ってローサイドスイッチング素子 $XM2$ のオフ時間が長い場合でもハイサイド駆動回路11を駆動する上で必要な電源電圧 V_B を確保することが可能となる。

先行技術文献

特許文献

- [0011] 特許文献1：特開2011-234430号公報
特許文献2：特開2013-55549号公報
特許文献3：特開2007-6207号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら特許文献3に開示される構成においては、2段目のスイッチ素子 Q_{p1} , Q_{p2} をオン・オフする為には制御回路15内にレベルシフト回路を組み込むことが必要である。また、中間電圧 V_S はスイッチング素子 $XM1$, $XM2$ のスイッチング動作に伴い高圧の直流電圧 HV になったり、接地電

位GNDになったりする。中間電圧V_Sが高電圧になるとき、電源電圧V_Bも高電圧になっている。

[0013] これらの高電圧からスイッチ素子Q_{n1}, Q_{n2}に電源電圧V_{CC}を供給する電源を分離・保護するためには、スイッチ素子Q_{n1}, Q_{n2}, Q_{p1}, Q_{p2}としてそれぞれ高耐圧素子を用いることが必要となる。またレベルシフト回路についても高耐圧素子を用いて構成することが必要となる。これ故、ブートストラップ回路の構成が複雑化すると共に、高耐圧素子の採用に伴う部品コストの高価格化が否めない。

[0014] 本発明はこのような事情を考慮してなされたもので、その目的は、ハイサイドスイッチング素子のオン時間が長い場合でも、前記ハイサイドスイッチング素子をオン・オフ駆動するハイサイド駆動回路に安定に電源供給することのできるブートストラップ回路を備えた安価で簡易な構成の半導体装置を提供することにある。

課題を解決するための手段

[0015] 本発明に係る半導体装置は、基本的にはトータムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子をそれぞれ相補的にオン・オフするハイサイド駆動回路およびローサイド駆動回路と、ダイオードを介して前記ローサイド駆動回路の駆動電源に接続されて前記ローサイドスイッチング素子のオン時に充電され、その充電電圧を前記ローサイドスイッチング素子のオフ時に昇圧して前記ハイサイド駆動回路に印加するブートストラップコンデンサとを備える。

[0016] 特に本発明に係る半導体装置は上述した目的を達成するべく上記構成に加えて、

更にスイッチ回路を介して前記ブートストラップコンデンサに並列的に設けられて前記ハイサイドスイッチング素子のオン時に前記ハイサイドスイッチング素子および前記ローサイドスイッチング素子との接続点に生起される中間電圧により充電される補助ブートストラップコンデンサと、

前記接続点に接続されて該補助ブートストラップコンデンサの充電開始電

圧を規定するツェナーダイオードと、

前記ハイサイドスイッチング素子のオン時における前記ブートストラップコンデンサの充電電圧が所定電圧よりも低下したときに前記スイッチ回路を介して前記補助ブートストラップコンデンサの充電電圧を前記ハイサイド駆動回路に印加する制御回路とを備えたことを特徴としている。

[0017] 即ち、本発明に係る半導体装置は、概略的にはローサイドスイッチング素子のオン時に充電されるブートストラップコンデンサと並列に、前記ローサイドスイッチング素子のオフ時に充電される補助ブートストラップコンデンサを備える。そしてハイサイドスイッチング素子のオン時間が長いときには、ブートストラップコンデンサからハイサイド駆動回路に印加される電圧の低下を補助ブートストラップコンデンサの充電電圧を用いて補うようにしたことを特徴としている。

[0018] ちなみに前記ハイサイド駆動回路は、前記接続点の電圧動作基準電圧として動作するように構成される。そして前記ツェナーダイオードは、前記中間電圧により充電される前記補助ブートストラップコンデンサの充電基準電圧を前記ローサイド駆動回路の駆動電源の電圧として規定する役割を担う。また前記制御回路は、前記ハイサイドスイッチング素子のオン時間が予め設定した時間を上回るとき、前記ブートストラップコンデンサの充電電圧が所定電圧よりも低下したと判断するものであっても良い。

[0019] 好ましくは前記スイッチ回路は、例えば前記ハイサイドスイッチング素子のオン時で前記ブートストラップコンデンサの充電電圧が所定電圧よりも低下したときに前記補助ブートストラップコンデンサを前記ハイサイド駆動回路の電源ラインに並列接続する第1および第2のスイッチと、前記ハイサイドスイッチング素子がオンで前記第1および第2のスイッチがオフのときに前記補助ブートストラップコンデンサに前記充電基準電圧を印加する第3および第4のスイッチとを備えて構成される。これらの第1～第4のスイッチとしては、例えば双方向アナログスイッチが用いられる。

[0020] また前記制御回路は、好ましくはトータムポール接続された前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との直列接続点に生じられる中間電圧を動作基準電圧として動作するように設けられる。特に前記制御回路は、例えば前記ハイサイド駆動回路に印加される電源電圧の低下を検出して電圧低下検出信号を出力する電圧低下検出器と、前記電圧低下検出信号に基づいて前記第1～第4のスイッチをそれぞれオン・オフ制御するスイッチ信号を生成する制御ロジック回路とを備えて構成される。ちなみに前記第1および第2のスイッチは、第3および第4のスイッチと相補的にオン・オフするように設けられる。

[0021] 尚、前記第1のスイッチを、前記補助ブートストラップコンデンサの充電電圧が前記ブートストラップコンデンサの充電電圧を上回ったときに導通する第1のダイオードとして実現し、また前記第3のスイッチを、前記補助ブートストラップコンデンサの充電電圧が前記ツェナーダイオードにより規定される電圧を下回るときに導通する第2のダイオードとして実現することも可能である。

[0022] また本発明は上述した構成の半導体装置において、

更に前記第1および第2のスイッチの導通時に前記ブートストラップコンデンサを前記ローサイド駆動回路の駆動電源から切り離す第5および第6のスイッチ、並びに前記第5および第6のスイッチに対して相補的に導通して前記補助ブートストラップコンデンサに前記充電基準電圧を印加する第7および第8のスイッチを設けて構成することも可能である。この場合、前記第5～第8のスイッチについても双方向アナログスイッチを用いて実現すれば良い。

[0023] この場合、例えば前記ツェナーダイオードのカソードを、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点に接続する。そしてこのツェナーダイオードのアノードを前記中間電圧に対する負側の基準電位を規定し、該ツェナーダイオードのアノード・カソード間電圧が前記充電基準電圧となるようにすることが好ましい。

発明の効果

- [0024] 本発明に係る半導体装置は、上述したようにローサイドスイッチング素子のオン時に充電されるブートストラップコンデンサに加えて前記ハイサイドスイッチング素子のオン時に充電される補助ブートストラップコンデンサを備える。そしてハイサイドスイッチング素子のオン時間が長いときには、前記ブートストラップコンデンサからハイサイド駆動回路に印加される電圧の低下を前記補助ブートストラップコンデンサの充電電圧を用いて補うように構成されている。
- [0025] 従って上記構成の半導体装置によれば、ハイサイドスイッチング素子のオン時間が長い場合であっても前記ハイサイド駆動回路に、その動作に必要な電源電圧を安定に供給することができる。故に簡易な構成でありながらハイサイドスイッチング素子のオン・オフ条件に係わることなしに前記ハイサイド駆動回路の安定した動作を保証することが可能となる等の実用上多大なる効果が奏せられる。
- [0026] また上記構成によれば、前記ハイサイド駆動回路は前記接続点の電圧を動作基準電圧として動作する。従って特許文献3に開示されるような高価な高耐圧素子を用いることなくブートストラップ回路を安価に構築することができる。しかも第1～第4のスイッチのオン・オフをそれぞれ制御する制御回路についても、例えば制御ロジック回路として簡易に構築することができるので、この点においても半導体装置の低価格化を図ることができる等の効果も奏せられる。
- [0027] また更に第5～第8のスイッチを備えて構成される半導体装置によれば前記ブートストラップコンデンサの充放電とは独立して前記補助ブートストラップコンデンサを充電することができる。そして前記ブートストラップコンデンサの充電電圧が低下し、これに伴って前記補助ブートストラップコンデンサの充電電圧を前記ハイサイド駆動回路に印加している際には前記ブートストラップコンデンサを再充電することが可能となる。従って前記ハイサイドスイッチング素子のオン時間が長い場合であっても前記ブートストラップ

コンデンサの役割を逸早く回復させ、ハイサイド駆動回路に安定に電源電圧を供給することが可能となる。

図面の簡単な説明

- [0028] [図1]本発明の第1の実施形態に係る半導体装置の概略構成図。
- [図2]図1に示す半導体装置における制御回路の構成例を示す図。
- [図3]図2に示す制御回路の動作を示すタイミング図。
- [図4]図1に示す半導体装置におけるブートストラップ動作を示すタイミング図。
- [図5]本発明の第2の実施形態に係る半導体装置の概略構成図。
- [図6]図5に示す半導体装置における制御回路の構成例を示す図。
- [図7]図6に示す制御回路の動作を示すタイミング図。
- [図8]図5に示す半導体装置におけるブートストラップ動作を示すタイミング図。
- [図9]本発明の第3の実施形態に係る半導体装置の概略構成図。
- [図10]図9に示す半導体装置における制御回路の構成例を示す図。
- [図11]トータムポール接続されたハイサイドスイッチング素子とローサイドスイッチング素子をそれぞれ駆動するハイサイド駆動回路とローサイド駆動回路とを備えた従来一般的な半導体装置の概略構成図。
- [図12]ローサイドスイッチング素子のオン・オフに係わらずにハイサイド駆動回路に安定に電力供給するように構成した従来半導体装置の一例を示す図。

発明を実施するための形態

- [0029] 以下、図面を参照して本発明の実施形態について説明する。
- [0030] 図1は本発明の第1の実施形態に係る半導体装置1の概略構成を示す図である。尚、本発明の実施形態においては、図11に示した従来半導体装置1と同一部分には同一符号を付して説明する。
- [0031] 本発明に係る半導体装置1は、基本的にはトータムポール接続されたハイサイドスイッチング素子XM1およびローサイドスイッチング素子XM2を

相補的に駆動するハイサイド駆動回路 11 およびローサイド駆動回路 12 と、ブートストラップダイオード D_{bs} を介してローサイド駆動回路 12 の駆動電源に接続されたブートストラップコンデンサ C_{bs} とを備えて構成される。

[0032] ブートストラップコンデンサ C_{bs} は、その一端をハイサイドスイッチング素子 X_{M1} とローサイドスイッチング素子 X_{M2} との直列接続点に接続し、他端をブートストラップダイオード D_{bs} のカソードに接続されている。従ってブートストラップコンデンサ C_{bs} は、ローサイドスイッチング素子 X_{M2} のオン時には接地電位 GND を基準電位としてブートストラップダイオード D_{bs} を介して電源電圧 V_{CC} に充電される。そしてブートストラップコンデンサ C_{bs} に充電された電圧は、ローサイドスイッチング素子 X_{M2} のオフに伴ってハイサイドスイッチング素子 X_{M1} とローサイドスイッチング素子 X_{M2} との直列接続点の電位 V_S を基準とする電位まで昇圧（ブートストラップ）される。このようにして昇圧されたブートストラップコンデンサ C_{bs} の充電電圧が電源電圧 V_B としてハイサイド駆動回路 11 に印加される。

[0033] 第 1 の実施形態に係る半導体装置 1 が特徴とするところは、第 1 ～第 4 のスイッチ $SW_1 \sim SW_4$ からなるスイッチ回路を介してブートストラップコンデンサ C_{bs} と並列的に補助ブートストラップコンデンサ C_{spl} を備える点にある。尚、第 1 ～第 4 のスイッチ $SW_1 \sim SW_4$ は双方向アナログスイッチ（トランスマッションゲート）などで構成される。第 1 および第 2 のスイッチ SW_1, SW_2 は、制御回路 15 の制御を受けて互いに連動してオン・オフするものであり、また第 3 および第 4 のスイッチ SW_3, SW_4 もまた制御回路 15 の制御を受けて互いに連動してオン・オフするものである。

[0034] 具体的には補助ブートストラップコンデンサ C_{spl} の一端は、第 1 のスイッチ SW_1 を介してブートストラップダイオード D_{bs} のカソード（ブートストラップコンデンサ C_{bs} の他端側）に接続され、補助ブートストラップコンデンサ C_{spl} の他端は第 2 のスイッチ SW_2 を介してハイサイドスイッチング素子 X_{M1} とローサイドスイッチング素子 X_{M2} との直列接続点（ブートストラップコンデンサ C_{bs} の一端側）に接続されている。また同時に補助ブート

ストラップコンデンサ C_{spl} の一端は、第3のスイッチ SW_3 を介してハイサイドスイッチング素子 XM_1 とローサイドスイッチング素子 XM_2 との直列接続点（ブートストラップコンデンサ C_{bs} の一端側）に接続され、補助ブートストラップコンデンサ C_{spl} の他端は第4のスイッチ SW_4 を介して基準電位 MVS に接続されている。基準電位 MVS は定電流源 i_{bias} を介して接地電位 GND に接続されている。

[0035] 尚、ブートストラップコンデンサ C_{bs} の一端と定電流源 i_{bias} の間にはツェナーダイオード ZD が介装されている。後述するように、このツェナーダイオード ZD の両端電圧（特に、降伏電圧）が、補助ブートストラップコンデンサ C_{spl} を充電する充電基準電圧となる。

[0036] ここで第3および第4のスイッチ SW_3 , SW_4 は、ローサイドスイッチング素子 XM_2 がオフであって、ハイサイドスイッチング素子 XM_1 がオンのときに導通（オン）制御されて補助ブートストラップコンデンサ C_{spl} を充電する役割を担う。このとき、ツェナーダイオード ZD のカソードには高圧の直流電圧 HV が印加されて降伏し、その降伏電圧が充電基準電圧として補助ブートストラップコンデンサ C_{spl} に印加される。また第1および第2のスイッチ SW_1 , SW_2 は、ローサイドスイッチング素子 XM_2 がオフであって、ブートストラップコンデンサ C_{bs} からハイサイド駆動回路11に供給される電源電圧 VB が該ハイサイド駆動回路11の動作を保証する最低電圧付近の予め定めた所定電圧まで低下したときに導通（オン）制御される。これらの第1および第2のスイッチ SW_1 , SW_2 のオンによって電源電圧 VB の低下が補助ブートストラップコンデンサ C_{spl} からの充電電圧の放電によって補われ、ハイサイド駆動回路11に給電される電源電圧 VB の低下が防がれる。尚、このときの第3および第4のスイッチ SW_3 , SW_4 はオフとなっている。

[0037] このように第1～第4のスイッチ $SW_1 \sim SW_4$ のオン・オフを制御する制御回路15は、例えば図2に示すように構成される。この制御回路15は、その基準電位 MVS をツェナーダイオード ZD のアノードから得ている。

基準電位 MVS は、ツェナーダイオード ZD が降伏しているときは（中間電圧 VS －ツェナーダイオード ZD の降伏電圧）となり、ツェナーダイオード ZD が降伏していないときは接地電位 GND となる。なお、ツェナーダイオード ZD の降伏電圧は、ハイサイドスイッチング素子 $XM1$ がオンし、ローサイドスイッチング素子 $XM2$ がオフのときにツェナーダイオード ZD が降伏するように設定されている。

[0038] ここでハイサイド駆動回路11は、中間電圧 VS を動作基準電位として動作する。制御回路15は、ハイサイドスイッチング素子 $XM1$ のオン駆動に連動してハイサイド駆動回路11が出力する信号 $CENB$ を入力して該制御回路15の基準電位 MVS を L レベルとするオン信号 CEN に変換する入力回路15aを備える。また制御回路15は、中間電圧 VS を基準電位として電源電圧 VB の低下、即ち、 $(VB - VS)$ 間電圧の低下を検出する電圧低下検出器16を備える。この電圧低下検出器16は、電源電圧 VB がハイサイド駆動回路11の動作を保証する最低電圧付近の予め定めた所定電圧まで低下したとき、電圧低下の検出信号を出力する。電源電圧 VB の低下時に電圧低下検出器16から出力される検出信号は、入力回路15bを介して基準電位 MVS を L レベルとする電圧低下信号 $UVEN$ に変換される。

[0039] また制御回路15に設けられた制御ロジック回路15cは基準電位 MVS を動作基準電圧とし、中間電圧 VS を電源電圧として動作する。そして制御ロジック回路15cは、オン信号 CEN と電圧低下信号 $UVEN$ とに従って、例えば図3に示すように第1～第4のスイッチ $SW1 \sim SW4$ をそれぞれオン・オフ制御する為のスイッチ信号 $S1C, S2C, S3, S4$ を生成する。

[0040] 特に制御ロジック回路15cは、中間電位 VS を基準とする電源電圧 VB （ $VB - VS$ 間電圧）がハイサイド駆動回路11の動作を保証する電圧まで低下したときにだけスイッチ信号 $S1C, S2C$ を生成する。具体的には制御ロジック回路15cは、オン信号 CEN と電圧低下信号 $UVEN$ とに従って、ハイサイドスイッチング素子 $XM1$ がオンの状態において $(VB - VS)$ 間電圧が低下したときにスイッチ信号 $S1C, S2C$ を出力する。

[0041] 尚、オン信号CENは必ずしも制御ロジック回路15cの動作に必要なではない。なぜならば、信号CENBがHレベルの期間は、基本的にローサイドスイッチング素子XM2がオンして中間電位VSが接地電位GNDとなり、制御ロジック回路15cに電源が供給されていない状態となるので、信号CENBがHレベルであることを制御ロジック回路15cに伝えても無意味であるからである。但し、ハイサイドスイッチング素子XM1とローサイドスイッチング素子XM2がともにオフしているデッドタイムでの動作を確定させるためには、オン信号CENはあった方がよい。

[0042] ここで制御ロジック回路15cが生成するスイッチ信号S1C, S2CはLレベルのときに第1および第2のスイッチSW1, SW2をオンにする為の負論理信号である。これらのスイッチ信号S1C, S2Cは出力回路15d, 15eを介して電源電圧VBまたは中間電圧VSに択一的に設定される信号に変換されて第1および第2のスイッチSW1, SW2にそれぞれ印加される。またスイッチ信号S3, S4はHレベルのときに第3および第4のスイッチSW3, SW4をオンにする為の正論理信号である。これらのスイッチ信号S3, S4は、中間電圧VSまたは基準電位MVSに択一的に設定される信号として第3および第4のスイッチSW3, SW4にそれぞれ印加される。

[0043] また信号CENBがLレベルのとき、第1および第2のスイッチSW1, SW2は、前記第3および第4のスイッチSW3, SW4と相補的にオン・オフして、電源電圧VBと中間電圧VSが短絡したり、中間電圧VSと基準電位MVSが短絡したりしないようにしている。

[0044] 尚、図2においてC1は、ツェナーダイオードZDの降伏電圧によりクランプされた($VS - MVS$)間電圧を平滑化して制御回路15に取り込む平滑コンデンサである。この平滑コンデンサC1とツェナーダイオードZDとにより制御回路15の基準電圧MVSの安定化を図る電圧レギュレータが構成される。

[0045] 図4は上述した如く構成された半導体装置1におけるブートストラップ動作を示すタイミング図である。即ち、図4はスイッチング素子XM1, XM2

を相補的にオン・オフするハイサイド駆動回路 11 およびローサイド駆動回路 12 の動作に伴う第 1 ～第 4 スイッチ SW1 ～SW4 のオン・オフの形態と、このときのブートストラップコンデンサ Cbs および補助ブートストラップコンデンサ Cspl の充放電の様子を示している。

[0046] 図 4 に示すようにブートストラップコンデンサ Cbs はローサイドスイッチング素子 XM2 のオン・オフに連動し、ローサイドスイッチング素子 XM2 がオンのときに電源電圧 VCC により充電される。そしてブートストラップコンデンサ Cbs の充電電圧（電荷）は、ローサイドスイッチング素子 XM2 がオフのときに放電されてハイサイド駆動回路 11 に給電される。この際、ブートストラップコンデンサ Cbs の放電によりハイサイド駆動回路 11 に供給される電源電圧 VB は、ローサイドスイッチング素子 XM2 のオフおよびハイサイドスイッチング素子 XM1 のオンに伴って電源電圧 VCC を中間電位 VS だけ昇圧（ブートストラップ）したものとなる。

[0047] これに対して補助ブートストラップコンデンサ Cspl は、ハイサイドスイッチング素子 XM1 がオンになってハイサイドスイッチング素子 XM1 とローサイドスイッチング素子 XM2 との直列接続点の中間電圧 VS が高電圧となったとき、ツェナーダイオード ZD の降伏電圧によりクランプされた ($V_S - MV_S$) 間電圧、すなわち充電基準電圧により充電される。ちなみにツェナーダイオード ZD によりクランプされた ($V_S - MV_S$) 間電圧は、ローサイド駆動回路 12 を駆動する電源電圧 VCC に相当する電圧である。即ち、補助ブートストラップコンデンサ Cspl は、電源電圧 VCC を受けて充電されるブートストラップコンデンサ Cbs とは独立に、ハイサイドスイッチング素子 XM1 を介して印加される中間電圧 VS を受けて充電される。

[0048] そして電源電圧 VB の供給源となるブートストラップコンデンサ Cbs の放電によって該ブートストラップコンデンサ Cbs の残存電荷量が不足し、これに伴ってハイサイド駆動回路 11 に印加する電源電圧 VB が低下したときには、補助ブートストラップコンデンサ Cspl に充電された電荷が放電される。この補助ブートストラップコンデンサ Cspl の放電によってハイサイド駆動回

路 1 1 に印加する電源電圧 V_B の低下が補われて該ハイサイド駆動回路 1 1 の動作に必要な電源電圧 V_B が維持される。

[0049] 従ってハイサイドスイッチング素子 X_{M1} のオン時間が長い場合であっても、ブートストラップコンデンサ C_{bs} の充電容量の制約を受けることなしにハイサイド駆動回路 1 1 の動作に必要な電源電圧 V_B を維持することが可能となる。特にブートストラップコンデンサ C_{bs} の充電容量の不足を補助ブートストラップコンデンサ C_{spl} によって解消することができるので、ハイサイドスイッチング素子 X_{M1} のオン時間が長い場合でも簡易にして効果的に対処することが可能となる。

[0050] ところでハイサイドスイッチング素子 X_{M1} のオン時間が長いときにブートストラップコンデンサ C_{bs} により生成される電源電圧 V_B の低下を防ぐには、例えばブートストラップコンデンサ C_{bs} の容量自体を増やすことが考えられる。或いはブートストラップコンデンサ C_{bs} に補助ブートストラップコンデンサ C_{spl} を並列接続することで、その合成容量を増大させることが考えられる。しかしながらこのようにした場合、ブートストラップコンデンサ C_{bs} の充電はローサイドスイッチング素子 X_{M2} のオン時に行われるので、ブートストラップコンデンサ C_{bs} を十分に充電することができなくなる恐れがある。

[0051] この点、上述した如く構成された半導体装置 1 においてはローサイドスイッチング素子 X_{M2} がオフであって、ハイサイドスイッチング素子 X_{M1} がオンのときに補助ブートストラップコンデンサ C_{spl} を充電する。換言すればブートストラップコンデンサ C_{bs} の充放電とは独立に補助ブートストラップコンデンサ C_{spl} を充電し、電源電圧 V_B の低下時にだけ補助ブートストラップコンデンサ C_{spl} を放電させて電源電圧 V_B の低下を防止する。従って仮にローサイドスイッチング素子 X_{M2} のオン時間が短い場合であっても、ブートストラップコンデンサ C_{bs} および／または補助ブートストラップコンデンサ C_{spl} に電源電圧 V_B を安定に供給するに必要な電荷を十分に充電することが可能となる。この結果、スイッチング素子 X_{M1} , X_{M2} のオン・オフ時間

が大きく変化する場合であっても電源電圧 V_B を安定に生成することができ、半導体装置1の安定動作を図ることが可能となる。

[0052] しかも上述した如く構成された半導体装置1によれば、ツェナーダイオード ZD により($V_S - MV_S$)間電圧をクランプし、これによって補助ブートストラップコンデンサ C_{spl} の充電電圧を制限するものとなっている。従って特許文献3に開示される回路のように高耐圧素子を用いる必要がなく、制御回路15を簡易に、且つ安価に構築することができる。また第1～第4のスイッチ $SW_1 \sim SW_4$ として用いる双方向アナログスイッチについても高耐圧化を図る必要がないので半導体装置1の全体を安価に構築することができる等の効果が奏せられる。

[0053] 次に本発明の第2の実施形態について説明する。

[0054] 図5は本発明の第2の実施形態に係る半導体装置1の概略構成を示す図である。第2の実施形態に係る半導体装置1は、上述した第1の実施形態に係る半導体装置1の構成に第5～第8のスイッチ $SW_5 \sim SW_8$ を追加し、ブートストラップコンデンサ C_{bs} および補助ブートストラップコンデンサ C_{spl} をブートストラップダイオード D_{bs} のカソードとスイッチング素子 XM_1, XM_2 の直列接続点との間、またはスイッチング素子 XM_1, XM_2 の直列接続点と接地電位 GND との間に選択的に接続するように構成したことを特徴としている。ちなみに第5～第8のスイッチ $SW_5 \sim SW_8$ は、第1～第4のスイッチ $SW_1 \sim SW_4$ と同様に、制御回路15の制御を受けて互いに連動して一括してオン・オフされる。また、第5～第8のスイッチ $SW_5 \sim SW_8$ は、双方向アナログスイッチ(トランSMissionゲート)などで構成される。

[0055] 具体的にはブートストラップコンデンサ C_{bs} の一端は、第5のスイッチ SW_5 を介してブートストラップダイオード D_{bs} のカソードに接続され、他端は第6のスイッチ SW_6 を介してハイサイドスイッチング素子 XM_1 とローサイドスイッチング素子 XM_2 との直列接続点に接続されている。また同時にブートストラップコンデンサ C_{bs} の一端は、第7のスイッチ SW_7 を介し

てハイサイドスイッチング素子XM1とローサイドスイッチング素子XM2との直列接続点に接続され、他端は第8のスイッチSW8を介して基準電位MVSに接続されている。基準電位MVSは定電流源ibiasを介して接地電位GNDに接続されている。

[0056] これらの第5～第8のスイッチSW5～SW8は、前述した第1～第4のスイッチSW1～SW4と連動して前記制御回路15によりオン・オフ制御されて、ブートストラップコンデンサCbsと補助ブートストラップコンデンサCsplが交互に充電と放電を行うようにする役割を担う。

[0057] ちなみに第1～第8のスイッチSW1～SW8をオン・オフ制御する制御回路15は、例えば図6に示すように構成される。尚、この制御回路15は、前述した電圧低下検出器16に代えて制御ロジック回路15c内にタイマー17を備える。このタイマー17は、ハイサイドスイッチング素子XM1のオン時間を計時し、オン時間が予め設定時間を超えたときに電圧検出信号UVEN（図6には不図示）を生成する役割を担う。

[0058] 即ち、ブートストラップコンデンサCbsからハイサイド駆動回路11に給電される電源電圧VBは、ハイサイドスイッチング素子XM1のオン時間に依存し、ブートストラップコンデンサCbsの放電時間が長くなるに従って低下する。タイマー17は、ブートストラップコンデンサCbsの放電に伴う電源電圧VBの低下の度合いを、ハイサイドスイッチング素子XM1のオン時間の長さとして等価的に検出することで電圧検出信号UVENを生成する。

[0059] そして制御ロジック回路15cは、オン信号CENと電圧検出信号UVENとに従い、例えば図7に示すように前述した第1～第4のスイッチSW1～SW4をそれぞれオン・オフ制御する為のスイッチ信号S1C, S2C, S3, S4に加えて、第5～第8のスイッチSW5～SW8をそれぞれオン・オフ制御する為のスイッチ信号S5C, S6C, S7, S8を生成するように構成される。

[0060] 尚、制御ロジック回路15cが生成するスイッチ信号S1C, S2C, S5C, S6CはLレベルのときに第1, 第2, 第5および第6のスイッチSW1,

SW 2, SW 5, SW 6をそれぞれオンにする為の負論理信号である。これらのスイッチ信号S 1 C, S 2 C, S 5 C, S 6 Cは出力回路1 5 d, 1 5 e, 1 5 f, 1 5 gを介して電源電圧V Bまたは中間電圧V Sに択一的に設定される信号に変換されて第1, 第2, 第5および第6のスイッチSW 1, SW 2, SW 5, SW 6にそれぞれ印加される。

[0061] またスイッチ信号S 3, S 4, S 7, S 8はHレベルのときに第3, 第4, 第7および第8のスイッチSW 3, SW 4, SW 7, SW 8をそれぞれオンにする為の正論理信号である。これらのスイッチ信号S 3, S 4, S 7, S 8は、中間電圧V Sまたは基準電位MV Sに択一的に設定される信号として第3, 第4, 第7および第8のスイッチSW 3, SW 4, SW 7, SW 8にそれぞれ印加される。

[0062] 図8は上述した如く構成された半導体装置1におけるブートストラップ動作を示すタイミング図である。即ち、図8はスイッチング素子XM 1, XM 2を相補的にオン・オフするハイサイド駆動回路1 1およびローサイド駆動回路1 2の動作に伴う第1～第8スイッチSW 1～SW 8のオン・オフの形態と、このときのブートストラップコンデンサC bsおよび補助ブートストラップコンデンサC splの充放電の様子を示している。

[0063] このように構成された半導体装置1によれば、図8に示すようにブートストラップコンデンサC bsはローサイドスイッチング素子XM 2のオン・オフに連動し、ローサイドスイッチング素子XM 2がオンのときに電源電圧V C Cにより充電される。そしてブートストラップコンデンサC bsの充電電圧は、ローサイドスイッチング素子XM 2がオフでハイサイドスイッチング素子XM 1がオンのときに昇圧（ブートストラップ）されてハイサイド駆動回路1 1に供給される。また補助ブートストラップコンデンサC splは、第1の実施形態の場合と同様に、電源電圧V C Cを受けて充電されるブートストラップコンデンサC bsとは独立に、(V S - MV S) 間電圧を受けて充電される。

[0064] そしてタイマー1 7によって電源電圧V Bが低下したことが示されたとき

、補助ブートストラップコンデンサ C_{spl} に充電された電荷が第1および第2のスイッチ SW_1 , SW_2 を介して放電され、電源電圧 V_B としてハイサイド駆動回路11に供給される。この際、ブートストラップコンデンサ C_{bs} は、第5および第6のスイッチ SW_5 , SW_6 によりハイサイド駆動回路11から切り離されると共に、第7および第8のスイッチ SW_7 , SW_8 を介してスイッチング素子 XM_1 , XM_2 の直列接続点と基準電位 MVS とに接続される。

[0065] この結果、ハイサイド駆動回路11には、ブートストラップコンデンサ C_{bs} に代わって補助ブートストラップコンデンサ C_{spl} から電源電圧 V_B が印加される。また補助ブートストラップコンデンサ C_{spl} の放電時には、ブートストラップコンデンサ C_{bs} が $(V_S - MVS)$ 間電圧を受けて再充電される。従ってこのように動作する半導体装置1においても、第1の実施形態として説明した半導体装置1と同様に、ハイサイドスイッチング素子 XM_1 のオン時間が長い場合でもハイサイド駆動回路11に電源電圧 V_B を安定に供給することが可能である。しかも補助ブートストラップコンデンサ C_{spl} の放電時にブートストラップコンデンサ C_{bs} を充電するので、ローサイドスイッチング素子 XM_2 のオン時間が短い場合においてもブートストラップコンデンサ C_{bs} を確実に充電することが可能となる。

[0066] また、ブートストラップコンデンサ C_{bs} に代わって補助ブートストラップコンデンサ C_{spl} から電源電圧 V_B の供給を開始してからタイマー17を再起動させる。そしてタイマー17の計時により補助ブートストラップコンデンサ C_{spl} の電圧低下を検出したとき、再度補助ブートストラップコンデンサ C_{spl} 代わってブートストラップコンデンサ C_{bs} から電源電圧 V_B の供給を行うようにする。以下、同様にブートストラップコンデンサ C_{bs} からの電源電圧 V_B の供給と補助ブートストラップコンデンサ C_{spl} からの電源電圧 V_B の供給を交互に行い続ければ、ハイサイドスイッチング素子 XM_1 のオン時間がどのような場合であっても対応可能である。

[0067] 故に第1の実施形態に比較して第5～第8のスイッチ SW_5 ～ SW_8 を余分に必要とするものの、スイッチング素子 XM_1 , XM_2 のオン・オフ時間の

変化に対してより柔軟に対処して電源電圧 V_B を安定に生成し、半導体装置1の安定動作を図ることができる等の効果が奏せられる。

[0068] 図9は本発明の第3の実施形態に係る半導体装置1の概略構成を示している。この第3の実施形態に係る半導体装置1は、上述した第1の実施形態に係る半導体装置1における第1および第3のスイッチ SW_1 , SW_3 を、ダイオード D_1 , D_2 を用いて実現したものである。即ち、ダイオード D_1 のアノードを補助ブートストラップコンデンサ C_{spl} の一端に接続すると共に、ダイオード D_1 のカソードをハイサイド駆動回路11の電源電圧 V_B の供給ラインに接続する。そして第2のスイッチ SW_2 のオン時に、電源電圧 V_B と、中間電圧 V_S に補助ブートストラップコンデンサ C_{spl} の充電電圧を加算した電圧との電位差を利用してダイオード D_1 をオン・オフし、補助ブートストラップコンデンサ C_{spl} の放電を制御するように構成する。

[0069] またダイオード D_2 のアノードをスイッチング素子 XM_1 , XM_2 の直列接続点に接続すると共に、ダイオード D_2 のカソードを補助ブートストラップコンデンサ C_{spl} の一端に接続する。そして第4のスイッチ SW_4 のオン時に、中間電圧 V_S と、制御回路15の基準電位 MV_S に補助ブートストラップコンデンサ C_{spl} の充電電圧を加算した電圧との電位差を利用してダイオード D_2 をオン・オフし、ローサイドスイッチング素子 XM_2 がオフのときに補助ブートストラップコンデンサ C_{spl} を充電するように構成する。

[0070] 第1および第3のスイッチ SW_1 , SW_3 としてダイオード D_1 , D_2 を用いて構成した半導体装置1における制御回路15については、図10に示すように出力回路15dを省略することができる。従ってこの第3の実施形態に係る半導体装置1によれば、前述した第1の実施形態に係る半導体装置1と同様に作用させながら、制御回路15の構成の簡素化を図ることができる等の効果が奏せられる。

[0071] 尚、本発明は上述した各実施形態に限定されるものではない。例えばブートストラップコンデンサ C_{bs} および補助ブートストラップコンデンサ C_{spl} の各容量については、スイッチング素子 XM_1 , XM_2 のオン・オフ時間の変化

幅を見込んで設定すれば十分である。また電圧低下検出器 16 については従来より知られている種々の回路構成を適宜採用可能である。更に制御ロジック回路 15c についても、例えば種々の論理ゲート回路を用いて構成することが可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

- [0072] 1 半導体装置
- 2 コントローラ
- 1 1 ハイサイド駆動回路
- 1 2 ローサイド駆動回路
- 1 3 インターフェース回路
- 1 4 レベルシフト回路
- 1 5 制御回路
- 1 5 c 制御ロジック回路
- 1 6 電圧低下検出器
- 1 7 タイマー
- XM 1 ハイサイドスイッチング素子
- XM 2 ローサイドスイッチング素子
- Dbs ブートストラップダイオード
- Cbs ブートストラップコンデンサ
- Cspl 補助ブートストラップコンデンサ
- SW 1, SW 2 ~ SW 8 スイッチ
- Z D ツェナーダイオード
- i bias 定電流源
- D 1, D 2 ダイオード (スイッチ)

請求の範囲

[請求項1] トーテムポール接続されたハイサイドスイッチング素子およびローサイドスイッチング素子をそれぞれ相補的にオン・オフするハイサイド駆動回路およびローサイド駆動回路と、

ダイオードを介して前記ローサイド駆動回路の駆動電源に接続されて前記ローサイドスイッチング素子のオン時に充電され、その充電電圧を前記ローサイドスイッチング素子のオフ時に昇圧して前記ハイサイド駆動回路に印加するブートストラップコンデンサと、

スイッチ回路を介して前記ブートストラップコンデンサに並列的に設けられて前記ハイサイドスイッチング素子のオン時に前記ハイサイドスイッチング素子および前記ローサイドスイッチング素子との接続点に生起される中間電圧により充電される補助ブートストラップコンデンサと、

前記接続点に接続されて該補助ブートストラップコンデンサの充電基準電圧を規定するツェナーダイオードと、

前記ハイサイドスイッチング素子のオン時における前記ブートストラップコンデンサの充電電圧が所定電圧よりも低下したときに前記スイッチ回路を介して前記補助ブートストラップコンデンサの充電電圧を前記ハイサイド駆動回路に印加する制御回路とを具備したことを特徴とする半導体装置。

[請求項2] 前記ハイサイド駆動回路は、前記接続点の電圧を動作基準電圧として動作するものであって、

前記ツェナーダイオードは、前記中間電圧を受けて充電される前記補助ブートストラップコンデンサの充電基準電圧を前記ローサイド駆動回路の駆動電源の電圧に規定することを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記制御回路は、前記ハイサイドスイッチング素子のオン時間が予め設定した時間を上回るとき、前記ブートストラップコンデンサの充

電圧が所定電圧よりも低下したと判断することを特徴とする請求項 1 に記載の半導体装置。

[請求項4] 前記スイッチ回路は、前記ハイサイドスイッチング素子のオン時で前記ブートストラップコンデンサの充電電圧が所定電圧よりも低下したときに前記補助ブートストラップコンデンサを前記ハイサイド駆動回路の電源ラインに接続する第 1 のスイッチおよび第 2 のスイッチと、前記ハイサイドスイッチング素子がオンで前記第 1 のスイッチおよび前記第 2 のスイッチがオフのときに前記補助ブートストラップコンデンサに前記充電基準電圧を印加する第 3 のスイッチおよび第 4 のスイッチとを備えたことを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 前記第 1 のスイッチ～前記第 4 のスイッチは、それぞれ双方向アナログスイッチからなることを特徴とする請求項 4 に記載の半導体装置。

[請求項6] 前記制御回路は、トータムポール接続された前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との接続点電圧を動作基準電圧として動作するものであって、

前記ハイサイド駆動回路に印加される電源電圧の低下を検出して電圧低下検出信号を出力する電圧低下検出器と、

前記電圧低下検出信号に基づいて前記第 1 のスイッチ～前記第 4 のスイッチをそれぞれオン・オフ制御するスイッチ信号を生成する制御ロジック回路とを備えて構成されることを特徴とする請求項 4 に記載の半導体装置。

[請求項7] 前記第 1 のスイッチおよび前記第 2 のスイッチは、前記第 3 のスイッチおよび前記第 4 のスイッチと相補的にオン・オフすることを特徴とする請求項 4 に記載の半導体装置。

[請求項8] 前記第 1 のスイッチは、前記補助ブートストラップコンデンサの充電電圧が前記ブートストラップコンデンサの充電電圧を上回ったときに導通する第 1 のダイオードからなり、前記第 3 のスイッチは、前記

補助ブートストラップコンデンサの充電電圧が前記ツェナーダイオードにより規定される電圧を下回るときに導通する第2のダイオードからなることを特徴とする請求項4に記載の半導体装置。

[請求項9] 請求項4に記載の半導体装置において、

更に前記第1および第2のスイッチの導通時に前記ブートストラップコンデンサを前記ローサイド駆動回路の駆動電源から切り離す第5および第6のスイッチ、

並びに前記第5および第6のスイッチに対し相補的に導通して前記ブートストラップコンデンサに前記充電基準電圧を印加する第7および第8のスイッチを備えることを特徴とする半導体装置。

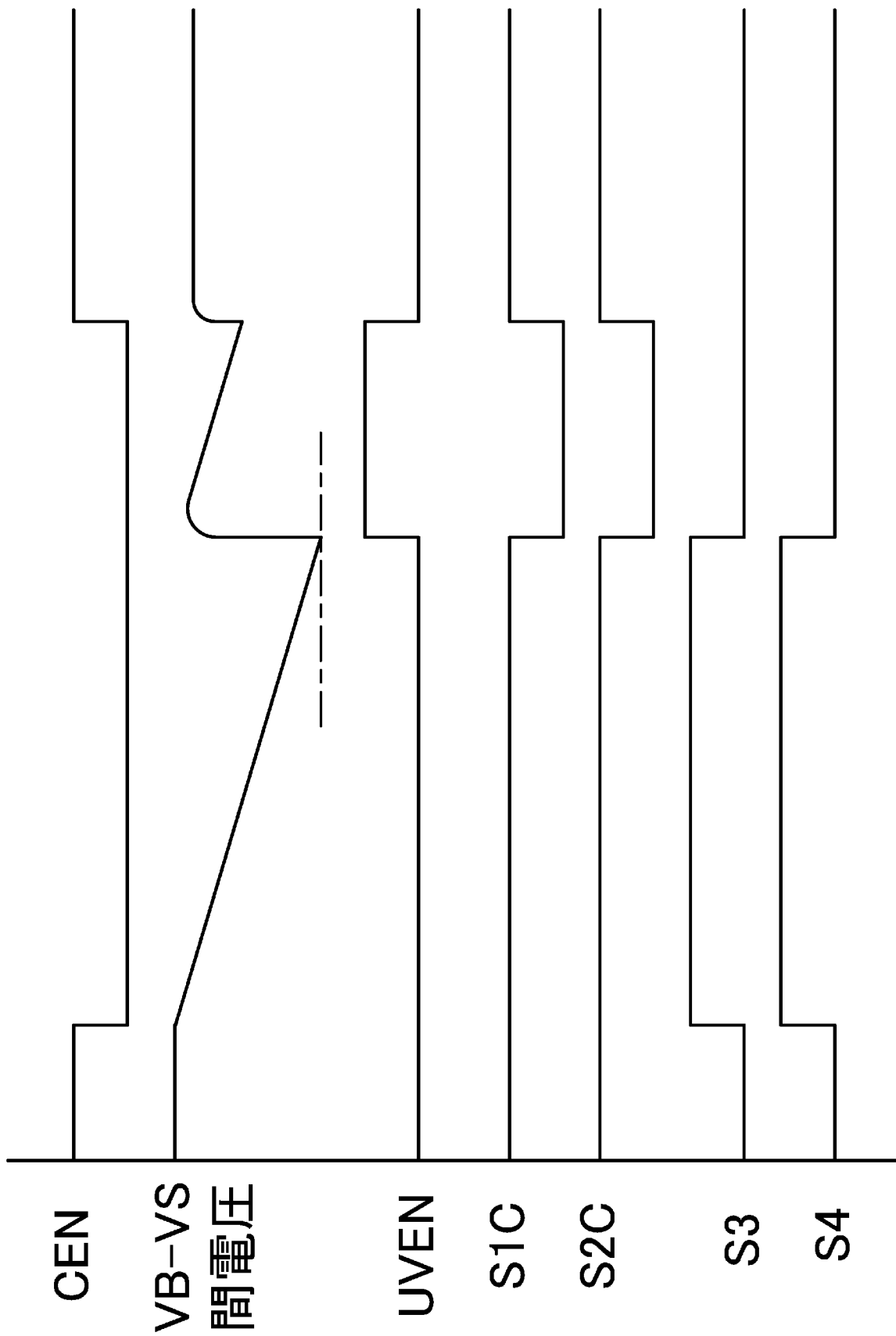
[請求項10] 前記第5のスイッチ～前記第8のスイッチは、双方向アナログスイッチからなることを特徴とする請求項9に記載の半導体装置。

[請求項11] 前記ツェナーダイオードのカソードは前記ハイサイドスイッチング素子および前記ローサイドスイッチング素子との接続点に接続され、前記ツェナーダイオードのアノードは前記中間電圧に対する負側の基準電位を規定し、前記ツェナーダイオードのアノード・カソード間電圧が前記充電基準電圧であることを特徴とする請求項1～10のいずれかに記載の半導体装置。

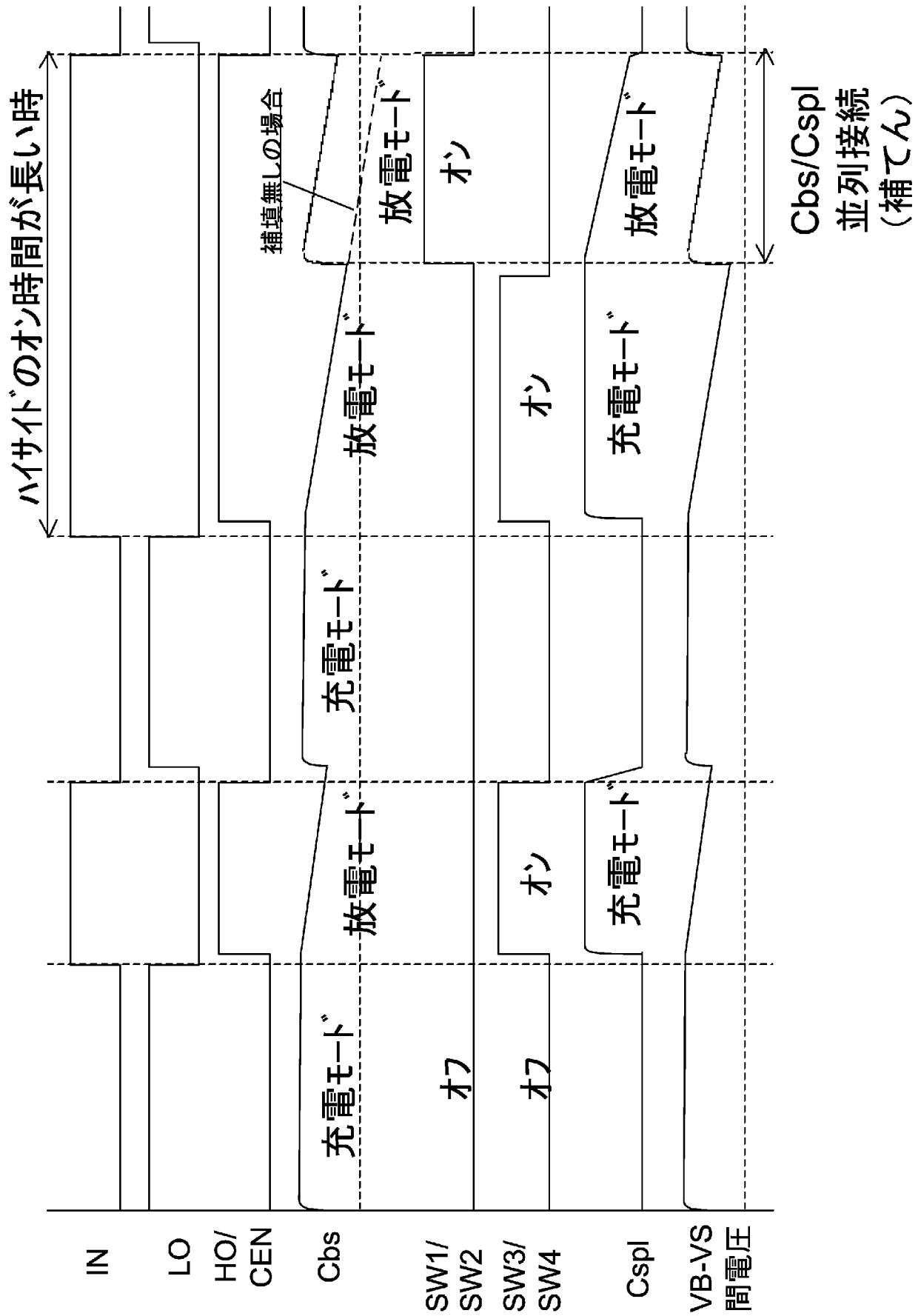
The schematic diagram illustrates the internal architecture of a semiconductor device 1. Key components include:

- High-side Driver Circuit (11):** Labeled "ハイサイド駆動回路", it receives an HV signal and drives a load through a switch (XM1) and a capacitor (Cbs).
- Low-side Driver Circuit (12):** Labeled "ローサイド駆動回路", it drives a load through a switch (XM2) and a capacitor (Cspl).
- Interposer Circuit:** Labeled "インタフェース回路", it interfaces between the driver circuits and the control circuit.
- Control Circuit (15):** Labeled "制御回路", it manages the operation of the device, receiving signals from the level shifter and the interposer circuit.
- Level Shifter (14):** Labeled "レベルシフト", it converts the input signal (IN) to a level suitable for the control circuit.
- Switches (SW1-SW4):** These switches are controlled by the control circuit and the level shifter to route signals between the input/output and the internal components.
- Capacitors (Cbs, Cspl):** These capacitors are used for signal coupling and timing control.
- External Connections:** The device is connected to a high-voltage source (HV), a ground (GND), a power supply (VCC), and an input/output terminal (IN).

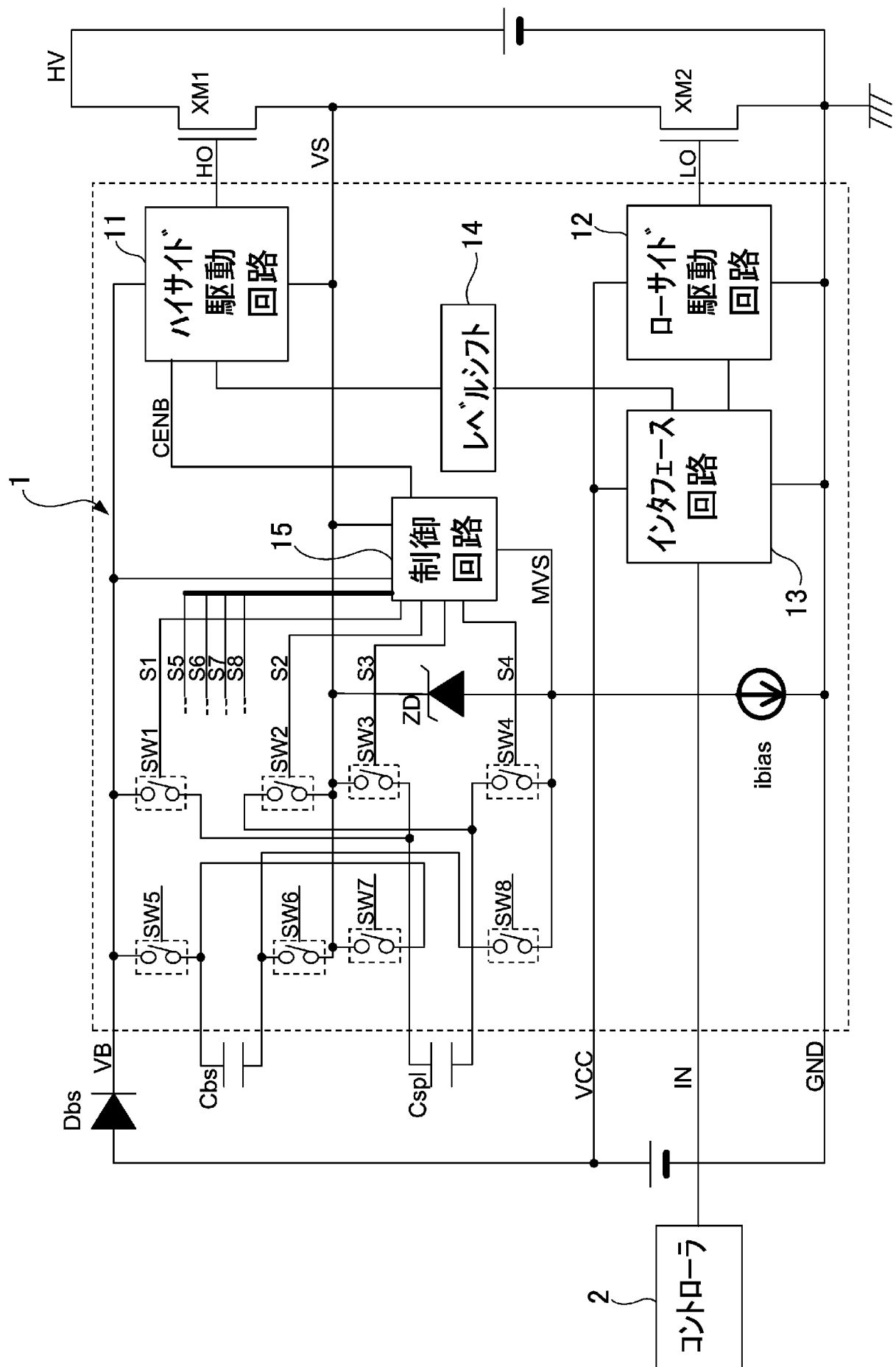
[図3]



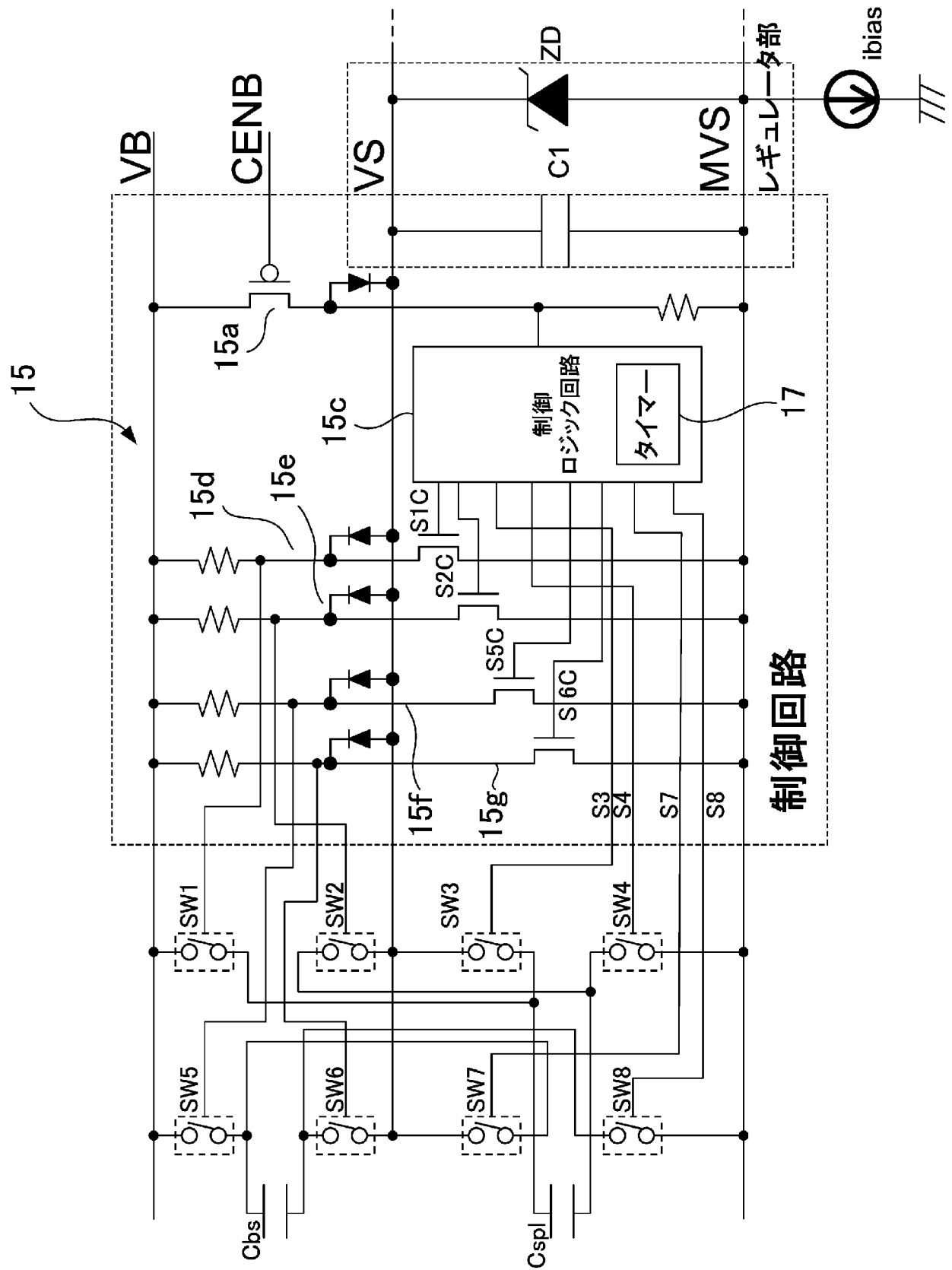
[図4]



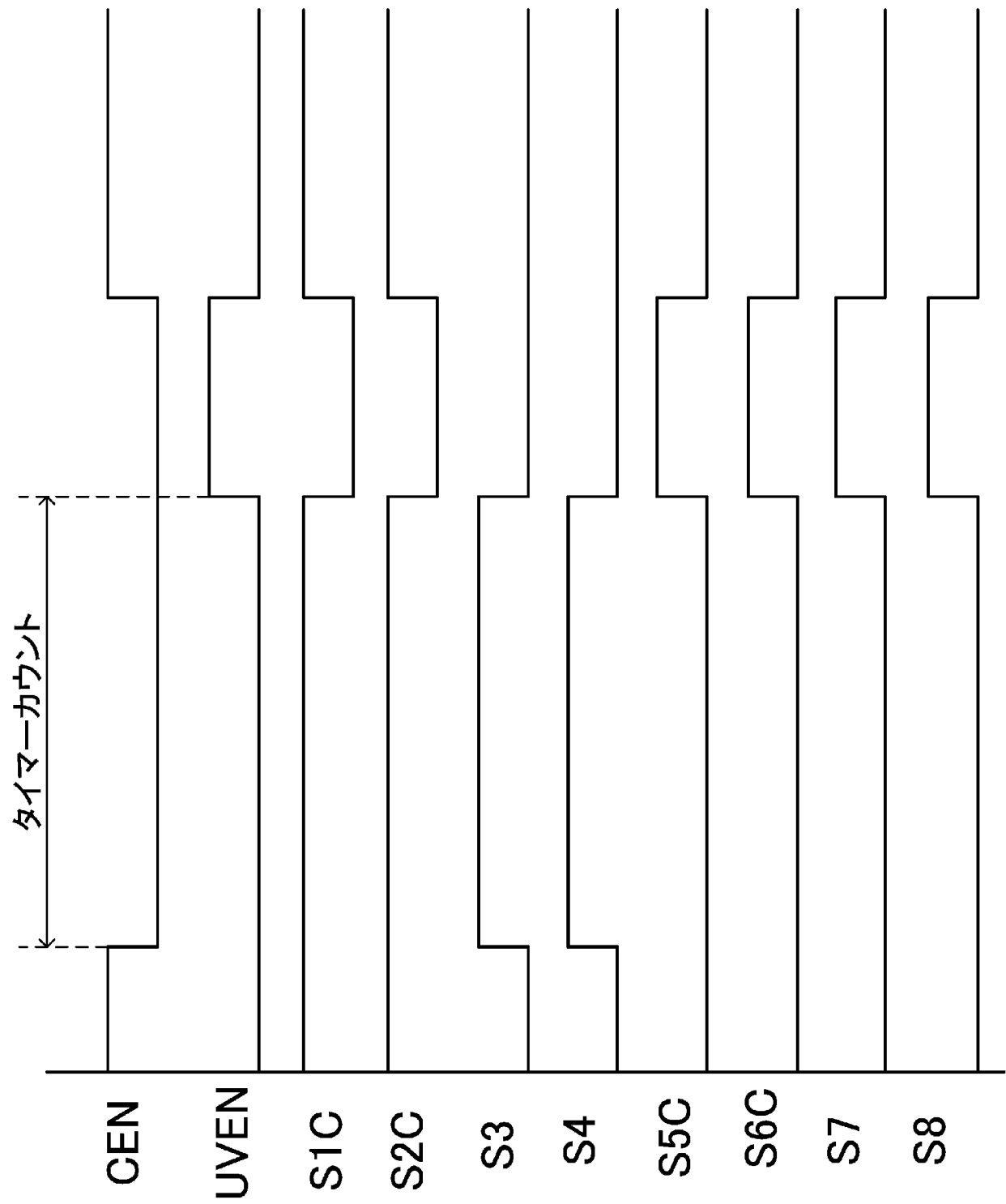
[図5]



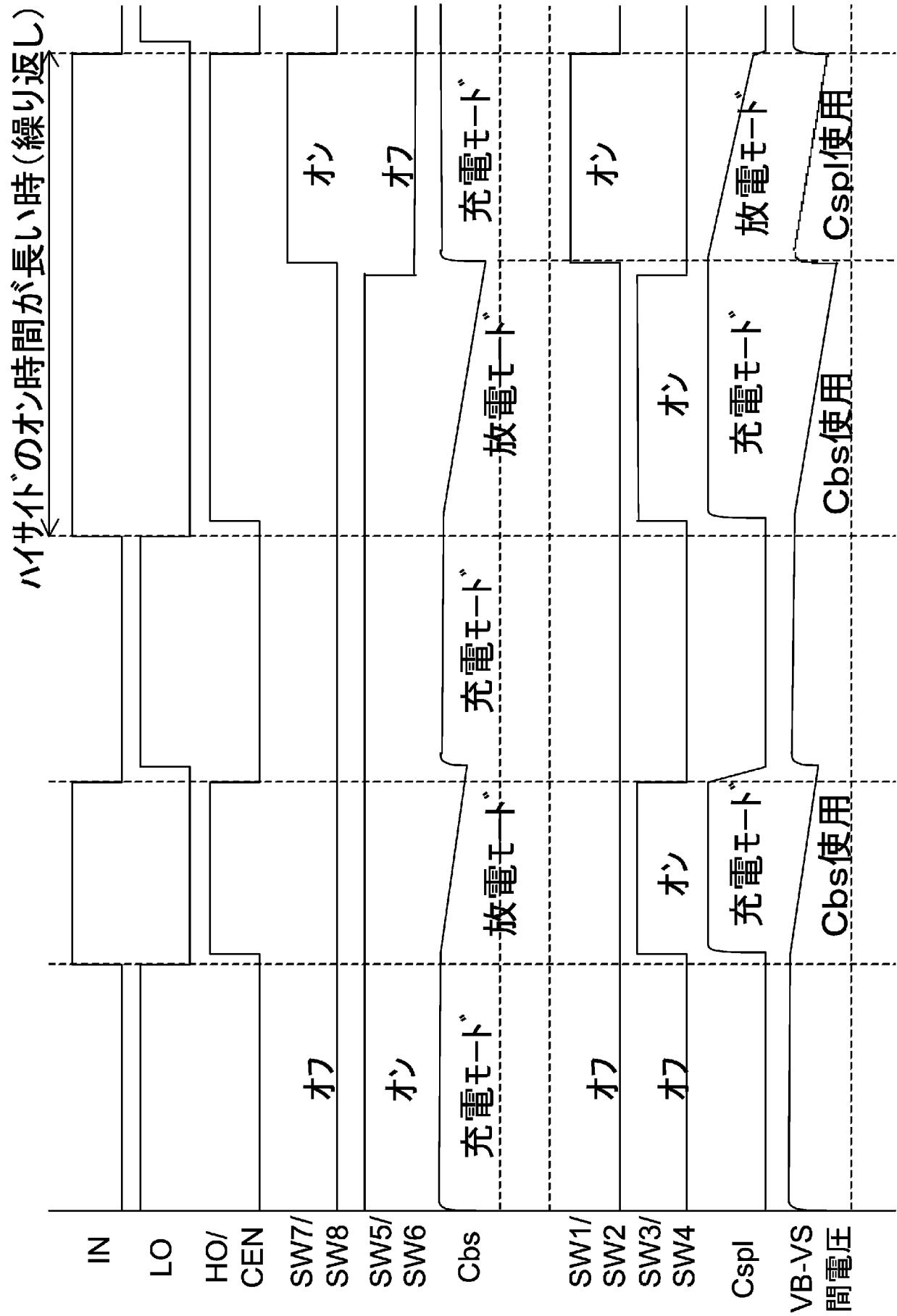
[図6]



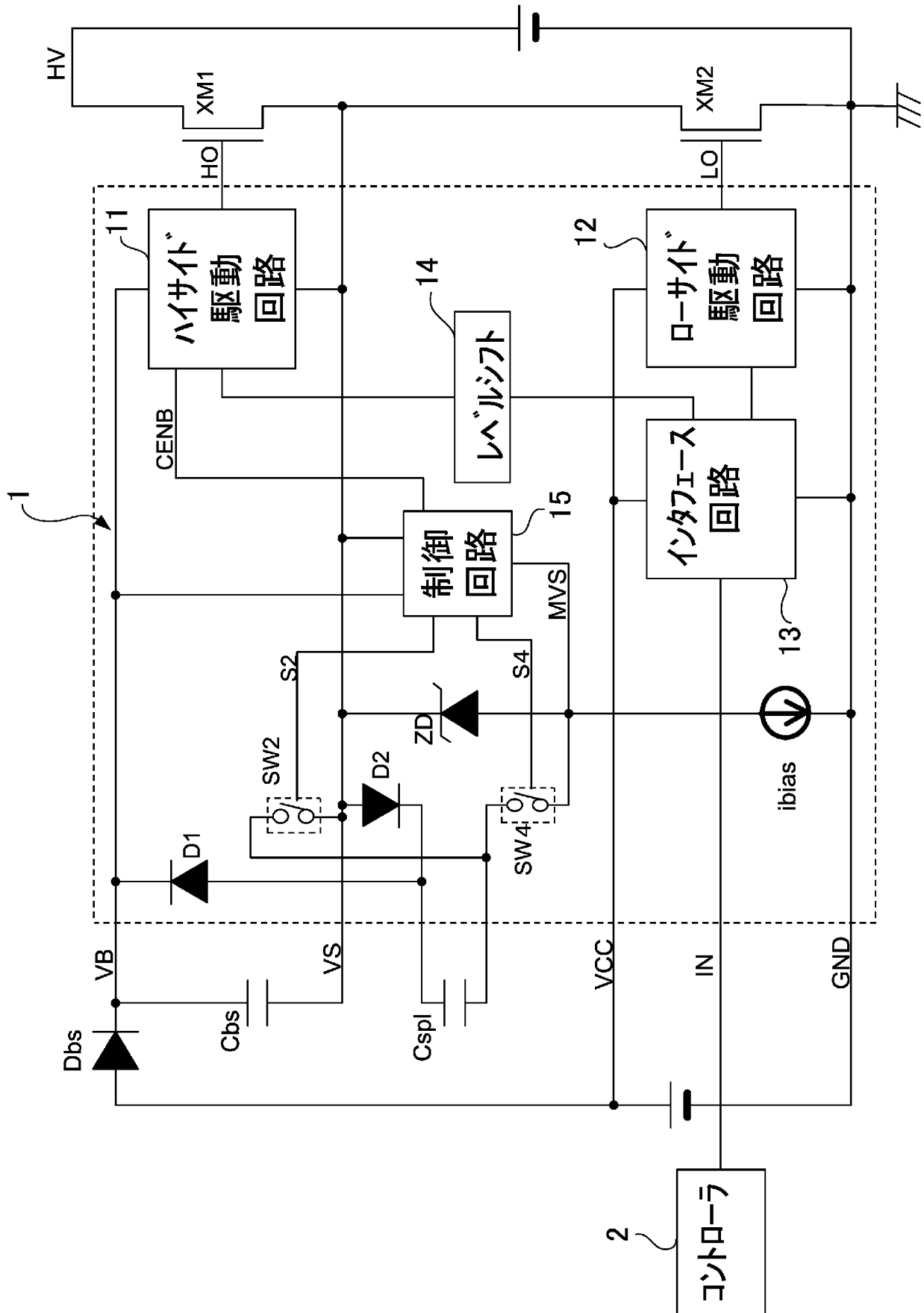
[図7]



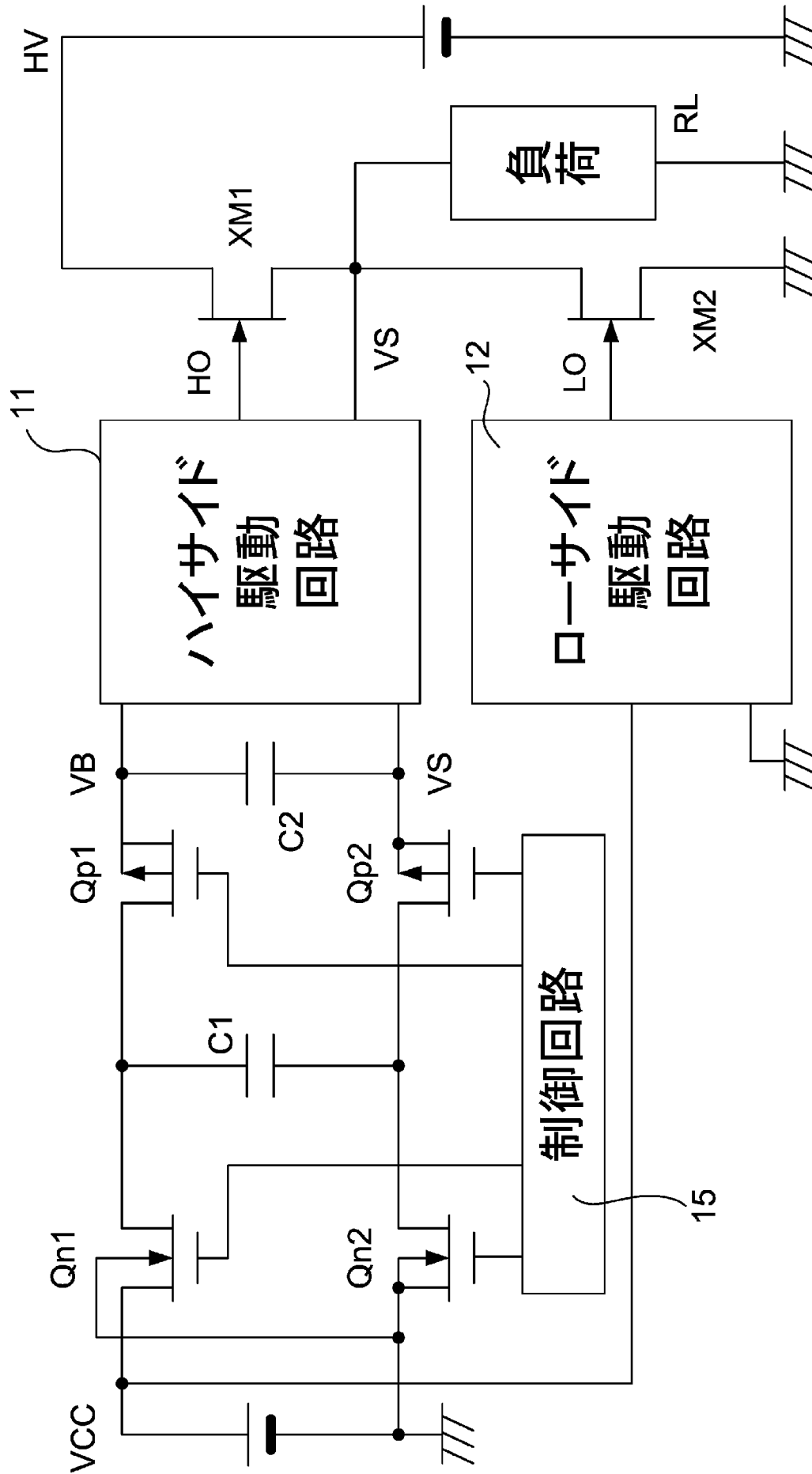
[図8]



[図9]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000049

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H04M3/145, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2009/0160534 A1 (INFINEON TECHNOLOGIES AG), 25 June 2009 (25.06.2009), claim 8; paragraphs [0002], [0007], [0026] to [0031], [0038] to [0044], [0048], [0049]; fig. 1a, 1b, 3a, 3b, 5 to 7 & DE 102007061978 A1 & CN 101465597 A	1-7, 11 8-10
Y	JP 10-285949 A (Mitsubishi Electric Corp.), 23 October 1998 (23.10.1998), paragraphs [0024], [0038], [0044]; fig. 1 & US 5963066 A column 8, lines 15 to 22; column 9, line 55 to column 10, line 4; column 10, lines 39 to 43; fig. 1 & DE 19750168 A1	1-7, 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 February 2017 (01.02.17)

Date of mailing of the international search report
14 February 2017 (14.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000049

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-018821 A (Fuji Electric Co., Ltd.), 17 January 2003 (17.01.2003), paragraphs [0001] to [0006], [0010]; fig. 4 (Family: none)	1, 2, 4-7, 11
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 91299/1991 (Laid-open No. 41397/1993) (Daikin Industries, Ltd.), 01 June 1993 (01.06.1993), paragraphs [0002], [0004], [0005]; fig. 7, 8 (Family: none)	1-5, 7, 11
A	JP 11-069842 A (Mitsubishi Electric Corp.), 09 March 1999 (09.03.1999), paragraphs [0001], [0019], [0025] to [0053]; fig. 1, 2 (Family: none)	1-11
A	JP 2005-151722 A (Toyota Industries Corp.), 09 June 2005 (09.06.2005), paragraphs [0001], [0006], [0011], [0012]; fig. 1 (Family: none)	1-11
A	JP 2002-330064 A (Onkyo Corp.), 15 November 2002 (15.11.2002), paragraphs [0001], [0004], [0015], [0043] to [0056]; fig. 3 to 6 (Family: none)	1-11
A	JP 2013-532945 A (Otis Elevator Co.), 19 August 2013 (19.08.2013), paragraphs [0011] to [0020]; fig. 2, 3 & US 2013/0119965 A1 paragraphs [0013] to [0022]; fig. 2, 3 & WO 2012/015427 A1 & CN 103004071 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M1/08 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/08, H04M3/145, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 2009/0160534 A1 (INFINEON TECHNOLOGIES AG) 2009.06.25, 請求項 8, 段落 0002, 0007, 0026-0031, 0038-0044, 0048, 0049, 図 1a, 1b, 3a, 3b, 5-7 & DE 102007061978 A1 & CN 101465597 A	1-7, 11 8-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

01.02.2017

国際調査報告の発送日

14.02.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

戸次 一夫

5G

9852

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-285949 A (三菱電機株式会社) 1998. 10. 23, 段落 0024, 0038, 0044, 図 1 & US 5963066 A, 第 8 欄第 15-22 行, 第 9 欄第 55 行-第 10 欄第 4 行, 第 10 欄第 39-43 行, 図 1 & DE 19750168 A1	1-7, 11
Y	JP 2003-018821 A (富士電機株式会社) 2003. 01. 17, 段落 0001-0006, 0010, 図 4 (ファミリーなし)	1, 2, 4-7, 11
Y	日本国実用新案登録出願 3-91299 号(日本国実用新案登録出願公開 5-41397 号)の願書に添付した明細書及び図面の内容を記録した CD-ROM (ダイキン工業株式会社) 1993. 06. 01, 段落 0002, 0004, 0005, 図 7, 8 (ファミリーなし)	1-5, 7, 11
A	JP 11-069842 A (三菱電機株式会社) 1999. 03. 09, 段落 0001, 0019, 0025-0053, 図 1, 2 (ファミリーなし)	1-11
A	JP 2005-151722 A (株式会社豊田自動織機) 2005. 06. 09, 段落 0001, 0006, 0011, 0012, 図 1 (ファミリーなし)	1-11
A	JP 2002-330064 A (オンキヨー株式会社) 2002. 11. 15, 段落 0001, 0004, 0015, 0043-0056, 図 3-6 (ファミリーなし)	1-11
A	JP 2013-532945 A (オーチス エレベータ カンパニー) 2013. 08. 19, 段落 0011-0020, 図 2, 3 & US 2013/0119965 A1, 段落 0013-0022, 図 2, 3 & WO 2012/015427 A1 & CN 103004071 A	1-11