

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-118791

(P2017-118791A)

(43) 公開日 平成29年6月29日(2017.6.29)

(51) Int.Cl.

HO2J 1/00 (2006.01)
HO2H 9/02 (2006.01)

F 1

HO2J 1/00
HO2H 9/02309R
E

テーマコード(参考)

5G013
5G065

5G165

審査請求 未請求 請求項の数 3 O L (全 22 頁)

(21) 出願番号
(22) 出願日特願2015-254883 (P2015-254883)
平成27年12月25日 (2015.12.25)(71) 出願人 395011665
株式会社オートネットワーク技術研究所
三重県四日市市西末広町1番14号
(71) 出願人 000183406
住友電装株式会社
三重県四日市市西末広町1番14号
(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 100114557
弁理士 河野 英仁
(74) 代理人 100078868
弁理士 河野 登夫

最終頁に続く

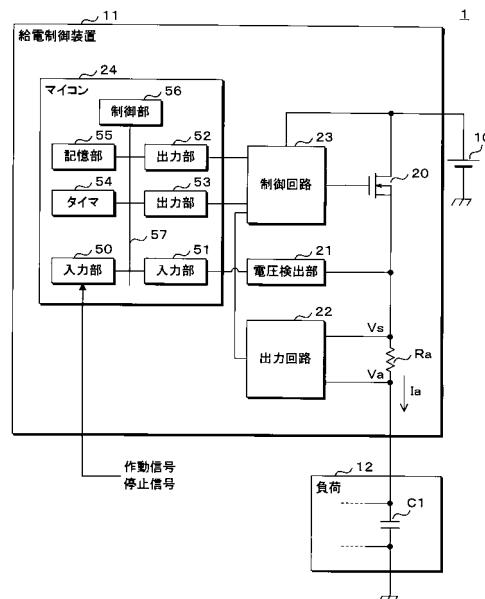
(54) 【発明の名称】給電制御装置

(57) 【要約】

【課題】突入電流及び過電流の通流を確実に防止することができる給電制御装置を提供する。

【解決手段】給電制御装置11においては、制御回路23は、半導体トランジスタ20におけるゲートの電圧を調整することによって、半導体トランジスタ20のドレイン及びソース間の抵抗値を調整する。制御部56は、制御回路23がドレイン及びソース間の抵抗値を低下させた後、電圧検出部21が検出したソースの電圧が基準電圧以上であるか否かを判定する。制御部56によってソースの電圧が基準電圧以上であると判定された場合、制御回路23はドレイン及びソース間の抵抗値を再び低下させる。制御部56によってソースの電圧が所定電圧未満であると判定された場合、制御回路23は、ドレイン及びソース間の抵抗値を、判定が行われた時点の抵抗値以上に調整する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

入力端に入力された電流を出力端から容量性の負荷に出力する半導体トランジスタと、該半導体トランジスタの前記入力端及び出力端間の抵抗値を調整する調整部とを備え、該調整部が前記抵抗値を調整することによって前記負荷への給電を制御する給電制御装置において、

前記出力端の電圧を検出する検出部と、

前記調整部が前記抵抗値を低下させた後、前記検出部が検出した前記出力端の電圧が所定電圧以上である否かを判定する判定部と

を備え、

前記調整部は、

該判定部によって、前記出力端の電圧が前記所定電圧以上であると判定された場合に前記抵抗値を再び低下させ、

前記判定部によって、前記出力端の電圧が前記所定電圧未満であると判定された場合、前記抵抗値を、該判定部が判定を行った時点の前記抵抗値以上に調整すること

を特徴とする給電制御装置。

【請求項 2】

前記調整部は、前記判定部が判定を行う前に、前記抵抗値を低下させてから該抵抗値を上昇させ、

前記判定部は、前記調整部が前記抵抗値を上昇させた後に判定を行うこと

を特徴とする請求項 1 に記載の給電制御装置。

【請求項 3】

前記負荷に流れる電流が大きい程、高い電圧を出力する出力回路を備え、

前記調整部は、該出力回路が出力した電圧が閾値以上である場合に前記抵抗値を上昇させ、

前記出力回路が出力する電圧の最大値は、前記出力端の電圧以下であり、該出力端の電圧の上昇と共に上昇すること

を特徴とする請求項 1 又は請求項 2 に記載の給電制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バッテリから負荷への給電を制御する給電制御装置に関する。

【背景技術】

【0002】

車両には、バッテリから容量性の負荷への電流経路に設けられたスイッチをオン又はオフに切替えることによって、負荷への給電を制御する給電制御装置が搭載されている。この給電制御装置において、負荷が有するキャパシタに蓄えられている電力が低い状態でスイッチをオフからオンに切替えた場合、バッテリと負荷との電圧差が大きく、かつ、スイッチの両端間の抵抗値が小さいため、バッテリから負荷へ一時的に大きな電流が流れる。この電流は、所謂、突入電流である。突入電流が流れた場合、例えば、負荷を構成する部品が焼損する虞がある。

【0003】

特許文献 1 には、突入電流の発生を防止する給電制御装置が開示されている。この給電制御装置では、スイッチの一端に、抵抗及び第 2 スイッチの直列回路の一端が接続され、スイッチの他端にこの直列回路の他端が接続されている。スイッチをオフからオンに切替える前に、第 2 のスイッチをオフからオンに切替える。これにより、電流が、バッテリから抵抗及び第 2 のスイッチを介して負荷に流れる。

【0004】

ここで、電流が抵抗を介して負荷に流れるため、負荷のキャパシタに蓄えられている電力が小さい場合であっても、突入電流が流れることはない。キャパシタに一定の電力が蓄

10

20

30

40

50

えられた後、第2のスイッチをオフに切替え、スイッチをオンに切替える。これにより、直列回路の抵抗で電力が消費されることなく、スイッチを介して電力をバッテリから負荷に供給することができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-135389号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に記載の給電制御装置のように、突入電流が負荷に流れることを防止する給電制御装置として、半導体トランジスタ、例えばFET(Field Effect Transistor)を備える給電制御装置が考えられる。この給電制御装置では、バッテリの正極と負荷の一端との間に半導体トランジスタが接続され、バッテリの負極及び負荷の他端は接地されている。半導体トランジスタでは、バッテリから入力端に電流が入力され、入力された電流は出力端から負荷に出力される。半導体トランジスタの入力端及び出力端間の抵抗値は、半導体トランジスタの制御端、例えばFETのゲートの電圧を調整することによって調整される。このような給電制御装置では、半導体トランジスタの入力端及び出力端間の抵抗値を徐々に低下させる。これにより、負荷に突入電流が流れることが防止される。

10

【0007】

半導体トランジスタを介した負荷への給電を制御する給電制御装置には、通常、過電流が半導体トランジスタに流れることを防止する構成が設けられている。例えば、負荷に流れる電流が大きい程、高い電圧を出力する出力回路が設けられている。出力回路が出力した電圧が所定の電圧以上である場合、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させる。これにより、所定の電流以上の電流が半導体トランジスタに流れることはなく、過電流が半導体トランジスタを流れることが防止される。

20

【0008】

しかしながら、出力回路が半導体トランジスタの出力端の電圧を分圧することによって、出力すべき電圧を生成するように構成されている場合において、半導体トランジスタの出力端の電圧が所定の電圧未満であるとき、出力回路は、所定の電圧を超える電圧を出力することはできない。

30

【0009】

従って、負荷に給電すべく、半導体トランジスタの入力端及び出力端間の抵抗値を低下させている場合において、半導体トランジスタの出力端の電圧が所定の電圧未満である間に所定の電流以上の電流が流れても、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させることはない。このような出力回路を備える給電制御装置には、過電流の通流を確実に防止することができないという問題がある。

【0010】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、突入電流及び過電流の通流を確実に防止することができる給電制御装置を提供することにある。

40

【課題を解決するための手段】

【0011】

本発明に係る給電制御装置は、入力端に入力された電流を出力端から容量性の負荷に出力する半導体トランジスタと、該半導体トランジスタの前記入力端及び出力端間の抵抗値を調整する調整部とを備え、該調整部が前記抵抗値を調整することによって前記負荷への給電を制御する給電制御装置において、前記出力端の電圧を検出する検出部と、前記調整部が前記抵抗値を低下させた後、前記検出部が検出した前記出力端の電圧が所定電圧以上である否かを判定する判定部とを備え、前記調整部は、該判定部によって、前記出力端の電圧が前記所定電圧以上であると判定された場合に前記抵抗値を再び低下させ、前記判定部によって、前記出力端の電圧が前記所定電圧未満であると判定された場合、前記抵抗値

50

を、該判定部が判定を行った時点の前記抵抗値以上に調整することを特徴とする。

【0012】

本発明にあっては、半導体トランジスタの入力端には、電流が例えは、バッテリから入力され、入力された電流は、半導体トランジスタの出力端から容量性の負荷に出力される。半導体トランジスタの入力端及び出力端間の抵抗値を徐々に上昇させることによって、半導体トランジスタに突入電流が通流することを確実に防止することが可能である。

【0013】

負荷に給電すべく、半導体トランジスタの入力端及び出力端間の抵抗値を低下させる。これにより、負荷が有するキャパシタに電力が蓄えられる。抵抗値を低下させた後、検出した出力端の電圧が所定電圧以上であるか否かを判定する。負荷の両端が短絡しており、半導体トランジスタに過電流が流れる可能性がある場合、出力端の電圧は、略ゼロVであるので所定電圧未満となる。負荷の両端が短絡していない場合、出力端の電圧は所定電圧以上となる。

10

【0014】

出力端の電圧が所定電圧以上であると判定した場合、半導体トランジスタの入力端及び出力端間の抵抗値を再び低下させ、負荷への給電を行う。出力端の電圧が所定電圧未満であると判定した場合、半導体トランジスタの入力端及び出力端間の抵抗値を、判定を行った時点の抵抗値以上に調整し、半導体トランジスタに過電流が通流することを確実に防止する。

20

【0015】

本発明に係る給電制御装置は、前記調整部は、前記判定部が判定を行う前に、前記抵抗値を低下させてから該抵抗値を上昇させ、前記判定部は、前記調整部が前記抵抗値を上昇させた後に判定を行うことを特徴とする。

【0016】

本発明にあっては、半導体トランジスタの入力端及び出力端間の抵抗値を低下させて、負荷のキャパシタに電力を供給した後、抵抗値を上昇させ、電力の供給を停止する。その後、半導体トランジスタの出力端の電圧が所定電圧以上であるか否かを判定する。電力の供給を一旦、停止するため、負荷の両端が短絡している場合に電力が無駄に消費されることはない。

30

【0017】

本発明に係る給電制御装置は、前記負荷に流れる電流が大きい程、高い電圧を出力する出力回路を備え、前記調整部は、該出力回路が出力した電圧が閾値以上である場合に前記抵抗値を上昇させ、前記出力回路が出力する電圧の最大値は、前記出力端の電圧以下であり、該出力端の電圧の上昇と共に上昇することを特徴とする。

【0018】

本発明にあっては、出力回路が出力した電圧が閾値以上である場合、半導体トランジスタの入力端及び出力端間の抵抗値を上昇させる。半導体トランジスタの出力端の電圧が高い場合、出力回路が出力する電圧の最大値が大きいため、出力回路が出力した電圧に基づいて、抵抗値を上昇させる構成が適正に作用する。このため、過電流の通流が防止される。半導体トランジスタの出力端の電圧が低い場合、出力回路が出力する電圧の最大値が小さいため、出力回路が出力した電圧に基づいて、抵抗値を上昇させる構成が適正に作用しない。しかし、検出した出力端の電圧に基づいて行う抵抗値の調整によって、過電流の通流が防止される。

40

【発明の効果】

【0019】

本発明によれば、突入電流及び過電流の通流を確実に防止することができる。

【図面の簡単な説明】

【0020】

【図1】実施の形態1における電源システムの要部構成を示すブロック図である。

【図2】出力回路の回路図である。

50

【図3】制御回路の回路図である。

【図4】制御部が実行する開始処理の手順を示すフローチャートである。

【図5】給電制御装置の動作の一例を示すタイミングチャートである。

【図6】給電制御装置の動作の他例を示すタイミングチャートである。

【図7】実施の形態2における制御部が実行する開始処理の手順を示すフローチャートである。

【図8】給電制御装置の動作の一例を示すタイミングチャートである。

【図9】給電制御装置の動作の他例を示すタイミングチャートである。

【発明を実施するための形態】

【0021】

10

以下、本発明をその実施の形態を示す図面に基づいて詳述する。

(実施の形態1)

図1は実施の形態1における電源システム1の要部構成を示すブロック図である。電源システム1は、好適に車両に搭載されており、バッテリ10、給電制御装置11及び容量性の負荷12を備える。負荷12はキャパシタC1を有する。バッテリ10の正極と、負荷12が有するキャパシタC1の一端とは給電制御装置11に接続されている。バッテリ10の負極と、負荷12が有するキャパシタC1の他端とは接地されている。

【0022】

給電制御装置11には、負荷12の作動を指示する作動信号と、負荷12の動作の停止を指示する停止信号とが入力される。給電制御装置11は、入力された信号に基づいて、バッテリ10から負荷12への給電を制御する。

【0023】

負荷12は車両に搭載された電気機器である。負荷12は、バッテリ10から負荷12に給電されている場合に作動する。バッテリ10から負荷12への給電が停止されている場合、負荷12は動作を停止する。

【0024】

給電制御装置11は、半導体トランジスタ20、電圧検出部21、出力回路22、制御回路23、マイクロコンピュータ(以下、マイコンという)24及び抵抗Raを有する。半導体トランジスタ20において、ドレインはバッテリ10の正極に接続され、ソースは抵抗Raの一端に接続されている。抵抗Raの他端は、負荷12のキャパシタC1の一端に接続されている。半導体トランジスタ20のゲートは制御回路23に接続されている。制御回路23は、更に、バッテリ10の正極と、出力回路22と、マイコン24とに各別に接続されている。電圧検出部21は、半導体トランジスタ20のソースと、マイコン24とに各別に接続されている。出力回路22は、制御回路23の他に、抵抗Raの一端及び他端に各別に接続されている。

【0025】

バッテリ10の正極から、電流が半導体トランジスタ20のドレインに入力され、ドレインに入力された電流は、半導体トランジスタ20のソースから抵抗Raを介して負荷12に出力される。ドレイン及びソース夫々は入力端及び出力端として機能する。

【0026】

半導体トランジスタ20において、ドレイン及びソース間の抵抗値は、接地電位を基準としたゲートの電圧(以下、ゲート電圧という)に依存する。半導体トランジスタ20において、ゲート電圧が上昇した場合、ドレイン及びソース間の抵抗値は低下する。半導体トランジスタ20のゲートには、制御回路23によって電圧が印加される。制御回路23は、半導体トランジスタ20のゲート電圧を調整することによって、半導体トランジスタ20のドレイン及びソース間の抵抗値を調整する。制御回路23は調整部として機能する。

【0027】

制御回路23は、半導体トランジスタ20のゲート電圧を上昇させることによって、半導体トランジスタ20のドレイン及びソース間の抵抗値を低下させる。これにより、バッ

20

30

40

50

テリ 10 から半導体トランジスタ 20 及び抵抗 R_a を介して負荷 12 に給電される。

また、制御回路 23 は、半導体トランジスタ 20 のゲート電圧を低下させることによって、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を上昇させる。これにより、バッテリ 10 から負荷 12 への給電が停止される。

以上のように、制御回路 23 は、半導体トランジスタ 20 のドレイン及びソース間の抵抗値を調整することによって、負荷 12 への給電を制御する。

【0028】

電圧検出部 21 は、接地電位を基準とした半導体トランジスタ 20 のソースの電圧（以下、ソース電圧という）を検出する。電圧検出部 21 は、検出したソース電圧を示す電圧情報をマイコン 24 に出力する。

出力回路 22 は電圧を制御回路 23 に出力する。出力回路 22 が制御回路 23 に出力する電圧は、抵抗 R_a を介して負荷 12 に流れる負荷電流 I_a が上昇すると共に上昇するので、負荷電流 I_a が大きい程高い。

【0029】

図 2 は出力回路 22 の回路図である。出力回路 22 は、P N P 型のバイポーラトランジスタ 30、差動増幅器 31 及び抵抗 R_d 、 R_e を有する。抵抗 R_e の一端は、半導体トランジスタ 20 のソースに接続されている。抵抗 R_e の他端は、バイポーラトランジスタ 30 のエミッタと、差動増幅器 31 のマイナス端子とに接続されている。差動増幅器 31 のプラス端子は抵抗 R_a の負荷 12 側の一端に接続されている。差動増幅器 31 の出力端はバイポーラトランジスタ 30 のベースに接続されている。バイポーラトランジスタ 30 のコレクタは、制御回路 23 と、抵抗 R_d の一端とに接続されている。抵抗 R_d の他端は接地されている。

【0030】

半導体トランジスタ 20 のソースから出力された電流の大部分は、抵抗 R_a を介して負荷 12 に流れる。半導体トランジスタ 20 のソースから出力された電流の残りは、抵抗 R_e 、バイポーラトランジスタ 30 及び抵抗 R_d の順に流れる。バイポーラトランジスタ 30 において、電流はエミッタに入力され、エミッタに入力された電流はコレクタから抵抗 R_d に出力される。

【0031】

バイポーラトランジスタ 30 において、エミッタ及びコレクタ間の抵抗値は、接地電位を基準としたベースの電圧に依存する。バイポーラトランジスタ 30 のベースの電圧が上昇した場合、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値は上昇する。バイポーラトランジスタ 30 のベースには、差動増幅器 31 によって電圧が印加される。

【0032】

半導体トランジスタ 20 のソース電圧を V_s と記載し、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値を r_b と記載し、抵抗 R_d 、 R_e 夫々の抵抗値を r_d 、 r_e と記載する。バイポーラトランジスタ 30 のエミッタに入力されるエミッタ電流 I_e は $V_s / (r_b + r_d + r_e)$ で算出される。抵抗値 r_b が低下した場合、エミッタ電流 I_e は上昇し、抵抗値 r_b が上昇した場合、エミッタ電流 I_e は低下する。

【0033】

差動増幅器 31 において、出力端からバイポーラトランジスタ 30 のベースに印加される電圧は、マイナス端子に印加されているエミッタ電圧 V_e と、プラス端子に印加されている負荷電圧 V_a とに依存する。

差動増幅器 31 は、エミッタ電圧 V_e が負荷電圧 V_a よりも高い場合、バイポーラトランジスタ 30 のベースに印加する電圧を低下させる。電圧の低下幅は、エミッタ電圧 V_e と負荷電圧 V_a との差が大きい程大きい。バイポーラトランジスタ 30 におけるベースの電圧の低下により、バイポーラトランジスタ 30 のエミッタ及びコレクタ間の抵抗値 r_b が低下する。結果、エミッタ電流 I_e は上昇し、抵抗 R_e で生じる電圧降下の幅は上昇し、エミッタ電圧 V_e は低下する。エミッタ電圧 V_e は負荷電圧 V_a に接近する。

【0034】

また、差動増幅器31は、エミッタ電圧 V_e が負荷電圧 V_a よりも低い場合、バイポーラトランジスタ30のベースに印加する電圧を上昇させる。電圧の上昇幅は、エミッタ電圧 V_e と負荷電圧 V_a との差が大きい程大きい。バイポーラトランジスタ30におけるベースの電圧の上昇により、バイポーラトランジスタ30のエミッタ及びコレクタ間の抵抗値 r_b が上昇する。結果、エミッタ電流 I_e は低下し、抵抗 R_e で生じる電圧降下の幅は低下し、エミッタ電圧 V_e は上昇する。エミッタ電圧 V_e は負荷電圧 V_a に接近する。

【0035】

以上のように、差動増幅器31は、エミッタ電圧 V_e が負荷電圧 V_a と一致するよう¹⁰に、半導体トランジスタ20のエミッタ及びコレクタ間の抵抗値 r_b を調整する。エミッタ電圧 V_e と負荷電圧 V_a とが一致するので、下記の(1)式が成り立つ。

$$V_s - r_e \times I_e = V_s - r_a \times I_a \dots (1)$$

ここで、 r_a は、抵抗 R_a の抵抗値である。

(1)式を展開すると、下記の(2)式が成り立つ。

$$I_e = I_a \times r_a / r_e \dots (2)$$

【0036】

例えば、抵抗値 r_e が抵抗値 r_a の1000倍である場合、エミッタ電流 I_e は、負荷電流 I_a の1000分の1である。このように、エミッタ電流 I_e は、負荷電流 I_a の所定数分の1であり、所定数は抵抗値 r_a , r_e によって決まる。

【0037】

バイポーラトランジスタ30及び抵抗 R_d , R_e はソース電圧 V_s を分圧し、分圧した電圧は制御回路23に出力される。出力回路22から制御回路23に出力される電圧は、 $r_d \times I_e$ である。エミッタ電流 I_e は、前述したように $I_a \times r_a / r_e$ で表されるので、出力回路22から制御回路23に出力される電圧は、 $I_a \times r_a \times r_d / r_e$ である。抵抗値 r_a , r_d , r_e は定数であるため、出力回路22から制御回路23に出力される電圧は、負荷電流 I_a に比例する。

【0038】

ただし、出力回路22から制御回路23に出力される電圧が負荷電流 I_a に比例する負荷電流 I_a の範囲は制限されている。

エミッタ電流 I_e は、バイポーラトランジスタ30のエミッタ及びコレクタ間の抵抗値 r_b が略ゼロ³⁰となった場合に最大となる。エミッタ電流 I_e の最大値は $V_s / (r_d + r_e)$ である。 $V_s / (r_d + r_e)$ で表されるエミッタ電流 I_e に対応する負荷電流 I_a は $V_s \times r_e / (r_a \times (r_d + r_e))$ である。

【0039】

従って、負荷電流 I_a が $V_s \times r_e / (r_a \times (r_d + r_e))$ を超えている場合、(2)式は成り立たない。この場合、負荷電流 I_a に無関係に抵抗値 r_b は略ゼロ⁴⁰であるため、出力回路22から制御回路23に出力される電圧は、一定であり、 $V_s \times r_d / (r_d + r_e)$ で表される。従って、ソース電圧 V_s が低い場合、出力回路22が適切な電圧を制御回路23に出力していない可能性がある。

【0040】

図1に示す制御回路23には、出力回路22から電圧が入力されると共に、マイコン24からローレベル電圧又はハイレベル電圧が入力される。制御回路23は、半導体トランジスタ20のゲートに電圧を印加する。制御回路23は、出力回路22及びマイコン24夫々から入力された電圧に基づいて半導体トランジスタ20のゲート電圧を調整する。

【0041】

図3は制御回路23の回路図である。制御回路23は、コンパレータ40、ラッチ部41、反転器42、AND回路43、OR回路44、充電回路45、放電回路46、コンデンサC2及びダイオードD1, D2を有する。AND回路43及びOR回路44夫々は、2つの入力端子と、1つの出力端子とを有する。

【0042】

コンパレータ40のプラス端子には、出力回路22、具体的には、バイポーラトランジスタ30のコレクタが接続されている。コンパレータ40のマイナス端子には参照電圧V_rが印加されている。参照電圧V_rは、一定であり、例えば、レギュレータを用いてバッテリ10の出力電圧から生成される。コンパレータ40の出力端子はラッチ部41の入力端子に接続されている。ラッチ部41の出力端子は、更に、反転器42の入力端子と、OR回路44の一方の入力端子とに接続されている。反転器42の出力端子はAND回路43の一方の入力端子に接続されている。AND回路43及びOR回路44夫々の他方の入力端子は、マイコン24に各別に接続されている。

【0043】

AND回路43の出力端子は、充電回路45に接続されている。充電回路45は、更に、バッテリ10の正極と、ダイオードD1のアノードとに接続されている。充電回路45は接地されている。OR回路44の出力端子は、放電回路46に接続されている。放電回路46は、更に、ダイオードD2のカソードに接続されている。放電回路46は接地されている。

【0044】

ダイオードD1のカソードと、ダイオードD2のアノードとは、半導体トランジスタ20のゲートと、キャパシタC2の一端とに接続されている。キャパシタC2の他端は接地されている。

【0045】

コンパレータ40は、出力回路22から制御回路23に出力された電圧が参照電圧V_r未満である場合、ローレベル電圧をラッチ部41に出力する。コンパレータ40は、出力回路22から制御回路23に出力された電圧が参照電圧V_r以上である場合、ハイレベル電圧をラッチ部41に出力する。

【0046】

ラッチ部41は、コンパレータ40からローレベル電圧が入力されている間、ローレベル電圧を、反転器42の入力端子と、OR回路44の一方の入力端子とに出力する。ラッチ部41は、コンパレータ40から入力されている電圧がローレベル電圧からハイレベル電圧に切替わった場合、ハイレベル電圧を、反転器42の入力端子と、OR回路44の一方の入力端子とに出力する。コンパレータ40から入力されている電圧がローレベル電圧からハイレベル電圧に切替わった後においては、ラッチ部41は、コンパレータ40から入力される電圧に無関係にハイレベル電圧を出力し続ける。

【0047】

反転器42は、ラッチ部41からローレベル電圧が入力された場合、ハイレベル電圧をAND回路43の一方の入力端子に出力し、ラッチ部41からハイレベル電圧が入力された場合、ローレベル電圧をAND回路43の他方の入力端子に出力する。従って、出力回路22から制御回路23に出力される電圧が参照電圧V_r未満である間、AND回路43及びOR回路44夫々の一方の入力端子には、ハイレベル電圧及びローレベル電圧が入力される。出力回路22から制御回路23に出力される電圧が参照電圧V_r以上となった後においては、AND回路43及びOR回路44夫々の一方の入力端子には、ローレベル電圧及びハイレベル電圧が入力され続ける。

【0048】

AND回路43の他方の入力端子には、マイコン24からハイレベル電圧又はローレベル電圧が入力される。AND回路43は、反転器42から一方の端子にハイレベル電圧が入力されている場合、マイコン24から他方の入力端子に入力された電圧をそのまま充電回路45に出力する。AND回路43は、反転器42から一方の入力端子にローレベル電圧が入力されている場合、マイコン24から他方の入力端子に入力される電圧に無関係に、ローレベル電圧を充電回路45に出力する。

【0049】

従って、出力回路22から制御回路23に出力される電圧が参照電圧V_r未満である間、マイコン24からAND回路43の他方の入力端子に入力された電圧がそのまま充電回

10

20

30

40

50

路45に出力される。出力回路22から制御回路23に出力される電圧が参照電圧Vr以上となつた後においては、マイコン24からAND回路43の他方の入力端子に入力される電圧に無関係にローレベル電圧を充電回路45に出力する。

【0050】

充電回路45は、AND回路43からハイレベル電圧が入力された場合、バッテリ10を用いて一定の電圧を生成し、生成した電圧を、ダイオードD1を介してキャパシタC2の両端間に印加する。これにより、キャパシタC2は充電される。キャパシタC2の両端間の電圧が半導体トランジスタ20のゲートに印加される。キャパシタC2が充電されるにつれて、キャパシタC2の両端間の電圧が徐々に上昇し、半導体トランジスタ20のゲート電圧が徐々に上昇する。これにより、半導体トランジスタ20のドレイン及びソース間の抵抗値は徐々に低下する。

充電回路45は、AND回路43からローレベル電圧が入力された場合、動作を停止する。このとき、キャパシタC2は充電されることはない。

【0051】

マイコン24は、ハイレベル電圧をAND回路43の他方の入力端子に出力することによって、充電回路45にキャパシタC2を充電させ、ローレベル電圧をAND回路43の他方の入力端子に出力することによって、充電回路45にキャパシタC2の充電を停止させる。

【0052】

OR回路44の他方の入力端子には、マイコン24からハイレベル電圧又はローレベル電圧が入力される。OR回路44は、ラッチ部41から一方の入力端子にローレベル電圧が入力されている場合、マイコン24から他方の入力端子に入力された電圧をそのまま放電回路46に出力する。OR回路44は、ラッチ部41から一方の入力端子にハイレベル電圧が入力されている場合、マイコン24から他方の入力端子に入力される電圧に無関係に、ハイレベル電圧を放電回路46に出力する。

【0053】

従って、出力回路22から制御回路23に出力される電圧が参照電圧Vr未満である間、マイコン24からOR回路44の他方の入力端子に入力された電圧がそのまま放電回路46に出力される。出力回路22から制御回路23に出力される電圧が参照電圧Vr以上となつた後においては、マイコン24からOR回路44の他方の入力端子に入力される電圧に無関係にハイレベル電圧を放電回路46に出力する。

【0054】

放電回路46は、OR回路44からハイレベル電圧が入力された場合、キャパシタC2に放電させる。このとき、ダイオードD2のカソードは、放電回路46内の図示しない抵抗を介して接地されており、電流は、コンデンサC2からダイオードD2、放電回路46内の抵抗及び接地電位の順に流れる。キャパシタC2の放電により、キャパシタC2の両端間の電圧が低下し、半導体トランジスタ20のゲート電圧が低下する。これにより、半導体トランジスタ20のドレイン及びソース間の抵抗値は上昇する。

放電回路46は、OR回路44からローレベル電圧が入力された場合、動作を停止する。このとき、ダイオードD2のカソードは開放され、キャパシタC2は放電することはない。

【0055】

マイコン24は、ハイレベル電圧をOR回路44の他方の入力端子に出力することによって、放電回路46にキャパシタC2の放電を行わせ、ローレベル電圧をOR回路44の他方の入力端子に出力することによって、放電回路46にキャパシタC2の放電を停止させる。

【0056】

以上のように構成された制御回路23において、出力回路22から制御回路23に出力されている電圧が参照電圧Vr未満である間、充電回路45及び放電回路46夫々はマイコン24から入力される電圧に従って、充電及び放電を行う。更に、出力回路22から制

10

20

30

40

50

御回路 2 3 に出力されている電圧が参照電圧 V_r 以上である場合、充電回路 4 5 は動作を停止し、放電回路 4 6 が作動する。これにより、半導体トランジスタ 2 0 のゲート電圧は低下し、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値は上昇する。結果、バッテリ 1 0 から負荷 1 2 への給電が遮断される。これにより、出力回路 2 2 から制御回路 2 3 に出力される電圧は参照電圧 V_r を超えることはない。参照電圧 V_r は閾値に相当する。

【 0 0 5 7 】

前述したように、出力回路 2 2 から制御回路 2 3 に出力される電圧は、負荷電流 I_a 、及び、抵抗 R_a , R_d , R_e の抵抗値 r_a , r_d , r_e を用いて、 $I_a \times r_a \times r_d / r_e$ で表される。このため、出力回路 2 2 から制御回路 2 3 に出力される電圧が参照電圧 V_r 以上であることは、負荷電流 I_a が電流閾値 I_{th} ($= V_r \times r_e / (r_a \times r_d)$) 以上であることを意味する。従って、給電制御装置 1 1 では、負荷電流 I_a が電流閾値 I_{th} 以上である場合、マイコン 2 4 から制御回路 2 3 に入力される電圧に無関係にバッテリ 1 0 から負荷 1 2 への給電が遮断される。結果、負荷電流 I_a が電流閾値 I_{th} を超えることはなく、過電流が半導体トランジスタ 2 0 を流れることはない。

10

【 0 0 5 8 】

前述したように、出力回路 2 2 から制御回路 2 3 に出力される電圧は、 $r_d \times I_e$ であり、エミッタ電流 I_e の最大値は $V_s / (r_d + r_e)$ である。従って、出力回路 2 2 から制御回路 2 3 に出力される電圧の最大値は、 $V_s \times r_d / (r_d + r_e)$ である。このため、この最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 以上である場合にのみ、給電が適正に遮断される。

20

【 0 0 5 9 】

出力回路 2 2 から制御回路 2 3 に出力される電圧の最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 未満である場合、負荷電流 I_a の大きさに無関係に、コンパレータ 4 0 はローレベル電圧をラッチ部 4 1 に出力し続ける。

【 0 0 6 0 】

出力回路 2 2 から制御回路 2 3 に出力される電圧の最大値 $V_s \times r_d / (r_d + r_e)$ は、ソース電圧 V_s の上昇と共に上昇する。更に、 $r_d / (r_d + r_e) < 1$ が成り立つため、 $V_s \times r_d / (r_d + r_e) < V_s$ が成り立つ。このため、出力回路 2 2 から制御回路 2 3 に出力される電圧の最大値 $V_s \times r_d / (r_d + r_e)$ はソース電圧 V_s 未満である。

30

【 0 0 6 1 】

キャパシタ C 2 の両端間の電圧がゼロ V である場合、半導体トランジスタ 2 0 のゲート電圧はゼロ V であり、半導体トランジスタ 2 0 のドレイン及びソースは開放状態である。このとき、抵抗 R_a に電流が流れないと、ソース電圧 V_s は、負荷 1 2 のキャパシタ C 1 の両端間の電圧と略一致しており、低い。放電回路 4 6 の動作が停止している状態で充電回路 4 5 がキャパシタ C 2 を充電した場合、前述したように、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値は徐々に低下する。半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値が徐々に低下するにつれて、ソース電圧 V_s は徐々に上昇する。

【 0 0 6 2 】

ここで、出力回路 2 2 が制御回路 2 3 に出力する電圧の最大値 $V_s \times r_d / (r_d + r_e)$ が参照電圧 V_r 未満である間、即ち、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である間、負荷電流 I_a が電流閾値 I_{th} ($= V_r \times r_e / (r_a \times r_d)$) 以上である場合であっても、バッテリ 1 0 から負荷 1 2 への給電は遮断されない。

40

そこで、給電制御装置 1 1 では、マイコン 2 4 は、電圧検出部 2 1 から入力される電圧情報に基づいて、制御回路 2 3 の充電回路 4 5 及び放電回路 4 6 の動作を制御することによって、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である間に負荷電流 I_a が過電流となることを防止する。

【 0 0 6 3 】

図 1 に示すマイコン 2 4 は、入力部 5 0, 5 1、出力部 5 2, 5 3、タイマ 5 4、記憶

50

部55及び制御部56を有する。これらはバス57に接続されている。入力部51は、更に、電圧検出部21に接続されている。出力部52は、更に、制御回路23のAND回路43の他方の入力端子に接続されている。出力部53は、更に、制御回路23のOR回路44の他方の入力端子に接続されている。

【0064】

入力部50には、作動信号又は停止信号が入力される。入力部50は、作動信号又は停止信号が入力された場合、その旨を制御部56に通知する。

入力部51には、電圧検出部21から入力部51に電圧情報が入力される。電圧情報は、制御部56によって入力部51から取得される。制御部56が入力部51から取得した電圧情報が示すソース電圧は、制御部56が電圧情報を取得した時点に電圧検出部21が検出したソース電圧と略一致している。

10

【0065】

出力部52は、制御回路23のAND回路43の他方の端子にハイレベル電圧又はローレベル電圧を出力している。出力部52は、制御部56の指示に従って、制御回路23のAND回路43の他方の端子に出力している電圧をハイレベル電圧又はローレベル電圧に切替える。

出力部53は、制御回路23のOR回路44の他方の端子にハイレベル電圧又はローレベル電圧を出力している。出力部53は、制御部56の指示に従って、制御回路23のOR回路44の他方の端子に出力している電圧をハイレベル電圧又はローレベル電圧に切替える。

20

タイマ54は、制御部56の指示に従って、計時の開始及び終了を行う。タイマ54が計時している計時時間は、制御部56によって、タイマ54から読み出される。タイマ54が計時している計時時間は、制御部56によってゼロにリセットされる。

【0066】

記憶部55は不揮発性のメモリである。記憶部55には制御プログラムが記憶されている。制御部56は、図示しないCPU(Central Processing Unit)を有し、記憶部55に記憶されている制御プログラムを実行することによって、バッテリ10から負荷12への給電を開始する給電開始処理と、バッテリ10から負荷12への給電を終了する給電終了処理とを実行する。

30

【0067】

図4は制御部56が実行する給電開始処理の手順を示すフローチャートである。制御部56は、入力部50に作動信号が入力された場合に給電開始処理を実行する。給電開始処理は、出力部52, 53夫々が制御回路23のAND回路43及びOR回路44夫々の他方の端子にローレベル電圧を出力している状態、即ち、充電回路45及び放電回路46が動作を停止している状態で開始される。

40

【0068】

まず、制御部56は、出力部52に指示して、出力部52が制御回路23に出力している電圧をハイレベル電圧に切替えさせることによって、充電回路45に制御回路23のキヤパシタC2の充電を開始させる(ステップS1)。ステップS1が実行される時点では、負荷電流IaはゼロAであるので、出力回路22から制御回路23に出力している電圧は参照電圧Vr未満である。このため、出力部52がAND回路43の他方の入力端子に出力した電圧がAND回路43の出力端子からそのまま充電回路45に入力される。

【0069】

次に、制御部56は、タイマ54に指示して計時を開始させ(ステップS2)、タイマ54が計時している計時時間が充電時間以上であるか否かを判定する(ステップS3)。充電時間は、一定であり、予め記憶部55に記憶されている。制御部56は、計時時間が充電時間未満であると判定した場合(S3: NO)、ステップS3を再び実行し、計時時間が充電時間以上となるまで待機する。

【0070】

制御部56は、計時時間が充電時間以上であると判定した場合(S3: YES)、出力

50

部52に指示して、出力部52が制御回路23に出力している電圧をローレベル電圧に切替えさせることによって、充電回路45にキャパシタC2の充電を終了させる(ステップS4)。計時時間が充電時間以上となつた時点において、出力回路22が出力している電圧の最大値は参考電圧Vr未満であるため、コンパレータ40はローレベル電圧を出力し続けている。このため、ステップS4では、出力部52がAND回路43の他方の入力端子に出力した電圧がそのまま制御回路23の充電回路45に入力される。

【0071】

次に、制御部56は、出力部53に指示して、出力部53が制御回路23に出力している電圧をハイレベル電圧に切替えさせることによって、放電回路46にキャパシタC2の放電を開始させる(ステップS5)。これにより、半導体トランジスタ20のゲート電圧が低下し、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇する。

10

【0072】

次に、制御部56は、タイマ54が計時している計時時間をゼロにリセットし(ステップS6)、タイマ54が計時している計時時間が放電時間以上であるか否かを判定する(ステップS7)。放電時間は、一定であり、予め記憶部55に記憶されている。

【0073】

制御部56は、計時時間が放電時間未満であると判定した場合(S7: NO)、ステップS7を再び実行し、計時時間が放電時間以上となるまで待機する。制御部56は、計時時間が放電時間以上であると判定した場合(S7: YES)、出力部53に指示して、出力部53が制御回路23に出力している電圧をローレベル電圧に切替えさせることによって、放電回路46にキャパシタC2の放電を終了させる(ステップS8)。制御部56は、ステップS8を実行した後、タイマ54に指示して計時を終了させる(ステップS9)。

20

【0074】

次に、制御部56は、電圧検出部21から入力部51に入力された電圧情報を入力部51から取得し(ステップS10)、取得した電圧情報が示すソース電圧が基準電圧以上であるか否かを判定する(ステップS11)。基準電圧は、一定であり、予め記憶部55に記憶されている。後述するように、ステップS11において、ソース電圧が基準電圧以上であることは負荷12のキャパシタC1の両端が短絡していないことを示し、ソース電圧が基準電圧未満であることは負荷12のキャパシタC1の両端が短絡していることを示す。

30

【0075】

制御部56は、ソース電圧が基準電圧未満であると判定した場合(S11: NO)、負荷12のキャパシタC1の両端が短絡しているとして、給電開始処理を終了し、キャパシタC1の充電を再開することはない。

なお、制御部56は、ソース電圧が基準電圧未満であると判定した場合において、図示しない出力部にキャパシタC1の短絡を示す短絡信号を出力させ、その後、給電開始処理を終了してもよい。

【0076】

制御部56は、ソース電圧が基準電圧以上であると判定した場合(S11: YES)、ステップS1と同様に、充電回路45にキャパシタC2の充電を開始させる(ステップS12)。

40

制御部56は、ステップS11を実行した後、キャパシタC1の充電が継続している状態で給電開始処理を終了する。

【0077】

制御部56は、入力部50に停止信号が入力された場合に、給電終了処理を実行する。給電終了処理では、制御部56は、出力部52, 53に指示して、出力部52, 53夫々が出力している電圧をローレベル電圧及びハイレベル電圧に切替える。これにより、充電回路45がキャパシタC1の充電を終了し、放電回路46がキャパシタC1の放電を開始する。制御部56は、放電回路46にキャパシタC1の放電を一定時間だけ行わせて、半

50

導体トランジスタ20のゲート電圧がゼロVとなった後、出力部53に指示して、出力部53が制御部56に出力している電圧をローレベル電圧に切替えさせる。これにより、放電回路46が行っているキャパシタC1の放電が終了する。制御部56は、出力部53に指示して、出力部53が制御部56に出力している電圧をローレベル電圧に切替えさせ後、給電終了処理を終了する。

【0078】

図5は、給電制御装置11の動作の一例を示すタイミングチャートである。図5には、充電回路45及び放電回路46夫々に入力されている電圧の推移と、ゲート電圧、負荷電流Ia及びソース電圧Vs夫々の推移とが示されている。これらの推移は、負荷12の両端が短絡していない場合における推移である。横軸は時間を示す。図5では、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。10

【0079】

前述したように、マイコン24の入力部50に作動信号が入力された場合、マイコン24の制御部56は給電開始処理を実行する。給電開始処理では、マイコン24は、まず、放電回路46に入力されている電圧をローレベル電圧に維持している状態で、充電回路45に入力されている電圧をハイレベル電圧に切替え、制御回路23の充電回路45にキャパシタC2の充電を開始させる。これにより、キャパシタC2の両端間の電圧、即ち、ゲート電圧が徐々に上昇し、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下する。20

【0080】

半導体トランジスタ20のドレイン及びソース間の抵抗値が低下した場合、バッテリ10から半導体トランジスタ20を介して負荷12に負荷電流Iaが流れる。半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するにつれて、負荷電流Iaも徐々に上昇する。

以上のように、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するので、突入電流が半導体トランジスタ20を介して負荷12に流れることを確実に防止することができる。

【0081】

負荷12の両端が短絡していない限り、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するにつれて、半導体トランジスタ20のソース電圧Vsは徐々に上昇する。また、バッテリ10から負荷12への給電によって、負荷12のキャパシタC1が充電され、キャパシタC1の両端間の電圧も上昇する。30

【0082】

充電回路45がキャパシタC2の充電を開始してから充電時間が経過した場合、マイコン24は、充電回路45に入力されている電圧をローレベル電圧に切替え、充電回路45にキャパシタC2の充電を終了させる。これにより、ゲート電圧、負荷電流Ia、ソース電圧、及び、キャパシタC1の両端間の電圧夫々の上昇は停止する。

【0083】

次に、マイコン24は、放電回路46に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、放電回路46にキャパシタC2の放電を開始させる。これにより、キャパシタC2の両端間の電圧が低下し、半導体トランジスタ20のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇し、負荷電流Iaが低下する。負荷電流Iaの低下と共に、ソース電圧VsもキャパシタC1の両端間の電圧まで低下する。40

【0084】

放電時間は、放電回路46が行う放電によって、キャパシタC2の両端間の電圧がゼロVとなるために必要な時間よりも十分に長い。このため、放電回路46に入力されている電圧がローレベル電圧からハイレベル電圧に切替わってから放電時間が経過した時点では、ゲート電圧はゼロVであり、半導体トランジスタ20のドレイン及びソースは開放状態である。放電時間が経過した時点において、抵抗Raに電流が流れていなければ、ソース

10

20

30

40

50

電圧 V_s はキャパシタ C 1 の両端間の電圧と一致している。

【0085】

負荷 1 2 の両端が短絡されていない限り、作動信号が入力部 5 0 に入力されてから充電時間が経過するまでに、キャパシタ C 1 の両端間の電圧は基準電圧 V_b 以上となっている。このため、負荷 1 2 の両端が短絡されていない限り、放電時間が経過した時点において、ソース電圧 V_s は基準電圧 V_b 以上である。

【0086】

放電回路 4 6 が制御回路 2 3 のキャパシタ C 2 の放電を終了した後、マイコン 2 4 の制御部 5 6 は、電圧検出部 2 1 から入力された電圧情報が示すソース電圧 V_s が基準電圧 V_b 以上であるか否かを判定する。マイコン 2 4 は、制御部 5 6 によってソース電圧 V_s が基準電圧 V_b 以上であると判定された場合、負荷 1 2 の両端が短絡していないとして、充電回路 4 5 に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、マイコン 2 4 の制御部 5 6 は給電開始処理が終了する。制御部 5 6 は判定部として機能し、基準電圧 V_b は所定電圧に相当する。

10

【0087】

この電圧の切替えにより、充電回路 4 5 は、制御回路 2 3 のキャパシタ C 2 を再び充電し、半導体トランジスタ 2 0 のゲート電圧を上昇させ、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値を低下させる。これにより、バッテリ 1 0 から負荷 1 2 に給電され、負荷電流 I_a 及びソース電圧 V_s は再び上昇する。

20

このとき、負荷 1 2 の両端は短絡していないため、出力回路 2 2 から制御回路 2 3 に出力している電圧の最大値が参考電圧 V_r 未満である間に、負荷電流 I_a が電流閾値 I_{th} ($= V_r \times r_e / (r_a \times r_d)$) 以上となることはない。

【0088】

制御回路 2 3 において、充電回路 4 5 がコンデンサ C 2 に出力している電圧と、コンデンサ C 2 の両端間の電圧とが一致した場合、ゲート電圧の上昇は停止し、ゲート電圧は安定する。これにより、負荷電流 I_a 及びソース電圧 V_s の上昇も停止し、負荷電流 I_a 及びソース電圧 V_s は安定する。

30

【0089】

図 6 は、給電制御装置 1 1 の動作の他例を示すタイミングチャートである。図 6 には、図 5 と同様に、充電回路 4 5 及び放電回路 4 6 夫々に入力されている電圧の推移と、ゲート電圧、負荷電流 I_a 及びソース電圧 V_s 夫々の推移とが示されている。これらの推移は、負荷 1 2 の両端が短絡している場合における推移である。横軸は時間を示す。図 6 でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

30

【0090】

前述したように、マイコン 2 4 の入力部 5 0 に作動信号が入力された場合、マイコン 2 4 の制御部 5 6 は給電開始処理を実行する。マイコン 2 4 は、放電回路 4 6 に入力されている電圧をローレベル電圧に維持している状態で、制御回路 2 3 の充電回路 4 5 に入力されている電圧をハイレベル電圧に切替え、充電回路 4 5 にキャパシタ C 2 の充電を開始させる。これにより、キャパシタ C 2 の両端間の電圧が徐々に上昇し、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値が徐々に低下する。

40

【0091】

半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値が低下した場合、バッテリ 1 0 から半導体トランジスタ 2 0 を介して負荷 1 2 に電流が流れる。ここで、負荷 1 2 の両端が短絡しているので、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値が低下するにつれて、抵抗 R_a を流れる負荷電流 I_a は急速に上昇する。また、負荷 1 2 の両端が短絡しているので、ソース電圧 V_s は略ゼロ V である。

【0092】

充電回路 4 5 がキャパシタ C 2 の充電を開始してから充電時間が経過した場合、マイコン 2 4 は、充電回路 4 5 に入力されている電圧をローレベル電圧に切替え、充電回路 4 5 にキャパシタ C 2 の充電を終了させる。これにより、ゲート電圧及び負荷電流 I_a 夫々の

50

上昇は停止する。

【0093】

次に、マイコン24は、放電回路46に入力されている電圧をローレベル電圧からハイレベル電圧に切替え、放電回路46にキャパシタC2の放電を開始させる。これにより、キャパシタC2の両端間の電圧が低下し、半導体トランジスタ20のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ20のドレイン及びソース間の抵抗値が上昇し、負荷電流Iaが低下する。放電回路46に入力されている電圧がローレベル電圧からハイレベル電圧に切替わってから放電時間が経過した場合、マイコン24は放電回路46に入力されている電圧をローレベル電圧に戻し、放電回路46はキャパシタC2の放電を終了する。キャパシタC2の放電を終了した時点では、ゲート電圧はゼロVであり、半導体トランジスタ20のドレイン及びソースは開放状態である。

10

【0094】

充電回路45及び放電回路46が充電及び放電を行っている間、ソース電圧Vsは、略ゼロVであり、基準電圧Vb未満である。

【0095】

放電回路46が制御回路23のキャパシタC2の放電を終了した後、マイコン24の制御部56は、電圧検出部21から入力された電圧情報が示すソース電圧Vsが基準電圧Vb以上であるか否かを判定する。制御部56によってソース電圧Vsが基準電圧Vb未満であると判定された場合、充電回路45及び放電回路46に入力されている電圧がローレベル電圧に維持されたまま、給電開始処理が終了する。

20

【0096】

このように、制御部56は、ソース電圧Vsが基準電圧Vb未満であると判定した場合、半導体トランジスタ20のドレイン及びソース間の抵抗値を、判定を行った時点の抵抗値に維持し、半導体トランジスタ20に過電流が通流することを確実に防止する。

また、充電回路45がキャパシタC1を充電した後、放電回路46がキャパシタC1の放電を行い、バッテリ10から負荷12への給電を一旦、停止するため、負荷12の両端が短絡している場合に電力が無駄に消費されることはない。

【0097】

給電制御装置11では、ソース電圧Vsが $V_r \times (r_d + r_e) / r_d$ 以上である場合、出力回路22から制御回路23に出力される電圧の最大値は参照電圧Vr以上である。このため、出力回路22から制御回路23に出力した電圧に基づいて行う半導体トランジスタ20のドレイン及びソース間の抵抗値の調整によって、半導体トランジスタ20に過電流が流れることを防止する。ソース電圧Vsが $V_r \times (r_d + r_e) / r_d$ 未満である場合、出力回路22から制御回路23に出力される電圧の最大値は参照電圧Vr未満である。このため、電圧検出部21から入力された電圧情報が示すソース電圧Vsに基づいて行う半導体トランジスタ20のドレイン及びソース間の抵抗値の調整によって過電流の通流を防止する。

30

【0098】

(実施の形態2)

実施の形態2において、電源システム1は実施の形態1と同様に構成されており、マイコン24の制御部56が実行する給電開始処理の内容が実施の形態1と異なる。

40

以下では、実施の形態2における制御部56が実行する給電開始処理の内容を説明する。実施の形態1と共に構成部には実施の形態1と同一の参照符号を付してその説明を省略する。

【0099】

図7は、実施の形態2における制御部56が実行する給電開始処理の手順を示すフローチャートである。制御部56は、入力部50に作動信号が入力された場合に給電開始処理を実行する。給電開始処理は、出力部52, 53夫々が制御回路23のAND回路43及びOR回路44夫々の他方の端子にローレベル電圧を出力している状態、即ち、充電回路45及び放電回路46が動作を停止している状態で開始される。

50

【0100】

まず、制御部56は、実施の形態1における給電開始処理のステップS1と同様に、充電回路45に制御回路23のキャパシタC2の充電を開始させ(ステップS21)、タイマ54に指示して計時を開始させる(ステップS22)。次に、制御部56は、タイマ54が計時している計時時間が充電時間以上であるか否かを判定する(ステップS23)。制御部56は、計時時間が充電時間未満であると判定した場合(S23: NO)、ステップS23を再び実行し、計時時間が充電時間以上となるまで待機する。

【0101】

制御部56は、計時時間が充電時間以上であると判定した場合(S23: YES)、タイマ54に指示して計時を終了させ(ステップS24)、電圧検出部21から入力部51に入力された電圧情報を入力部51から取得する(ステップS25)。この時点において、制御回路23のキャパシタC2の充電は継続されている。

10

【0102】

次に、制御部56は、ステップS25で取得した電圧情報が示すソース電圧が基準電圧以上であるか否かを判定する(ステップS26)。実施の形態2と同様に、負荷12のキャパシタC2の両端が短絡していない限り、キャパシタC1の両端間の電圧は基準電圧以上である。負荷12のキャパシタC2の両端が短絡している場合、キャパシタC1に電力は殆ど蓄えられておらず、キャパシタC1の両端間の電圧は略ゼロVであり、基準電圧未満である。

20

【0103】

制御部56は、ソース電圧が基準電圧未満であると判定した場合(S26: NO)、実施の形態1における給電開始処理のステップS4と同様に、充電回路45にキャパシタC2の充電を終了させる(ステップS27)。制御部56は、ステップS27を実行した後、実施の形態1における給電開始処理のステップS5と同様に、放電回路46にキャパシタC2の放電を開始させる(ステップS28)。

20

【0104】

次に、制御部56は、タイマ54に指示して計時を開始させ(ステップS29)、タイマ54が計時している計時時間が放電時間以上であるか否かを判定する(ステップS30)。制御部56は、計時時間が放電時間未満であると判定した場合(S30: NO)、ステップS30を再び実行し、計時時間が放電時間以上となるまで待機する。

30

【0105】

制御部56は、計時時間が放電時間以上であると判定した場合(S30: YES)、実施の形態1における給電開始処理のステップS8と同様に、放電回路46にキャパシタC2の放電を終了させ(ステップS31)、タイマ54に指示して計時を終了させる(ステップS32)。制御部56は、ソース電圧が基準電圧以上であると判定した場合(S26: YES)、又は、ステップS32を実行した後、給電開始処理を終了する。

【0106】

制御部56は、ステップS32を実行して給電開始処理を終了した場合、負荷12のキャパシタC1の両端が短絡しているため、キャパシタC1の充電を再開することはない。

40

制御部56は、ソース電圧が基準電圧以上であると判定して給電開始処理を終了した場合、負荷12のキャパシタC1の両端は短絡していないため、充電回路45がキャパシタC1の充電を継続している状態で給電開始処理を終了する。

【0107】

図8は、給電制御装置11の動作の一例を示すタイミングチャートである。図8には、図5と同様に、充電回路45及び放電回路46夫々に入力されている電圧の推移と、ゲート電圧、負荷電流Ia及びソース電圧Vs夫々の推移とが示されている。これらの推移は、負荷12の両端が短絡していない場合における推移である。横軸は時間を示す。図8でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

【0108】

前述したように、マイコン24の入力部50に作動信号が入力された場合、マイコン2

50

4の制御部56は給電開始処理を実行する。給電開始処理では、マイコン24は、まず、実施の形態1と同様に、放電回路46に入力されている電圧をローレベル電圧に維持している状態で、充電回路45に入力されている電圧をハイレベル電圧に切替え、制御回路23の充電回路45はキャパシタC2の充電を開始する。

【0109】

これにより、半導体トランジスタ20のゲート電圧が徐々に上昇し、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下する。この抵抗値の低下に伴って、負荷電流Iaも徐々に上昇する。また、負荷12の両端が短絡していない限り、半導体トランジスタ20のソース電圧Vsも徐々に上昇する。また、バッテリ10から負荷12へ負荷電流Iaが流れることによって、負荷12のキャパシタC1が充電され、キャパシタC1の両端間の電圧も上昇する。

実施の形態1と同様に、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下するので、突入電流が半導体トランジスタ20を介して負荷12に流れることを確実に防止することができる。

【0110】

充電回路45がキャパシタC2の充電を開始してから充電時間が経過した後、マイコン24の制御部56は、電圧検出部21から入力された電圧情報が示すソース電圧Vsが基準電圧Vb以上であるか否かを判定する。このとき、充電回路45にはハイレベル電圧が入力されており、充電回路45はキャパシタC2の充電を継続している。

また、負荷12の両端が短絡されていない限り、作動信号が入力部50に入力されてから充電時間が経過するまでに、キャパシタC1の両端間の電圧は基準電圧Vb以上となっている。

【0111】

制御部56によってソース電圧Vsが基準電圧Vb以上であると判定された場合、マイコン24は、負荷12の両端が短絡していないとして、充電回路45に入力されている電圧をハイレベル電圧に維持し、継続して半導体トランジスタ20のドレイン及びソース間の抵抗値を低下させる。制御部56は、充電回路45に入力されている電圧をハイレベル電圧に維持した状態で給電開始処理を終了する。

【0112】

充電回路45が制御回路23のコンデンサC2に出力している電圧と、コンデンサC2の両端間の電圧とが一致した場合、ゲート電圧の上昇は停止し、ゲート電圧は安定する。これにより、負荷電流Ia及びソース電圧Vsの上昇も停止し、負荷電流Ia及びソース電圧Vsは安定する。

【0113】

図9は、給電制御装置11の動作の他例を示すタイミングチャートである。図9には、図8と同様に、充電回路45及び放電回路46夫々に入力されている電圧の推移と、ゲート電圧、負荷電流Ia及びソース電圧Vs夫々の推移とが示されている。これらの推移は、負荷12の両端が短絡している場合における推移である。横軸は時間を示す。図9でも、ハイレベル電圧を「H」で示し、ローレベル電圧を「L」で示している。

【0114】

前述したように、マイコン24の入力部50に作動信号が入力された場合、マイコン24の制御部56は給電開始処理を実行する。マイコン24は、まず、実施の形態1と同様に、放電回路46に入力されている電圧をローレベル電圧に維持している状態で、制御回路23の充電回路45に入力されている電圧をハイレベル電圧に切替え、充電回路45はキャパシタC2の充電を開始する。

【0115】

これにより、半導体トランジスタ20のゲート電圧が徐々に上昇し、半導体トランジスタ20のドレイン及びソース間の抵抗値が徐々に低下する。この抵抗値の低下により、バッテリ10から半導体トランジスタ20を介して負荷12に電流が流れる。ここで、負荷12の両端が短絡しているので、半導体トランジスタ20のドレイン及びソース間の抵抗

10

20

30

40

50

値が低下するにつれて、抵抗 R_a を流れる負荷電流 I_a は急速に上昇する。また、負荷 1 2 の両端が短絡しているので、ソース電圧 V_s は略ゼロ V である。

【0116】

充電回路 4 5 がキャパシタ C 2 の充電を開始してから充電時間が経過した後、マイコン 2 4 の制御部 5 6 は、電圧検出部 2 1 から入力された電圧情報が示すソース電圧 V_s が基準電圧 V_b 以上であるか否かを判定する。このとき、充電回路 4 5 にはハイレベル電圧が入力されており、充電回路 4 5 はキャパシタ C 2 の充電を継続している。

【0117】

マイコン 2 4 は、制御部 5 6 によって、ソース電圧 V_s が基準電圧 V_b 未満であると判定された場合、負荷 1 2 の両端が短絡しているとして、充電回路 4 5 及び放電回路 4 6 夫々に入力されている電圧をローレベル電圧及びハイレベル電圧に切替える。これにより、充電回路 4 5 はキャパシタ C 2 の充電を終了し、放電回路 4 6 はキャパシタ C 2 の放電を開始する。これにより、キャパシタ C 2 の両端間の電圧が低下し、半導体トランジスタ 2 0 のゲート電圧は低下する。ゲート電圧の低下により、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値が上昇し、負荷電流 I_a が低下する。ソース電圧 V_s は略ゼロ V のままである。

10

【0118】

マイコン 2 4 は、放電回路 4 6 に入力されている電圧をローレベル電圧からハイレベル電圧に切替えてから放電時間が経過した場合、放電回路 4 6 に入力されている電圧をハイレベル電圧からローレベル電圧に戻し、放電回路 4 6 はキャパシタ C 2 の放電を終了する。

20

【0119】

このように、制御部 5 6 は、ソース電圧 V_s が基準電圧 V_b 未満であると判定した場合、半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値を、判定を行った時点の抵抗値よりも高い抵抗値に上昇させ、半導体トランジスタ 2 0 に過電流が通流することを確実に防止する。

【0120】

また、実施の形態 2 における給電制御装置 1 1 では、実施の形態 1 と同様に、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 以上である場合、出力回路 2 2 から制御回路 2 3 に出力した電圧に基づいて行う半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値の調整によって、半導体トランジスタ 2 0 に過電流が流れることを防止する。また、ソース電圧 V_s が $V_r \times (r_d + r_e) / r_d$ 未満である場合、電圧検出部 2 1 から入力された電圧情報が示すソース電圧 V_s に基づいて行う半導体トランジスタ 2 0 のドレイン及びソース間の抵抗値の調整によって過電流の通流を防止する。

30

【0121】

なお、実施の形態 1, 2 において、制御回路 2 3 のキャパシタ C 2 は、一端が半導体トランジスタ 2 0 のゲートに接続されているキャパシタであればよい。このため、キャパシタ C 2 の他端は、半導体トランジスタ 2 0 のドレイン又はソースに接続されていてもよい。この場合、キャパシタ C 2 は、半導体トランジスタ 2 0 の製造と共に形成される入力容量であってもよい。

40

【0122】

また、半導体トランジスタ 2 0 は、N チャネル型の FET に限定されず、例えば、N P N 型のバイポーラトランジスタであってもよい。更に、半導体トランジスタ 2 0 は、P チャネル型の FET 又は P N P 型のバイポーラトランジスタ等であってもよい。例えば、半導体トランジスタ 2 0 が P チャネル型の FET である場合、ドレインを負荷 1 2 のキャパシタ C 1 の一端に接続し、ソースをバッテリ 1 0 の正極に接続する。制御回路 2 3 は、ゲートの電圧を徐々に低下させることによって、半導体トランジスタ 2 0 のソース及びドレイン間の抵抗値を徐々に上昇させ、ゲートの電圧を徐々に上昇させることによって、半導体トランジスタ 2 0 のソース及びドレイン間の抵抗値を徐々に低下させる。

更に、出力回路 2 2 は、P N P 型のバイポーラトランジスタ 3 0 、差動増幅器 3 1 及び

50

抵抗 R_d , R_e によって構成される回路に限定されない。出力回路 22 は、負荷電流 I_a に比例し、最大値がソース電圧 V_s 以下である電圧を出力する回路であればよい。

【0123】

開示された実施の形態 1, 2 は全ての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

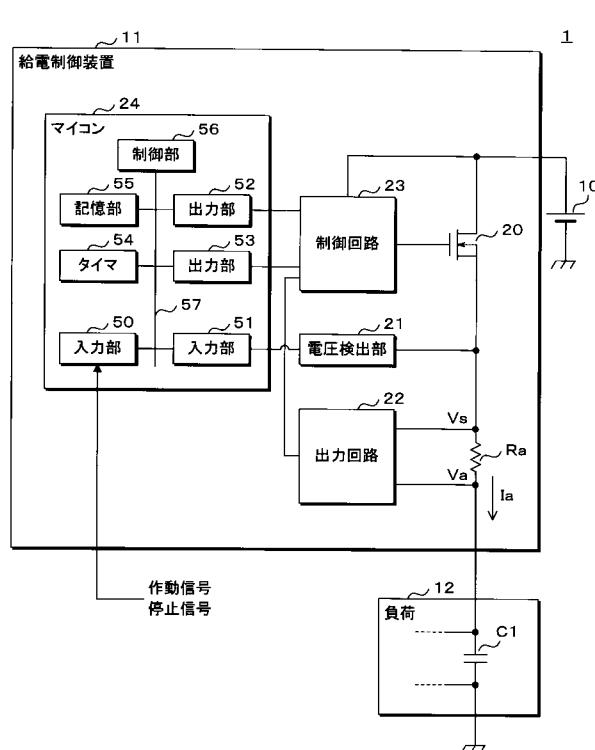
【符号の説明】

【0124】

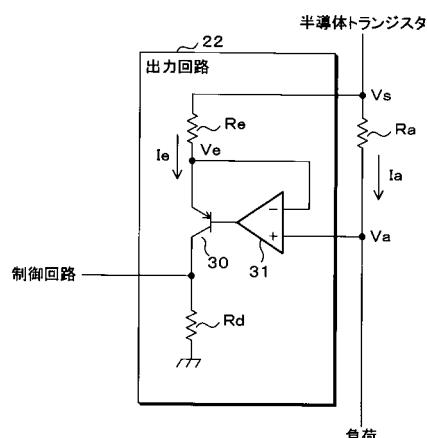
- 1 2 負荷
- 2 0 半導体トランジスタ
- 2 3 制御回路（調整部）
- 1 1 給電制御装置
- 2 1 電圧検出部
- 5 6 制御部（判定部）
- 2 2 出力回路

10

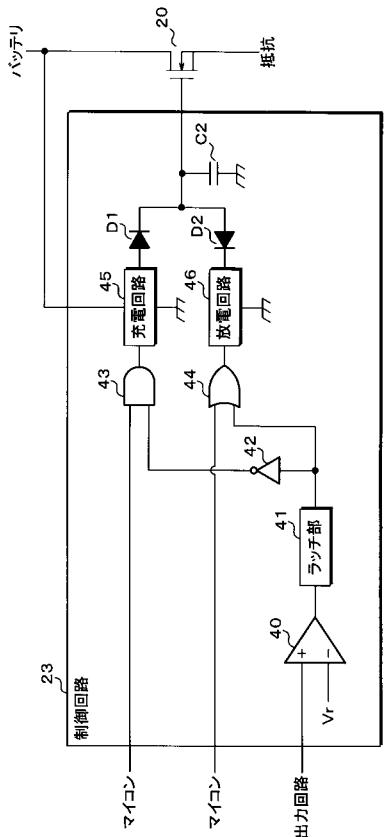
【図 1】



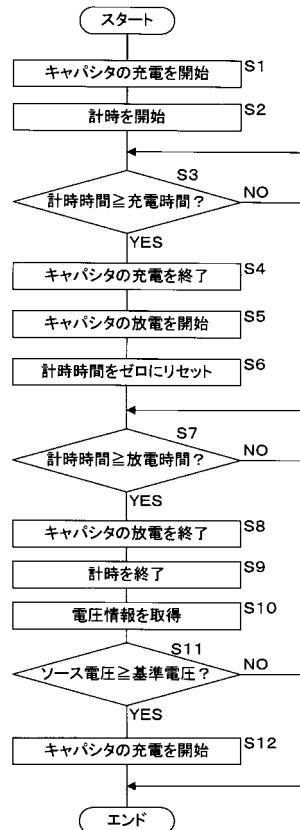
【図 2】



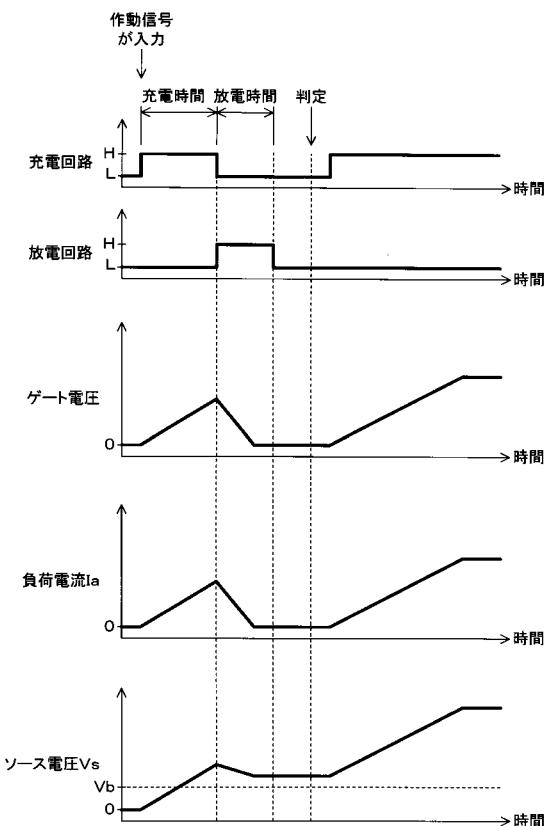
【図3】



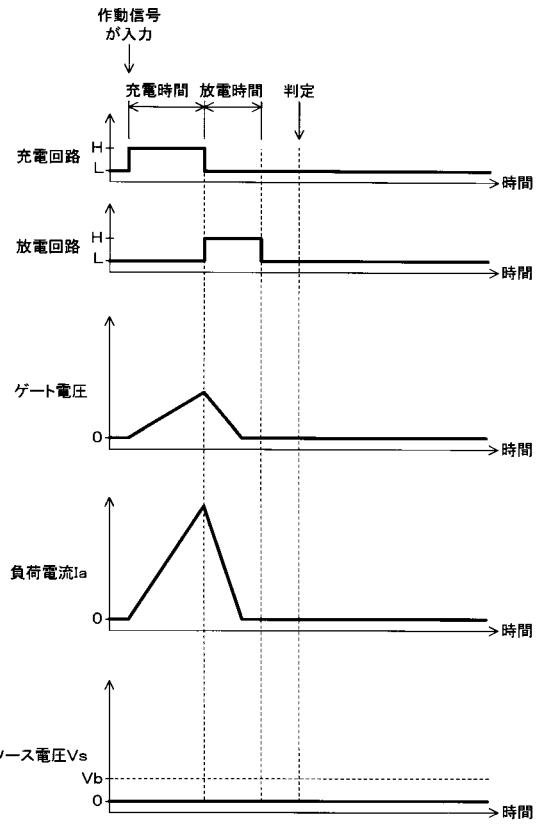
【図4】



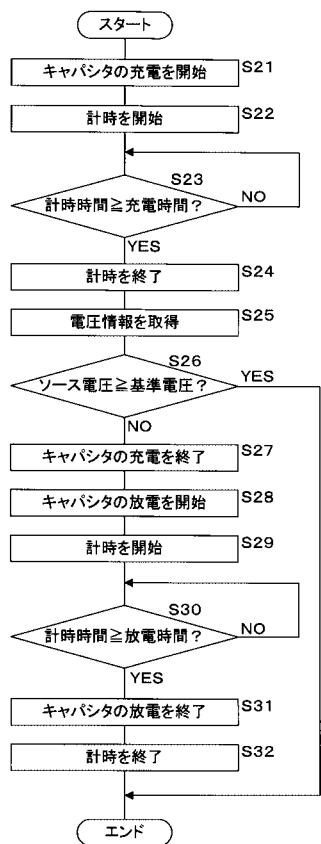
【図5】



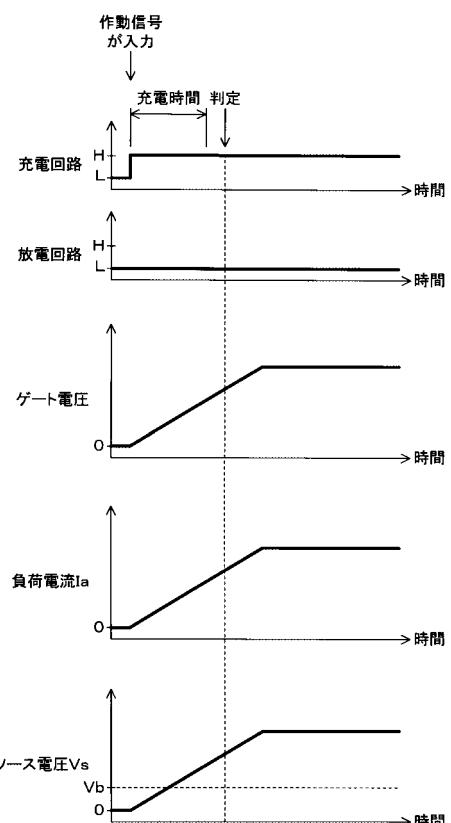
【図6】



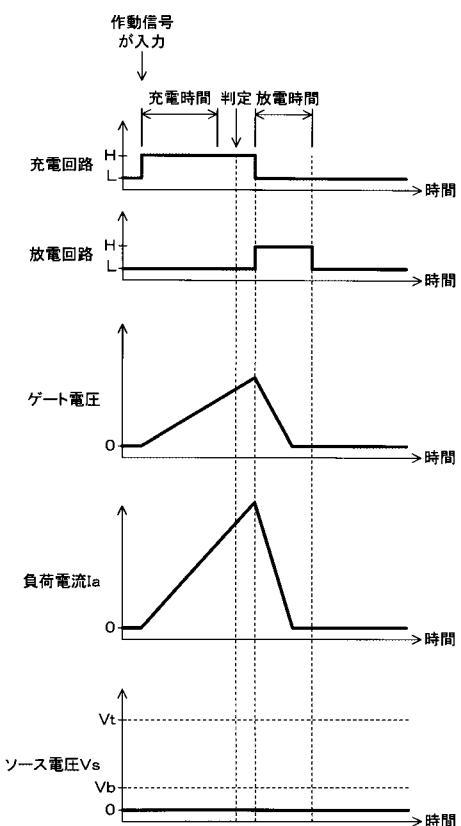
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 真瀬 佳祐

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

(72)発明者 杉沢 佑樹

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

(72)発明者 小田 康太

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

(72)発明者 澤野 峻一

三重県四日市市西末広町1番14号 株式会社オートネットワーク技術研究所内

F ターム(参考) 5G013 AA02 AA04 BA01 CA07

5G065 BA04 DA07 EA02 FA05 GA02 GA09 HA01 HA07 JA07 KA02

KA05 KA08 LA01 LA02 MA09 NA04

5G165 BB04 BB05 DA07 EA02 FA05 GA02 GA09 HA01 HA07 JA07

KA02 KA05 KA08 LA01 LA02 MA09 NA04