(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/203942 A1

(51) 国際特許分類:
H01L 21/822 (2006.01) *H01L 27/06* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2016/066093

(22) 国際出願日: 2016 年 6 月 1 日(01.06.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-119886 2015 年 6 月 15 日(15.06.2015) JP

(71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 柳川 善光(YANAGAWA Yoshimitsu); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 松本 昌大(MATSUMOTO Masahiro); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 中野 洋(NAKANO Hiroshi); 〒1008280 東京都千代田区丸の内一丁目６番６号 株式会社日立製作所内 Tokyo (JP). 小田部 晃(KOTABE Akira); 〒3128503 茨城県ひたちなか市高場２５２０番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).

(74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目６番１号 株式会社日立製作所内 Tokyo (JP).

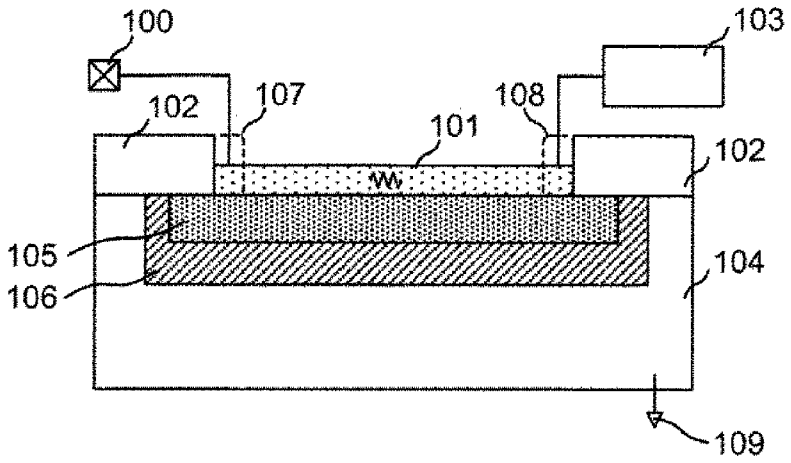
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

[続葉有]

(54) **Title**: IN-VEHICLE SEMICONDUCTOR CHIP

(54) 発明の名称 : 車載用の半導体チップ

図1



(57) **Abstract**: Provided is a semiconductor chip having an area-saving and highly noise resistant protection circuit. This in-vehicle semiconductor chip has: a first conductivity-type semiconductor substrate; a pad; an internal circuit; a first conductivity-type first well; a second conductivity-type floating second well; and a first conductivity-type diffusion resistor. The diffusion resistor is electrically connected to the pad and the internal circuit, and the first well is formed between the second well and the diffusion resistor.

(57) 要約: 省面積でノイズ耐性の高い保護回路を有する半導体チップを提供する 第１導電型の半導体基板と、パッドと、内部回路と、第１導電型の第１のウェルと、第２導電型で、かつ、フローティングの第２のウェルと、第１導電型の拡散抵抗と、を有し、前記拡散抵抗は、前記パッドおよび前記内部回路と電気的に接続され、前記第１のウェルは、前記第２のウェルと前記拡散抵抗の間に形成される車載用の半導体チップ。

WO 2016/203942 A1

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 車載用の半導体チップ

技術分野

[0001] 本発明は、車載用の半導体チップに関する。

背景技術

[0002] 静電気やサージなどのノイズにより半導体チップの内部回路に過大な電圧がかかると、ゲート酸化膜の絶縁破壊や、ＰＮ接合部の破壊を引き起こし、半導体チップの恒久故障や回路特性の変化などを引き起こす。こうしたノイズによる内部回路の破壊や劣化を防ぎ、信頼性の高い半導体チップを実現するためには、パッドと内部回路との間に保護回路を設け、ノイズ印加時にも内部回路に過大な電圧がかからないようにする必要がある。

[0003] 特許文献１に記載の技術は、入力パッドと内部回路との間に、ポリシリコンで形成された保護抵抗とクランプトランジスタを備える。パッドに過電圧が印加されると、クランプトランジスタがブレイクダウンまたはスナップバック動作して低抵抗状態となり、ポリシリコン抵抗とクランプトランジスタを経由してパッドからグランド端子部に向かって電流が流れる。このとき、ノイズのエネルギーの大部分はポリシリコン抵抗で吸収され、内部回路に印加される電圧は一定値以下にクランプされるため、前記のような内部回路の破壊や半導体チップの特性の劣化を防ぐことが出来る。

[0004] 特許文献２には拡散層抵抗を入力保護抵抗として利用する技術が開示されている。特許文献２に記載の保護抵抗はＰ型基板上のＮウェルの中にＰ＋拡散層の保護抵抗を形成している。保護抵抗と基板との間には、２つのＰＮ接合が、互いに逆向きになるように直列に入るため正負の両極性のノイズに対してクランプとして動作する。

先行技術文献

特許文献

[0005] 特許文献1：特開昭６１－３２５６３号公報

特許文献2：特開昭６２－１２２１６４号公報

発明の概要

発明が解決しようとする課題

[0006] 保護抵抗により吸収されたエネルギーは、抵抗のジュール熱として消費される。この発熱により、保護抵抗の温度が保護抵抗の材料（前述の場合であればポリシリコン）や、コンタクト金属、もしくはこれらの化合物であるシリサイドが加熱され、これらの熱に起因する劣化が生じ、製品寿命を縮める原因となる。したがって、保護回路を設計する際は抵抗の放熱について注意しなければならない。保護抵抗の主な放熱先は、熱伝導率が低く、熱容量が大きいシリコン基板である。ところが、特許文献１に記載のように、ポリシリコン抵抗と基板との間には厚いフィールド酸化膜が存在し、これが保護抵抗の放熱を阻害する要因となっている。フィールド酸化膜の材料であるＳｉＯ２の熱伝導率はおよそ１．３Ｗ／ｍ／Ｋであり、シリコン（１６０Ｗ／ｍ／Ｋ）より２桁程度悪いためである。ポリシリコン抵抗が吸収可能なエネルギー量、すなわち許容損失を大きくするためには、抵抗の底面積を拡大して放熱量を増やすことで対応可能であるが、半導体チップ面積が増大する課題がある。

[0007] 他方、特許文献２に記載の技術では、車載用の半導体チップの課題について十分に検討がされていない。すなわち、過大な電圧が入力端子部に印加された場合、基板との間のＰＮ接合がブレイクダウンし、抵抗から基板に向かって急激に大きな降伏電流が流れる。この降伏電流により、ＰＮ接合が破壊されたり、コンタクトが焼損されたりしてしまう。この課題を防ぐにはコンタクト数を増やすなどの対策が必要で、結果的に保護抵抗領域の面積が増大し、半導体チップの小型化を阻害する課題がある。

[0008] 本発明は上記事情に鑑みてなされたものであり、その目的は、省面積でノイズ耐性の高い車載用の半導体チップを提供することにある。

課題を解決するための手段

[0009] 上記目的を達成する本発明の半導体チップは、第１導電型の半導体基板と

、パッドと、内部回路と、第１導電型の第１のウェルと、第２導電型で、かつ、フローティングの第２のウェルと、第１導電型の拡散抵抗と、を有し、前記拡散抵抗は、前記パッドと前記内部回路と電気的に接続され、前記第１のウェルは、前記第２のウェルと前記拡散抵抗の間に形成される車載用の半導体チップ。

発明の効果

[0010] 本発明により、省面積でノイズ耐性の高い車載用の半導体チップを提供することが出来る。

図面の簡単な説明

[0011] [図1]第１実施例をなす半導体チップの保護抵抗の断面図

[図2]第１実施例をなす半導体チップの回路図

[図3]第２実施例をなす半導体チップの保護抵抗の断面図

[図4]第１実施例の変形例を示す半導体チップの断面図

[図5]第１実施例の変形例を示す半導体チップの上面図

[図6]第１実施例の変形例を示す半導体チップの断面図

[図7]第３実施例をなす半導体チップの保護抵抗の断面図

[図8]第３実施例の変形例を示す半導体チップの断面図

[図9]第３実施例の変形例を示す半導体チップの上面図

[図10]第４実施例をなす半導体チップの保護抵抗の断面図

[図11]第４実施例をなす半導体チップの回路図

[図12]第４実施例の抵抗値と抵抗面積、抵抗の端子部電圧の関係を説明する図

[図13]第５実施例をなす半導体チップの回路図

[図14]電波照射時の出力信号の変動を説明する波形図

[図15]第６実施例をなす半導体チップの回路図

[図16]第６実施例の変形例を示す回路図

[図17]第６実施例の変形例を示す半導体チップの回路図

[図18]第６実施例の変形例を示す半導体チップの断面図

[図19]第７実施例をなす半導体チップを含むセンサ装置のブロック図

[図20]第１から第７実施例をなす半導体チップの発展形状を示すブロック図

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を参照して説明する。本発明の第１実施例をなす半導体チップを図１、２により説明する。図１は第１実施例をなす半導体チップの保護抵抗の断面図をしめす。図２は図１の保護抵抗の等価的な回路図である。本実施例における半導体チップの構成を図１により説明する。本実施例における半導体チップは、パッド１００、Ｐ型の拡散層からなる保護抵抗１０１、フィールド酸化膜１０２、内部回路１０３、Ｐ型シリコン基板１０４、Ｐ型ウェル１０５、Ｎ型ウェル１０６、およびグラウンド端子部１０９を備える。保護抵抗１０１はさらに、パッド１００に接続される第１端子部１０７と、内部回路側に接続される第２端子部１０８をもつ。簡単のため図示していないが、各端子部１０７、１０８はタングステンなどの金属材料で構成されるコンタクト、拡散層１０１の表面に形成され、コンタクトと拡散層とを低抵抗で接続するシリサイド領域と、シリサイド領域の下層の拡散層とを含む。図１に示す通り、第１端子部１０７の底面、すなわちＰ型の拡散層の底面は、同じＰ型ウェル１０５に接し、さらにＰ型ウェル１０５の底面はフローティングのＮ型ウェル１０６に接している。Ｎ型ウェル１０６はＰ型シリコン基板１０４内に形成されている。また、Ｎ型ウェル１０６は電源やグラウンドに接続しないフローティング状態にしてある。拡散層１０１の不純物濃度はＰ型ウェル１０６やＮ型ウェル１０７よりも２～３桁程度高く、一般的には１０＾１８～１０＾２０／ｃｍ＾３程度である。

[0013] 本実施例のノイズ印加時の動作について図２を用いて説明する。図２は図１の保護抵抗の等価的な回路図である。パッド１００と内部回路１０３との間に直列に拡散層抵抗１０１が接続される。また、図１の拡散層抵抗１０１と基板１０４との間には抵抗２００、ダイオード２０１とダイオード２０２が直列に接続される。ここで抵抗２００は、Ｐ型拡散層１０１とＮ型ウェル

１０６との間に形成されるＰ型ウェル１０６の寄生抵抗、ダイオード２０１は図１のＰ型ウェル１０６とＮ型ウェル１０７との間の寄生ダイオード、ダイオード２０２は図１のＮ型ウェル１０７とＰ型基板１０４との間の寄生ダイオードである。ダイオード２０１とダイオード２０２は互いに極性が逆になるように接続される。パッド１００に正のノイズ電圧ＶＳＵＧが印加されると、パッド１００から内部回路１０３に向かう方向に保護抵抗１０１に電流が流れる。このとき保護抵抗１０１によってノイズのエネルギーがジュール熱として消費され、また、内部回路に向かって電流が流れることで内部回路の電圧上昇が抑制されるため、内部回路が保護される。ノイズ電圧ＶＳＵＧが更に上昇し、ダイオード２０２のブレイクダウン電圧ＶＭＡＸ２を超えると、保護抵抗の第１の端子部１０７付近から基板に向かって電流（以下、ブレイクダウン電流と称する）が流れるが、抵抗２００によって電流が制限されるため、パッド１００と第１の端子部１０７を接続するコンタクトやダイオード２０１、２０２のＰＮ接合部が保護される。

[0014] パッド１００に負のノイズ電圧－ＶＳＵＧが印加されると、内部回路１０３からパッドに向かう方向に保護抵抗１０１に電流が流れる。このとき保護抵抗１０１によってノイズのエネルギーがジュール熱として消費され、また、保護抵抗１０１をパッド向かって電流が流れることで内部回路の電圧低下が抑制されるため、内部回路が保護される。ノイズ電圧－ＶＳＵＧが更に低下し、ダイオード２０１のブレイクダウン電圧ＶＭＡＸ１を超えると、基板から保護抵抗の第１の端子部１０７付近に向かってブレイクダウン電流が流れるが、抵抗２００によって電流が制限されるため、パッド１００と第１の端子部１０７を接続するコンタクトやダイオード２０１、２０２のＰＮ接合部が保護される。

[0015] ダイオード２０１、２０２のブレイクダウン電圧ＶＭＡＸ１、ＶＭＡＸ２は高いほうが望ましい。これは、より絶対値の高いノイズ電圧ＶＳＵＧが印加されてもブレイクダウン電流が流れないからである。いま、理想的なＰＮ接合のブレイクダウン電圧ＢＶは、不純物濃度を用いて以下の式から算出で

きる（Ｐａｕｌ Ｒ．Ｇｒａｙ、Ｒｏｂｅｒｔ Ｇ．Ｍｅｙｅｒ、Ａｎａｌｙｓｉｓ ａｎｄ Ｄｅｓｉｇｎ ｏｆ Ａｎａｌｏｇ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔｅｓ Ｓｅｃｏｎｄ Ｅｄｉｔｉｏｎ）。

[0016] [数1]

$$BV = \frac{\varepsilon (N_A + N_D)}{2qN_A N_D} \varepsilon^2_{crit}$$

[0017] ここで、εはシリコンの誘電率、N_Aはアクセプタ濃度、N_Dはドナー濃度、ｑは電荷素量、ε_{crit}はアバランシェ降伏が起こるのに必要な空乏層電界である。数１からわかるとおり、不純物濃度が薄いほどブレイクダウン電圧ＢＶが高くなる。従って、従来技術のようにＰ＋拡散層とＮウェルとの間の寄生ダイオードに比べると、拡散層よりも濃度の薄いＰウェルとＮウェルとの間に形成されたダイオード２０１のほうが耐圧が高くなり、負の電圧ノイズに対してより信頼性の高い保護抵抗が実現できる。たとえば、拡散層１０１の不純物濃度を１０＾１９／ｃｍ＾３、Ｐウェル１０５の不純物濃度を１０＾１６／ｃｍ＾３、Ｎウェル１０６の不純物濃度を１０＾１６／ｃｍ＾３と仮定して（１）式を計算すると、Ｐウェルがない場合のブレイクダウン電圧が２９Ｖとなるのに対し、Ｐウェルを追加すると５９Ｖとなり、２倍程度耐圧が向上される。

[0018] 本実施例における半導体チップの効果を説明する。第１の効果は、拡散抵抗１０１と基板１０４との間にウェル抵抗２００が接続されることで、ブレイクダウン電流が抑制され、第１端子部１０７のコンタクトやダイオード２０１、２０２に流れる電流が抑制されるため、ノイズに対して保護抵抗１０１が破壊されにくくなると同時に、コンタクトの本数も少なくて済むため、より省面積で信頼性の高い保護抵抗を提供できる。第２の効果は、ダイオード２０１の耐圧が向上するため、より絶対値の高い負電圧ノイズに対しても保護機能を提供できる点である。

[0019] 図４は第１実施例をなす半導体チップの保護抵抗の変形例である。第１端子部１０７の周辺において、Ｐウェル１０５の突き出し量４０１をＰウェル

１０５の深さ４０２以上とし、Ｎウェルの突き出し量４００をＮウェルの深さ４０３以上としたことを特徴とする。ここで、Ｐウェル１０５の突き出し量４０１とは、拡散層のエッジ４０４に対するＰウェルのエッジ４０５の水平方向のはみ出し距離であり、同様にＮウェル１０６の突き出し量４００とは、Ｐウェルのエッジ４０５に対するＮウェル１０６のエッジ４０６の水平方向のはみ出し距離である。また、Ｐウェル１０５の深さとは、拡散層１０１の底面からＰウェル１０５の底面までの距離と定義し、Ｎウェルの深さとは、Ｐウェル１０５からＮウェル１０６の底面までの距離と定義する。かかる構成によれば、Ｐ＋拡散層１０５とＮウェル１０６との間に接続されたＰウェルの寄生抵抗２００の抵抗値が高くなりブレイクダウン電流が低減されるとともに、Ｎウェル１０６中の水平方向の電界が緩和されるためより保護抵抗のノイズへの耐性が向上し、より信頼性の高い半導体チップを提供できる。

[0020] 実施例１において、拡散層１０１、Ｐウェル１０５、Ｎウェル１０６のコーナー部の角を取るとなおよい。より具体的には、図５の変形例に示すとおり、拡散層１０１、Ｐウェル１０５、Ｎウェル１０６の角を曲線で構成する。または、２つ以上の頂点をもつ多角形状とするとよい。かかる構成によれば、ノイズ印加時にコーナー部に電界が集中することによる接合破壊を抑制することができ、より信頼性の高い半導体チップを実現できる。

[0021] 図６は第１実施例をなす半導体チップの保護抵抗の変形例である。第１端子部１０７を構成するシリサイド領域６００の周辺に、シリサイド化しない分離領域６０２を加えたことを特徴とする。シリサイド領域は拡散層の表面に形成されるシリコンと金属の化合物層であり、拡散層と比較すると厚みが薄く、抵抗が低い。パッドに拡散抵抗の耐圧以上のノイズの高電圧が印加されると、シリサイド６００から拡散層１０１、Ｐウェル１０５、Ｎウェル１０６、Ｐ基板１０４、基板コンタクト６０３を経由してブレイクダウン電流が流れる。このとき、電流は、最も抵抗が低くなるように、最短経路６０４に多く流れる。その結果、特にフィールド酸化膜１０２と半導体との界面や

、フィールド酸化膜１０２のコーナー部分６０６に特に電流が集中し、接合が破壊される恐れがある。一方、本実施例においては、シリサイドの周辺に分離領域６０２を設けることでブレイクダウン電流の経路が６０５となり、電流集中が緩和されるため、保護抵抗のノイズへの耐性が向上し、より信頼性の高い半導体チップを提供できる。

[0022] 本発明の第２実施例をなす半導体チップの保護回路を図３により説明する。図３は、第２実施例をなす半導体チップの保護抵抗の断面図である。本実施例における保護抵抗は、第１実施例をなす半導体チップの保護抵抗１０１において、Ｐウェル１０５の範囲を第１端子部１０７周辺に限定したことを特徴とする。すなわち、第１端子部１０７の周辺の縦構造を上層から順にＰ＋拡散層１０１、Ｐウェル１０５、Ｎウェル１０６、Ｐ基板１０４とした一方、第２端子部１０８の周辺の縦構造は上層から順にＰ＋拡散層１０１、Ｎウェル１０６、Ｐ基板１０４とした。ノイズ印加時にかかる電圧は第１端子部１０７が最も高く（負電圧ノイズの場合は最も低く）、従って高い耐圧が必要なのは第１端子部側である

ため、かかる構成によっても実施例１と同等の効果が得られる。さらに、拡散層１０１とＰウェル１０５の並走距離が短くなることで、新たに次に示す効果が得られる。一般にＰウェルはＰ＋拡散層抵抗に比べて抵抗値の温度依存性が高い。すなわち、Ｐ＋拡散層とＰウェルの並走距離が長いと、その合成抵抗はＰウェル抵抗の温度依存性の影響を受けやすくなる。その結果、例えば広い温度範囲での動作が要求される車載用の半導体チップにおいて、出力保護抵抗として拡散抵抗を使う場合に、こうした温度依存性は出力信号の誤差を大きくする要因となりうる。実施例２によれば、Ｐウェル抵抗の並走距離が短くなることで相対的にＰウェル抵抗の温度依存性の影響が減少し、広い温度範囲において安定した抵抗値を実現することが可能である。

[0023] 本発明の第３実施例をなす半導体チップの保護回路を図７により説明する。図７は、第３実施例をなす半導体チップの保護抵抗の断面図である。本実施例における保護抵抗は、第１実施例をなす半導体チップの保護抵抗１０１

において、パッド１００の直下に保護抵抗１０１の第１端子部１０７を配置したことを特徴とする。パッド１００と拡散層１０１はビア７０２、下位配線層７０１、コンタクト７００、シリサイド６００を介して接続される。かかる構成によれば、面積を要するコンタクト部分とパッドを共用化できるためチップ面積を小さくすることができる。また、パッドに過大な正負ノイズ電圧が印加された場合、パッドから基板に向かって直線的にブレイクダウン電流が流れることで、個々のコンタクト７００やビア７０２に流れる電流が平準化され、特定のコンタクトやビアへの電流集中を抑制できるため、コンタクトやビアのノイズへの耐性が向上する。別の作用として、拡散抵抗１０１とパッド１００が最短距離で接続されるため、ノイズ印加時に拡散抵抗で発生する熱を、コンタクト７００、配線７０１、ビア７０２、パッド１００といった、熱抵抗の低い金属経路を通ってボンディングワイヤへと逃がすことができる。以上により、より信頼性の高い半導体チップを提供できる。

[0024] 図８ならびに図９は第３実施例をなす半導体チップの保護抵抗の変形例である。図８は第３実施例をなす保護抵抗の断面図であり、図９はその上面図を示す。本変形例において、第１端子部１０７は拡散層１０１の中心に配置され、第２端子部１０８は第１端子部の周囲を囲むように拡散層１０１の外周辺に沿って配置されることを特徴とする。かかる構成によれば、抵抗面積の増加を抑制しつつ、ノイズ印加時に高い電圧（負ノイズの場合は低い電圧）が印加される第１端子部１０７とグラウンド電位の基板コンタクト８０１までの距離をとることができ、電界が緩和される。また、ジュール発熱時に最も温度が上がりやすい抵抗の中心部とパッド１００とが最短距離で接続されるため、第３実施例と同様にボンディングワイヤ８０２への放熱によって拡散抵抗の最高到達温度を下げることが可能になる。以上により、より信頼性の高い半導体チップを提供できる。

[0025] 本発明の第４実施例をなす半導体チップの保護抵抗を図１０から図１２により説明する。図１０は第４実施例をなす半導体チップの保護抵抗の断面図である。本実施例における保護抵抗は、第１実施例をなす半導体チップにお

ける保護抵抗１０１とパッド１００との間にさらにポリシリコン抵抗１０００を直列に接続したことを特徴とする。図１１は図１０のパッド１００から内部回路１０３までの等価回路図である。本実施例においては、拡散抵抗より耐圧の高いポリシリコン抵抗により、拡散抵抗自体を保護する。具体的には、ノイズ印加時の電圧をポリシリコン抵抗でドロップさせ、第１端子部１０７の電圧を拡散抵抗１０１の耐圧以下に抑制することで、拡散抵抗から基板に向かって大きなブレイクダウン電流が流れて第１端子部周辺が破壊されることを防ぐ。ここで、ポリシリコン抵抗の抵抗値R_Pが高いほどポリシリコン抵抗での電圧ドロップ幅が増える。一方、吸収エネルギーの観点でいえば拡散抵抗の抵抗値R_Dが可能な限り高いことが望ましい。なぜなら、ポリシリコン抵抗と拡散層抵抗の吸収エネルギーはそれぞれの抵抗値に比例するからである。拡散抵抗の比率を増やすことでエネルギーの多くを熱逃げのよい拡散抵抗で吸収させることができ、結果として保護抵抗全体の面積を最小化できる。図１２は、ポリシリコン抵抗の抵抗値R_Pと拡散抵抗の抵抗値R_Dの比率を変えたときの第１端子部の電圧と、保護抵抗の全体面積とのトレードオフ関係の例を示した図である。ポリシリコン抵抗の抵抗値R_Pの値は、想定される最大ノイズ電圧に対して端子部１０７の値を拡散抵抗の耐圧以下に抑制できる最小限の抵抗値とし、なるべく拡散抵抗の比率を大きくすることが望ましい。このようにすることで、ノイズのエネルギーの大部分は放熱性の高い拡散抵抗で吸収させつつ、拡散抵抗の破壊も防ぐことができる。言い換えれば、高いノイズ耐性を実現しつつ、保護抵抗全体としての面積を最小化することができる。

[0026] 本発明の第５実施例をなす半導体チップの保護回路を図１３ならびに図１４により説明する。図１３は、第５実施例をなす半導体チップの保護回路である。本実施例における保護回路は、第１実施例をなす半導体チップにおける保護抵抗１０１とパッド１００との間にさらにポリシリコン抵抗１００３とキャパシタ１３０１から構成されるローパスフィルタ１３０２を直列に接続したことを特徴とする。本実施例における保護回路の動作について図１４

を用いて説明する。ここでは内部回路１０３から出力された信号が保護抵抗１０１を介してパッドに出力される例を考える。パッド１００から出力される信号をワイヤーハーネスなどの配線で外部の受信機器に伝達する装置の場合、電波環境下に置かれるとワイヤーハーネスを介して出力信号にノイズが重畳される。図１４は、半導体チップの内部回路１０３の出力信号１４００に対して、電波照射によって正弦波が重畳された出力波形１４０２を示している。一般的に電波照射環境下で使うことを想定した装置、例えば、車載用のセンサ装置では、センサの信号を処理して出力する半導体チップとエンジン制御装置（ＥＣＵ）との間がワイヤーハーネスにより接続されており、電波照射によってワイヤーハーネス上の信号にノイズが重畳されても正しくＥＣＵで信号が受信できるよう、ＥＣＵ側にローパスフィルタが搭載されている。このローパスフィルタにより重畳ノイズを除去するため、１４０２のように上下対称の波形が重畳される限りは、ＥＣＵは正しい信号値１４００を受信することができる。しかし、仮にノイズが重畳された出力波形１４０２のピーク電圧が、半導体チップの内部回路１０３の出力端子部とパッド１００に接続された拡散抵抗のブレイクダウン電圧を超えた場合、パッドから出力される信号は１４０３のようにピークがクランプされる。その結果、波形１４０３の平均値は１４０１のように本来の信号値１４００からΔＶだけずれ、ＥＣＵが受け取る信号に誤差が生じる。実施例５をなす半導体チップに含まれるローパスフィルタ１３０２はかかる課題を解決するものである。具体的には、ローパスフィルタ１３０２により重畳波形１４０２の波形のピークを拡散抵抗のブレイクダウン電圧以下に抑制することで、先に述べた平均値ずれを防ぎ、信号をより高精度に送受信できるようになる。ローパスフィルタ１３０２のカットオフ周波数は、内部回路が出力する信号の周波数よりは高く、また、想定される電波の周波数より低く設定することが望ましい。

[0027] 本発明の第６実施例をなす半導体チップの保護回路を図１５により説明する。図１５は、第１実施例をなす半導体チップの保護回路の回路である。本実施例における保護回路は、第１実施例をなす半導体チップにおける保護抵

抗１０１から内部回路に至る経路上にクランプ素子としてダイオード１５００を加えたことを特徴とする。かかる構成によれば、ダイオード１５００によりノイズ印加時に内部回路に印加される電圧がクランプされるため、内部回路の保護性能が向上し、より信頼性の高い半導体チップを提供することができる。より好ましくは、ダイオード１５００のブレイクダウン電圧は、拡散抵抗１０１のブレイクダウン電圧より低く設定する。かかる構成によれば、拡散抵抗１０１のブレイクダウンを抑制できる。クランプ素子の種類はダイオードに限定されない。例えば図１６に示すように、ゲートとソースを共通にして高電位側に接続したＰＭＯＳや、ゲートとソースを共通にしてＧＮＤに接続したＧａｔｅ　Ｇｒｏｕｎｄｅｄ　ＮＭＯＳ（ｇｇＮＭＯＳ)でもよい。また、図１７のようにベースとエミッタを共通にして高電位側につないだＰＮＰバイポーラトランジスタや、ベースとエミッタを共通にしてＧＮＤにつないだＮＰＮバイポーラトランジスタや、バリスタ素子でもよい。クランプ素子の拡散層は、拡散抵抗１０１と共通の拡散層を用いて構成することで保護回路の面積を節約できる。例えば図１８に示すように、拡散層抵抗１０１の拡散層をＮウェル１０６上にまで延長し、クランプトランジスタ１６００のソース端子部として使うことができる。かかる構成によれば、クランプトランジスタ１６００のソース端子部へのコンタクトが不要となり、より省面積な保護回路を実現できる。

[0028] 本発明の第７実施例をなす半導体チップ１９０３を含むセンサ装置を図１９により説明する。本実施例におけるセンサ装置は、センサエレメント１９０７、半導体チップ１９０３を含む。センサエレメント１９０７は物理量に応じて電気的特性の変化する素子である。図１９ではディスクリートの部品として示したが、半導体チップ１９０３に形成されていてもよい。半導体チップは電源パッド１９００、出力パッド１９０１、グランドパッド１９０２、保護抵抗１９０４および１９０５、内部回路１９０６からなる。半導体チップ１９０３はセンサエレメント１９０７を制御し、センサエレメント１９０７の出力信号を処理して出力パッド１９０１に出力する。保護抵抗１９０

４および１９０５はこれまでの実施例に示したものである。電源端子部は保護抵抗１９０４によって、出力端子部は保護抵抗１９０５によって、センサ装置１４００の外部から端子部１９００、１９０１，１９０２に印加される静電気やサージなどのノイズから保護される。かかる構成によれば、ノイズへの耐性を半導体チップ１９０３に持たせることで、半導体チップ１９０３の外付けの保護素子を削減し、センサ装置に含まれるディスクリート部品を削減し、コストを抑えつつセンサ装置の信頼性を高めることができる。

[0029] 第１実施例から第７実施例に記載した半導体チップの発展形状について図２０で説明する。本発展形状では、内部回路１９０６の他に、吸気管を流れる流体の物理量を検出する物理量検出部２００１がさらに半導体チップ２０００に形成されている。係る構成によれば、物理量を検出する物理量検出部２００１を内部回路１９０６と同一の半導体チップに形成しているので、内部回路１９０６と物理量検出部２００１とを導通するワイヤボンディングが省略可能である。そのため、第１実施例から第７実施例で述べた効果に加えて、小型化および電気的接続部の信頼性が向上することが可能となる。物理量検出部２００１の例としては、詳細な形状は省略するが、静電容量式の湿度検出部、熱式の湿度検出部、歪ゲージを利用した圧力検出部、ダイアフラムに形成される発熱抵抗体を有する熱式の流量検出部が挙げられる。

[0030] 以上これまでに述べた実施例では、Ｐ型のシリコン基板をベースとし、Ｐ型の拡散層抵抗をＰウェル上に形成し、さらにＰウェルをフローティングのＮウェル上に形成する場合を説明したが、各半導体層の極性の組み合わせはこれに限られない。もちろん、Ｎ型のシリコン基板をベースとし、Ｎ型の拡散層抵抗をＮウェル上に形成し、さらにＮウェルをフローティングのＰウェル上に形成しても同様の効果が得られる。

[0031] すなわち、シリコン基板の極性を第一導電型と定義した場合、拡散層抵抗の極性は第一導電型、拡散層抵抗が形成されるウェルの極性は第一導電型、フローティングのウェルの極性は第二導電型と定義可能である。

符号の説明

[0032] １００：パッド、１０１：Ｐ＋拡散層、１０２：酸化膜、１０３内部回路、１０４：Ｐ型シリコン基板、１０５：Ｐ型ウェル、１０６：Ｎ型ウェル、１０７：第１端子部、１０８：第２端子部、１０９：ＧＮＤ、２００：ウェル寄生抵抗、２０１、２０２：寄生ダイオード、４００：Ｐウェル突き出し幅、４０１：Ｎウェル突き出し幅、４０２：Ｐウェル深さ、４０３：Ｎウェル深さ、４０４：拡散層のエッジ、４０５Ｐウェルのエッジ、４０６Ｎウェルのエッジ、６００、６０１：シリサイド、６０２：非シリサイド領域、６０３：基板コンタクト、６０４、６０５：ブレイクダウン電流の経路、６０６：フィールド酸化膜のコーナー、７００：コンタクト、７０１：配線、７０２：ビア、８００：配線、８０１：基板コンタクト、８０２：ボンディングワイヤ、１０００、１１００、１３００：ポリシリコン抵抗、１３０１：キャパシタ、１３０２：フィルタ、１４００、１４０１：平均値、１４０２、１４０３：電波ノイズが重畳された出力信号、１５００、１６００、１７００：クランプ素子、１８００：ゲート、１９００：電源パッド、１９０１：入出力パッド、１９０２：ＧＮＤパッド、１９０３、２０００：半導体チップ、１９０４、１９０５：拡散抵抗、１９０６：内部回路、１９０７：センサエレメント、２００１：物理量検出部、ＢＶ：ブレイクダウン電圧、ＧＮＤ：グラウンド、ＶＭＡＸ、ＶＭＡＸ１、ＶＭＡＸ２：耐圧、ＶＳＵＧ：ノイズ電圧、ΔＶ：誤差、ＶＴＲＭ：端子部電圧、ＶＩＮＴ：内部回路のクランプ電圧、ＰＰ、ＰＤ：エネルギー、ＲＰ：ポリシリコン抵抗の抵抗値、ＲＤ：拡散抵抗の抵抗値

請求の範囲

[請求項1] 第１導電型の半導体基板と、パッドと、内部回路と、第１導電型の第１のウェルと、第２導電型で、かつ、フローティングの第２のウェルと、第１導電型の拡散抵抗と、を有し、

前記拡散抵抗は、前記パッドおよび前記内部回路と電気的に接続され、

前記第１のウェルは、前記第２のウェルと前記拡散抵抗の間に形成される車載用の半導体チップ

[請求項2] 前記拡散抵抗は、前記パッド側に接続される第１の端子部と、前記内部回路側に接続される第２の端子部と、を有し、前記第２の端子部は前記第２ウェルに接している請求項１に記載の半導体チップ

[請求項3] 前記拡散抵抗は、前記パッド側に接続される第１の端子部と、前記内部回路側に接続される第２の端子部と、を有し、

前記第１の端子部と前記第２のウェルの間に前記第１のウェルが形成されており、

前記第１のウェルは、前記拡散抵抗よりも短い請求項１に記載の半導体チップ

[請求項4] 前記第１端子部の外周部から前記第１ウェルの外周部までの水平距離が前記拡散抵抗の底部から前記第１ウェルの底部までの距離以上である請求項２または３に記載の半導体チップ。

[請求項5] 前記第１ウェルの外周部から前記第２ウェルの外周部までの水平距離が前記第１ウェルの底部から前記第２ウェルの底部までの距離以上であることを特徴とする請求項１乃至４の何れかに記載の半導体チップ

[請求項6] 前記拡散層と前記第１ウェルと前記第２ウェルのうち少なくともどちらかのコーナーが多角形状か曲線形状であることを特徴とする請求項１乃至５の何れかに記載の半導体チップ

[請求項7] 前記第１の端子部は第１のシリサイド領域を有し、前記第２の端子部は第２のシリサイド領域を有し、前記第１のシリサイド領域と前記

第２のシリサイド領域の少なくとも一方の周囲がシリサイド化されていない拡散層により囲まれている請求項２または３に記載の半導体チップ

[請求項8] 前記第１の端子部は前記パッドの下部に配置されている請求項２または３に記載の車載用の半導体チップ

[請求項9] 前記第２の端子部は前記第１の端子部の周囲を囲むように配置される請求項８に記載の半導体チップ

[請求項10] 前記パッドと前記拡散抵抗との電気的経路の間に、ポリシリコンおよび/または高抵抗金属を有する請求項乃至３の何れかに記載の半導体チップ

[請求項11] 前記パッドと前記拡散抵抗との間に減衰フィルタが接続される請求項１乃至３の何れかに記載の半導体チップ

[請求項12] 前記減衰フィルタのカットオフ周波数は、前記内部回路から前記パッドに出力される信号の周波数よりも高い請求項１１に記載の半導体チップ

[請求項13] 前記拡散抵抗と前記内部回路とを接続する配線にクランプ素子が接続される請求項１乃至３の何れかに記載の半導体チップ

[請求項14] 前記クランプ素子はＰ型のＭＯＳトランジスタであり、

前記Ｐ型のＭＯＳトランジスタのゲート端子部とソース端子部が前記第１の配線に接続され、ドレイン端子部がグラウンドに接続され、前記ソース端子部は、前記第１導電型の拡散層と共通の拡散層で構成される請求項１３に記載の半導体チップ

[請求項15] 前記クランプ素子はＮ型のＭＯＳトランジスタであり、

前記Ｎ型のＭＯＳトランジスタのドレイン端子部が前記第１の配線に接続され、ゲート端子部とドレイン端子部がグラウンドに接続され、

前記ドレイン端子部は、前記第１導電型の拡散層と共通の拡散層で構成される請求項１３に記載の半導体チップ

[請求項16] 物理量に応じて電気的特性の変化するセンサエレメントと、請求項１乃至１５の何れかに記載の半導体チップと、を有する車載用センサ装置。

[請求項17] 請求項１乃至１５の何れかに記載の半導体チップを備え、

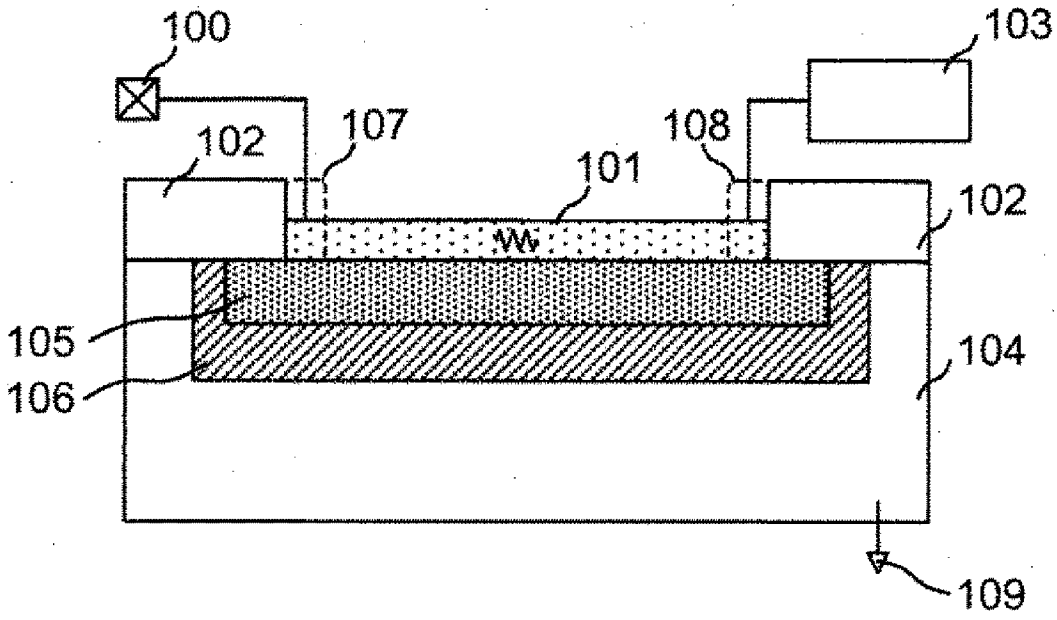
前記半導体チップは、物理量に応じて電気的特性の変化する検出部がさらに形成されている

車載用センサ装置。

[請求項18] 請求項１乃至１５の何れかに記載の半導体チップを有する車載用電子装置。

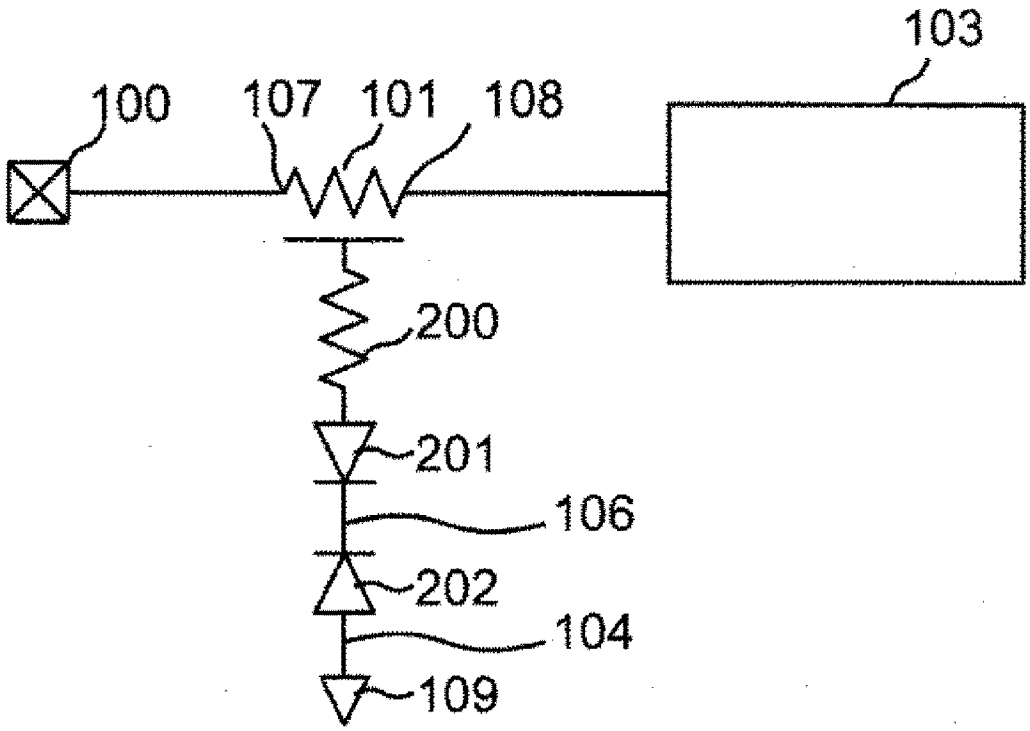
[図1]

図1



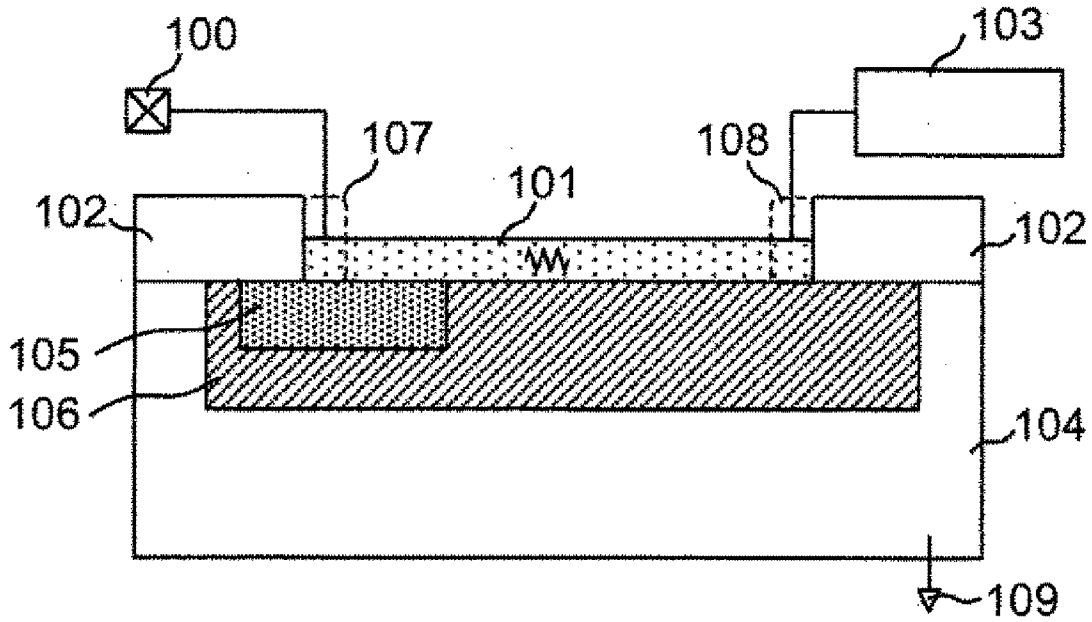
[図2]

図2


103
100
107
101
108
200
201
106
202
104
109

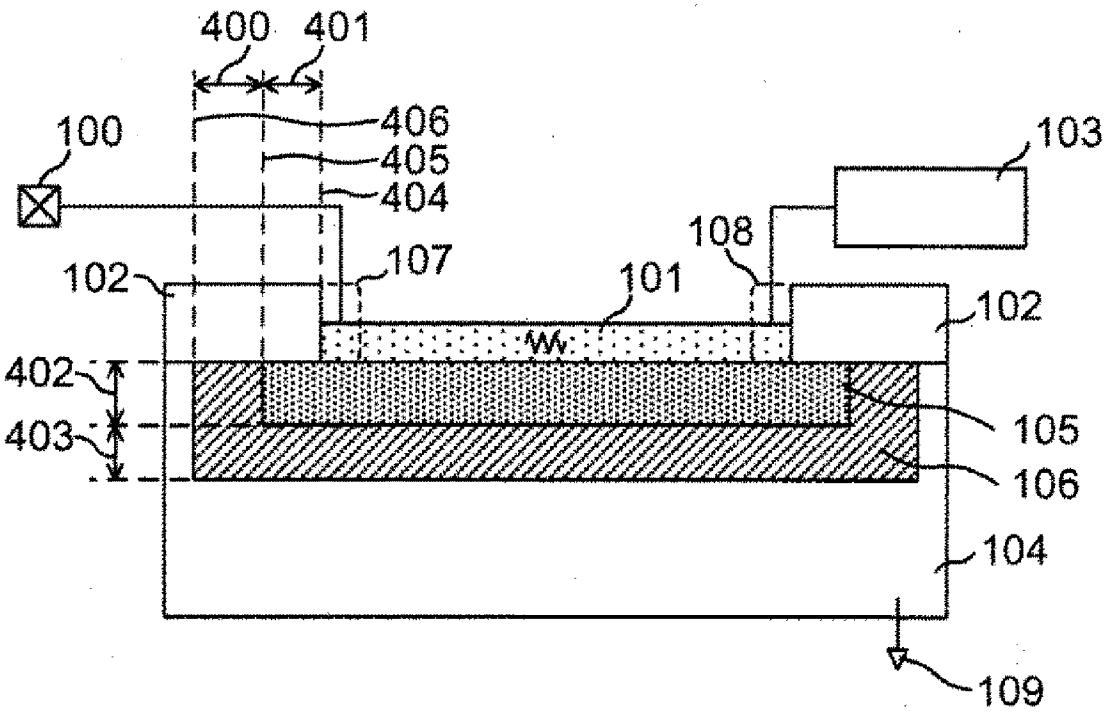
[図3]

図3


100
103
107
108
101
102
102
105
106
104
109

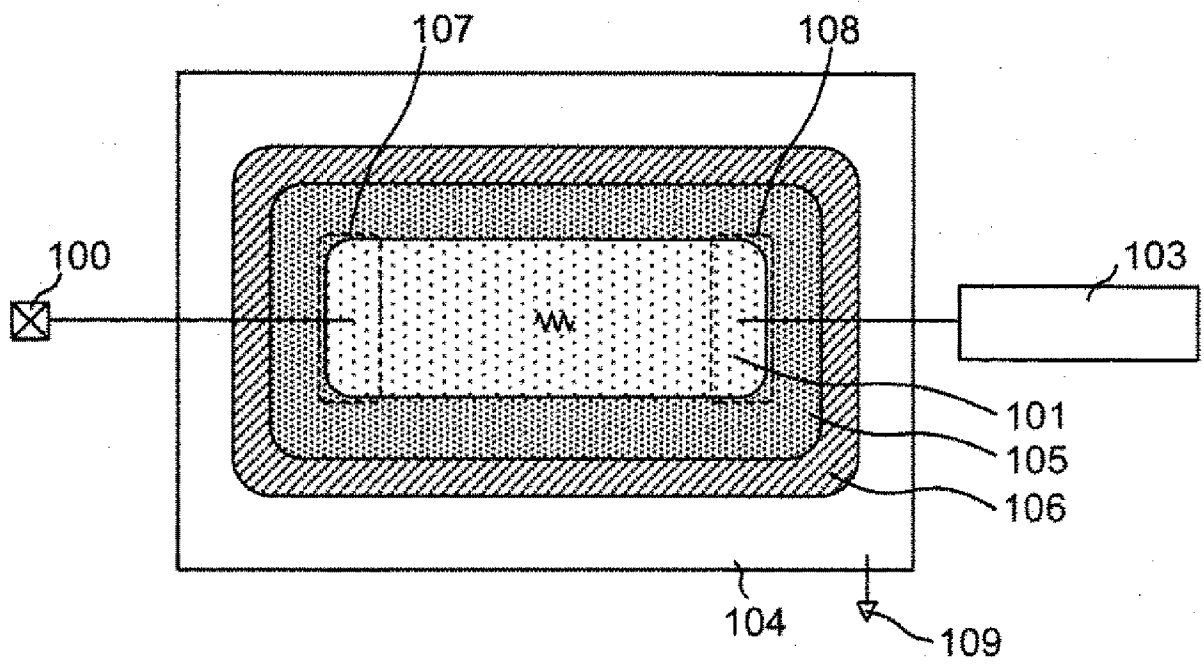
[図4]

図4


400
401
406
405
404
100
103
108
107
102
101
102
402
403
105
106
104
109

[図5]

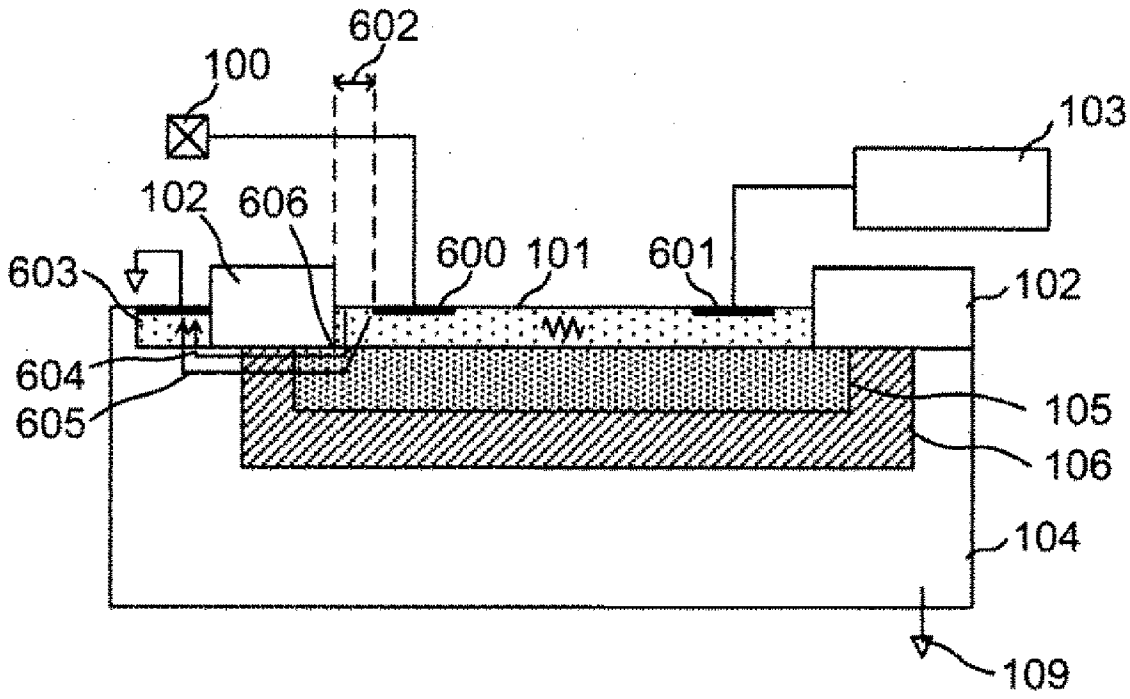
図5



※酸化膜102は非表示

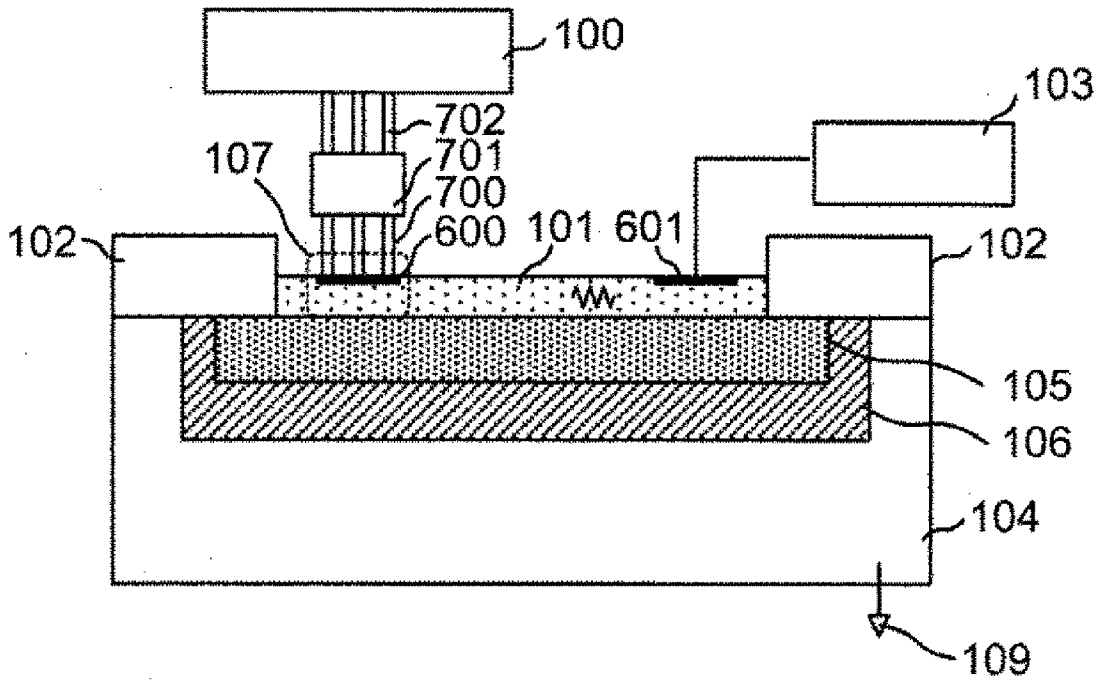
[図6]

図6


602
100
103
102
606
603
600
101
601
102
604
605
105
106
104
109

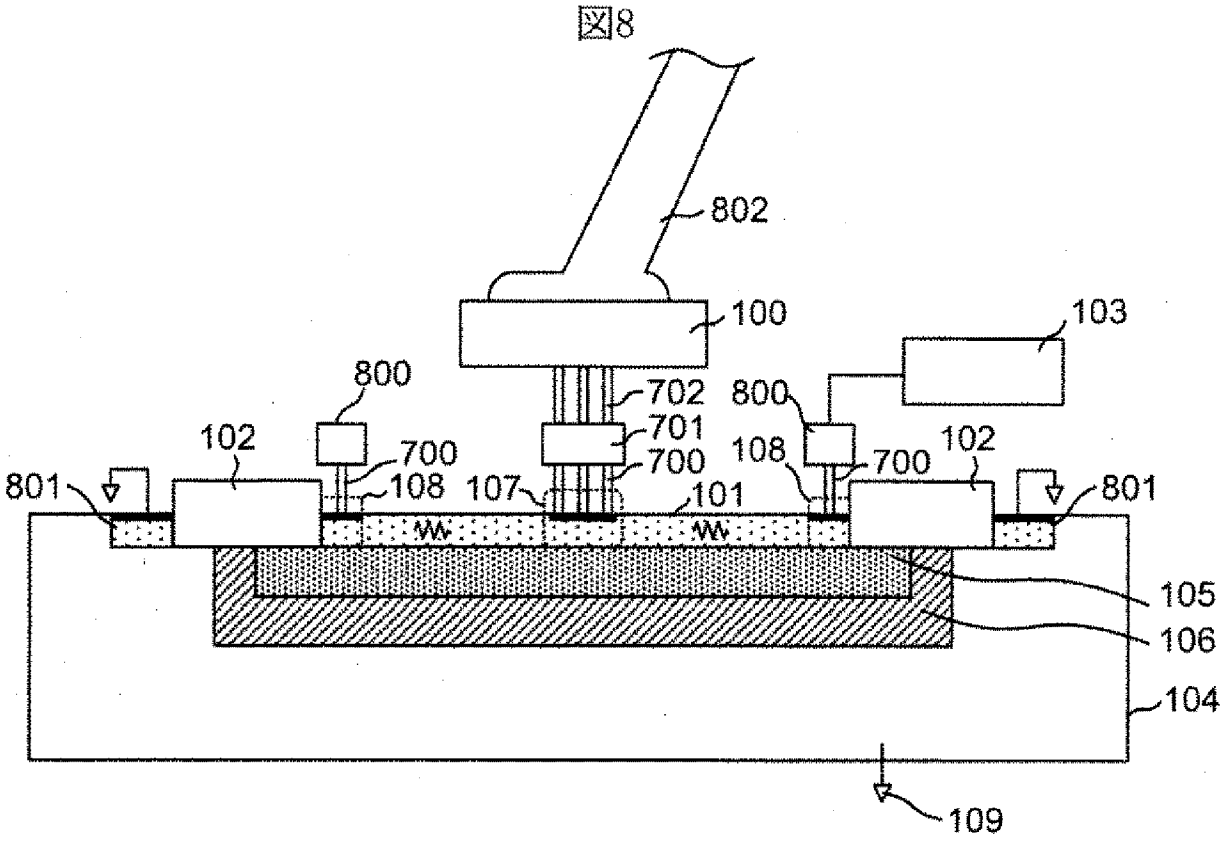
[図7]

図7


100
103
702
107
701
700
102
600
101
601
102
105
106
104
109

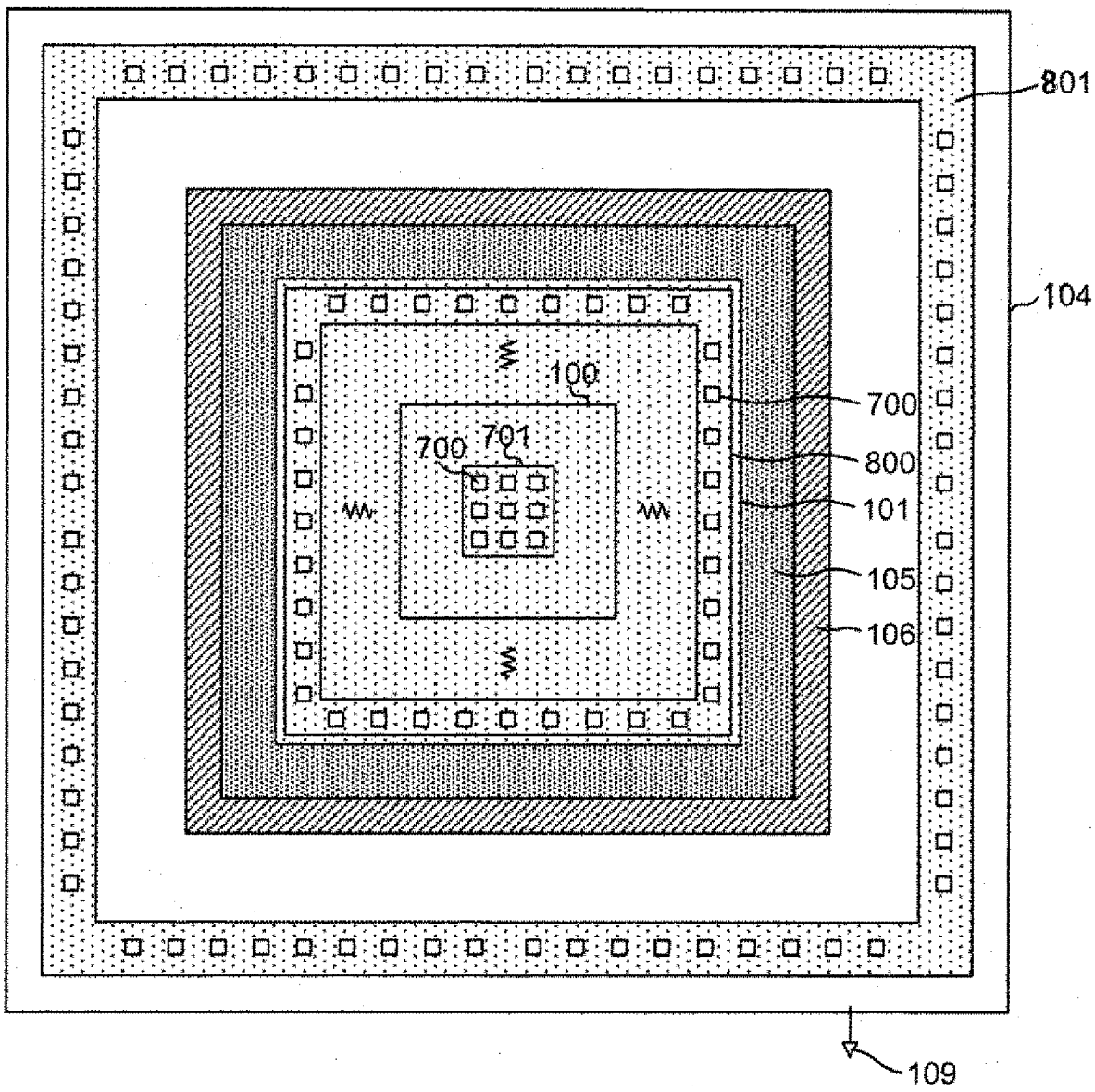
[図8]

図8


802
100
103
800
702
800
102
701
700
700
108
700
102
801
108
107
101
801
105
106
104
109

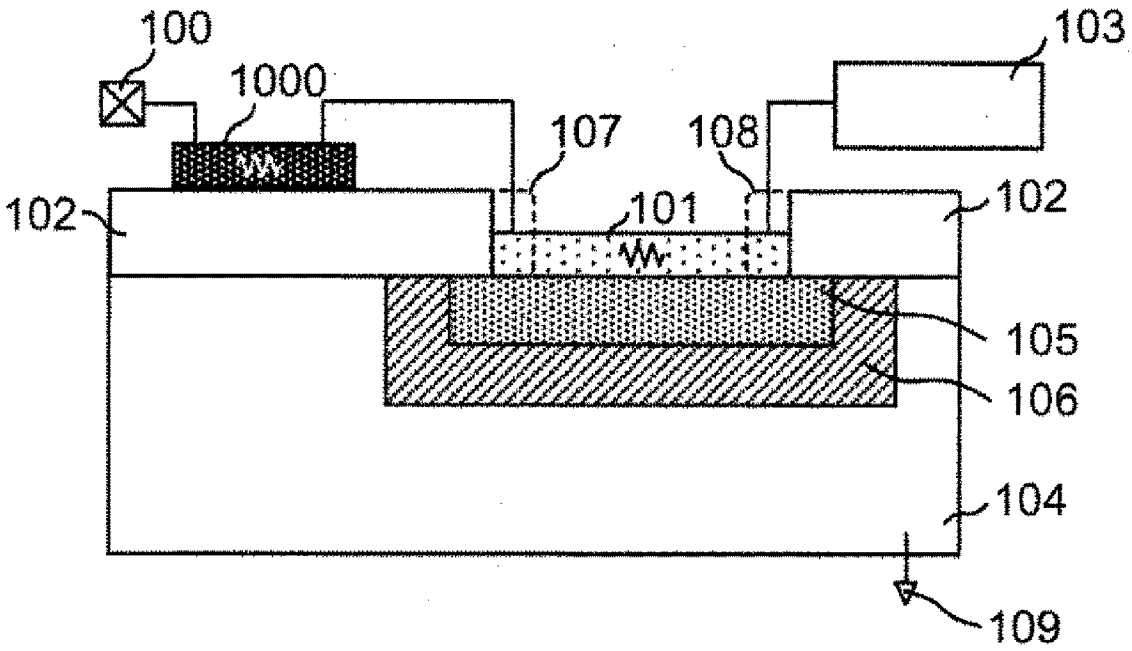
[図9]

図9



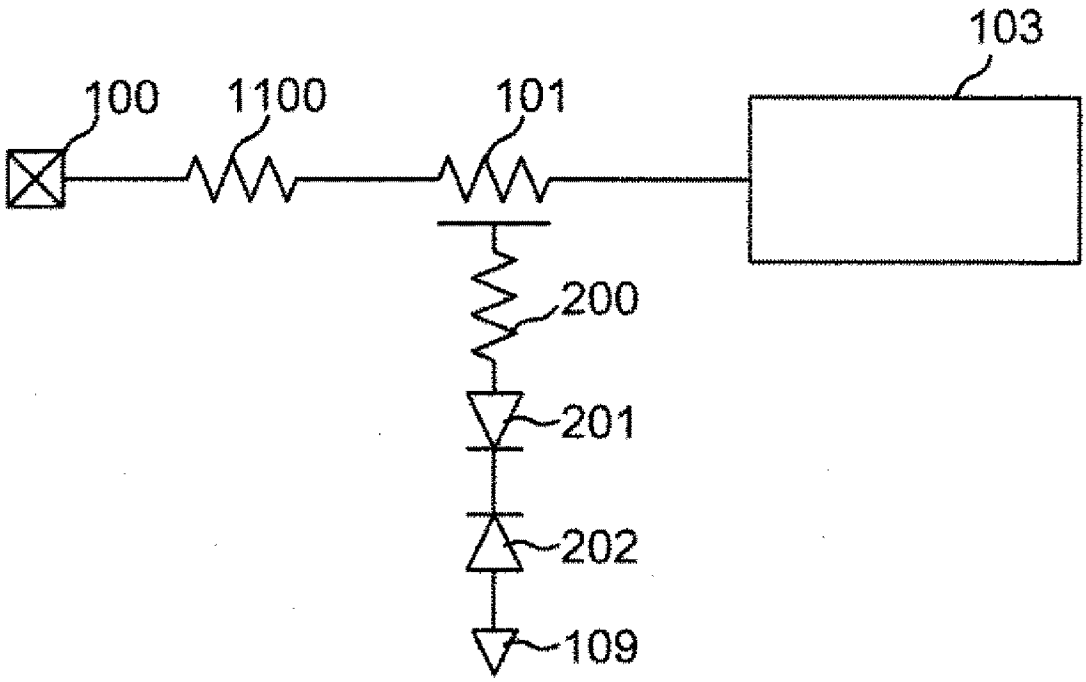
[図10]

図10



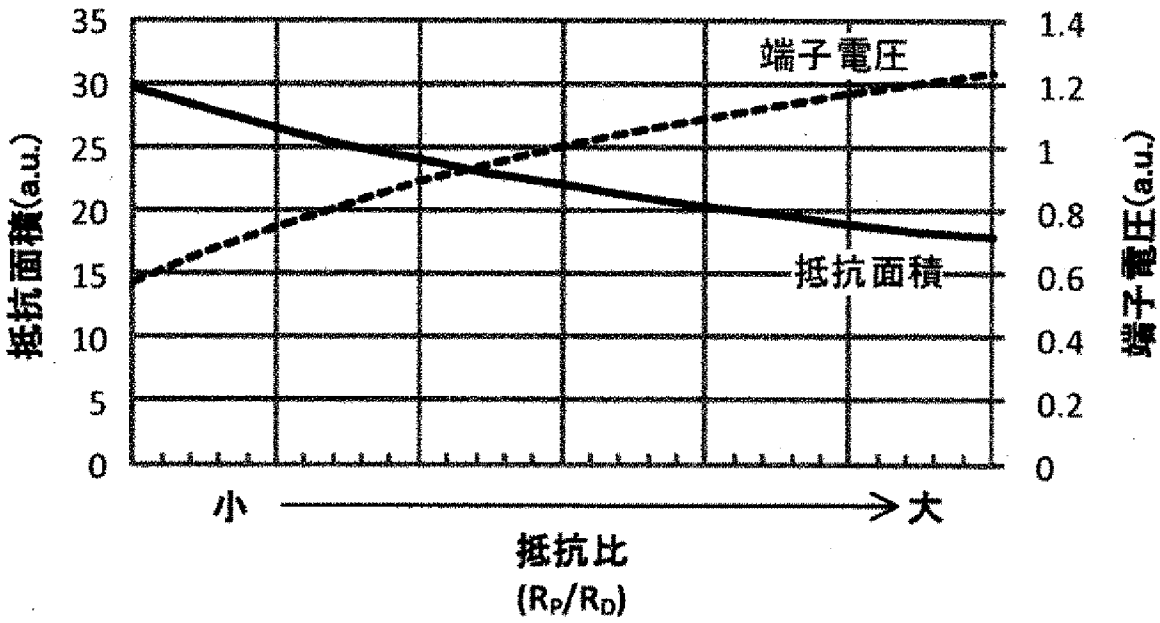
[図11]

図11



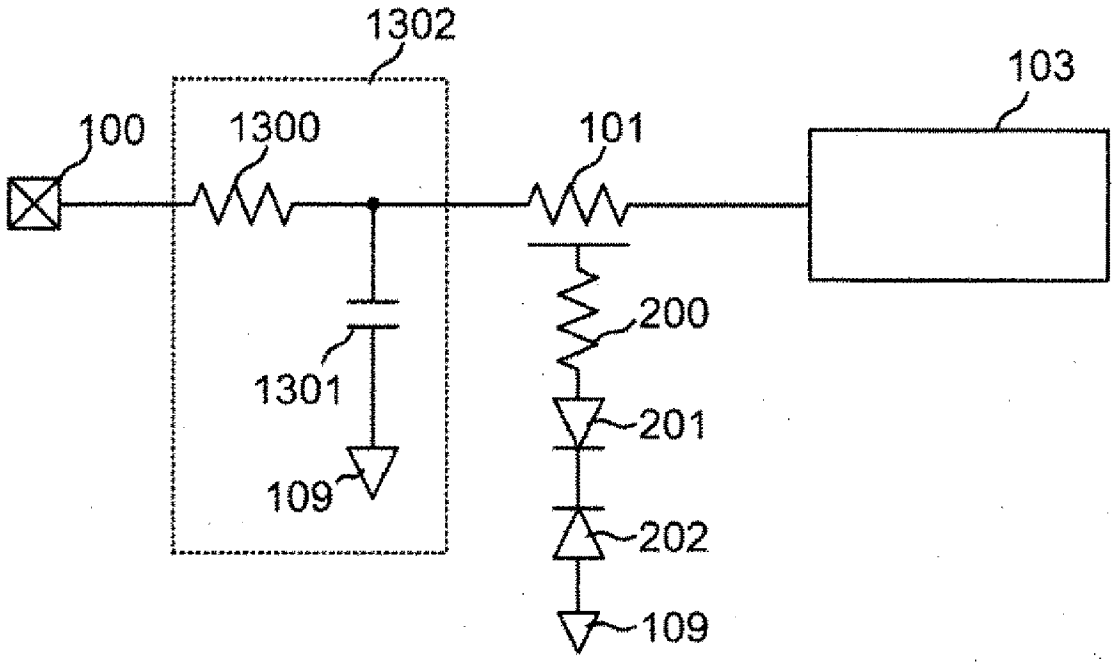
[図12]

図12



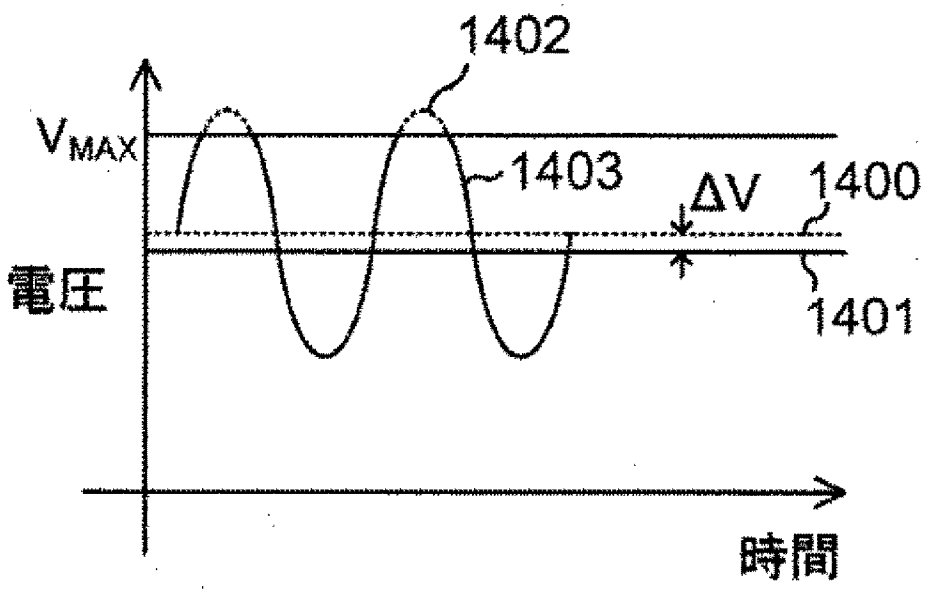
[図13]

図13



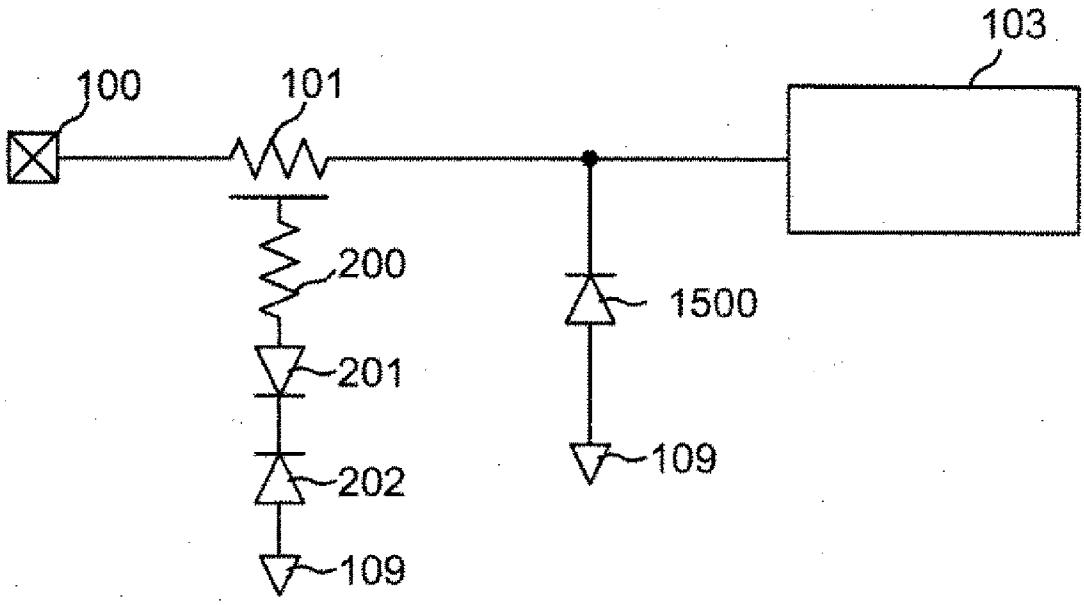
[図14]

図14



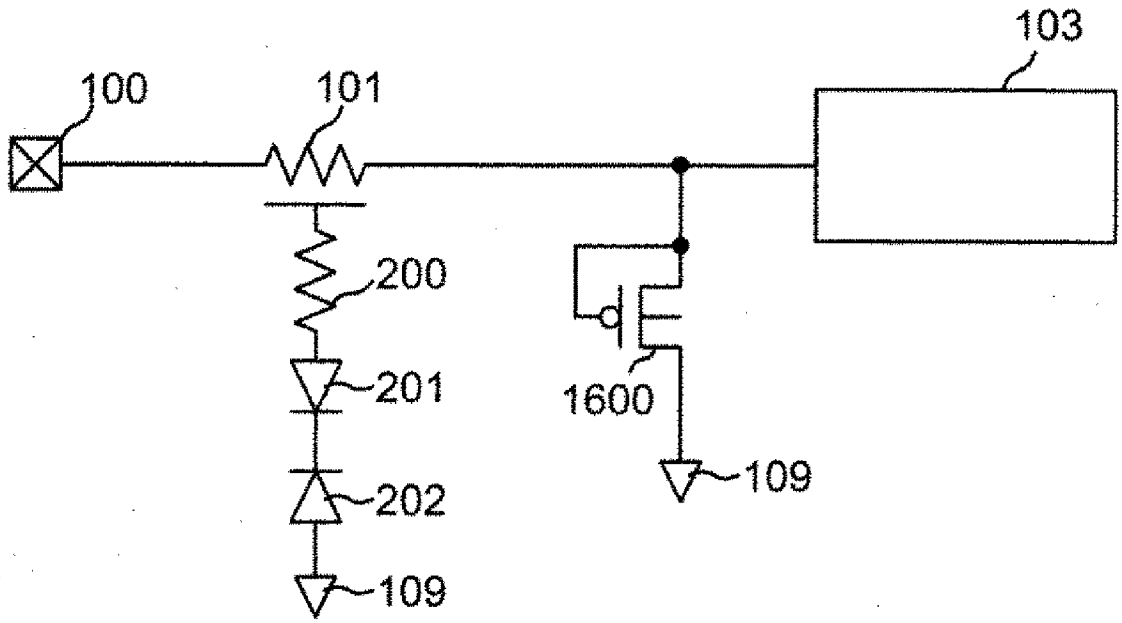
[図15]

図15



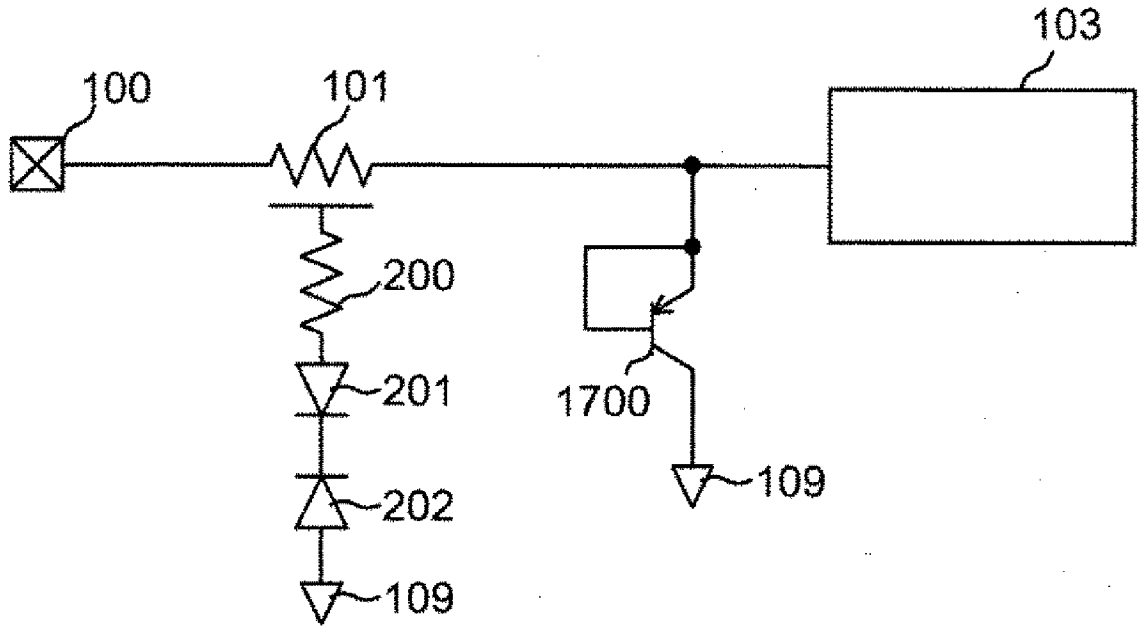
[図16]

図16



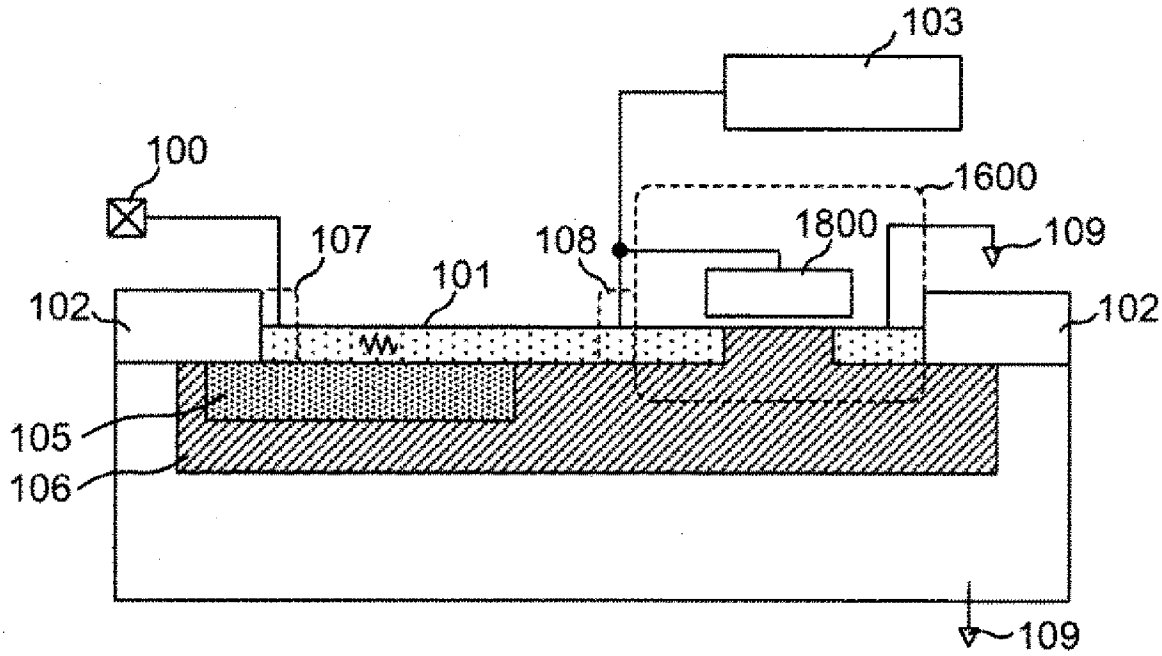
[図17]

図17



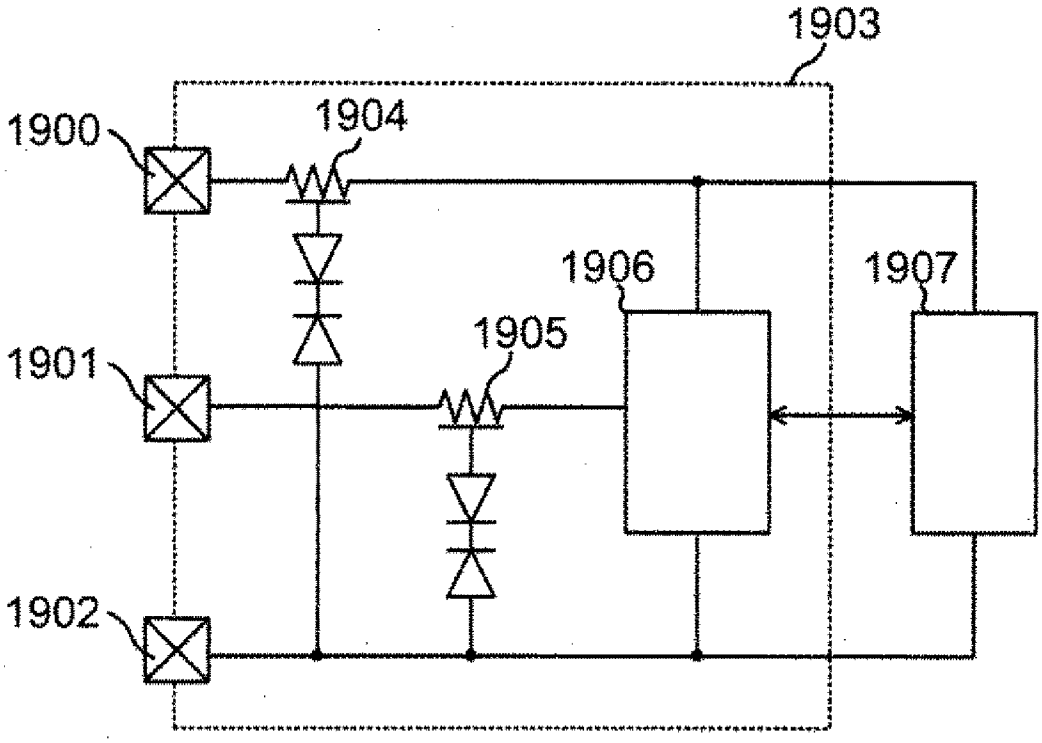
[図18]

図18



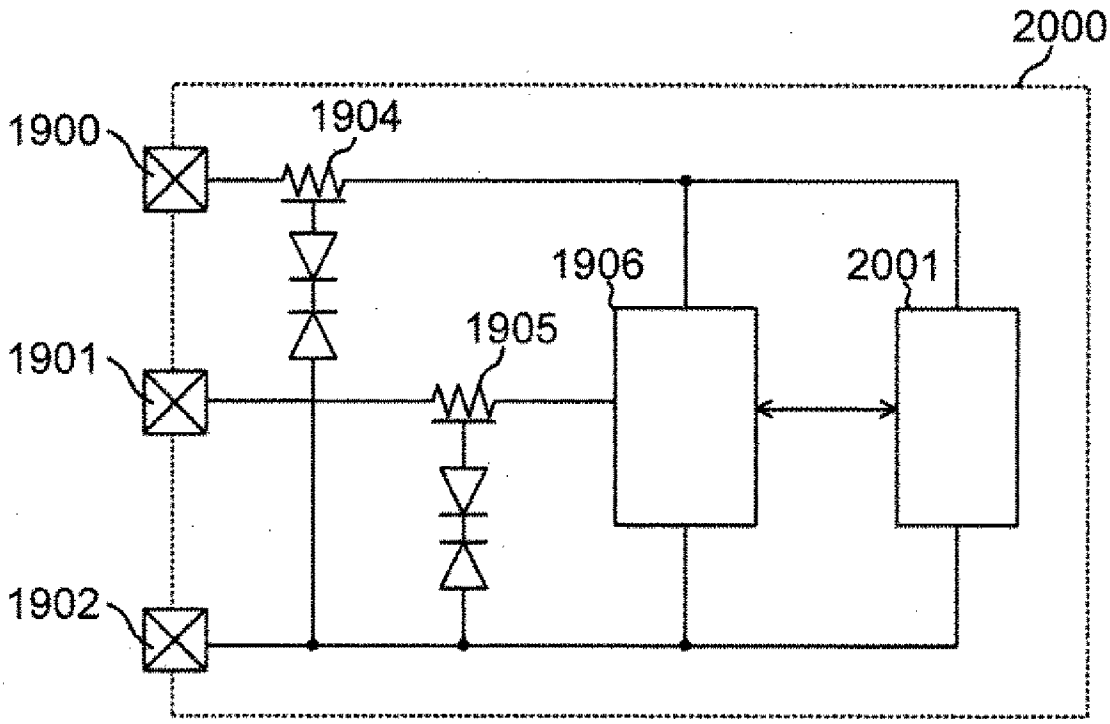
[図19]

図19



[図20]

図20



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/066093

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/822(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/822, H01L27/04, H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-174763 A (Hitachi, Ltd.), 29 July 1991 (29.07.1991), page 873, upper left column, line 14 to upper right column, line 15; fig. 7 (Family: none)	1-18
A	JP 2008-235437 A (NEC Electronics Corp.), 02 October 2008 (02.10.2008), paragraphs [0002], [0025] to [0029]; fig. 6, 7 (Family: none)	1-18
A	JP 6-151715 A (Fujitsu Ltd.), 31 May 1994 (31.05.1994), entire text; all drawings (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 July 2016 (21.07.16)	02 August 2016 (02.08.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/066093

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-187987 A (Sharp Corp.), 20 August 2009 (20.08.2009), entire text; all drawings (Family: none)	1-18
A	WO 2013/018134 A1 (Hitachi Automotive Systems, Ltd.), 07 February 2013 (07.02.2013), entire text; all drawings & US 2014/0167781 A1 & CN 103703555 A	1-18
A	JP 2010-109233 A (Renesas Technology Corp.), 13 May 2010 (13.05.2010), entire text; all drawings & US 2010/0109775 A1	1-18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６６０９３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/822, H01L27/04, H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 3-174763 A (株式会社日立製作所) 1991.07.29, 第８７３頁左上欄第１４行目－右上欄第１５行目, 第７図（ファミリーなし）	1-18
A	JP 2008-235437 A (ＮＥＣエレクトロニクス株式会社) 2008.10.02, 段落 [0002], [0025]-[0029], 図 6,7 (ファミリーなし)	1-18
A	JP 6-151715 A (富士通株式会社) 1994.05.31, 全文, 全図 (ファミリーなし)	1-18

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０７．２０１６	０２．０８．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４０５６
市川　武宜
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-187987 A (シャープ株式会社) 2009.08.20, 全文,全図 (ファミリーなし)	1-18
A	WO 2013/018134 A1 (日立オートモティブシステムズ株式会社) 2013.02.07, 全文,全図 & US 2014/0167781 A1 & CN 103703555 A	1-18
A	JP 2010-109233 A (株式会社ルネサステクノロジ) 2010.05.13, 全文,全図 & US 2010/0109775 A1	1-18