(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3839873号

(P3839873)

(45)発行日　平成18年11月1日(2006.11.1)　(24)登録日　平成18年8月11日(2006.8.11)

(51)Int.Cl.		F I		
G11C 29/06	(2006.01)	G11C	29/00	671F
G11C 11/407	(2006.01)	G11C	11/34	354F
G11C 11/401	(2006.01)	G11C	11/34	371A
H01L 27/04	(2006.01)	H01L	27/04	G
H01L 21/822	(2006.01)	H01L	27/04	T

請求項の数 5　(全 23 頁)

(21)出願番号　特願平8-173838
(22)出願日　平成8年7月3日(1996.7.3)
(65)公開番号　特開平10-21699
(43)公開日　平成10年1月23日(1998.1.23)
審査請求日　平成15年6月16日(2003.6.16)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

第１の外部電源電圧供給線から与えられる第１の外部電源電圧に基づいて、第１の内部電源電圧供給線に供給する第１の内部電源電圧を発生する第１の内部電源電圧発生手段と、

第２の外部電源電圧供給線から与えられる前記第１の外部電源電圧に基づいて、第２の内部電源電圧供給線に供給する第２の内部電源電圧を発生する第２の内部電源電圧発生手段と、

前記第１の外部電源電圧供給線と、前記第１の内部電源電圧供給線との間に設けられる第１の接続手段と、

前記第２の外部電源電圧供給線と、前記第２の内部電源電圧供給線との間に設けられる第２の接続手段とを備え、

前記第１および第２の内部電源電圧発生手段は、信頼性評価のためのテストモードでは、非活性になり、前記テストモード以外の通常モードでは、活性になり、

前記第１の接続手段は、前記テストモードでは、前記第１の外部電源電圧供給線と、前記第１の内部電源電圧供給線とを接続し、前記通常モードでは、前記第１の外部電源電圧供給線と、前記第１の内部電源電圧供給線とを切離し、

前記第２の接続手段は、前記テストモードでは、前記第２の外部電源電圧供給線と、前記第２の内部電源電圧供給線とを接続し、前記通常モードでは、前記第２の外部電源電圧供給線と、前記第２の内部電源電圧供給線とを切離し、

前記テストモードでは、前記第１の外部電源電圧供給線には、第２の外部電源電圧を与え、前記第２の外部電源電圧供給線には、前記第２の外部電源電圧とは異なるレベルの第３の外部電源電圧を与え、

前記通常モードでは、前記第１および第２の外部電源電圧供給線には、前記第１の外部電源電圧を与える、半導体集積回路装置。

【請求項２】

前記テストモードにおいて、前記第２の外部電源電圧と、前記第１の内部電源電圧との差および前記第３の外部電源電圧と、前記第２の内部電源電圧との差が等しくなるように、前記第２および第３の外部電源電圧を与える、請求項１に記載の半導体集積回路装置。

【請求項３】

前記第１の外部電源電圧供給線と、前記第２の外部電源電圧供給線との間に設けられる第３の接続手段をさらに備え、

前記第３の接続手段は、前記テストモードでは、前記第１の外部電源電圧供給線と、前記第２の外部電源電圧供給線とを切離し、前記通常モードでは、前記第１の外部電源電圧供給線と、前記第２の外部電源電圧供給線とを接続する、請求項１に記載の半導体集積回路装置。

【請求項４】

前記第３の接続手段は、トランジスタである、請求項３に記載の半導体集積回路装置。

【請求項５】

前記第１および第２の接続手段は、トランジスタである、請求項１に記載の半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、信頼性評価のための試験に関連する回路を有する半導体集積回路装置に関する。

【０００２】

【従来の技術】

近年では、一般にメモリを含むシステム自体の電源電圧はメモリの動作に必要な電圧より高くなっており、システム自体の電源電圧からメモリの電源電圧を供給するため、メモリチップの内部で電圧を降下させてメモリ動作に必要な内部電源電圧を発生する場合が多い。このようにして内部電源電圧を発生する回路を電圧降下回路と呼ぶ。このような電圧降下回路を用いることによって、メモリチップの消費電力は大きく低減し、安定した電圧をメモリチップ内部に供給することができる。

【０００３】

図１６は、従来の半導体集積回路装置としての半導体記憶装置の一部を示す概略図である。

【０００４】

図１６を参照して、従来の半導体集積回路装置は、電源パッド４１、電圧降下回路（ＶＤＣ）２４５およびＰＭＯＳトランジスタ４７を含む。電圧降下回路２４５は、外部電源電圧供給線５１と内部電源電圧供給線２４７との間に設けられる。ＰＭＯＳトランジスタ４７は、外部電源電圧供給線５１と内部電源電圧供給線２４７との間に設けられる。ＰＭＯＳトランジスタ４７のゲートには、信号／ＳＴＲが与えられる。外部電源電圧供給線５１には、電源パッド４１を介して、外部電源電圧ｅｘｔＶｃｃが与えられる。電圧降下回路２４５は、外部電源電圧ｅｘｔＶｃｃを降圧して、内部電源電圧ｉｎｔＶｃｃを発生し、この内部電源電圧ｉｎｔＶｃｃを内部電源電圧供給線２４７に与える。電圧降下回路２４５は、信頼性評価のためのテストモード以外の通常モードでこのような動作をし、信頼性評価のためのテストモードではその動作を停止する。信頼性評価のための試験については後で詳述する。ＰＭＯＳトランジスタ４７は、通常モードでは、オフになっており、外部電源電圧供給線５１と内部電源電圧供給線２４７とを切離している。すなわち、通常モー

ドでは、信号／ＳＴＲは、「H」レベルである。ＰＭＯＳトランジスタ４７は、信頼性評価のためのテストモードでは、外部電源電圧供給線５１と内部電源電圧供給線２４７とを接続する。すなわち、信頼性評価のためのテストモードでは、信号／ＳＴＲは、「Ｌ」レベルになっている。

【０００５】

図１７は、図１６の電圧降下回路（ＶＤＣ）２４５の差動アンプ部の詳細を示す回路図である。図１７を参照して、従来の半導体記憶装置の差動アンプ部は、スタンバイ用の回路と、アクティブ用の回路とを含む。差動アンプ部のスタンバイ用の回路は、差動アンプ９３、ＮＭＯＳトランジスタ９７およびＰＭＯＳトランジスタ１０５を含む。差動アンプ９３の一方入力ノードには、参照電圧Ｖｒｅｆが与えられる。差動アンプ９３の他方入力ノードは、内部電源電圧供給線２４７と接続される。ＮＭＯＳトランジスタ９７のドレインは、差動アンプ９３と接続され、ソースは接地電圧を有するノードと接続され、ゲートには一定の中間電圧ＢｉａｓＬが与えられる。ＰＭＯＳトランジスタ１０５は、外部電源電圧ｅｘｔＶｃｃを有するノードと、内部電源電圧供給線２４７との間に設けられる。ＰＭＯＳトランジスタ１０５のゲートは、差動アンプ９３の出力ノードに接続される。差動アンプ部のアクティブ用の回路は、差動アンプ９５、ＮＭＯＳトランジスタ１０１およびＰＭＯＳトランジスタ１０７，１０９を含む。差動アンプ９５の一方入力ノードには参照電圧Ｖｒｅｆが与えられる。差動アンプ９５の他方入力ノードは、内部電源電圧供給線２４７と接続される。ＮＭＯＳトランジスタ１０１のドレインは差動アンプ９５に接続され、ソースは接地電圧を有するノードと接続され、ゲートには信号ＡＣＴが与えられる。ＰＭＯＳトランジスタ１０９は、外部電源電圧ｅｘｔＶｃｃを有するノードと、内部電源電圧供給線２４７との間に接続される。ＰＭＯＳトランジスタ１０９のゲートは、差動アンプ９５の出力ノードＮ１に接続される。ＰＭＯＳトランジスタ１０７は、外部電源電圧ｅｘｔＶｃｃを有するノードと、差動アンプ９５の出力ノードＮ１との間に設けられる。ＰＭＯＳトランジスタ１０７のゲートには、信号ＡＣＴが与えられる。

【０００６】

差動アンプ部のスタンバイ用の回路は、参照電圧Ｖｒｅｆと内部電源電圧ｉｎｔＶｃｃとを差動アンプ９３で比較し、差動アンプ９３の出力を受けるＰＭＯＳトランジスタ１０５を制御することで、内部電源電圧ｉｎｔＶｃｃのレベルを調節するフィードバック型の回路である。差動アンプ部のアクティブ用の回路も、スタンバイ用の回路と同様に、参照電圧Ｖｒｅｆと内部電源電圧ｉｎｔＶｃｃとを差動アンプ９５で比較し、差動アンプ９５の出力を受けるＰＭＯＳトランジスタ１０９を制御することで、内部電源電圧ｉｎｔＶｃｃのレベルを調節するフィードバック型の回路である。差動アンプ部のスタンバイ用の回路は、常に動作する必要があるが、消費電流低減のため、その差動アンプ９３は、一定の中間電圧ＢｉａｓＬで、電流を制限される。差動アンプ部のアクティブ用の回路は、チップが大電流を消費する期間だけ活性化される。すなわち、チップが大電流を消費する期間は、信号ＡＣＴがＣＭＯＳレベル（「H」レベル）になっており、それ以外の期間では「Ｌ」レベルになっている。ここで、チップが大電流を消費しない期間においては、すなわち、信号ＡＣＴが「Ｌ」レベルになっている期間では、ＰＭＯＳトランジスタ１０７がオンしており、ノードＮ１は、「H」レベルになる。したがって、信号ＡＣＴが「Ｌ」レベルのときは、ＰＭＯＳトランジスタ１０９はオフになり、アクティブ用の回路は非活性化される。

【０００７】

次に、信頼性評価のための試験について説明する。一般に、デバイスの故障は３つの期間に大別される。すなわち、時間の経過につれて、初期故障期間、偶発故障期間、摩耗故障期間である。初期故障は使用直後に発生する故障で、デバイス作成時の欠陥が現われるものである。この故障の割合は時間とともに急速に減少していく。その後は低い故障率が、ある一定期間長く続く（偶発故障期間）。やがて、デバイスは耐用寿命に近づき、急激に故障率が増大する（摩耗故障期間）。デバイスは、偶発故障期間内で使用することが望ましく、この領域が耐用期間となる。したがって、デバイスの信頼性を高めるためには、偶

発故障が低く一定でかつ偶発故障期間が長く続くことが要求される。一方で初期故障を予め除去するために、デバイスに一定時間の加速動作エージングを行ない不良品を除去するスクリーニングを行なう必要がある。これを短期間で効果的に行なうためには、初期故障率が時間に対して急速に減少し早く偶発故障期間に入ることが望ましい。現在このスクリーニング手法の１つとして一般にバーイン試験（高温動作試験）を行なっている。バーンイン試験は、実デバイスを用いて誘電体膜を直接評価することができる手法であり、アルミ配線のマイグレーションを始め、あらゆる不良要因を高温かつ高電界のストレスを印加して顕在化させる試験である。特に温度加速中にデバイスを動作させて加速性を高めると効果的となる。

【０００８】

【発明が解決しようとする課題】

図１６に示したような従来の半導体集積回路装置としての半導体記憶装置では、１種類の電圧降下回路２４５を用い、１種類のレベルの内部電源電圧ｉｎｔＶｃｃを使用している。この場合、次のような問題が生ずる。

【０００９】

一般に、メモリセルアレイは、周辺回路に比べ大きな電力消費源となっている。このため、メモリセルアレイに与える内部電源電圧ｉｎｔＶｃｃを小さくして、低消費電力化を図る。しかし、従来の半導体記憶装置では、１種類の電圧降下回路２４５しか設けていないため、周辺回路にも、このような小さな内部電源電圧ｉｎｔＶｃｃを与えるのでは高速動作が図れない。

【００１０】

一方、高速動作を図るため、内部電源電圧ｉｎｔＶｃｃを大きくして、周辺回路に与えることも考えられる。しかし、従来の半導体記憶装置では、１種類の電圧降下回路２４５しか設けておらず、メモリセルアレイにもこのような大きな内部電源電圧ｉｎｔＶｃｃを与えたのでは消費電力の低減を図れない。

【００１１】

この発明は、以上のような問題を解決するためになされたもので、高速動作および低消費電力化を実現できるとともに、有効な信頼性評価のための試験を行なうことのできる半導体集積回路装置を提供することを目的とする。

【００１２】

【課題を解決するための手段】

本発明の請求項１の半導体集積回路装置は、第１の内部電源電圧発生手段と、第２の内部電源電圧発生手段と、第１の接続手段と、第２の接続手段とを備える。第１の内部電源電圧発生手段は、第１の外部電源電圧供給線から与えられる第１の外部電源電圧に基づいて、第１の内部電源電圧供給線に供給する第１の内部電源電圧を発生する。第２の内部電源電圧発生手段は、第２の外部電源電圧供給線から与えられる第１の外部電源電圧に基づいて、第２の内部電源電圧供給線に供給する第２の内部電源電圧を発生する。第１の接続手段は、第１の外部電源電圧供給線と、第１の内部電源電圧供給線との間に設けられる。第２の接続手段は、第２の外部電源電圧供給線と、第２の内部電源電圧供給線との間に設けられる。第１および第２の内部電源電圧発生手段は、信頼性評価のためのテストモードでは、非活性になり、テストモード以外の通常モードでは、活性になる。第１の接続手段は、テストモードでは、第１の外部電源電圧供給線と、第１の内部電源電圧供給線とを接続し、通常モードでは、第１の外部電源電圧供給線と、第１の内部電源電圧供給線とを切離す。第２の接続手段は、テストモードでは、第２の外部電源電圧供給線と、第２の内部電源電圧供給線とを接続し、通常モードでは、第２の外部電源電圧供給線と、第２の内部電源電圧供給線とを切離す。テストモードでは、第１の外部電源電圧供給線には、第２の外部電源電圧を与え、第２の外部電源電圧供給線には、第２の外部電源電圧とは異なるレベルの第３の外部電源電圧を与える。通常モードでは、第１および第２の外部電源電圧供給線には、第１の外部電源電圧を与える。

【００１４】

本発明の請求項２の半導体集積回路装置は、請求項１に記載のものであって、第２の外部電源電圧と、第１の内部電源電圧との差および第３の外部電源電圧と、第２の内部電源電圧との差が等しくなるように、第１および第２の外部電源電圧を与える。

【００１５】

本発明の請求項３の半導体集積回路装置は、請求項１に記載のものであって、第３の接続手段をさらに備える。第３の接続手段は、第１の外部電源電圧供給線と、第２の外部電源電圧供給線との間に設けられる。第３の接続手段は、テストモードでは、第１の外部電源電圧供給線と、第２の外部電源電圧供給線とを切離し、通常モードでは、第１の外部電源電圧供給線と、第２の外部電源電圧供給線とを接続する。

【００１６】

本発明の請求項４の半導体集積回路装置は、請求項３に記載のものであって、第３の接続手段は、トランジスタである。

【００２０】

本発明の請求項５の半導体集積回路装置は、請求項１に記載のものであって、第１および第２の接続手段は、トランジスタである。

【００２５】

【発明の実施の形態】

以下、本発明による半導体集積回路装置について、図面を参照しながら説明する。

【００２６】

（実施の形態１）

図１は、本発明の実施の形態１による半導体集積回路装置としてのダイナミック・ランダム・アクセス・メモリ（以下、「ＤＲＡＭ」という）の全体構成を示す概略ブロック図である。図１を参照して、実施の形態１によるＤＲＡＭは、クロック発生回路１７、論理ゲート２１、行および列アドレスバッファ２３、行デコーダ２５、列デコーダ２７、入出力回路２９、センスアンプ列３１、メモリセルアレイ３３、入力バッファ３５、出力バッファ３７、ｉｎｔＶｃｃ発生ユニット１９、／ＣＡＳ入力パッド１、／ＲＡＳ入力パッド３、／Ｗ入力パッド５、アドレス信号入力パッド群７、外部電源電圧入力パッド群９、接地電圧入力パッド群１１、データ入出力パッド群１３および／ＯＥ入力パッド１５を備える。／ＣＡＳ入力パッド１には、列アドレスストローブ信号／ＣＡＳが与えられる。／ＲＡＳ入力パッド３には、行アドレスストローブ信号／ＲＡＳが与えられる。／Ｗ入力パッド５には、書込制御信号／Ｗが与えられる。アドレス信号入力パッド群７には、アドレス信号A_1～A_nが与えられる。外部電源電圧入力パッド群９には、外部電源電圧ｅｘｔＶｃｃが与えられる。接地電圧入力パッド群１１には、接地電圧Ｖｓｓが与えられる。データ入出力パッド群１３には、入力データＤＱ１～ＤＱ４が与えられ、または、出力データＤＱ１～ＤＱ４が出力される。／ＯＥ入力パッド１５には、出力イネーブル信号／ＯＥが与えられる。

【００２７】

メモリセルアレイ３３には、複数のワード線（図示せず）が行方向に沿って配置され、複数のビット線対（図示せず）が列方向に沿って配置される。そして、複数のワード線と複数のビット線対の交差部に複数のメモリセル（図示せず）が配置される。以下、信頼性評価のためのテストモード以外のモードである通常モードでのＤＲＡＭの動作について説明する。行デコーダ２５は、行および列アドレスバッファ２３から供給される行アドレス信号に応答して、複数のワード線のうちの１本を選択して駆動する。列デコーダ２７は、行および列アドレスバッファ２３から供給される列アドレス信号に応答して、複数のビット線対のうちの１本を選択する。センスアンプ列３１は、複数のセンスアンプ（図示せず）を備える。複数のセンスアンプは複数のビット線対に対応して設けられる。各センスアンプは、対応するビット線対のビット線間の電位差を増幅する。入出力回路２９は、列デコーダ２７によって選択されたビット線対の電圧を出力バッファ３７に供給する。出力バッファ３７は、その供給された電圧を増幅して出力データＤＱ１～ＤＱ４として外部に出力する。入力バッファ３５は、外部から供給された入力データＤＱ１～ＤＱ４を増幅する。

入出力回路２９は、入力バッファ３５において増幅された入力データを、列デコーダ２７によって選択されたビット線対に供給する。行および列アドレスバッファ２３は、外部から供給されたアドレス信号A_1～A_nを、行デコーダ２５および列デコーダ２７に選択的に供給する。クロック発生回路１７は、行アドレスストローブ信号／ＲＡＳおよび列アドレスストローブ信号／ＣＡＳなどに応答してさまざまな内部制御信号を発生する。ｉｎｔＶｃｃ発生ユニット１９は、内部電源電圧ｉｎｔＶｃｃｐおよびｉｎｔＶｃｃａを発生する。入出力回路２９、センスアンプ列３１およびメモリセルアレイ３３には、消費電流低減のために、内部電源電圧ｉｎｔＶｃｃｐに比べて小さい内部電源電圧ｉｎｔＶｃｃａが供給される。クロック発生回路１７、行および列アドレスバッファ２３、行デコーダ２５、列デコーダ２７、入力バッファ３５および出力バッファ３７には、高速動作実現のため、内部電源電圧ｉｎｔＶｃｃａに比べて大きい内部電源電圧ｉｎｔＶｃｃｐが供給される。

【００２８】

図２は、図１のＤＲＡＭの一部を示す概略図である。図２を参照して、図１のＤＲＡＭは、キャパシタ３２，３４，３６，３８、電圧降下回路（ＶＤＣ）４３，４５、電源パッド４１およびＰＭＯＳトランジスタ４７，４９を備える。ここで、電圧降下回路４３および４５は、図１のｉｎｔＶｃｃ発生ユニット１９を構成する。ＰＭＯＳトランジスタ４７は、外部電源電圧供給線５１と、内部電源電圧供給線５３との間に設けられる。ＰＭＯＳトランジスタ４７のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。電圧降下回路４３は、外部電源電圧供給線５１と内部電源電圧供給線５３との間に設けられる。ＰＭＯＳトランジスタ４９は、外部電源電圧供給線５１と、内部電源電圧供給線５５との間に設けられる。ＰＭＯＳトランジスタ４９のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。電圧降下回路４５は、外部電源電圧供給線５１と、内部電源電圧供給線５５との間に設けられる。キャパシタ３２，３６は、外部電源電圧供給線５１と、接地電圧を有するノードとの間に設けられる。キャパシタ３８は、内部電源電圧供給線５５と接地電圧を有するノードとの間に設けられる。キャパシタ３４は、内部電源電圧供給線５３と、接地電圧を有するノードとの間に設けられる。

【００２９】

外部電源電圧供給線５１には、電源パッド４１を介して、外部電源電圧ｅｘｔＶｃｃが与えられる。信頼性評価のためのテストモード（たとえば、バーンイン試験モード）以外のモードである通常モード（読出動作、書込動作など）では、バーンインモード検知信号／ＳＴＲは、「Ｈ」レベルになっており、ＰＭＯＳトランジスタ４７，４９はオフしている。このため、外部電源電圧供給線５１と、内部電源電圧供給線５３，５５とは切離されている。次に、電圧降下回路４３，４５の通常モードでの動作について説明する。電圧降下回路４３は、外部電源電圧ｅｘｔＶｃｃを降圧して、内部電源電圧ｉｎｔＶｃｃｐを発生し、内部電源電圧ｉｎｔＶｃｃｐを内部電源電圧供給線５３に与える。電圧降下回路４５は、外部電源電圧ｅｘｔＶｃｃを降圧し、内部電源電圧ｉｎｔＶｃｃａを発生し、内部電源電圧ｉｎｔＶｃｃａを、内部電源電圧供給線５５に与える。内部電源電圧供給線５３から、クロック発生回路１７、行および列アドレスバッファ２３、列デコーダ２７、行デコーダ２５、入力バッファ３５および出力バッファ３７に、大きい内部電源電圧ｉｎｔＶｃｃｐが与えられる。内部電源電圧供給線５５から、入出力回路２９、センスアンプ列３１およびメモリセルアレイ３３に小さい内部電源電圧ｉｎｔＶｃｃａが与えられる。このように、同一の外部電源電圧ｅｘｔＶｃｃに基づいて、異なる電圧降下回路４３，４５によって、異なる内部電源電圧ｉｎｔＶｃｃｐ，ｉｎｔＶｃｃａが、対応する内部回路に印加される。このため、内部電源電圧供給線５３と、内部電源電圧供給線５５とは切離されている。

【００３０】

バーンイン試験時には（信頼性評価のための試験時には）、電圧降下回路４３，４５は非活性化される。そして、バーンイン試験時には、バーンインモード検知信号／ＳＴＲは、「Ｌ」レベルになっているため、ＰＭＯＳトランジスタ４７，４９はオンする。このため

、バーンイン試験時には、外部電源電圧供給線５１と、内部電源電圧供給線５３，５５とが接続され、内部電源電圧供給線５３，５５には、直接、外部電源電圧ｅｘｔＶｃｃが与えられる。このように、バーンイン試験時に、外部電源電圧ｅｘｔＶｃｃを、直接、内部電源電圧供給線５３，５５に与えるのは、次の理由による。すなわち、電圧降下回路４３，４５は、外部電源電圧ｅｘｔＶｃｃを降圧して、一定の内部電源電圧ｉｎｔＶｃｃｐ，ｉｎｔＶｃｃａを、対応する内部回路に伝達しようとするものであるため、十分高電界を、すなわち、十分に高電圧を、内部回路に与えることができないからである。

【００３１】

ここで、電源パッド４１は、図１の外部電源電圧入力パッド群９に含まれるものである。また、キャパシタ３２，３４，３６，３８は、電源パッド４１に静電気のようなサージが入った場合、電界の緩和を行なうために設けられている。すなわち、キャパシタ３２，３４，３６，３８は、ノイズ対策用に意図的に挿入してあるカップリング防止のためのキャパシタである。キャパシタ３２，３６の容量は、約数百ｐＦであり、キャパシタ３４，３８の容量は約数千ｐＦである。なお、キャパシタ３２，３４，３６，３８は、ＭＯＳキャパシタである。

【００３２】

図３は、電圧降下回路３および電圧降下回路５（図１のｉｎｔＶｃｃ発生ユニット１９）の詳細を示す回路図である。なお、図２と同様の部分については同一の参照符号を付し、その説明を適宜省略する。図２および図３を参照して、電圧降下回路４３は、定電流源５７、Ｖｒｅｆｐ発生回路６１および差動アンプ部６５を含む。電圧降下回路４５は、定電流源５７、Ｖｒｅｆａ発生回路５９および差動アンプ部６３を含む。ここで、定電流源５７は、電圧降下回路４３と、電圧降下回路４５との共通部分である。定電流源５７は、ＰＭＯＳトランジスタ６７，６９、ＮＭＯＳトランジスタ８７，８９および抵抗素子９１を含む。ＰＭＯＳトランジスタ６７およびＮＭＯＳトランジスタ８７は、外部電源電圧ｅｘｔＶｃｃを有するノードと、接地電圧を有するノードとの間に直列に接続される。抵抗素子９１、ＰＭＯＳトランジスタ６９およびＮＭＯＳトランジスタ８９は、外部電源電圧ｅｘｔＶｃｃを有するノードと、接地電圧を有するノードとの間に直列に接続される。ＰＭＯＳトランジスタ６７のゲートおよびドレインならびにＰＭＯＳトランジスタ６９のゲートは、ＰＭＯＳトランジスタ７１，７９のゲートに接続される。ＮＭＯＳトランジスタ８７，８９のゲートは、ＮＭＯＳトランジスタ８９のドレイン（ノードＮ２）に接続される。

【００３３】

Ｖｒｅｆａ発生回路５９は、ＰＭＯＳトランジスタ７１，７３，７５，７７を含む。ＰＭＯＳトランジスタ７１，７３，７５，７７は、外部電源電圧ｅｘｔＶｃｃを有するノードと、接地電圧を有するノードとの間に直列に接続される。ＰＭＯＳトランジスタ７３～７７のゲートは、接地電圧を有するノードに接続される。ノードＮ３は、差動アンプ部６３に接続される。ノードＮ３の電位が、参照電圧Ｖｒｅｆａとなる。Ｖｒｅｆｐ発生回路６１は、ＰＭＯＳトランジスタ７９，８１，８３，８５を含む。ＰＭＯＳトランジスタ７９～８５は、外部電源電圧ｅｘｔＶｃｃを有するノードと接地電圧を有するノードとの間に直列に接続される。ＰＭＯＳトランジスタ８１～８５のゲートは、接地電圧を有するノードに接続される。ノードＮ４は、差動アンプ部６５と接続される。ノードＮ４の電位が、参照電圧Ｖｒｅｆｐとなっている。

【００３４】

定電流源５７で、外部電源電圧ｅｘｔＶｃｃ依存性の少ない一定電流ｉを発生し、それをＶｒｅｆａ発生回路５９およびＶｒｅｆｐ発生回路６１に入力する。そして、Ｖｒｅｆａ発生回路５９において、入力された一定電流ｉを、ＰＭＯＳトランジスタ７１～７７のチャネル抵抗で、電圧に変換する。一方、Ｖｒｅｆｐ発生回路６１において、入力された一定電流ｉを、ＰＭＯＳトランジスタ７９～８５のチャネル抵抗で電圧に変換する。ここで、３つのＰＭＯＳトランジスタ７３～７７のチャネル抵抗の合計をチャネル抵抗ｒａとし、３つのＰＭＯＳトランジスタ８１～８５のチャネル抵抗の合計をチャネル抵抗ｒｐとす

る。この場合、チャネル抵抗ｒａを、チャネル抵抗ｒｐと別の値に設定しておく。こうすることで、Ｖｒｅｆａ発生回路５９が発生する参照電圧（ノードＮ３の電位）Ｖｒｅｆａはｉ×ｒａになり、Ｖｒｅｆｐ発生回路６１が発生する参照電圧（ノードＮ４の電位）Ｖｒｅｆｐはｉ×ｒｐになり、参照電圧Ｖｒｅｆａと参照電圧Ｖｒｅｆｐとを異なる値にすることができる。Ｖｒｅｆａ発生回路５９から発生された参照電圧Ｖｒｅｆａは、差動アンプ部６３に入力される。Ｖｒｅｆｐ発生回路６１から発生された参照電圧Ｖｒｅｆｐは、差動アンプ部６５に入力される。

【００３５】

図４は、図３の差動アンプ部６３の詳細を示す回路図である。なお、図３と同様の部分については同一の参照符号を付しその説明は適宜省略する。

【００３６】

図４を参照して、メモリセルアレイ３３（図１）などに供給する内部電源電圧ｉｎｔＶｃｃａを発生する差動アンプ部は、スタンバイ用の回路と、アクティブ用の回路とで構成される。スタンバイ用の回路は、差動アンプ９３、ＰＭＯＳトランジスタ１０３，１０５およびＮＭＯＳトランジスタ９７，９９を含む。差動アンプ９３は、外部電源電圧Ｖｃｃを有するノードと、ノードＮ５との間に設けられる。差動アンプ９３の一方入力ノードには、参照電圧Ｖｒｅｆａが与えられる。差動アンプ９３の他方入力ノードは、内部電源電圧供給線５５に接続される。差動アンプ９３の出力ノードは、ＰＭＯＳトランジスタ１０５のゲートに接続される。ＮＭＯＳトランジスタ９７，９９は、ノードＮ５と接地電圧を有するノードとの間に直列に接続される。ＮＭＯＳトランジスタ９７のゲートは図３の定電流源５７のノードＮ２に接続される。ここで、ＮＭＯＳトランジスタ９７のサイズは、図３のＮＭＯＳトランジスタ８７，８９のサイズと同じである。ＮＭＯＳトランジスタ９９のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。ＰＭＯＳトランジスタ１０３は、外部電源電圧ｅｘｔＶｃｃを有するノードと、差動アンプ９３の出力ノードとの間に設けられる。ＰＭＯＳトランジスタ１０３のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。ＰＭＯＳトランジスタ１０５は、外部電源電圧ｅｘｔＶｃｃを有するノードと内部電源電圧供給線５５との間に設けられる。

アクティブ用の回路は、ＡＮＤ回路１１１、差動アンプ９５、ＮＭＯＳトランジスタ１０１およびＰＭＯＳトランジスタ１０７，１０９を含む。ＡＮＤ回路１１１の一方入力ノードには、信号ＡＣＴが与えられる。ＡＮＤ回路１１１の他方入力ノードには、スタンバイモード検知信号／ＳＴＲが与えられる。ＡＮＤ回路１１１の出力ノードは、ＮＭＯＳトランジスタ１０１およびＰＭＯＳトランジスタ１０７のゲートと接続される。ＮＭＯＳトランジスタ１０１は、ノードＮ６と接地電圧を有するノードとの間に設けられる。差動アンプ９５は、外部電源電圧ｅｘｔＶｃｃを有するノードとノードＮ６との間に設けられる。差動アンプ９５の一方入力ノードには、参照電圧Ｖｒｅｆａが与えられる。差動アンプ９５の他方入力ノードは、内部電源電圧供給線５５と接続される。差動アンプ９５の出力ノードＮ７は、ＰＭＯＳトランジスタ１０９のゲートと接続される。ＰＭＯＳトランジスタ１０７は、外部電源電圧ｅｘｔＶｃｃを有するノードと、ノードＮ７との間に設けられる。ＰＭＯＳトランジスタ１０９は、外部電源電圧ｅｘｔＶｃｃを有するノードと内部電源電圧供給線５５との間に設けられる。

【００３７】

スタンバイ用の回路およびアクティブ用の回路は、参照電圧Ｖｒｅｆａと、内部電源電圧ｉｎｔＶｃｃａとを差動アンプ９３，９５で比較し、差動アンプ９３，９５の出力を受けるＰＭＯＳトランジスタ１０５，１０９を制御することで、内部電源電圧ｉｎｔＶｃｃａのレベルを調節するフィードバック型の回路である。バーンイン試験時には、バーンインモード検知信号／ＳＴＲは、「Ｌ」レベルになっているため、ＮＭＯＳトランジスタ９９，１０１はオフになる。さらに、ＰＭＯＳトランジスタ１０３，１０７がオンになるため、ＰＭＯＳトランジスタ１０５，１０９はオフになる。このようにして、バーンイン試験時には、スタンバイ用の回路およびアクティブ用の回路が非活性化される。ＰＭＯＳトランジスタ１０７を設けたのは次の理由による。すなわち、バーンインモード検知信号／Ｓ

ＴＲが「Ｌ」レベルあるいは信号ＡＣＴが「Ｌ」レベルのとき、ノードＮ７の電位が一意に決まらないので、ＰＭＯＳトランジスタ１０９を強制的にオフにして、アクティブ用の回路を非活性化するためである。なお、ＰＭＯＳトランジスタ１０３を設けた理由も同様である。

【００３８】

通常モードでの、スタンバイ用の回路およびアクティブ用の回路の動作について説明する。通常モードでは、バーンインモード検知信号／ＳＴＲが「Ｈ」レベル（ＣＭＯＳレベル）になっている。このため、ＮＭＯＳトランジスタ９９がオンし、ＰＭＯＳトランジスタ１０３がオフしている。通常モードでは、スタンバイ用の回路は、常に動作する必要があるが、消費電流低減のため、その差動アンプ９３は、一定の中間電圧ＢｉａｓＬで電流を制限される。一方、アクティブ用の回路は、通常モードでは、チップが大電流を消費する期間だけ活性化される。通常モードにおいて、チップが大電流を消費する期間は、バーンインモード検知信号／ＳＴＲが「Ｈ」レベルで、信号ＡＣＴが「Ｈ」レベル（ＣＭＯＳレベル）であるため、ＮＭＯＳトランジスタ１０１はオンし、ＰＭＯＳトランジスタ１０７はオフする。チップが大電流を消費する期間とは、たとえば、センス時などである。アクティブ用の回路は、スタンバイ用の回路に比べて、電流をたくさん消費するが、高駆動能力で高速動作するように設計される。また、通常モードでも、チップが大電流を消費しない期間では、信号ＡＣＴは「Ｌ」レベルになっており、ＮＭＯＳトランジスタ１０１がオフし、ＰＭＯＳトランジスタ１０７がオンする。このため、アクティブ用の回路は非活性化されている。

【００３９】

アクティブ用の回路の活性／非活性は、信号ＡＣＴと、バーンインモード検知信号／ＳＴＲとのＡＮＤ信号で制御しているのに対し、スタンバイ用の回路では、その活性／非活性を制御するのに、ＡＮＤ回路を用いていないのはＮＭＯＳトランジスタ９７は中間電圧ＢｉａｓＬで制御されるからである。　ここで、図３の差動アンプ部６５の構成および動作は、図４の差動アンプ部（図３の差動アンプ部６３）の構成および動作と同様である。なお、図３の差動アンプ部６５のアクティブ用の回路は、差動アンプ部６３のアクティブ用の回路と同様に、通常モードにおいてチップが大電流を消費する期間だけ活性化される。チップが大電流を消費する期間とは、たとえば、行アドレスストローブ信号／ＲＡＳが活性化されている期間である。

【００４０】

図５は、バーンインモード検知信号／ＳＴＲを発生するバーンインモード検知信号発生回路の詳細を示す回路図である。図５を参照して、バーンインモード検知信号発生回路は、スーパーＶＩＨ検知回路１１５、ＮＡＮＤ回路１１７，１１９，１２１およびインバータ１２３，１２５，１２７を含む。スーパーＶＩＨ検知回路１１５は、アドレス信号入力パッド１１３に接続される。このアドレス信号入力パッド１１３は図１のアドレス信号入力パッド群７に含まれるものである。たとえば、アドレス信号入力パッド１１３は、通常モードにおいて、アドレス信号A_1が入力されるアドレス信号入力パッドである。ＮＡＮＤ回路１１７の一方入力ノードには、テストモードエントリ信号ＴＥＮＴが与えられ、他方入力ノードには、スーパーＶＩＨ検知回路１１５から信号ＳＶＩＨが与えられる。ＮＡＮＤ回路１１９の一方入力ノードは、ＮＡＮＤ回路１１７の出力ノードに接続される。ＮＡＮＤ回路１１９の出力ノードはインバータ１２５の入力ノードに接続される。インバータ１２５の出力ノードからは、バーンインモード検知信号／ＳＴＲが出力される。インバータ１２３の入力ノードには、テストモード終了信号ＴＥＸＴが与えられる。ＮＡＮＤ回路１２１の一方入力ノードは、インバータ１２３の出力ノードと接続される。ＮＡＮＤ回路１２１の出力ノードは、インバータ１２７の入力ノードに接続される。インバータ１２７の出力ノードからは、バーンインモード検知信号／ＳＴＲと逆のレベルを持つ信号ＳＴＲが出力される。ＮＡＮＤ回路１１９とＮＡＮＤ回路１２１とで、セットリセットフリップフロップ回路を構成している。

【００４１】

図６は、図５のスーパーＶＩＨ検知回路１１５の詳細を示す回路図である。なお、図５と同様の部分については同一の参照符号を付しその説明は適宜省略する。図６を参照して、スーパーＶＩＨ検知回路は、入力保護回路１２９、ＮＭＯＳトランジスタ１３１，１３３，Ｔｒ１，…，Ｔｒｎ、ＰＭＯＳトランジスタ１３９、インバータ１４１，１４３およびリセット回路１４５を含む。入力保護回路１２９は、アドレス信号入力パッド１１３に接続される。ＮＭＯＳトランジスタ１３１，１３３およびＰＭＯＳトランジスタ１３９は、ノードＮ８と入力保護回路１２９との間に直列に接続される。ＮＭＯＳトランジスタ１３１，１３３はダイオード接続される。ＰＭＯＳトランジスタ１３９のゲートには、内部電源電圧ｉｎｔＶｃｃｐが与えられる。ノードＮ８と、インバータ１４１の入力ノードが接続される。インバータ１４１の出力ノードはインバータ１４３の入力ノードに接続される。インバータ１４３の出力ノードから、信号ＳＶＩＨが出力される。この信号ＳＶＩＨは、図５のＮＡＮＤ回路１１７に与えられる。ＮＭＯＳトランジスタＴｒ１，…，Ｔｒｎは、ノードＮ８と接地電圧を有するノードとの間に直列に接続される。ＮＭＯＳトランジスタＴｒ１，…，Ｔｒｎのゲートには、内部電源電圧ｉｎｔＶｃｃｐが与えられる。リセット回路１４５は、遅延回路１４７、論理ゲート１４９、インバータ１５１およびＮＭＯＳトランジスタ１５３を含む。遅延回路１４７の入力ノードには、行アドレスストローブ信号／ＲＡＳが与えられる。論理ゲート１４９の一方入力ノードには、行アドレスストローブ信号／ＲＡＳが与えられ、他方入力ノードには、行アドレスストローブ信号／ＲＡＳを遅延した信号が与えられる。論理ゲート１２９の出力ノードは、インバータ１５１の入力ノードに接続される。インバータ１５１の出力ノードは、ＮＭＯＳトランジスタ１５３のゲートに接続される。ＮＭＯＳトランジスタ１５３は、ノードＮ８と接地電圧を有するノードとの間に設けられる。

【００４２】

モールド後のチップでバーンインモードに入ったことを検知するには、スーパーＶＩＨ検知と呼ばれる手法を使う。たとえば、実施の形態１によるＤＲＡＭでは、ある特定のアドレス信号入力パッドに通常の外部電源電圧ｅｘｔＶｃｃの「Ｈ」レベル以上の過剰電圧が入力された場合に、バーンインモードに入るような構成を採用する。図６を参照して、バーンインモードの検知を含めて、スーパーＶＩＨ検知回路の動作について説明する。通常モードでは、ノードＮ８は、抵抗として設けられたＮＭＯＳトランジスタＴｒ１，…，Ｔｒｎを介して、「Ｌ」レベルに維持されている。このため、信号ＳＶＩＨも、通常モードでは、「Ｌ」レベルに維持される。ここで、各ＮＭＯＳトランジスタＴｒ１，…，Ｔｒｎは、低消費電力化のため、抵抗値を大きくしてある。アドレス信号入力パッド１１３に過剰電圧が入力された場合、２つのＮＭＯＳトランジスタ１３１，１３３で降圧された電圧が、内部電源電圧ｉｎｔＶｃｃｐに比べて十分大きいときは、ＰＭＯＳトランジスタ１３９がオンし、ノードＮ８に「Ｈ」レベルとして十分な電圧が供給される。したがって、信号ＳＶＩＨも「Ｈ」レベルになる。このようにすることで、専用のパッドを追加することなく、バーンインモードを検知することができる。しかし、このままではＮＭＯＳトランジスタＴｒ１，…，Ｔｒｎを介して流れる微小電流でしか回路をリセットできないため、スーパーＶＩＨ検知回路は、リセット回路１４５を有している。アクティブサイクルの終了時に、行アドレスストローブ信号／ＲＡＳの立上がりのタイミングで、ノードＮ９にパルスが生成され、ノードＮ８の電位を「Ｌ」レベルまで下げるべく、ＰＭＯＳトランジスタ１３９と比べてより大きな駆動力を有するＮＭＯＳトランジスタ１５３をオンさせる。これにより、スーパーＶＩＨ検知回路の高速リセットが可能となる。

【００４３】

図５を参照して、バーンインモード検知信号発生回路の動作について説明する。モールド後のチップではバーンイン試験だけでなく、他にもテストを行ないたい場合もある。一連のテストを行なうモードを一般にテストモードと呼ぶ。テストモードエントリ信号ＴＥＮＴが「Ｈ」レベルで、かつ、スーパーＶＩＨ検知回路１１５からの信号ＳＶＩＨが「Ｈ」レベルのときに、ＮＡＮＤ回路１１９，１２１によって構成されるセットリセットフリップフロップ回路はセットされる。これによって、バーンインモード検知信号／ＳＴＲが「

Ｌ」レベルになり、信号ＳＴＲが「Ｈ」レベルになる。一方、ＮＡＮＤ回路１１９，１２１からなるセットリセットフリップフロップ回路は、「Ｈ」レベルのテストモード終了信号ＴＥＸＴによってリセットされる。これによって、バーンインモード検知信号／ＳＴＲが「Ｈ」レベルになり、信号ＳＴＲが「Ｌ」レベルになる。テストモードエントリ信号ＴＥＮＴおよびテストモード終了信号ＴＥＸＴは、さまざまな発生法が考えられる。たとえば、ＷＣＢＲ（／Ｗ，／ＣＡＳ　ｂｅｆｏｒｅ　／ＲＡＳ）のタイミングで、テストモードエントリ信号ＴＥＮＴを「Ｈ」レベルにして、テストモードに入り、ＣＢＲ（／ＣＡＳ　ｂｅｆｏｒｅ　／ＲＡＳ）のタイミングで、テストモード終了信号ＴＥＸＴを「Ｈ」レベルにし、テストモードを出る。

【００４４】

以上のように、実施の形態１によるＤＲＡＭでは、周辺回路（クロック発生回路１７、行および列アドレスバッファ２３、行デコーダ２５、列デコーダ２７、入力バッファ３５および出力バッファ３７）に内部電源電圧ｉｎｔＶｃｃｐを供給する電圧降下回路４３と、入出力回路２９、センスアンプ列３１およびメモリセルアレイ３３に内部電源電圧ｉｎｔＶｃｃａを供給する電圧降下回路４５とを備える。さらに、各電圧降下回路４３，４５に対応して、ＮＭＯＳトランジスタ４７，４９が設けられ、バーンイン試験時には、このＮＭＯＳトランジスタ４７，４９によって、直接、外部電源電圧ｅｘｔＶｃｃが、内部電源電圧供給線５３，５５に与えられる。このため、実施の形態１によるＤＲＡＭでは、高速動作および低消費電力化を実現できるとともに、有効なバーンイン試験を実行できる。

【００４５】

（実施の形態２）

図２を参照して、内部電源電圧ｉｎｔＶｃｃｐは、内部電源電圧ｉｎｔＶｃｃａより大きくなっている。このため、バーンイン試験時に、同一の外部電源電圧ｅｘｔＶｃｃを、内部電源電圧供給線５３，５５に供給すると、内部電源電圧供給線５３から電圧が与えられる内部回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる内部回路に対するストレス条件とが異なってくる。本発明の実施の形態２による半導体集積回路装置としてのＤＲＡＭでは、内部電源電圧供給線５３から電圧が与えられる内部回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる内部回路に対するストレス条件とを一致させることを課題とする。

【００４６】

実施の形態２によるＤＲＡＭの全体構成は、実施の形態１によるＤＲＡＭの全体構成（図１）と同様である。図７は、実施の形態２によるＤＲＡＭの一部を示す概略図である。なお、図２と同様の部分については同一の参照符号を付しその説明は適宜省略する。図７を参照して、実施の形態２によるＤＲＡＭは、電源パッド１５５，１５７、キャパシタ３２，３４，３６，３８、電圧降下回路４３，４５およびＰＭＯＳトランジスタ４７，４９を含む。電圧降下回路４３は、外部電源電圧供給線１５９と、内部電源電圧供給線５３との間に設けられる。ＰＭＯＳトランジスタ４７は、外部電源電圧供給線１５９と内部電源電圧供給線５３との間に設けられる。ＰＭＯＳトランジスタ４７のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。外部電源電圧供給線１５９には、電源パッド１５５を介して、外部電源電圧が与えられる。電圧降下回路４５は、外部電源電圧供給線１６１と内部電源電圧供給線５５との間に設けられる。ＰＭＯＳトランジスタ４９は、外部電源電圧供給線１６１と内部電源電圧供給線５５との間に設けられる。ＰＭＯＳトランジスタ４９のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。キャパシタ３２は、外部電源電圧供給線１５９と接地電圧を有するノードとの間に設けられる。キャパシタ３６は外部電源電圧供給線１６１と接地電圧を有するノードとの間に設けられる。外部電源電圧供給線１６１には、パッド１５７を介して外部電源電圧が与えられる。ここで、バーンインモード検知信号／ＳＴＲを発生するバーンインモード検知信号発生回路は、図５および図６に示したバーンインモード検知信号発生回路と同様のものである。

【００４７】

通常モードでの動作について説明する。パッド１５５，１５７からは、同一の外部電源電

圧ｅｘｔＶｃｃ１が、外部電源電圧供給線１５９，１６１に与えられる。バーンインモード検知信号／ＳＴＲは「Ｈ」レベルであるため、ＰＭＯＳトランジスタ４７，４９はオフになっている。このため、電圧降下回路４３は、外部電源電圧ｅｘｔＶｃｃ１を降圧して、内部電源電圧ｉｎｔＶｃｃｐを内部電源電圧供給線５３に与える。一方、電圧降下回路４５は、外部電源電圧ｅｘｔＶｃｃ１を降圧して、内部電源電圧ｉｎｔＶｃｃａを発生し、内部電源電圧供給線５５に与える。なお、ｉｎｔＶｃｃｐ＞ｉｎｔＶｃｃａである。通常モードにおけるその他の動作およびパッド１５５，１５７からの外部電源電圧ｅｘｔＶｃｃ１の印加の仕方は、実施の形態２によるＤＲＡＭと同様である。

【００４８】

バーンイン試験時の動作について説明する。電圧降下回路４３，４５は非活性化される。バーンインモード検知信号／ＳＴＲが「Ｌ」レベルであるため、ＰＭＯＳトランジスタ４７，４９はオンになる。そして、内部電源電圧供給線５３には、パッド１５５、外部電源電圧供給線１５９およびＰＭＯＳトランジスタ４７を介して、外部電源電圧ｅｘｔＶｃｃ２が与えられる。一方、内部電源電圧供給線５５には、パッド１５７、外部電源電圧供給線１６１およびＰＭＯＳトランジスタ４９を介して、外部電源電圧ｅｘｔＶｃｃ３が与えられる。ここで、外部電源電圧ｅｘｔＶｃｃ２と、内部電源電圧ｉｎｔＶｃｃｐとの差が、外部電源電圧ｅｘｔＶｃｃ３と、内部電源電圧ｉｎｔＶｃｃａとの差に等しくなるように、パッド１５５，１５７から、外部電源電圧供給線１５９，１６１に、外部電源電圧ｅｘｔＶｃｃ２，ｅｘｔＶｃｃ３を与える。つまり、（ｅｘｔＶｃｃ２－ｉｎｔＶｃｃｐ）＝（ｅｘｔＶｃｃ３－ｉｎｔＶｃｃａ）となるように、パッド１５５，１５７から、外部電源電圧供給線１５９，１６１に、外部電源電圧ｅｘｔＶｃｃ２，ｅｘｔＶｃｃ３を与える。すなわち、内部電源電圧供給線５３から電圧が供給される回路に対するストレス条件と、内部電源電圧供給線５５から電圧が供給される回路に対するストレス条件とを一致させる。なお、バーンイン試験時におけるその他の動作および、パッド１５５，１５７からの外部電源電圧ｅｘｔＶｃｃ２，ｅｘｔＶｃｃ３の印加の仕方は、実施の形態２によるＤＲＡＭと同じである。

【００４９】

以上のように、実施の形態２によるＤＲＡＭでは、外部電源電圧供給線を、内部電源電圧供給線５３に対応するものと、内部電源電圧供給線３８に対応するものとを、２つ設けている。このため、内部電源電圧供給線５３から電圧が与えられる回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる回路に対するストレス条件とを一致させることができる。このため、実施の形態２によるＤＲＡＭでは、実施の形態１によるＤＲＡＭに比べ、より信頼性の高いバーンイン加速試験を行なうことができる。さらに、実施の形態１によるＤＲＡＭと同様の効果を奏する。

【００５０】

（実施の形態３）

実施の形態３による半導体集積回路装置としてのＤＲＡＭの全体構成は、実施の形態１によるＤＲＡＭの全体構成（図１）と同様である。図８は、実施の形態３によるＤＲＡＭの一部を示す概略図である。なお、図７と同様の部分については同一の参照符号を付しその説明を適宜省略する。外部電源電圧供給線１５９と、外部電源電圧供給線１６１との間にＰＭＯＳトランジスタ１６３が設けられる。ＰＭＯＳトランジスタ１６３のゲートには、信号ＳＴＲが与えられる。ここで、バーンインモード検知信号／ＳＴＲおよび信号ＳＴＲを発生するバーンインモード検知信号発生回路は、図５および図６のバーンインモード検知信号発生回路と同様である。

【００５１】

通常モードでは、信号ＳＴＲは、「Ｌ」レベルであるため、ＰＭＯＳトランジスタ１６３はオンになっており、外部電源電圧供給線１５９と外部電源電圧供給線１６１とは接続される。一方、バーンイン試験時では、信号ＳＴＲは、「Ｈ」レベルになっているため、ＰＭＯＳトランジスタ１６３はオフし、外部電源電圧供給線１５９と外部電源電圧供給線１６１とは切離される。このように、バーンイン試験時において、外部電源電圧供給線１５

９と、外部電源電圧供給線１６１とを切離すのは、実施の形態２によるＤＲＡＭと同様に、内部電源電圧供給線５３から電圧が与えられる回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる回路に対するストレス条件とを一致させるためである。通常モードにおいて、外部電源電圧供給線１５９と、外部電源電圧供給線１６１とを接続するのは次の理由による。すなわち、チップの信頼性を考えたものである。つまり、電源パッド１５５または１５７のいずれかに、静電気のようなサージが入った場合、外部電源電圧供給線１５９と、外部電源電圧供給線１６１とをつなげておけば、高電圧がかかる領域を、広い領域に分散することができ、電界の緩和をより効果的に行なうことができるからである。たとえば、電源パッド１５５にサージが入った場合は、外部電源電圧供給線１５９と、外部電源電圧供給線１６１とが接続されているため、２つのキャパシタ３２，３６で電界の緩和を行なうことができる。これに対し、図７に示すような回路では、たとえば、電源パッド１５５にサージが入った場合、外部電源電圧供給線１５９と外部電源電圧供給線１６１とが切離されているため、キャパシタ３２のみで電界の緩和を行なうことになる。

【００５２】

以上のように、実施の形態３によるＤＲＡＭでは、ＰＭＯＳトランジスタ１６３を設けることにより、通常モードでは、外部電源電圧供給線１５９と外部電源電圧供給線１６１とを接続している。このため、実施の形態３によるＤＲＡＭは、実施の形態２によるＤＲＡＭに比べ、パッド１５５または１５７のいずれかにサージが入った場合、電界の緩和をより効果的に行なうことができる。

【００５３】

さらに、実施の形態３によるＤＲＡＭは、実施の形態２によるＤＲＡＭと同様に、バーンイン試験時においては、外部電源電圧供給線１５９と、外部電源電圧供給線１６１とを切離し、（ｅｘｔＶｃｃ２－ｉｎｔＶｃｃｐ）＝（ｅｘｔＶｃｃ３－ｉｎｔＶｃｃａ）となるように、外部電源電圧ｅｘｔＶｃｃ２，ｅｘｔＶｃｃ３を印加する。このため、実施の形態３によるＤＲＡＭでは、内部電源電圧供給線５３から電圧が供給される回路に対するストレス条件と、内部電源電圧供給線５５から電圧が供給される回路に対するストレス条件とを一致させることができ、実施の形態１によるＤＲＡＭに比べ、より信頼性の高いバーンイン加速試験を行なうことができる。また、実施の形態１によるＤＲＡＭと同様の効果を奏する。

【００５４】

（実施の形態４）

実施の形態４による半導体集積回路装置としてのＤＲＡＭの全体構成は、実施の形態１によるＤＲＡＭの全体構成（図１）と同様である。図９は、実施の形態４によるＤＲＡＭの一部を示す概略図である。なお、図２と同様の部分については同一の参照符号を付しその説明を適宜省略する。図９を参照して、ＰＭＯＳトランジスタ４９およびＮＭＯＳトランジスタ１６５は、外部電源電圧供給線１１と外部電源電圧供給線５５との間に直列に接続される。ＰＭＯＳトランジスタ４９のゲートには、バーンインモード検知信号／ＳＴＲが与えられる。ＮＭＯＳトランジスタ１６５は、ダイオード接続されている。ここで、バーンインモード検知信号／ＳＴＲを発生するバーンインモード検知信号発生回路は、図５および図６に示したバーンインモード検知信号発生回路と同様である。

【００５５】

バーンイン試験時では、バーンインモード検知信号／ＳＴＲは「Ｌ」レベルになる。このため、ＮＭＯＳトランジスタ１６５によって、外部電源電圧ｅｘｔＶｃｃを降圧した電圧が、内部電源電圧供給線５５に与えられることになる。ここで、ＮＭＯＳトランジスタ１６５は、外部電源電圧ｅｘｔＶｃｃを降圧して内部電源電圧供給線５５に与えた電圧と、内部電源電圧ｉｎｔＶｃｃａとの差が、外部電源電圧ｅｘｔＶｃｃと、内部電源電圧ｉｎｔＶｃｃｐとの差に等しくなるように、外部電源電圧ｅｘｔＶｃｃを降圧する。すなわち、バーンイン試験時において、内部電源電圧供給線５３から電圧が与えられる回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる回路に対するストレス

条件とを一致させる。なお、バーンイン試験におけるその他の動作は、実施の形態１によるＤＲＡＭと同様である。また、通常モードにおける動作は、実施の形態１によるＤＲＡＭと同様である。

【００５６】

以上のように、実施の形態４によるＤＲＡＭでは、ダイオード接続されたＮＭＯＳトランジスタ１６５を設けることにより、バーンイン試験時において、内部電源電圧供給線５３から電圧が与えられる回路に対するストレス条件と、内部電源電圧供給線５５から電圧が与えられる回路に対するストレス条件とを一致させることができる。このため、実施の形態４によるＤＲＡＭでは、実施の形態１によるＤＲＡＭに比べ、より信頼性の高いバーンイン加速試験を行なうことができる。また、実施の形態１によるＤＲＡＭと同様の効果を奏する。

【００５７】

（実施の形態５）

バーンイン試験に、バーンイン時間を大幅に短縮するために複数のワード線を活性化して、パッドからワード線駆動用電圧を供給し、ゲート酸化膜の信頼性試験を行なうことがある。このようなモードを、複数ワード線駆動モードと呼ぶ。この場合、ワード線駆動用電圧の大きさは、内部昇圧電圧発生回路が発生する昇圧電圧Ｖｐｐと同じ大きさである。パッドから、ワード線駆動用電圧を供給するのは、内部昇圧電圧発生回路では能力不足だからである。

【００５８】

図１０は、一般的なＤＲＡＭにおいて、バーンイン試験時における問題点を説明するための図である。図１０を参照して、一般的なＤＲＡＭは、パッド１６７、ＰＭＯＳトランジスタ１６９およびワードドライバ１７１を含む。複数ワード線駆動モードにおいては、信号／ＢＩＡＣが、「Ｌ」レベルになっているため、ＰＭＯＳトランジスタ１６９はオンしている。このため、パッド１６７から、ワード線駆動用電圧が、ワードドライバ１７１に与えられる。しかし、図１０に示したような回路構成では、第１のテスト電圧を、ワードドライバ１７１に与える過程で、過剰電流がパッド１６７を介してアルミ配線に流れてしまい、このような一時的に発生した過剰電流によって、アルミのマイグレーションによるチップ不良が生じる恐れがある。実施の形態５による半導体集積回路装置としてのＤＲＡＭでは、このような過剰電流を防止することを課題とする。

【００５９】

図１１は、実施の形態５によるＤＲＡＭの全体構成を示す概略ブロック図である。なお、図１と同様の部分については同一の参照符号を付しその説明は適宜省略する。図１１を参照して、実施の形態５によるＤＲＡＭは、ＢＩＡＣ検知回路（テスト電圧供給回路）１７３および昇圧電圧発生回路１７５を含む。昇圧電圧発生回路１７５は、昇圧電圧Ｖｐｐを発生し、Ｖｐｐ供給線１７７に与える。そして、Ｖｐｐ供給線１７７から、昇圧電圧Ｖｐｐは、行デコーダ２５およびセンスアンプ列３１に与えられる。行デコーダ２５に昇圧電圧Ｖｐｐを供給するのは、ワード線を「Ｈ」レベルで駆動するためである。また、センスアンプ列３１に昇圧電圧Ｖｐｐを供給するのはビット線を「Ｈ」レベルで駆動するためである。ＢＩＡＣ検知回路１７３は、複数ワード線駆動モードを検知し、パッドから、電流を制限しつつＶｐｐ供給線に昇圧電圧Ｖｐｐと同じ大きさのワード線駆動用電圧（以下、「第１のテスト電圧」という）を供給する。ここで、複数ワード線駆動モードは、メモリセルトランジスタのゲート酸化膜の信頼性を試す試験であるため、／ＯＥ入力パッド１５は使用しない。このため、複数ワード線駆動モードにおいて、第１のテスト電圧は、／ＯＥ入力パッド１５から与えられる。

【００６０】

図１２は、実施の形態５によるＤＲＡＭの一部を示す概略図である。なお、図１１と同様の部分については同一の参照符号を付しその説明を適宜省略する。図１２を参照して、実施の形態５によるＤＲＡＭは、／ＯＥ入力パッド１５、ＢＩＡＣ検知回路１７３、昇圧電圧発生回路１７５およびワードドライバ１７１を含む。ＢＩＡＣ検知回路１７３は、定電

流源１８７およびＰＭＯＳトランジスタ１８１，１８３，１８５を含む。定電流源１８７は、ノードＮ１１と接地電圧を有するノードとの間に設けられる。ＰＭＯＳトランジスタ１８１は、ノードＮ１０とノードＮ１１との間に設けられる。ＰＭＯＳトランジスタ１８３，１８５は、ノードＮ１０とＶｐｐ供給線１７７との間に直列に接続される。ＰＭＯＳトランジスタ１８１，１８３のゲートは、ノードＮ１１に接続される。ＰＭＯＳトランジスタ１８５のゲートには、信号／ＢＩＡＣが与えられる。ワードドライバ１７１は、Ｖｐｐ供給線１７７に接続される。昇圧電圧発生回路１７５は、Ｖｐｐ供給線１７７に接続される。

【００６１】

複数ワード線駆動モード（バーンイン試験時）では、信号／ＢＩＡＣが「Ｌ」レベルになっているため、ＰＭＯＳトランジスタ１８５はオンになっている。また、複数ワード線駆動モードにおいては、昇圧電圧発生回路１７５は、非活性化されている。したがって、／ＯＥ入力パッド１５から、ワードドライバ１７１に第１のテスト電圧が与えられる。そして、ワードドライバ１７１は、この第１のテスト電圧をワード線ＷＬに与える。図１２には、１つのワードドライバ１７１および１本のワード線ＷＬしか示していないが、実際には、複数のワードドライバおよび複数のワード線が存在し、複数ワード線駆動モードでは、これら複数のワードドライバに第１のテスト電圧が与えられ、複数のワード線に第１のテスト電圧が与えられる。ここで、ＰＭＯＳトランジスタ１８１，１８３は、カレントミラー回路を構成しているため、ＰＭＯＳトランジスタ１８５に流れる電流は、定電流源１８７が発生する電流に従って制限される。すなわち、複数ワード線駆動モード（バーンイン試験時）において、／ＯＥ入力パッド１５から、過剰電流がＶｐｐ供給線１７７に流れ込むのを防止できる。なお、定電流源１８７およびカレントミラー回路（ＰＭＯＳトランジスタ１８１，１８３）は、電流制限回路を構成する。

【００６２】

通常モードでは、信号／ＢＩＡＣが「Ｈ」レベルになっており、ＰＭＯＳトランジスタ１８５はオフしている。一方、昇圧電圧発生回路１７５は、昇圧電圧Ｖｐｐを発生し、ワードドライバ１７１に昇圧電圧Ｖｐｐを与える。ワードドライバ１７１は、行アドレス信号によって選択されたワード線ＷＬに、昇圧電圧Ｖｐｐを与える。

【００６３】

図１３は、図１２の昇圧電圧発生回路１７５の詳細を示す回路図である。なお、図１２と同様の部分については同一の参照符号を付しその説明は適宜省略する。図１３を参照して、昇圧電圧発生回路は、ＮＡＮＤ回路１８９、インバータ１９１、キャパシタ１９３，１９５，１９７およびＮＭＯＳトランジスタ１９９，２０１，２０３，２０５，２０７，２０９を含む。ＮＡＮＤ回路１８９の一方入力ノードには、クロック信号ＣＬＫが与えられ、他方入力ノードには、信号／ＢＩＡＣが与えられる。キャパシタ１９３の一方端は、ＮＡＮＤ回路１８９の出力ノードと接続される。キャパシタ１９３の他方端は、ＮＭＯＳトランジスタ２０３～２０７のゲートおよびＮＭＯＳトランジスタ１９９，２０３のソースに接続される。ＮＭＯＳトランジスタ１９９のゲートおよびドレインは、電源電圧Ｖｃｃを有するノードに接続される。ＮＭＯＳトランジスタ２０１は、電源電圧Ｖｃｃを有するノードと、ＮＭＯＳトランジスタ２０３のドレインに接続される。ＮＭＯＳトランジスタ２０１のゲートは、ＮＭＯＳトランジスタ２０３のドレインに接続される。インバータ１９１の入力ノードは、ＮＡＮＤ回路１８９の出力ノードに接続される。キャパシタ１９５，１９７の一方端は、インバータ１９１の出力ノードに接続される。キャパシタ１９５の他方端は、ＮＭＯＳトランジスタ２０７のソースおよびＮＭＯＳトランジスタ２０９のゲートに接続される。キャパシタ１９７の他方端は、ＮＭＯＳトランジスタ２０９の一方ソース／ドレインに接続される。ＮＭＯＳトランジスタ２０５は、電源電圧Ｖｃｃを有するノードと、キャパシタ１９７の他方端との間に接続される。ＮＭＯＳトランジスタ２０９の他方ソース／ドレインは、Ｖｐｐ供給線１７７に接続される。ＮＭＯＳトランジスタ２０７は、電源電圧Ｖｃｃを有するノードとＮＭＯＳトランジスタ２０９のゲートとの間に設けられる。

【００６４】
通常モードでは、信号／ＢＩＡＣが「Ｈ」レベルであるため、クロック信号ＣＬＫは、キャパシタ１９３およびインバータ１９１に与えられることになる。このクロック信号ＣＬＫに応じて、Ｖｐｐ供給線１７７に昇圧電圧Ｖｐｐを発生する。複数ワード線駆動モードにおいては、信号／ＢＩＡＣは「Ｌ」レベルになっているため、クロック信号ＣＬＫは、キャパシタ１９３およびインバータ１９１には与えられず、昇圧電圧発生回路は非活性化される。
【００６５】
信号／ＢＩＡＣを発生する回路の構成は、図５および図６に示したバーンインモード検知信号発生回路と同様の回路構成である。この場合、図５のバーンインモード検知信号発生回路が発生するバーンイン検知信号／ＳＴＲに相当するのが、信号／ＢＩＡＣであり、信号ＳＴＲに相当するのが信号ＢＩＡＣである。
【００６６】
以上のように、実施の形態５によるＤＲＡＭでは、電流制限回路（定電流源１８７およびＰＭＯＳトランジスタ１８１，１８３からなる）を設けているため、複数ワード線駆動モードにおいて、／ＯＥ入力パッド１５から過剰電流がＶｐｐ供給線１７７に流れ込むのを防止できる。
【００６７】
（実施の形態６）
実施の形態６による半導体集積回路装置としてのＤＲＡＭの全体構成は、実施の形態５によるＤＲＡＭの全体構成（図１１）と同様である。すなわち、実施の形態６によるＤＲＡＭは、実施の形態５によるＤＲＡＭを前提としている。
【００６８】
図１４は、実施の形態６によるＤＲＡＭのメモリセルの詳細を示す回路図である。なお、図１２と同様の部分については同一の参照符号を付しその説明は適宜省略する。図１４を参照して、実施の形態６によるＤＲＡＭのメモリセルは、メモリセルトランジスタ２１１およびメモリセルキャパシタ２１３を含む。メモリセルトランジスタ２１１は、ビット線ＢＬと、ストレージノードＳＮとの間に設けられる。メモリセルトランジスタ２１１のゲートは、ワード線ＷＬに接続される。キャパシタ２１３の一方端はストレージノードＳＮに接続される。なお、メモリセルによっては、メモリセルトランジスタ２１１は、ビット線／ＢＬとストレージノードＳＮとの間に接続される。ここで、ビット線ＢＬとビット線／ＢＬとは、ビット線対を構成する。実施の形態６によるＤＲＡＭでは、実施の形態５で説明したメモリセルトランジスタ２１１のゲート酸化膜の信頼性試験を行なうと同時に、メモリセルキャパシタ２１３の信頼性試験を行なうものである。すなわち、メモリセルトランジスタ２１１のゲート酸化膜の信頼性試験を行なうため、ワード線ＷＬを活性化しているときに、ビット線ＢＬの電位を「Ｌ」レベル（ＧＮＤレベル）にし、かつ、メモリセルキャパシタ２１３の他方端（セルプレート）を「Ｈ」レベル（Ｖｃｃレベル）にする。このようにすることで、ワード線ＷＬが活性化しているため、メモリセルキャパシタ２１３に十分な電位が供給され、メモリセルキャパシタ２１３の信頼性試験を、メモリセルトランジスタ２１１のゲート酸化膜の信頼性試験と同時に行なうことができる。
【００６９】
次に、ビット線ＢＬ（／ＢＬ）を、メモリセルキャパシタ２１３の信頼性試験のために、「Ｌ」レベル（「ＧＮＤ」レベル）にするときのＤＲＡＭの動作について詳しく説明する。図１５は、実施の形態６によるＤＲＡＭの一部の詳細を示す回路図である。実施の形態６によるＤＲＡＭは、ＰＭＯＳトランジスタ２３１，２３３，２３５およびＮＭＯＳトランジスタ２２１，２２３，２２５からなるセンスアンプと、ＯＲ回路２３９およびＡＮＤ回路２４１からなるセンスアンプ制御回路と、ＮＭＯＳトランジスタ２１５，２１７，２１９、ＯＲ回路２３７、インバータ２４３およびＮＭＯＳトランジスタ２２７，２２９からなるイコライズ／プリチャージ回路とを備える。また、このＤＲＡＭは、ビット線対ＢＬ，／ＢＬを備える。図１５を参照して、ＯＲ回路２３９の出力ノードは、ＰＭＯＳトラ

ンジスタ２３１のゲートに接続される。ＯＲ回路２３９の一方入力ノードには、信号ＳＯＰ１が与えられ、他方入力ノードには、信号ＢＩＡＣが与えられる。ＡＮＤ回路２４１の出力ノードは、ＮＭＯＳトランジスタ２２５のゲートに接続される。ＡＮＤ回路２４１の一方入力ノードには、信号ＳＯＮ１が与えられ、他方入力ノードには、信号／ＢＩＡＣが与えられる。ＯＲ回路２３７の出力ノードは、ＮＭＯＳトランジスタ２１５～２１９のゲートに接続される。ＯＲ回路２３７の一方入力ノードには、信号ＢＬＥＱ１が与えられ、他方入力ノードには信号ＢＩＡＣが与えられる。ＮＭＯＳトランジスタ２２７は、接地電圧を有するノードとプリチャージ電圧供給線ＶＢＬ２との間に設けられる。ＮＭＯＳトランジスタ２２７のゲートには、信号ＢＩＡＣが与えられる。ＮＭＯＳトランジスタ２２９は、プリチャージ電圧供給線ＶＢＬ１と、プリチャージ電圧供給線ＶＢＬ２との間に設けられる。ＮＭＯＳトランジスタ２２９のゲートには、インバータ２４３によって信号ＢＩＡＣを反転した信号が与えられる。

【００７０】

通常モードにおいては、信号ＢＩＡＣが「Ｌ」レベルになり、信号／ＢＩＡＣが「Ｈ」レベルになっている。したがって「Ｈ」レベルのセンスアンプ活性化信号ＳＯＮ１がＡＮＤ回路２４１に与えられた場合には、信号ＳＯＮ２も「Ｈ」レベルになる。一方、ＯＲ回路２３９に、「Ｌ」レベルのセンスアンプ活性化信号ＳＯＰ１が与えられると、信号ＳＯＰ２も「Ｌ」レベルになる。以上のようにして、ＮＭＯＳトランジスタ２２５およびＰＭＯＳトランジスタ２３１がオンになり、センスアンプが活性化する。

【００７１】

通常モードにおいて、センスアンプ非活性化時に、信号ＢＬＥＱ１が「Ｈ」レベルになるため、信号ＢＬＥＱ２も「Ｈ」レベルになる。これによって、ＮＭＯＳトランジスタ２１５～２１９はすべてオンする。一方、通常モードでは、信号ＢＩＡＣが「Ｌ」レベルになっているため、ＮＭＯＳトランジスタ２２７はオフし、ＮＭＯＳトランジスタ２２９がオンする。このため、ビット線対ＢＬ，／ＢＬには、電源電圧Ｖｃｃの１／２の電圧（１／２Ｖｃｃ）が供給される。すなわち、ビット線対ＢＬ，／ＢＬをプリチャージするのである。センスアンプ活性化時（センス時）には、信号ＢＬＥＱ１が「Ｌ」レベルになるため、信号ＢＬＥＱ２が「Ｌ」レベルになる。これによって、ＮＭＯＳトランジスタ２１５～２１９はすべてオフになり、ビット線ＢＬと、ビット線／ＢＬとが切離される。ビット線ＢＬと、ビット線／ＢＬとが切離された後、センスが開始される。

【００７２】

テストモード（複数ワード線駆動モード）に入ったとき、すなわち、メモリセルトランジスタのゲート酸化膜の信頼性試験およびメモリセルキャパシタの信頼性試験を行なうときは、信号ＢＩＡＣが、「Ｈ」レベルになり、信号／ＢＩＡＣが「Ｌ」レベルになる。したがって、信号ＳＯＮ２が「Ｌ」レベルになる。さらに、信号ＳＯＰ２が「Ｈ」レベルになる。このようにして、テストモードに入ったときは、センスアンプは非活性化される。一方、信号ＢＬＥＱ２は、「Ｈ」レベルになるため、ＮＭＯＳトランジスタ２１５～２１９のすべてがオンになる。そして、信号ＢＩＡＣが「Ｈ」レベルであるため、ＮＭＯＳトランジスタ２２７がオンになり、ＮＭＯＳトランジスタ２２９がオフになる。これによって、プリチャージ電圧供給線ＶＢＬ２には、接地電圧が与えられる。すなわち、ビット線ＢＬ，／ＢＬに接地電圧が与えられることになる。以上は、ビット線対の１組に対して説明したが、メモリセルアレイ３３（図１１）が備える複数のビット線対ＢＬ，／ＢＬについても、上述したように、通常モードでは、プリチャージ電圧が供給され、テストモードでは、接地電圧が供給されることになる。

以上のように、実施の形態６によるＤＲＡＭでは、実施の形態５によるＤＲＡＭを前提とし、メモリセルトランジスタのゲート酸化膜の信頼性試験を行なうときに、ビット線対ＢＬ，／ＢＬには接地電圧を与え、かつ、セルプレートには電源電圧Ｖｃｃを与える。このため、実施の形態６によるＤＲＡＭでは、メモリセルトランジスタのゲート酸化膜の信頼性試験を行なうと同時に、メモリセルキャパシタの信頼性試験も行なうことができる。また、実施の形態６によるＤＲＡＭは、実施の形態５によるＤＲＡＭを前提としているため

、実施の形態５によるＤＲＡＭと同様の効果を奏する。

【００７３】

【発明の効果】

この発明の第１の発明に係る半導体集積回路装置では、第１および第２の内部電源電圧発生回路を設けているため、高速動作を必要とする内部回路には大きい内部電源電圧を供給できるとともに、大きな電力消費源となっている内部回路には小さな内部電源電圧を供給できる。さらに、信頼性評価のためのテストモードでは、外部電源電圧供給線と、第１および第２の内部電源電圧供給線とを接続するため、外部電源電圧を、直接、内部回路に与えることができる。したがって、この発明の第１の発明に係る半導体集積回路装置では、高速動作および低消費電力化を実現できるとともに、有効な信頼性評価のための試験を実行できる。

【００７４】

この発明の第２の発明に係る半導体集積回路装置では、第１および第２の外部電源電圧供給線を設けることにより、信頼性評価のためのテストモードでは、第２の外部電源電圧と、第１の内部電源電圧との差および第３の外部電源電圧と、第２の内部電源電圧との差が等しくなるように、第１および第２の外部電源電圧を与えることができる。したがって、この発明の第２の発明に係る半導体集積回路装置では、第１の内部電源電圧供給線から電圧が与えられる内部回路に対するストレス条件と、第２の内部電源電圧供給線から電圧が与えられる内部回路に対するストレス条件とを一致させることができ、信頼性の高い信頼性評価のための試験を行なうことができる。

【００７５】

この発明の第２の発明に係る半導体集積回路装置は、好ましくは、第３の接続手段を備えているため、通常モードにおいて、第１の外部電源電圧供給線と第２の外部電源電圧供給線とを接続することができる。このため、この発明の第２の発明に係る半導体集積回路装置では、サージが入った場合に電界の緩和を効果的に行なうことができる。

【００７６】

この発明の第３の発明に係る半導体集積回路装置では、電圧降下手段を備えているため、第１の内部電源電圧のレベルが、第２の内部電源電圧のレベルより高い場合において、外部電源電圧を降圧した電圧と、第２の内部電源電圧との差および外部電源電圧と第１の内部電源電圧との差を等しくできる。したがって、この発明の第３の発明に係る半導体集積回路装置では、第１の内部電源電圧供給線から電圧が与えられる内部回路に対するストレス条件と、第２の内部電源電圧供給線から電圧が与えられる内部回路に対するストレス条件とを一致させることができ、信頼性の高い信頼性評価のための試験を行なうことができる。

【００７７】

この発明の第４の発明に係る半導体集積回路装置では、信頼性評価のためのテストモードにおいて、第１のテスト電圧を、電圧供給線を介してドライバ手段に与える場合に、電圧供給線に流れ込む電流を制限する。このため、この発明の第４の発明に係る半導体集積回路装置では、過剰電流が電圧供給線に流れ込むのを防止でき、チップ不良を回避できる。

【００７８】

この発明の第４の発明に係る半導体集積回路装置では、好ましくは、信頼性評価のためのテストモードにおいて、昇圧電圧に基づいて、ワード線に電圧を与えるときに、メモリセルキャパシタの他方端に第２のテスト電圧を与えるとともに、ビット線対に接地電圧を与える。このため、この発明の第４の発明に係る半導体集積回路装置では、ワード線に接続されるメモリセルトランジスタのゲート酸化膜の信頼性試験と、メモリセルキャパシタの信頼性試験とを同時に行なうことができる。

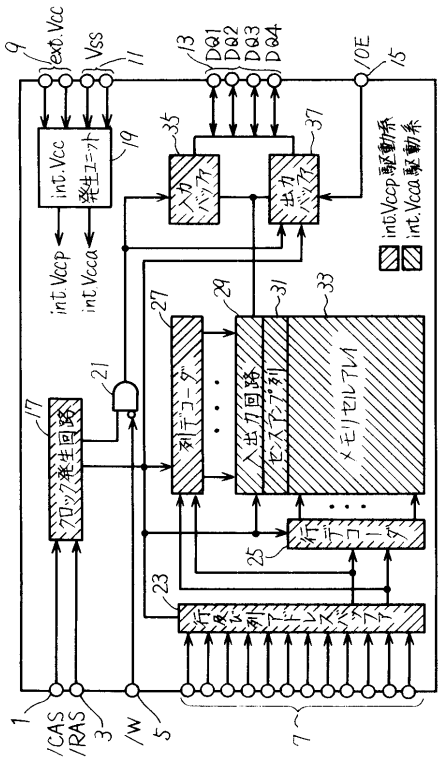
【図面の簡単な説明】

【図１】　本発明の実施の形態１によるＤＲＡＭの全体構成を示す概略ブロック図である。

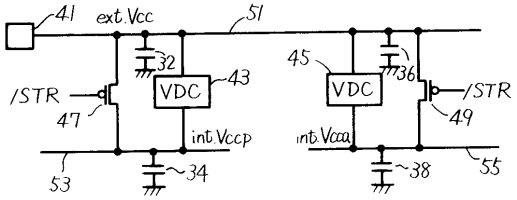
【図２】　本発明の実施の形態１によるＤＲＡＭの一部を示す概略図である。

【図３】　図１のｉｎｔＶｃｃ発生ユニットの詳細を示す回路図である。
【図４】　図３に示した、内部電源電圧ｉｎｔＶｃｃａを発生する差動アンプ部の詳細を示す回路図である。
【図５】　図２に示したバーンインモード検知信号／ＳＴＲを発生するバーンインモード検知信号発生回路の詳細を示す回路図である。
【図６】　図５のスーパーＶＩＨ検知回路の詳細を示す回路図である。
【図７】　本発明の実施の形態２によるＤＲＡＭの一部を示す概略図である。
【図８】　本発明の実施の形態３によるＤＲＡＭの一部を示す概略図である。
【図９】　本発明の実施の形態４によるＤＲＡＭの一部を示す概略図である。
【図１０】　信頼性評価のための試験を行なう場合において、一般的なＤＲＡＭの問題点を説明するための図である。
【図１１】　本発明の実施の形態５によるＤＲＡＭの全体構成を示す概略ブロック図である。
【図１２】　本発明の実施の形態５によるＤＲＡＭの一部を詳細に示す回路図である。
【図１３】　図１２の昇圧電圧発生回路の詳細を示す回路図である。
【図１４】　本発明の実施の形態６によるＤＲＡＭのメモリセルの詳細を示す回路図である。
【図１５】　本発明の実施の形態６によるＤＲＡＭの一部を詳細に示す回路図である。
【図１６】　従来のＤＲＡＭの一部を示す概略図である。
【図１７】　図１６の電圧降下回路（ＶＤＣ）の一部を詳細に示す回路図である。
【符号の説明】
１　／ＣＡＳ入力パッド、３　／ＲＡＳ入力パッド、５　／Ｗ入力パッド、７アドレス信号入力パッド群、９　外部電源電圧入力パッド群、１１　接地電圧入力パッド群、１３　データ入出力パッド群、１５　／ＯＥ入力パッド、１７クロック発生回路、１９　ｉｎｔＶｃｃ発生ユニット、２１，１４９　論理ゲート、２３　行および列アドレスバッファ、２５　行デコーダ、２７　列デコーダ、２９　入出力回路、３１　センスアンプ列、３２，３４，３６，３８，１９３～１９７　キャパシタ、３３　メモリセルアレイ、３５　入力バッファ、３７出力バッファ、４１，１５５，１５７　電源パッド、４３，４５，２４５　電圧降下回路（ＶＤＣ）、４７，４９，６７～８５，１０３～１０９，１３９，１６３，１６９，１８１～１８５，２３１～２３５　ＰＭＯＳトランジスタ、５１，１５９，１６１　外部電源電圧供給線、５３，５５，２４７　内部電源電圧供給線、５７，１８７　定電流源、５９　Ｖｒｅｆａ発生回路、６１　Ｖｒｅｆｐ発生回路、６３，６５　差動アンプ部、８７，８９，９７～１０１，１３１，１３３，１５３，１６５，１９９～２０９，２１５～２２９　ＮＭＯＳトランジスタ、９１　抵抗素子、９３，９５　差動アンプ、１１１，２４１　ＡＮＤ回路、１１３　アドレス信号入力パッド、１１５　スーパーＶＩＨ検知回路、１１７～１２１，１８９　ＮＡＮＤ回路、１２３～１２７，１４１，１４３，１５１，１９１，２４３　インバータ、１２９　入力保護回路、１４５　リセット回路、１４７　遅延回路、１７１　ワードドライバ、１７３　ＢＩＡＣ検知回路、１７５昇圧電圧発生回路、１７７　Ｖｐｐ供給線、２１１　メモリセルトランジスタ、２１３　メモリセルキャパシタ、２３７，２３９　ＯＲ回路、１６７　パッド。

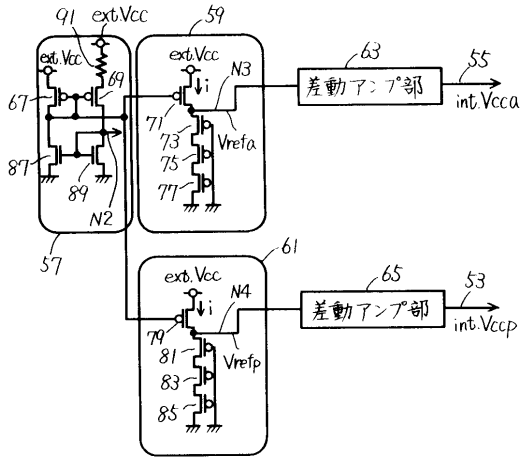
【図１】



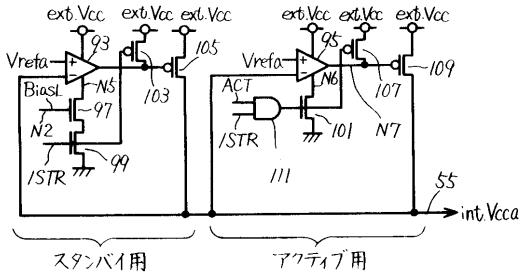
【図２】



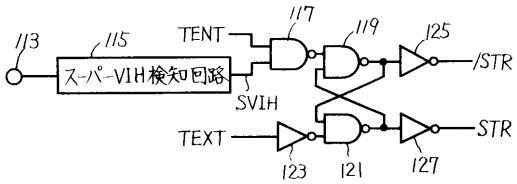
【図３】



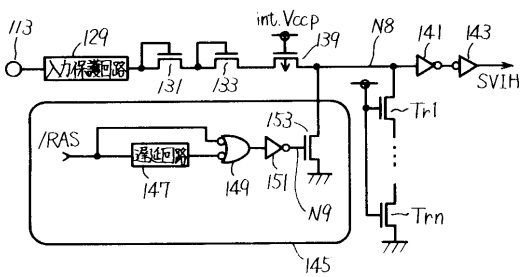
【図４】



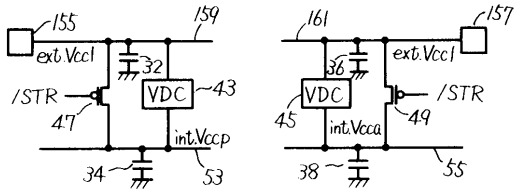
【図５】



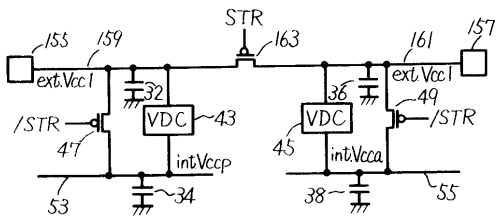
【図６】



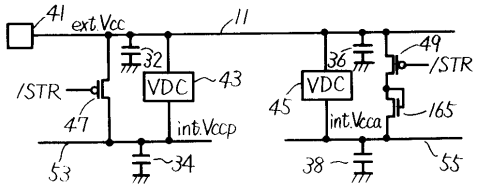
【図７】



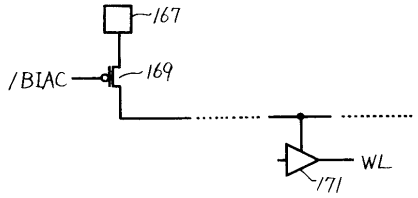
【図８】



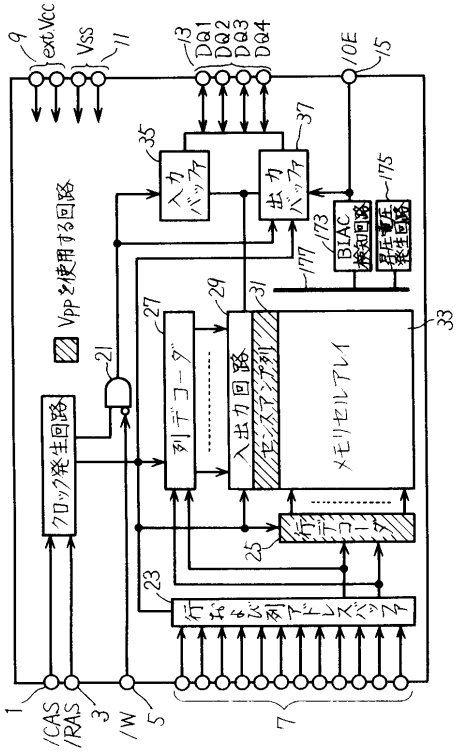
【図９】



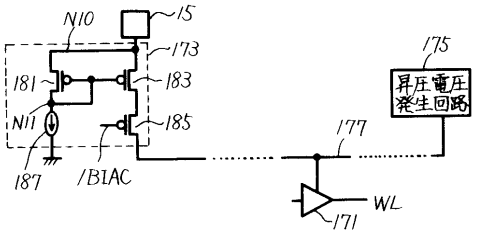
【図１０】



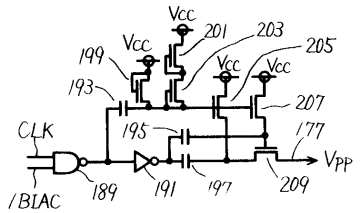
【図１１】



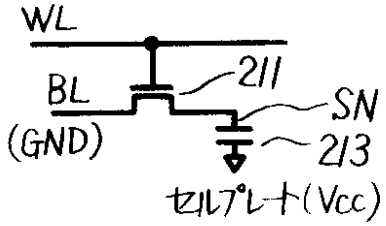
【図１２】



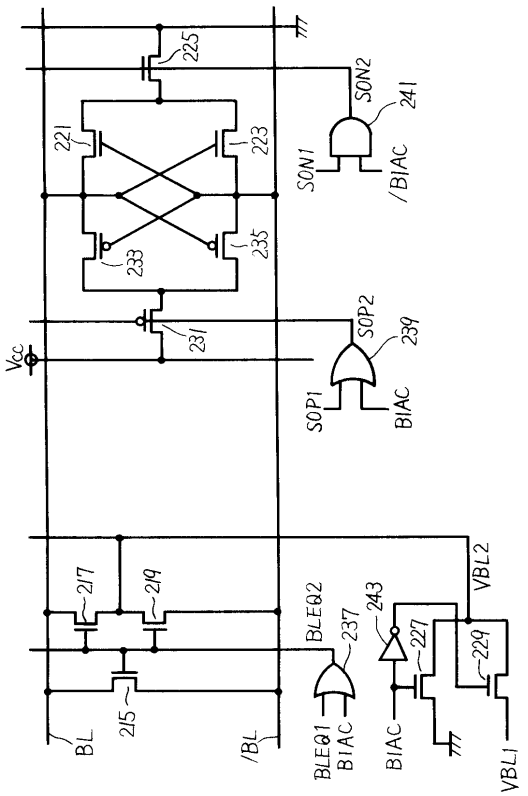
【図１３】



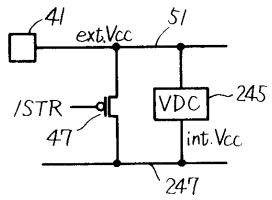
【図１４】



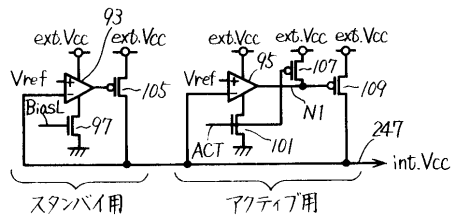
【図１５】



【図１６】


41
ext.Vcc
51
/STR
47
VDC
245
int.Vcc
247

【図１７】


93
ext.Vcc
ext.Vcc
Vref
105
BiasL
97
ext.Vcc
ext.Vcc
ext.Vcc
95
107
Vref
109
N1
ACT
101
247
int.Vcc
スタンバイ用
アクティブ用

フロントページの続き

(72)発明者　森下　玄
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　築出　正樹
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　有本　和民
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　小松　正

(56)参考文献　特開平０４－３７０９６３（ＪＰ，Ａ）
特開平０６－１１９７７６（ＪＰ，Ａ）
特開平０７－２２０４９８（ＪＰ，Ａ）
特開平０７－１８２８９６（ＪＰ，Ａ）
特開平０２－１７７１９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099