Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 960804

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 22.08.79 (21) 2814123/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 23.09.82. Бюллетень № 35

Дата опубликования описания 23.09.82

(51) М. Кл.[3] G 06 F 7/49

(53) УДК 681.325 (088.8)

(72) Авторы изобретения В. А. Телековец и В. С. Переяслов

(71) Заявитель Таганрогский радиотехнический институт им. В. Д. Калмыкова

[illegible] 13

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

1

Изобретение относится к вычислительной технике и может быть применено в качестве решающего узла цифровой вычислительной машины.

Известно устройство умножения двоичных чисел, представленных последовательным кодом, содержащее 2n-разрядный сумматор, (n-1)-разрядные регистры множимого и множителя и элементы И [1].

Однако в этом устройстве только множимое подается старшими разрядами вперед, а результат получается через n циклов вычислений.

Известно устройство для умножения, содержащее регистры множимого и множителя, регистр результата, сумматор результата, сумматор сомножителей, блок анализа разрядов, регистр сдвига, элементы И и элементы ИЛИ, в котором производится ввод сомножителей поразрядно, старшими разрядами вперед [2].

Однако в данном устройстве каждый разряд результата получается за три такта работы, т.е. устройство имеет низкое быстродействие.

Наиболее близким к изобретению по технической сущности является устройство для умножения, содержащее регистр множимого, регистр множителя,

2

сумматор результата, регистр результата, регистр сдвига, два коммутатора и элементы И [3].

Недостатком этого устройства является невозможность работы последовательным методом, начиная со старшего разряда, т.е. низкое быстродействие.

Цель изобретения – повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для умножения, содержащее регистр сдвига, первый коммутатор, информационные входы которого соединены с выходами регистра сдвига, а управляющий вход подключен к входу множителя устройства, регистр множителя, входы которого подключены к выходам первого коммутатора, первый регистр множимого, вход которого подключен к первому входу множимого устройства, второй коммутатор, управляющий вход которого соединен с входом знака устройства, первый сумматор результата и первый регистр результата, входы которого соединены с выходами первого сумматора результата, введены первый и второй блоки элементов И, второй регистр множимого, второй сумматор результата, второй регистр результата, блок суммирования в избыточ-

ной двоичной системе счисления, причем выходы регистра множителя подключены к первым входам первого и второго блоков элементов И, вторые входы которых соединены с выходами соответственно первого и второго регистров множимого, вход второго регистра множимого соединен со вторым входом множимого устройства, а выходы первого и второго блоков элементов И подключены к первой и второй группам входов второго коммутатора, первая и вторая группы выходов которого соединены с первой группой входов соответственно первого и второго сумматоров результата, вторые группы входов в которых подключены к выходам младших разрядов соответственно первого и второго регистров результата, первые входы первой и второй групп сумматора в избыточной двоичной системе счисления подключены к выходам переноса соответственно первого и второго сумматоров результата, вторые входы первой и второй групп сумматора в избыточной двоичной системе счисления подключены к выходам старших разрядов соответственно первого и второго регистров результата, выходы сумматора в избыточной двоичной системе счисления подключены к выходам устройства.

Кроме того, с целью расширения функциональных возможностей устройства за счет умножения двух чисел в избыточной двоичной системе счисления, что еще больше повысит быстродействие устройства, оно дополнительно содержит третий коммутатор, регистр знака множителя и элемент ИЛИ, причем выход элемента ИЛИ соединен с управляющим входом первого коммутатора, первый вход элемента ИЛИ подключен к входу множителя устройства, вход знака устройства соединен с вторым входом элемента ИЛИ и с управляющим входом третьего коммутатора, входы которого подключены к выходам регистра сдвига, а выходы подключены к входам регистра знака множителя, выходы которого соединены с управляющими входами второго коммутатора.

На фиг. 1 приведена структурная схема устройства для умножения неизбыточного и избыточного аргументов; на фиг. 2 - структурная схема устройства для умножения избыточных аргументов.

Устройство содержит регистр 1 сдвига, коммутатор 2, регистр 3 множителя, блоки 4 и 5 элементов И, регистры 6 и 7 множимого, коммутатор 8, сумматоры 9 и 10 результата, регистры 11 и 12 результата, блок 13 суммирования в избыточной двоичной системе счисления, входы 14-17 и выходы 18 и 19 устройства.

Выходы регистра 1 сдвига соединены с входами коммутатора 2, управляющий вход которого соединен с входом 15 устройства, а выходы подключены к входам регистра 3 множителя. Выходы регистра 3 множителя подключены к первым входам блоков 4 и 5 элементов И, вторыми входами соединенных с выходами соответственно регистров 6 и 7 множимого, входы которых подключены соответственно к входам 14 и 16 устройства. Вход 17 устройства соединен с управляющим входом коммутатора 8, первая и вторая группы входов которого подключены к выходам соответственно блоков 4 и 5 элементов И, а первая и вторая группы выходов соединены с первой группой входов соответственно сумматоров 9 и 10 результата. Выходы переноса сумматоров 9 и 10 результата подключены к входам блока 13 суммирования в избыточной двоичной системе счисления, другие входы которого подключены к выходам старшего разряда соответственно регистров 11 и 12 результата, а выходы соединены с выходами 18 и 19 устройства. Выходы остальных разрядов регистров 11 и 12 результата подключены к второй группе входов соответственно сумматоров 9 и 10 результата, выходы разрядов которого соединены с входами соответственно регистров 11 и 12 результата.

При умножении избыточных аргументов устройство дополнительно содержит коммутатор 20, регистр 21 знака множителя и элемент ИЛИ 22.

Входы коммутатора 20 подключены к выходам регистра 1 сдвига, а выходы соединены с входами регистра 21 знака множителя, выходы которого подключены к управляющим входам коммутатора 8. Управляющий вход коммутатора 20 соединен с входом 17 устройства и с входом элемента ИЛИ 22, другой вход которого подключен к входу 15 устройства, а выход соединен с управляющим входом коммутатора 2.

Устройство работает следующим образом.

В начальном положении все регистры устройства, кроме регистра 1 сдвига, находятся в нулевом состоянии. В первом разряде регистра 1 сдвига записана единица. На входы 14 и 16 устройства подаются поразрядные значения множимого A, начиная со старшего m-го разряда, которые записываются в первые разряды регистров 6 и 7 множимого. При этом в регистр 6 заносятся положительные значения множимого A с входа 14 устройства, а в регистр 7 - отрицательные значения множимого A с входа 16 устройства. Одновременно с помощью коммутатора 2 в регистр 2 множителя заносятся поразрядные значения множителя B, начи-

ная со старшего n-го разряда с входа 15 устройства.

На четвертый вход 17 устройства подается знак множителя, который поступает на управляющий вход второго коммутатора 8 и остается на входе устройства до окончания цикла умножения. В первом такте работы с выхода первого разряда регистра 3 значение старшего n-го разряда множителя B подается на первые входы первых элементов И блоков 4 и 5, содержащих по n элементов И. На вторые входы первых элементов И блоков 4 и 5 поступают значения старшего m-го разряда множимого A с выходов первого разряда соответственно регистров 6 и 7 множимого. Сигналы совпадения, соответствующие произведению значения n-го разряда множителя B на значение m-го разряда множимого A, подаются с выходов первых элементов И блоков 4 и 5 в коммутатор 8. Сигнал на выходе элемента И блока 4 имеет место при $A_m = 1$, а на выходе элемента И блока 5 при $A_m = \bar{1}$. В коммутатор 8 поступают значения произведений $C_n^+ = A_m^+ B_n$ или $C_n^- = A_m^- B_n$, которые в зависимости от значения знака множителя, поступающего на управляющий вход коммутатора 8, подаются на первый вход первой группы входов сумматоров 9 и 10 результата. Если знак множителя равен нулю, т.е. множитель положителен, то в сумматор 9 результата подается значение произведения C_n^+, а в сумматор 10 результата - значение произведения C_n^-. Если знак множителя равен единице, т.е. множитель отрицателен, то в сумматор 9 результата подается значение произведения C_n^-, а в сумматор 10 результата - значение произведения C_n^+.

В первом такте работы производится сдвиг единицы из первого разряда регистра 1 сдвига во второй его разряд и сдвиг значения m-го разряда множимого - во второй разряд регистров 6 и 7 множимого.

Во втором такте работы устройства в первый разряд регистров 6 и 7 заносится значение (m-1)-го разряда множимого A_{m-1}, а значение (n-1)-го разряда множителя B_{n-1} заносится во второй разряд регистра 3. На входы коммутатора 8 и выходы первого и второго элементов И блоков 4 и 5 подаются значения произведений $C_n = A_{m-1}B_n$; $C_n^- = A_{m-1}^- B_n$; $C_{n-1}^+ = A_m^+ B_n$; $C_{n-1}^- = A_m^- B_{n-1}$. Если знак множителя B равен нулю, то в сумматор 9 результата подаются значения произведений C_n^+ и C_{n-1}^+, а в сумматор 10 результата - значения произведений C_n^- и C_{n-1}^-. Если же знак множителя B равен единице, то в сумматор 9 результата подаются значения произведений C_n^- и C_{n-1}^-, а в сумматор 10 результата - значения произведений C_n^+ и C_{n-1}^+.

В i-ом (i = 0, 1, 2, ...) такте работы устройства в первый разряд регистров 6 и 7 заносится значение (m-1)-го разряда множимого A_{m-1}, а значение (n-j)-го (j = 0, 1, 2, ..., n-1) разряда множителя B_{n-j} заносится в (j + 1)-ый разряд регистра 3. На входы коммутатора 8 с выходов блока 4 элементов И подаются значения произведений $C_n^+ = A_{m-1}^+ \cdot B_n$; $C_{n-1}^+ = A_{m-i+1}^+ \cdot B_{n-1}$, ..., $C_{n-j}^+ = A_m^+ \cdot B_{n-j}$, а с выходов блока 5 элементов И подаются значения произведений $C_n^- = A_{m-i}^- \cdot B_n$; $C_{n-1}^- = A_{m-i+1}^- B_{n-1}$, ..., $C_{n-j}^- = A_m^- \cdot B_{n-j}$. На входы первого разряда сумматора 9 результата с первой группы выходов коммутатора 8 поступает n значений произведений с положительным знаком, а на входы разрядов сумматора 9 со второго по (k +1)-ый ($\log_2 n < k \leq \log_2 n + 1$) подаются k-разрядный код состояния с выходов k младших разрядов регистра 11 результата. На выходах сумматора 9 образуется (k + 2)-разрядное двоичное число, значение старшего разряда которого с выхода переноса сумматора 9 подается на первый вход блока 13 суммирования в избыточной двоичной системе счисления, образуя положительное значение первого числа a_i. Отрицательное значение первого числа a_i поступает на третий вход блока 13 с выхода переноса сумматора 10 результата, на входы которого подается n произведений с отрицательным знаком со второй группы выходов коммутатора 8 и k-разрядный код состояния с выходов k младших разрядов регистра 12 результата. Значения суммы результата с выходов k + 1 разрядов сумматоров 9 и 10 результата заносятся в регистры 11 и 12 результата, образуя коды состояния для следующего (i + 1)-го такта работы устройства. Значения старшего (k + 1)-го разряда регистров 11 и 12 результата подаются соответственно на второй и четвертый входы блока 13 суммирования в избыточной двоичной системе счисления, образуя второе число b_i, которое суммируется в блоке 13 с числом a_i в избыточной системе счисления, а результат суммирования этих чисел, соответствующий окончательному результату умножения, выводится на положительный выход 18 или на отрицательный выход 19 устройства. Результат умножения выдается последовательно старшими разрядами вперед по двум шинам в избыточной двоичной системе счисления.

При умножении двух чисел в избыточной системе счисления множитель B подается на входы 15 и 17 устройства

и поступает через элемент ИЛИ 22 на управляющий вход сумматора 2. Кроме того, отрицательные значения множителя с входа 17 устройства поступают на управляющий вход коммутатора 20, на i-ый вход которого в i-ом такте работы подается единица с выхода (i + 1)-го разряда регистра 1 сдвига. При наличии единицы в отрицательном значении (n - i)-го разряда множителя в (i+1)-ый разряд регистра 21 знака заносится единица и хранится в нем до окончания цикла умножения. Каждый разряд знака множителя управляет соответствующим разрядом коммутатора 8. В остальном работа устройства аналогична умножению неизбыточного и избыточного аргументов.

При подаче одного из аргументов (множителя) параллельным кодом отпадает необходимость в регистре 1 сдвига, коммутаторах 2 и 20, т.е. устройство становится более простым.

Таким образом, данное устройство позволяет производить умножение чисел, одно из которых (или оба) выражено в избыточной двоичной системе счисления, последовательным методом старшими разрядами вперед. При этом результат умножения получается на выходах устройства одновременно с вводом разрядов умножаемых чисел. По сравнению с известным устройством быстродействие увеличено примерно в три раза. При этом разрядность m множимого может быть больше разрядности n множителя.

Формула изобретения

1. Устройство для умножения, содержащее регистр сдвига, первый коммутатор, информационные входы которого соединены с выходами регистра сдвига, а управляющий вход подключен к входу множителя устройства, регистр множителя, входы которого подключены к выходам первого коммутатора, первый регистр множимого, вход которого подключен к первому входу множимого устройства, второй коммутатор, управляющий вход которого соединен с входом знака устройства, первый сумматор результата и первый регистр результата, входы которого соединены с выходами первого сумматора результата, отличающееся тем, что, с целью увеличения быстродействия, в него введены первый и второй блоки элементов И, второй регистр множимого, второй сумматор результата, второй регистр результата, блок суммирования в избыточной двоичной системе счисления, причем выходы регистра множителя подключены к первым входам первого и второго блоков элементов И, вторые входы которых соединены с выходами соответственно первого и второго регистров множимого, вход второго регистра множимого соединен с вторым входом множимого устройства, а выходы первого и второго блоков элементов И подключены к первой и второй группам входов второго коммутатора, первая и вторая группы выходов которого соединены с первой группой входов соответственно первого и второго сумматоров результата, вторые группы входов в которых подключены к выходам младших разрядов соответственно первого и второго регистров результата, первые входы первой и второй групп сумматора в избыточной двоичной системе счисления подключены к выходам переноса соответственно первого и второго сумматоров результата, вторые входы первой и второй групп сумматора в избыточной двоичной системе счисления подключены к выходам старших разрядов соответственно первого и второго регистров результата, выходы сумматора в избыточной двоичной системе счисления подключены к выходам устройства.

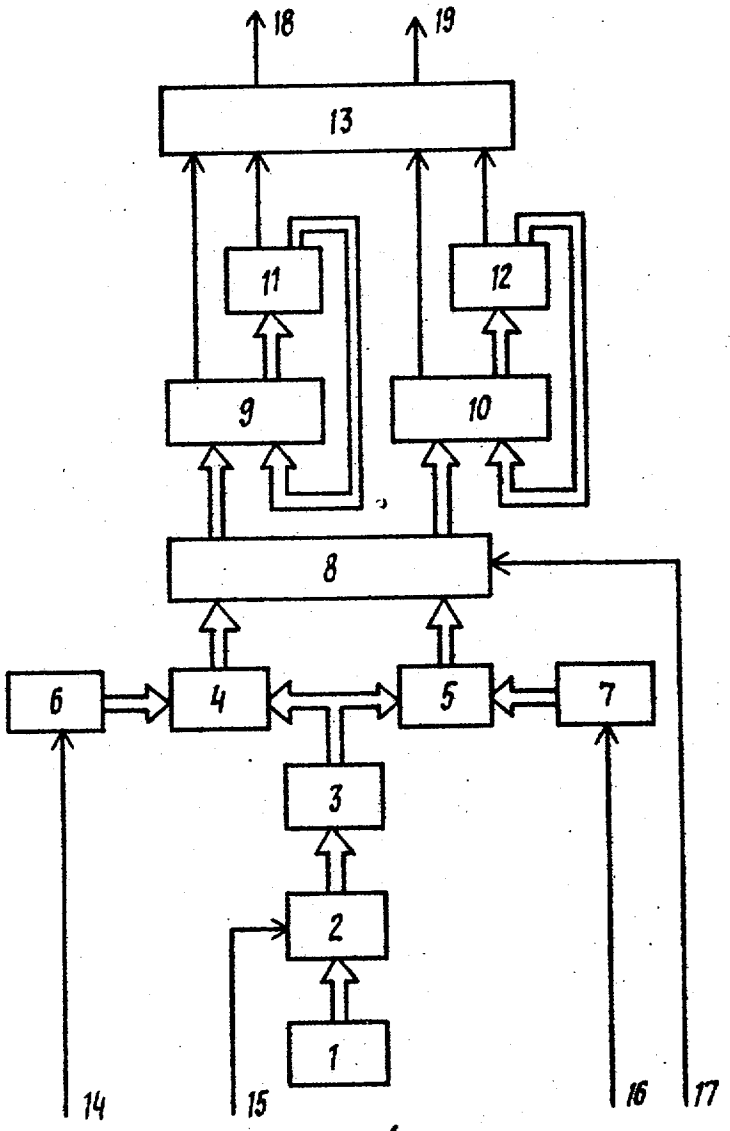
2. Устройство по п. 1, отличающееся тем, что, с целью расширения функциональных возможностей за счет умножения двух чисел в избыточной системе счисления, оно дополнительно содержит третий коммутатор, регистр знака множителя и элемент ИЛИ, причем выход элемента ИЛИ соединен с управляющим входом первого коммутатора, первый вход элемента ИЛИ подключен к входу множителя устройства, вход знака устройства соединен с вторым входом элемента ИЛИ и с управляющим входом третьего коммутатора, входы которого подключены к выходам регистра сдвига, а выходы подключены к входам регистра знака множителя, выходы которого соединены с управляющими входами второго коммутатора.

Источники информации, принятые во внимание при экспертизе

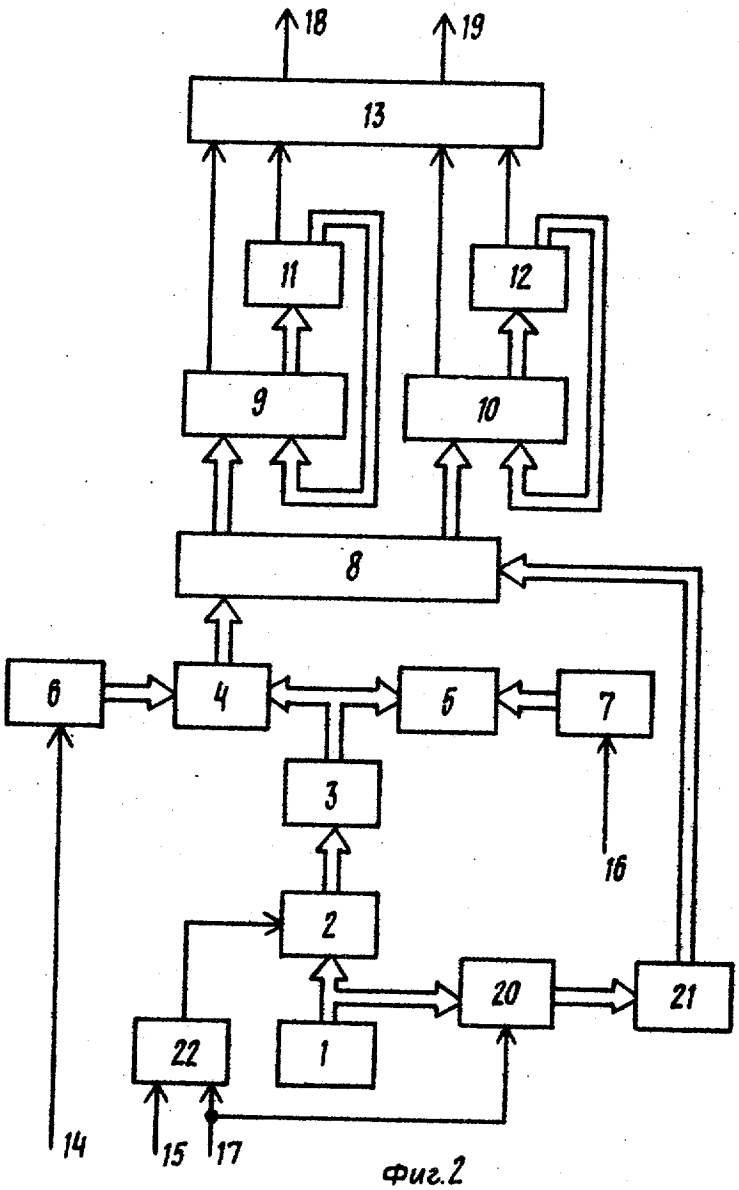
1. Авторское свидетельство СССР № 631919, кл. G 06 F 7/39, 1975.

2. Авторское свидетельство СССР № 603989, кл. G 06 F 7/39, 1976.

3. Авторское свидетельство СССР № 451079, кл. G 06 F 7/39, 1973 (прототип).



Фиг.1



Фиг.2

Составитель В. Березкин
Редактор А. Шишкина Техред Е.Харитончик Корректор С. Шекмар

Заказ 7282/58 Тираж 731 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4