

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4679603号
(P4679603)

(45) 発行日 平成23年4月27日 (2011. 4. 27)

(24) 登録日 平成23年2月10日 (2011. 2. 10)

(51) Int. Cl.

F I

G 1 1 C 11/15 (2006. 01)

G 1 1 C 11/15 1 5 O

G 1 1 C 13/00 (2006. 01)

G 1 1 C 13/00 A

G O 6 F 21/24 (2006. 01)

G 1 1 C 11/15 1 6 O

G 1 1 C 11/15 1 O O

G O 6 F 12/14 5 2 O F

請求項の数 4 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-117089 (P2008-117089)
 (22) 出願日 平成20年4月28日 (2008. 4. 28)
 (65) 公開番号 特開2009-266336 (P2009-266336A)
 (43) 公開日 平成21年11月12日 (2009. 11. 12)
 審査請求日 平成20年4月28日 (2008. 4. 28)

(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成19年度独立行政法人新エネルギー・産業技術総合開発機構「スピントロニクス不揮発性機能技術プロジェクト」委託研究、産業技術力強化法第19条の適用を受ける特許出願)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 池 川 純 夫
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 記録再生装置

(57) 【特許請求の範囲】

【請求項1】

電流を流して抵抗を変化させることにより書込みが可能な抵抗変化素子を有するメモリセルがマトリクス状に配列されたメモリセルアレイを備えた抵抗変化型不揮発メモリと、
 ユーザーが正規ユーザーか非正規ユーザーかを認証するユーザー認証回路と、

前記ユーザー認証回路によって前記非正規ユーザーであると認証された場合には、正規ユーザーの場合よりも読出し電流を大きくして前記メモリセルに読出し電流を流す読出し電流回路と、

を備えていることを特徴とする記録再生装置。

【請求項2】

前記読出し電流回路は、前記ユーザー認証回路によって正規ユーザーであると認証された場合は、 10^{-16} 回の読み出しを行っても、磁化反転が起こる確率が1回以下であるように、読出し電流を流すことを特徴とする請求項1記載の記録再生装置。

【請求項3】

読出し情報のエラー訂正を行うエラー訂正回路と、

前記エラー訂正回路のエラー訂正に基づいて前記メモリセルアレイに訂正のための再書込みを行う再書込み回路と、

を更に備え、

前記ユーザー認証回路によって正規ユーザーであると認証された場合には、前記エラー訂正回路によって前記読出し情報のエラー訂正を行うとともに、前記再書込み回路によ

て前記エラー訂正に基づく訂正のための再書込みを行い、

前記ユーザー認証回路によって非正規ユーザーであると認証された場合には前記読出し情報のエラー訂正および訂正のための再書込みの少なくとも一方を行わないことを特徴とする請求項1または2記載の記録再生装置。

【請求項4】

前記抵抗変化素子は、強磁性トンネル接合を有することを特徴とする請求項1乃至3のいずれかに記載の記録再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリセルへ電流を流すことにより書込みを行う方式の抵抗変化型不揮発メモリを使った記録再生装置に関する。

【背景技術】

【0002】

抵抗変化型不揮発メモリとして、磁気抵抗効果ランダムアクセスメモリ（以下、MRAM (Magnetoresistive Random Access Memory) とも云う）、PRAM (Phase change Random Access Memory)、ReRAM (Resistance Random Access Memory) などが知られている。これらのメモリは情報の記憶に、磁化方向や結晶性や相転移などの2つの状態間の変化に伴う抵抗変化を利用する。二つの状態に対応してデータ“0”とデータ“1”を定義する。情報の読み出しは、メモリセルに電流を流して抵抗値を検出することで行なう。MRAMのうち、書込み原理にスピン・トランスファ・トルクを利用したスピン注入型MRAMは微細化に優れたメモリとして注目を集めている。スピン注入型MRAM、PRAM、およびReRAMにおいては、情報の書込みは、メモリセルへ電流を流すことで“0”および“1”の状態の一方から他方へ変化させる。これらのメモリは、少なくとも1個のメモリセルを備え、このメモリセルは通常、電流を流すことにより状態が変化する抵抗変化素子と、この抵抗変化素子を選択するための選択トランジスタとを有している。

【0003】

このような抵抗変化型不揮発メモリは、応用面を考えると、映像データや音楽データなどのデジタルコンテンツを記憶および再生する記録再生装置に使用すると便利である。ユーザーから見ると、記録再生装置に抵抗変化型不揮発メモリを用いるとデジタルデータをほぼ完全なままかつ長い期間手元に置いておける利点がある。これに対して、アナログで保存した映像データや音楽データの場合は、経年変化や腐食、カビ等に弱い。しかし、抵抗変化型不揮発メモリはこうしたものの影響を受けにくく、保存性が高い。このことは、抵抗変化型不揮発メモリに記憶された劣化の少ないデジタルデータが、非正規ユーザーに対しても自由に何回でも閲覧されるとともに自由にコピーされるという問題、すなわち劣化の少ないデジタルデータが、非正規ユーザーに不正に使用されるという問題がある。

【0004】

そこで、自由にデジタルコンテンツを閲覧することを防ぐために、読出し回数に制限を設けた記憶装置が提案されている（例えば、特許文献1参照）。この記憶装置は、MRAMを用いており、MRAMからデータを読み出した回数をカウントし、このカウント値が所定の回数を越えると読み出しを規制する。この記憶装置の場合は、デジタルデータを完全に読み出せる、または所定の回数を超えたら全く読出せなくなる、のどちらかの状態しかない。また、MRAMに記憶された情報については、完全な形で残っている、或いは完全に消去してしまう、のどちらかの状態しかない。もし、カウンター回避のハッキング、すなわちカウント値が所定の回数を超えても読出し可能となるように、ハッキングをされると、データを完全に盗まれる可能性がある。

【特許文献1】特開2005-182799号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

また、後述するように、抵抗変化型不揮発メモリには、読出しの際に流す読出し電流によって、読出しによる誤書き込みが生じるという問題がある。すなわち、正規ユーザーであっても、長年使用するうちにデジタルデータが劣化するという問題がある。

【0006】

本発明は、上記事情を考慮してなされたものであって、正規ユーザーが使用する場合にデジタルデータを可及的に劣化させず、非正規ユーザーの不正使用を可及的に抑制することのできる記録再生装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様による記録再生装置は、電流を流して抵抗を変化させることにより書込みが可能な抵抗変化素子を有するメモリセルがマトリクス状に配列されたメモリセルアレイと、ユーザーが正規ユーザーか非正規ユーザーかを認証するユーザー認証回路と、前記ユーザー認証回路によって前記非正規ユーザーであると認証された場合には、正規ユーザーの場合よりも読出し電流を大きくして前記メモリセルに読出し電流を流す読出し電流回路と、を備えていることを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、正規ユーザーが使用する場合にデジタルデータを可及的に劣化させず、非正規ユーザーの不正使用を可及的に抑制することの可能な記録再生装置を提供することができる。

20

【発明の実施の形態】

【0009】

まず、本発明の実施形態を説明する前に、抵抗変化型不揮発メモリの例と、本発明の原理を説明する。

【0010】

一般に、抵抗変化型不揮発メモリは、少なくとも1個のメモリセルを備え、このメモリセルは、図1に示すように、電流を流すことにより状態が変化する抵抗変化素子10と、この抵抗変化素子10を選択するための選択トランジスタ20とを有している。

【0011】

抵抗変化型不揮発メモリの第1の例であるMRAMは、情報を記憶するメモリセルの抵抗変化素子として、大きな磁気抵抗効果を持つ強磁性トンネル接合(MTJ)素子を用いたメモリ装置である。書き換え耐性無限大、高速動作、大容量、不揮発性を特徴とする次世代メモリ装置として注目されている。

30

【0012】

MRAMとしてスピン注入型MRAMについて説明する。抵抗変化素子としてのMTJ素子は、二つの強磁性層12、16とその間に挟まれたトンネルバリア層14とを備えている。図2(a)、2(b)に示すように、強磁性層の一方は、通電の前後で磁化の向きが不変の参照層12とし、もう一方は通電によって磁化の向きが可変の記憶層16とする。参照層12と記憶層16の磁化の向きが平行な時にMTJ素子10が低抵抗状態となり、反平行(AP)な時にMTJ素子10が高抵抗状態となる。これらの低抵抗状態および高抵抗状態を、二進情報の“0”および“1”に対応付けることで情報を記憶することができる。書き込みは、MTJ素子10に書き込み電流を流すことにより生じるスピン・トランスファ・トルクによって記憶層16の磁化の向きを反転させることにより行う。例えば図2(a)に示すように、書き込み電流を流す前に参照層12と記憶層16の磁化の向きが反平行なときには、参照層12からトンネルバリア層14を介して記憶層16に電子を流すことにより、記憶層16の磁化の向きを参照層12の磁化の向きと平行となるようにする。また、図2(b)に示すように、書き込み電流を流す前に参照層12と記憶層16の磁化の向きが平行なときには、記憶層16からトンネルバリア層14を介して参照層12に電子を流すことにより、記憶層16の磁化の向きを参照層12の磁化の向きと反平行となるようにする。なお、本明細書においては、記憶層16の磁化の向きを参照層12の磁

40

50

化の向きと平行な場合をデータ“0”とし、反平行な場合をデータ“1”と定義しているが、逆であってもよい。磁化反転に必要な電流すなわちスイッチング電流は、熱擾乱耐性を確保できる範囲内で小さいほうが好ましい。また、誤書き込みを減らすにはスイッチング電流のビット毎（メモリセル毎）のバラツキが小さいことが望ましい。

【0013】

記憶情報の読み出しは、図3（a）、3（b）に示すように、MTJ素子10に電流を流して低抵抗状態であるか高抵抗状態であるかを検出することにより行う。従ってMRAMに用いるMTJ素子は、磁気抵抗効果による抵抗変化率（MR比）が大きいほうが好ましい。読み出しを正確に行うには、MTJ素子の抵抗のバラツキが小さいことが望ましい。記憶された情報は不揮発であり、通常10年以上の記憶保持特性がある。但し、熱擾乱によって記憶された二進情報の一部が変化してしまう確率が、わずかであるが存在する。更に後述するように読み出す行為によっても二進情報の一部が変化してしまう確率が、わずかであるが存在する。

10

【0014】

MRAMにおいては、読み出しの際に流す読み出し電流 I_{read} によって情報が変化する現象がある。「読み出しによる誤書き込み」と呼ばれる現象である。まず基本的な1ビットの動作を説明する。読み出し電流を、“0”（P）→“1”（AP）に書込む書き込み電流と同じ方向に流す場合を考える。一般に、“0”状態に読み出し電流 I_{read} を流して t 秒後に磁化が“1”へ反転する確率 p は、熱擾乱の考え方から以下の式で表されることが知られている（例えば、M. Pakala, Y. Huai, T. Valet, Y. Ding, and Z. Diao, Journal of Applied Physics, Vol. 98, 056107 (2005)参照）。

20

【数1】

$$p = 1 - \exp\{-t f_0 \exp(-\alpha)\} \quad (1)$$

【0015】

ここで

【数2】

$$\alpha = \frac{\Delta E}{k_B T} = \frac{K_u V}{k_B T} \left(1 - \frac{I_{read}}{I_c}\right) \quad (2)$$

30

であり、 f_0 は試行頻度であり、 $10^9 \text{ Hz} \sim 10^{10} \text{ Hz}$ 程度である。 ΔE は磁化反転の際に越えなければならないエネルギーバリア（erg）、 K_u は磁気異方性エネルギー密度（erg/cm³）、 V は記憶層の体積（cm³）、 k_B はボルツマン定数、 T は絶対温度（K）である。 I_c は電流パルス幅が $1/f_0$ 秒の場合の磁化反転電流である。（2）式の右辺の係数

$$\Delta_{therm} = K_u V / (k_B T)$$

を熱擾乱パラメータと呼ぶ。（1）式と（2）式から、大きな電流で読み出すほど、読み出しパルスがかかっている時間 t の間に情報が変化する確率が高くなることが分かる。

【0016】

40

そこで、本発明の一実施形態においては、これら僅かなエラーを訂正する回路をMRAM内に設けている。この訂正する回路に、「読み出しによる誤書き込み」が起きても誤り訂正をする、誤り訂正符号（以下、ECC（Error Correction Coding）ともいう）と呼ばれる手法を用いる。例えば、拡大ハミングコード（Extended Hamming code）と呼ばれる誤り訂正の方法では、64ビットを1ブロックとしてその情報に8ビットの冗長ビットを付加することで、1ブロック中の1ビットの誤りを検出し、その訂正ができる。1ブロック中に2ビットの誤りがあると、誤りがあることを知ることはできるが、訂正はできない。MRAMにおけるECCの使い方は二段階ある。ECCの第1段階として、読み出したデータを検査し訂正して出力する。この段階では大元のMRAM内のデータは訂正していない。ECCの第2段階として、ECCで誤りを見つけたら、訂正したデータを大元のM

50

R A Mに再書込みをして正しいデータに訂正する。もし第2段階をやらないと、最初は1ブロック中の1ビットの誤りであったものが、時間が経つといずれは1ブロック中に2ビットの誤りとなり、訂正が出来なくなる。第2段階の再書込みは、データを読むたびに毎回行っても良いし、例えば1000回などある一定回数読むごとに1回の、検査、訂正、再書込み、をやっても良い。

【0017】

また、抵抗変化型不揮発メモリの第2の例であるP R A Mは、抵抗体材料にG e - S b - T eなどのカルコゲナイドガラスを用い、その結晶状態と非晶質状態とで抵抗が異なることを利用する(参考文献:Y. J. Song et al., "Highly Reliable 256Mb PRAM with Advanced Ring Contact Technology and Novel Encapsulating Technology", 2006 Symposium on VLSI Technology Digest of Technical Papers (2006))。その書き込み原理を、図4を参照して説明する。データ“0”とデータ“1”の書き込みの区別は、電流パルスの与え方を変化させて抵抗体の温度上昇を変えることで行なう。リセットパルスは大きな電流を短い時間で与える。その結果、抵抗体の融点(T_m)を超えて加熱され、その後急冷されて、抵抗体は非晶質状態の高抵抗状態になる。セットパルスは、リセットパルスよりも小さな電流を長いパルス幅で与える。その結果、抵抗体は結晶化温度(T_x)を超えて加熱されるが、融点よりも低い温度に保持され、結晶化して低抵抗状態になる。P R A Mにおいても「読出しによる誤書き込み」の問題がある。P R A Mにおいては、書き込みよりも小さな電流で読み出すが、読出し電流が大きいと、セル特性のバラツキによって、読出し電流がセット動作と同じ効果を与える場合がある。読出し電流が大きいと、読出し動作によって、高抵抗状態にあったビットが低抵抗状態になってしまうという誤書き込みが起きる。

【0018】

また、抵抗変化型不揮発メモリの第3の例であるR e R A Mは、抵抗体材料にはN i OやT i O₂やそれらに不純物を加えたものを使う(参考文献:R. Jung et al., Applied Physics Letters, Vol. 91, 022112 (2007))。抵抗が変化する原理は必ずしも明らかにはなっていないが、例えば、電圧印加でフィラメント状の伝導パスが出来て抵抗状態になり、その後大きな電流印加でその伝導パスが壊されて高抵抗状態になる、ことが考えられている。その書き込み原理を図5に示す。セット動作は、例えば図1に示す選択トランジスタ20のゲート電圧 V_G を小さく制限した状態(例えば0.7V)にして電流を制限して、抵抗変化素子10に電圧を与える。その結果、抵抗変化素子は低抵抗状態になる。リセット動作では、ゲート電圧 V_G を大きくして(例えば1.8V)、抵抗変化素子10に大きな電流を流す。その結果、抵抗変化素子は高抵抗状態になる。R e R A Mにおいても「読出しによる誤書き込み」の問題がある。書き込みよりも小さな電流で読み出すが、読出し電流が大きいと、セル特性のバラツキによって、読出し電流がセット動作と同じ効果を与える場合がある。読出し電流が大きいと、読出し動作によって、高抵抗状態にあったビット(メモリセル)が低抵抗状態になってしまう誤書き込みが起きる。

【0019】

R e R A Mの他の例では、M nペロブスカイト酸化物の電界誘起抵抗変化を利用したものがあある。抵抗体材料の例は、(S m, C a) M n O₃と(L a, S r) M n O₃を接合した積層膜である(参考文献:A. Sawa, T. Fujii, M. Kawasaki, and Y. Tokura, Applied Physics Letters, Vol. 88, 232112 (2006))。この場合は、“0”と“1”の書き込みの区別は、電圧印加方向を変えて行なう。接合界面に順方向の電圧を印加すると高抵抗状態から低抵抗状態へ変化し、逆方向に電圧を印加すると低抵抗状態から高抵抗状態へ変化する。このR e R A Mにおいても「読出しによる誤書き込み」の問題がある。書き込みよりも小さな電流で読み出すが、読出し電流が大きいと、セル特性のバラツキによって、読出し電流が書き込み動作を起こしてしまう誤書き込みが起きる。

【0020】

本発明の一実施形態においては、正規ユーザーに対しては、「読出しによる誤書き込み」が生じて、デジタルデータが劣化するのを可及的に防止し、非正規ユーザーに対して

10

20

30

40

50

は、積極的に「読出しによる誤書き込み」を生じさせて、不正使用を防止するように構成した。このため、本発明の一実施形態による、メモリセルへの電流を流すことでデータを書き込む方式の抵抗変化型不揮発メモリを用いた記録再生装置においては、正規ユーザーであるか否かを判定し、正規ユーザーであるか非正規ユーザーであるかによって読み出し電流を変えている。例えば、非正規ユーザーの場合は読出し電流を大きくして、「読出しによる誤書き込み」を積極的に起こさせる。その結果、読出し回数に応じてデジタルデータが徐々に劣化する。正規ユーザーの場合は 10^{16} 回の読み出しを行っても、そのうち磁化反転が起こる確率が 1 回以下であるように、読出し電流を小さく設定する。その結果、読出しによるデジタルデータ劣化は起きない。

【0021】

デジタルデータの訂正に ECC を使う場合には、同様の機能を発揮させるために以下の 3 種の方法がある。

1) 非正規ユーザーの場合は読み出し電流を大きくして、ECC で訂正できないほど「読出しによる誤書き込み」を起こさせる。正規ユーザーの場合は、「読出しによる誤書き込み」が生じる確率を ECC で十分訂正できる範囲内に抑えるよう、読出し電流を小さく設定する。

2) 非正規ユーザーの場合は、読み出し電流を大きくすると共に、前述の ECC の第 2 段階の訂正書き込み（再書き込み）をしない。ECC の第 2 段階を行わないと、最初は 1 ブロック中の 1 ビットの誤りであったものが、時間の経過につれて 1 ブロック中に 2 ビットの誤りとなり、訂正が出来なくなる。デジタルデータが徐々に劣化する。この場合、非正規ユーザーの場合に ECC の第 1 段階を行っても良いし、行わなくても良い。非正規ユーザーの場合に ECC の第 1 段階を行わないほうが、劣化したデータを出力することになる。正規ユーザーの場合は、読出し電流を小さくするとともに第 2 段階の再書き込みを行って正しいデータに訂正することを常に行うので、デジタルデータは劣化しない。

3) 非正規ユーザーの場合は、読出し電流を大きくするとともに、ECC の第 1 段階の読み出したデータの検査および訂正を行わない。すなわち、データに誤りがあってもそのまま出力される。時間が経つと誤りが蓄積しデジタルデータが徐々に劣化する。この場合、非正規ユーザーの場合に ECC の第 2 段階を行っても良いし、行わなくても良い。非正規ユーザーの場合、ECC の第 2 段階を行わないほうが、データ劣化の進行が早くなる。正規ユーザーの場合は、読出し電流を小さくするとともに ECC の第 1 段階と第 2 段階を行うので、デジタルデータは劣化しない。

【0022】

なお、非正規ユーザーがデータを読出す場合のデータ劣化の程度を注意深く設定する必要があり、そのためには読出し電流を大きく設定した場合の「読出しによる誤書き込み」の確率を注意深く設定する必要がある。

【0023】

以下では、スピン注入型 MRAM の場合の「読出しによる誤書き込み」の確率を詳述する。熱擾乱パラメータ Δ_{therm} は、通常 $\Delta_{therm} = 70 \sim 110$ に設計する。本発明者らは特に、「読出しによる誤書き込み」の確率の求め方として従来の (2) 式ではなく新しい方式を見出した。電流を流すと、実効的な Δ_{therm} が電流 I に依存して低下することを見出した。その効果は近似的に以下の式で表される。

【数 3】

$$\Delta(I) = \frac{K_u V}{k_B T + \beta I^2} \quad (3)$$

これを使って、「読出しによる誤書き込み」の確率 p_{rd} は以下の式で計算される。

【数 4】

$$p_{rd} = 1 - \exp\{-t f_0 \exp(-\alpha_{read})\} \quad (4)$$

10

20

30

40

50

【0024】

ここで、

【数5】

$$\alpha_{read} = \Delta(I_{read}) \times \left(1 - \frac{I_{read}}{I_c}\right) \quad (5)$$

である。

【0025】

電流の効果を表すパラメータ β は、記憶層の材料や寸法に依存する。このパラメータは
以下のように求めることができる。

10

【数6】

$$\Delta(I=0) = \Delta_0 = \frac{K_u V}{k_B T} \quad (6)$$

$$\Delta(I=I_c) = \Delta_{Ic} = \frac{K_u V}{k_B T + \beta I_c^2} \quad (7)$$

である。 $\Delta(I=0)$ と $\Delta(I=I_c)$ はそれぞれ実験から求めることが出来る。それを使
って、

20

【数7】

$$\beta = \frac{(\Delta_0 - \Delta_{Ic}) k_B T}{\Delta_{Ic} I_c^2} \quad (8)$$

となる。 $\Delta(I=0)$ は、磁場印加した場合のスitchング磁界のスweep速度依存性か
ら求めることができる。また、高温放置した場合の磁化反転確率からも求めることができ
る。 $\Delta(I=I_c)$ は、 I_c 程度の電流を流してスピン・トランスファ・トルクによる磁
化反転をさせた場合の、誤書込み確率と正書込み確率から求めることができる。こうして
(3)式を使って従来よりも正確に、「読出しによる誤書き込み」の確率が求められるこ
とが判明した。

30

【0026】

現在使われている記憶層の典型例では、 β は以下のオーダーである。

【数8】

$$\beta = \frac{4k_B T}{I_c^2} \quad (9)$$

この場合、電流に依存する実効的な $\Delta(I)$ は以下の式で表される。

【数9】

$$\Delta(I) = \frac{\Delta_0}{1 + 4 \left(\frac{I}{I_c} \right)^2} \quad (10)$$

40

【0027】

このように、スピン注入型MRAMでは、その書込み原理から「読出しによる誤書き込
み」の確率を正確に計算できる。従って、非正規ユーザーが読み出した場合のデータ劣化
の程度を精密に制御して設定できる利点がある。PRAMやReRAMでも同様に、「読
出しによる誤書き込み」を起こさせることができる。

【0028】

次に、本発明の実施形態を説明する。

50

【0029】

(第1実施形態)

本発明の第1実施形態による記録再生装置を図6に示す。本実施形態の記録再生装置は、図6に示すように、抵抗変化型不揮発性メモリ40と、ユーザー認証回路60とを備えている。抵抗変化型不揮発メモリ40は、例えば、スピン注入型MRAMであって、Si基板上に、駆動回路となるCMOS回路(図示せず)を形成し、このCMOS回路上に図示しない層間絶縁膜を介して、複数のメモリセルがマトリクス状に配列されたメモリセルアレイが形成されている。各メモリセルは、図1に示すように、抵抗変化素子10と、この抵抗変化素子10に直列に接続された選択トランジスタ20とを備えている。本実施形態においては、抵抗変化素子10は、図2(a)、2(b)に示すMTJ素子10である。MTJ素子10は、下部電極、下地層、参照層、トンネルバリア層、記録層、上部電極、および配線層、をスパッタ成膜して作製する。なお、参照層に対してトンネルバリア層と反対側に参照層の磁化の向きを通電前後で不変にするために反強磁性層が設けられる場合がある。また、本実施形態においては、抵抗変化型不揮発性メモリ40には、読出し電流回路42が設けられている。

10

【0030】

ユーザー認証回路60は、ユーザー情報例えば、パスワードや指紋等で正規ユーザーであるかもしくは非正規ユーザーであるかを判定する。ユーザー情報をMRAMなどの抵抗変化型不揮発メモリに記憶させると便利である。このユーザー認証回路60による認証結果に基づいて、読出し電流回路42から出力されるメモリセルの読出し電流が制御される。例えば、図7に示すように、ユーザー認証回路60には選択回路62が設けられる。そして、ユーザー認証回路60の認証結果に基づいて、選択回路62によって、読出し電流回路42の後述する負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} が選択され、ユーザーが正規ユーザーであるか非正規ユーザーであるかに応じた読出し電流をメモリセルに流す。

20

【0031】

読出し電流回路の一具体例を図8に示す。この具体例の読出し電流回路は、ソースが電源電圧 V_{DD} に接続されゲートに負荷電圧 V_{LOAD} を受ける負荷pMOSトランジスタ43と、ドレインが負荷pMOSトランジスタ43のドレインに接続されゲートにクランプ電圧 V_{CLMP} を受け、ソースがメモリセル41の一端(ビットラインBL)に接続されるクランプnMOSトランジスタ44とを備えている。負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} を制御することにより、ビットラインBLの電圧が制御され、読出し電流値が決まる。言い換えると、負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} の制御により読出し電流を変えることができる。切り替え回路62は、ユーザー認証回路60の認証結果に基づいて、正規ユーザーと非正規ユーザーとで、負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} の値を異なるように切り替える。例えば、非正規ユーザーの場合は、負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} を制御することにより、読出し電流を大きくして、「読出しによる誤書き込み」を積極的に起こさせる。その結果、読出し回数に応じてデジタルデータが徐々に劣化する。これに対して正規ユーザーの場合は10¹⁶回の読み出しを行っても、そのうち磁化反転が起こる確率が1回以下であるように、読出し電流を小さく設定する。その結果、読出しによるデジタルデータ劣化は起きない。

30

40

【0032】

読出し電流回路45A、45Bと、センスアンプ47と含む読出し回路を図9に示す。読出し電流回路45Aは、直列に接続された、負荷pMOSトランジスタM11およびクランプnMOSトランジスタM13を有し、データを読出すべき選択されたメモリセルに接続されるビットラインBLに読出し電流を流す。読出し電流回路45Bは、直列に接続された、負荷pMOSトランジスタM12およびクランプnMOSトランジスタM14を有し、参照セルに接続されるビット線に読出し電流を流す。

【0033】

一方、センスアンプ47は、pMOSトランジスタM1、M2、M5、M6、Meqと

50

、nMOSトランジスタM3、M4、M7、M9、M10と、を有している。pMOSトランジスタM5、M6はソースが電源電圧 V_{DD} に接続され、ゲートが共通に接続され、ドレインが出力端子bOUT、OUTにそれぞれ接続されている。なお、出力端子bOUTからは出力端子OUTの反転信号が出力される。pMOSトランジスタMeqは、ゲートがpMOSトランジスタM5、M6のゲートに接続され、ソースおよびドレインの一方が出力端子bOUTに、他方が出力端子OUTに接続される。pMOSトランジスタM1、nMOSトランジスタM3、およびnMOSトランジスタM9は直列に接続される。そして、pMOSトランジスタM1はソースが電源電圧 V_{DD} に接続され、ドレインが出力端子bOUTに接続され、ゲートがnMOSトランジスタM3のゲートおよび出力端子OUTに接続されている。nMOSトランジスタM3は、ドレインが出力端子bOUTに接続され、ソースがnMOSトランジスタM9のドレインに接続される。nMOSトランジスタM9はゲートが読出し電流回路45Aの負荷pMOSトランジスタM11のドレインに接続され、ソースがnMOSトランジスタM7のドレインに接続される。nMOSトランジスタM7はゲートに、pMOSトランジスタM5、M6のゲート電圧SE1を受け、ソースが接地される。

10

【0034】

また、pMOSトランジスタM2、nMOSトランジスタM4、およびnMOSトランジスタM10は直列に接続される。そして、pMOSトランジスタM2はソースが電源電圧 V_{DD} に接続され、ドレインが出力端子OUTに接続され、ゲートがnMOSトランジスタM4のゲートおよび出力端子bOUTに接続されている。nMOSトランジスタM4は、ドレインが出力端子OUTに接続され、ソースがnMOSトランジスタM10のドレインに接続される。nMOSトランジスタM10はゲートが読出し電流回路45Bの負荷pMOSトランジスタM12のドレインに接続され、ソースがnMOSトランジスタM7のドレインに接続される。

20

【0035】

このように構成された読出し回路では、抵抗変化型不揮発メモリのメモリセルに記憶されたデータが“0”であるか“1”であるかを読み出すことができる。

【0036】

以上説明したように、本実施形態によれば、正規ユーザーが使用する場合にデジタルデータを可及的に劣化させず、非正規ユーザーの不正使用を可及的に抑制することができる。

30

【0037】

(第2実施形態)

次に、本発明の第2実施形態による記録再生装置を図10に示す。本実施形態の記録再生装置は、図7に示す第1実施形態の記録再生装置において、ユーザー認証回路60にユーザー情報記憶用抵抗変化型不揮発メモリ66を設けるとともに、抵抗変化型不揮発メモリ40にECC回路48および再書込み回路49を設けた構成となっている。

【0038】

本実施形態においては、選択回路62は、ユーザー認証回路60によって認証された認証結果に基づいて、読出し電流回路42のパラメータ（負荷電圧 V_{LOAD} およびクランプ電圧 V_{CLMP} ）を選択するとともに、ECCの第1段階と第2段階を行なうか否かも選択する。なお、再書込み回路49は、ECC回路48のエラー訂正に基づいてメモリセルアレイに訂正のための再書込みを行う。

40

【0039】

以下に、スピン注入MRAMの場合の読出し電流の設定方法について詳述する。正規ユーザーの場合は、通常は、 10^{16} 回読み出してもそのうち磁化反転が起こる確率が1回以下であるように、読出し電流を小さく設定する。言い換えると、読出しパルス幅が10nsecの場合、 $t = 10\text{ nsec} \times 10^{16} = 10^8\text{ sec}$ で $p < 10^{-16}$ になるように、読出し電流 I_{read} や熱擾乱パラメータ Δ_{therm} を設計する。

【0040】

50

読出し電流の大きさに応じて、「読出しによる誤書き込み」による磁化反転の確率は変化する。図11に、その磁化反転確率の読出し回数依存性を示した。本発明者らが見出した新しい「読出しによる誤書き込み」の確率の求め方である式(3)～(10)に良く合っている。ここで示したのは、 $K_u V / k_B T = 80$ 、 $f_0 = 10^9 \text{ Hz}$ 、読出しパルス幅 $= 10 \text{ nsec}$ の場合である。 I_{read} / I_c を 0.1678 と小さく設定すると、10年間読出し続けても「読出しによる誤書き込み」が起きる確率は、図11の実線に示すように、1 Gビットに1ビット以下である。すなわち実質的にはデータ劣化はない。このメモリ動作状態を正規ユーザーに提供する。

【0041】

一方、 I_{read} / I_c を 0.7 と大きく設定すると、図11の破線に示すように、3回から10回の読出しで音質や画質が劣化する。非正規ユーザーにはこの動作状態を提供する。すなわち、最初は完全に近い情報が得られるが、繰り返し楽しもうと思うと急速に質が落ちる。質の良いデジタルコンテンツを繰り返し楽しみたい場合は、正規ユーザーになる必要がある。

【0042】

本実施形態の利点は、デジタルコンテンツ供給側が、何回の読出しでデータが劣化するかを自由に設定できることである。例えば、非正規ユーザーに1回だけの試し視聴を許したい場合がしばしばある。この場合は、1回の読み出しで10%のデータが失われるように設定することが望ましい。このときECCなしの場合は、 $I_{\text{read}} / I_c' = 0.798$ に設定するとちょうど良い。ここで、 I_c' は磁化反転を生じさせる電流である。また、非正規ユーザーにお気に入りの音楽を1000回まで聴くことを許す場合がある。この場合でECCなしの場合は、1000回の読み出しで10%のデータが失われるように設定することが望ましい。この場合は $I_{\text{read}} / I_c' = 0.6296$ に設定するとちょうど良い。実用上はこの両者の間、すなわち1回の読み出しで10%のデータが失われるケースから、1000回の読み出しで10%のデータが失われるケースの間で使うことになるので、非正規ユーザーの I_{read} / I_c' は 0.63 以上かつ 0.8 以下に設定することが望ましい。ここで I_c' は磁化反転電流であるが、メモリ内のビット間で磁化反転電流のパラツキが十分小さい場合、例えば標準偏差が平均値の1%以下の場合は、ビット間の平均磁化反転電流 I_c^{average} を用いれば良い。磁化反転電流のパラツキが無視できない場合は、データの典型的な容量から I_c' を以下のように設定すれば良い。データの典型的な容量が x ビットであるとする。メモリの $y = 0.9 \times x$ ビット分を考える。 y ビットのうち磁化反転電流がもっとも小さいビットは $z \times \sigma$ だけ平均磁化反転電流 I_c^{average} から離れている。ここで σ は標準偏差で電流の単位である。この場合は、 $I_c' = I_c^{\text{average}} - z \times \sigma$ と設定すれば良い。例えば音楽の場合、6分の曲のデータ容量は $x = 50 \text{ M}$ ビット程度である。この場合 $y = 45 \text{ M}$ ビットであり、 $z = 5.49$ になる。

【0043】

さらには、スピン注入MRAMを使った本実施形態では、デジタルコンテンツ供給側から見て正規ユーザーと非正規ユーザーの2種類だけに分けるのではなく、もっと多くの階層に分けて、きめ細かく I_{read} / I_c' を設定することも可能である。1回だけ試し視聴を許すユーザー、小さな金額を払って10回まで視聴を許すユーザー、大きな金額を払って永久的に視聴を許すユーザー、と分けることができる。

【0044】

一方、従来言われていた式(1)～式(2)で「読出しによる誤書き込み」の確率を計算で求めたものを図12に示す。図11とはかなり磁化反転確率が異なる。従来方法では正しく「読出しによる誤書き込み」の確率を評価することが出来ないこと、非正規ユーザーに合った動作状態を提供できないこと、が分かる。

【0045】

次に、実際にこの記録再生装置がどのように使われるかの実施例を述べる。

【0046】

10

20

30

40

50

ネットワークから楽曲や映像番組を有償でダウンロードして、個人のパソコンや携帯電話で視聴することが良く行なわれる。この場合に本発明の一実施形態による記録再生装置が非常に有用である。図10に示す第2実施形態を例にとって説明する。デジタルコンテンツは、ダウンロードされて抵抗変化型不揮発メモリに記憶される。そのデジタルコンテンツ内には正規ユーザーと非正規ユーザーを区別するパスワード情報が入っている。正規に使用料を支払った正規ユーザーの場合は、同時にパスワードが配布され、ユーザー情報記憶用抵抗変化型メモリ66に格納される。配布されたパスワード情報と、デジタルコンテンツ内のパスワード情報が一致したら、正規ユーザーと認められ、選択回路62が正規ユーザー用のパラメータを選択し、読み出し電流回路42から小さな読み出し電流を流し、「読み出しによる誤書き込み」によるデータ劣化なしでデジタルコンテンツを何度でも楽しむことができる。

10

【0047】

一方、正規に使用料を払わず、試し視聴だけしたいユーザーの場合は、パスワード情報が配布されない。その結果、ユーザー認証回路60で非正規ユーザーと判定され、選択回路62が非正規ユーザー用のパラメータを選択し、読み出し電流回路42から大きな読み出し電流が流れ、「読み出しによる誤書き込み」によって読むたびにデータ劣化が起きる。

【0048】

他の例は、本発明の一実施形態の記録再生装置をレンタル店で使う場合である。レンタル店ではあらかじめ抵抗変化型不揮発メモリ40に音楽や映像番組を記憶させておく。レンタルする場合に、大きな金額を払って永久的に視聴を許すユーザーになった場合には、別途正規のパスワードを教える。自宅に記録再生装置を持ち帰って、視聴装置にセットして、正規のパスワードを入力すれば「読み出しによる誤書き込み」によるデータ劣化なしでデジタルコンテンツを何度でも楽しむことができる。パスワードの代わりに、指紋情報などをユーザー情報記憶用抵抗変化型不揮発メモリ66に格納しても良い。小さな金額を払って1回までの視聴を許すユーザーに対しては、パスワードを教えないか、別のパスワードを教える。その結果、読み出し時には、読み出し電流回路42によって大きな読み出し電流が流れ、「読み出しによる誤書き込み」によって読むたびにデータ劣化が起きる。

20

【0049】

正規ユーザーに対しては、「読み出しによる誤書き込み」によるデータ劣化を起こさないように、保護回路や安全装置を設けることが有効である。

30

【0050】

以上説明したように、本発明の各実施形態によれば、正規ユーザーが使用する場合にデジタルデータを可及的に劣化させず、非正規ユーザーの不正使用を可及的に抑制することの可能な記録再生装置を提供することができる。

【図面の簡単な説明】

【0051】

【図1】抵抗変化型不揮発メモリのセルの模式図

【図2】スピン注入磁気抵抗効果ランダムアクセスメモリの書き込み原理を説明する図。

【図3】スピン注入磁気抵抗効果ランダムアクセスメモリの読み出し原理を説明する図。

【図4】PRAMの書き込み原理を説明する図。

40

【図5】ReRAMの書き込み原理を説明する図。

【図6】本発明の第1実施形態による記録再生装置を示すブロック図。

【図7】第1実施形態の記録再生装置の具体的な構成を示すブロック図。

【図8】読み出し電流回路の一具体例を示す回路図。

【図9】読み出し回路の一具体例を示す回路図。

【図10】本発明の第2実施形態による記録再生装置を示すブロック図。

【図11】本発明の一実施形態による記録再生装置における、読み出し回数に依存した磁化反転確率を示す図。

【図12】読み出し回数に依存した磁化反転確率を、従来方法で評価した図。

【符号の説明】

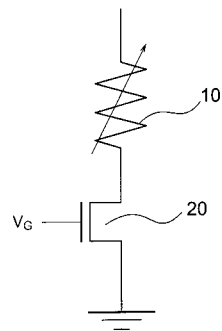
50

【 0 0 5 2 】

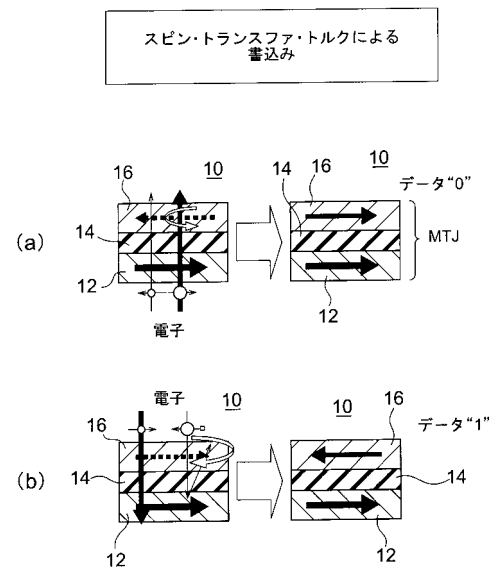
- 1 0 抵抗変化型素子 (MTJ 素子)
- 1 2 参照層
- 1 4 トンネルバリア層
- 1 6 記録層
- 2 0 選択トランジスタ
- 4 0 抵抗変化型不揮発メモリ
- 4 1 メモリセル
- 4 2 読出し電流回路
- 4 3 負荷 pMOS トランジスタ
- 4 4 クランプ nMOS トランジスタ
- 4 8 ECC 回路
- 6 0 ユーザー認証回路
- 6 2 選択回路
- 6 6 ユーザー情報記憶用抵抗変化型不揮発メモリ

10

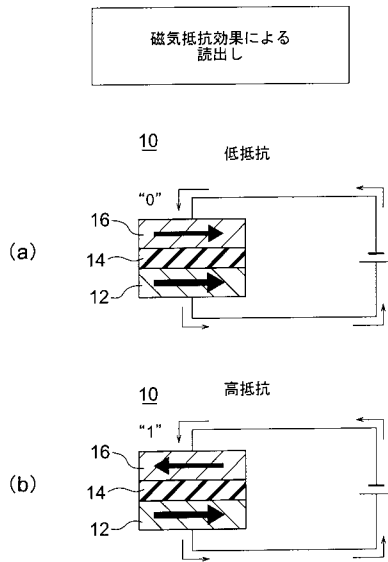
【 図 1 】



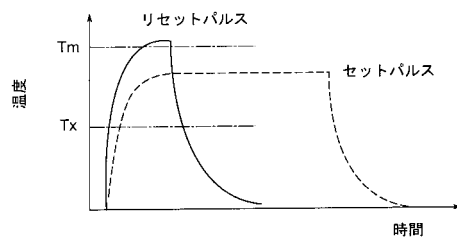
【 図 2 】



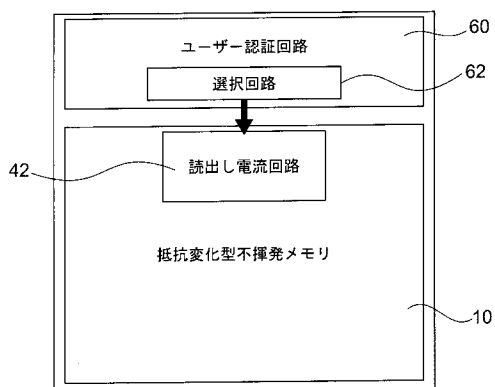
【図 3】



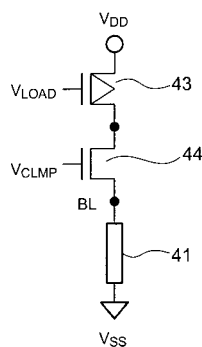
【図 4】



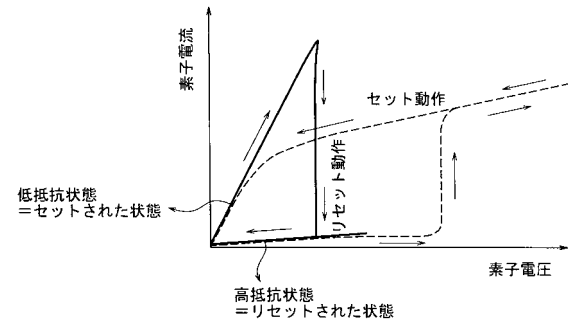
【図 7】



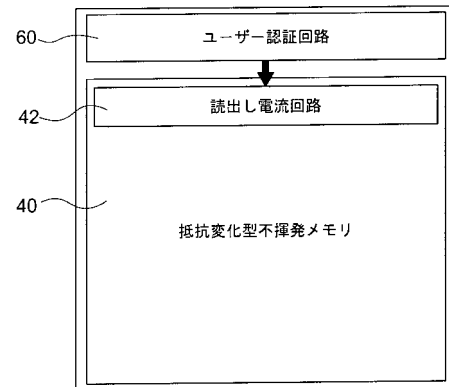
【図 8】



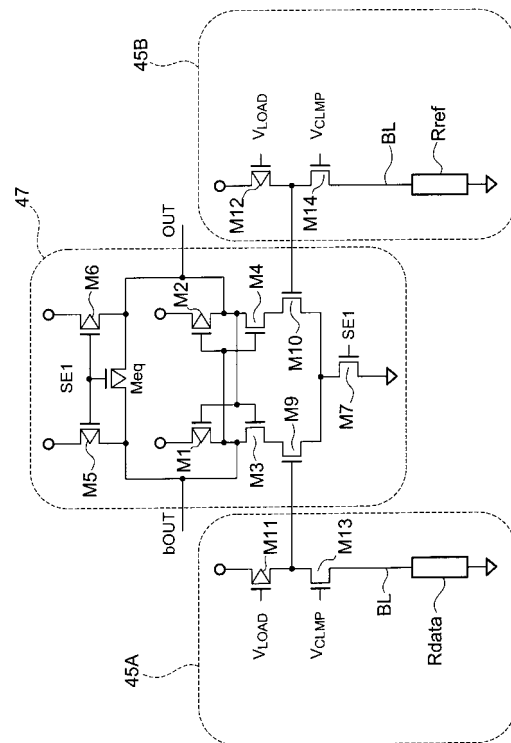
【図 5】



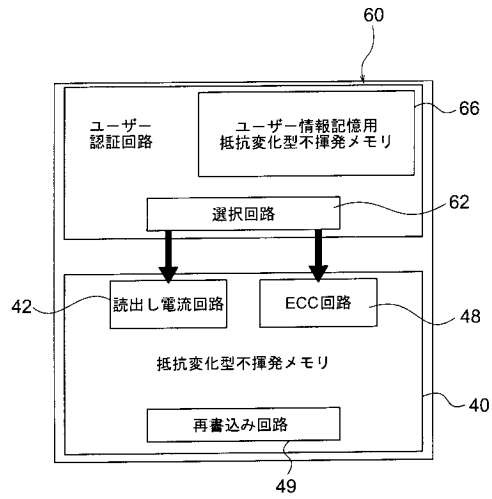
【図 6】



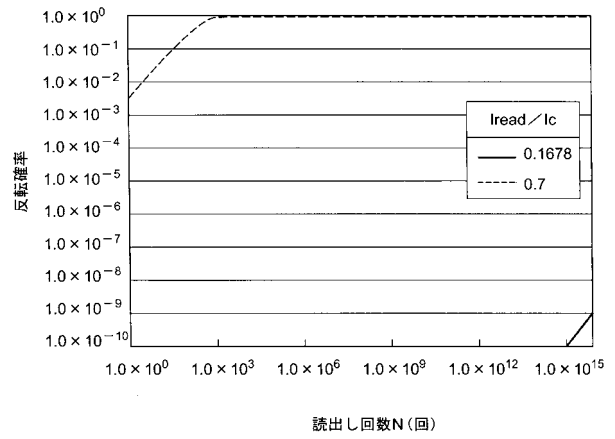
【図 9】



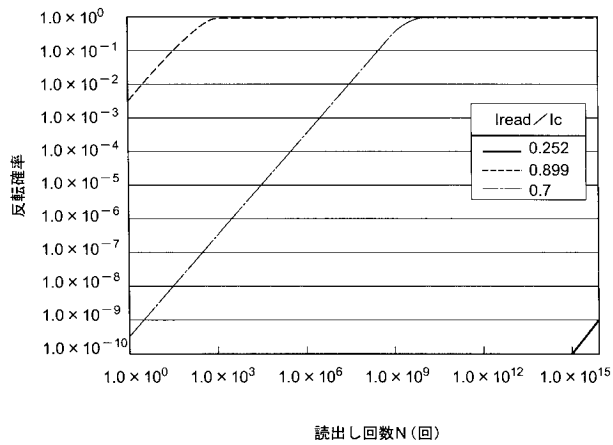
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 12/14 5 6 0 D

(72)発明者 金 井 達 徳
東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 相 川 尚 徳
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 高瀬 勤

(56)参考文献 特開2001-331942 (JP, A)
特表2005-515724 (JP, A)
特開平05-073428 (JP, A)
特開2004-355680 (JP, A)
特開平05-128895 (JP, A)
特開2007-305267 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 1 / 1 5
G 0 6 F 2 1 / 2 4
G 1 1 C 1 3 / 0 0
J S T P l u s (J D r e a m I I)