



(45)授權公告日 2019.01.18

权利要求书4页 说明书18页 附图19页

1. 一种半导体器件, 包括:

源极区和漏极区之间的高迁移率沟道, 其中所述高迁移率沟道基本上延伸栅极的长度; 以及

从所述源极区或所述漏极区朝所述高迁移率沟道延伸的掺杂区, 其中基板的一部分位于所述掺杂区和所述高迁移率沟道之间, 使得所述掺杂区不与所述高迁移率沟道接触。

2. 如权利要求1所述的半导体器件, 其特征在于, 所述掺杂区从所述源极区朝所述高迁移率沟道延伸。

3. 如权利要求1所述的半导体器件, 其特征在于, 所述掺杂区从所述漏极区朝所述高迁移率沟道延伸。

4. 如权利要求1所述的半导体器件, 其特征在于, 进一步包括栅极, 其中所述高迁移率沟道耦合到所述栅极。

5. 如权利要求4所述的半导体器件, 其特征在于, 进一步包括耦合到所述栅极的分隔件, 其中所述掺杂区与所述分隔件接触。

6. 如权利要求1所述的半导体器件, 其特征在于, 所述掺杂区与所述源极区或所述漏极区接触, 并且其中所述掺杂区与所述基板和分隔件接触。

7. 如权利要求1所述的半导体器件, 其特征在于, 在所述半导体器件处于导通状态时, 所述掺杂区与所述源极区或所述漏极区之间的结启用从所述源极区到所述漏极区的高迁移率载流子路径。

8. 如权利要求1所述的半导体器件, 其特征在于, 在所述半导体器件处于截止状态时, 所述掺杂区与所述高迁移率沟道之间的结提供用于抑制电流泄漏的阻挡层。

9. 如权利要求1所述的半导体器件, 其特征在于, 所述基板的所述部分与一分隔件接触, 并且其中所述基板包括硅。

10. 如权利要求1所述的半导体器件, 其特征在于, 所述掺杂区不在所述栅极下延伸。

11. 如权利要求1所述的半导体器件, 其特征在于, 所述高迁移率沟道不在分隔件下延伸。

12. 如权利要求1所述的半导体器件, 其特征在于, 所述基板的所述部分与所述掺杂区之间的结位于分隔件之下。

13. 如权利要求1所述的器件, 其特征在于, 所述高迁移率沟道和所述掺杂区被集成在至少一个半导体管芯中。

14. 如权利要求1所述的器件, 其特征在于, 所述高迁移率沟道和所述掺杂区被集成到移动电话、蜂窝电话、便携式计算机、无线电装置、卫星无线电装置、通信设备、便携式音乐播放器、便携式数字视频播放器、导航设备、个人数字助理(PDA)、移动位置数据单元、或其组合中。

15. 如权利要求1所述的器件, 其特征在于, 所述高迁移率沟道和所述掺杂区被集成到机顶盒、娱乐单元、固定位置数据单元、台式计算机、监视器、计算机监视器、电视机、调谐器、音乐播放器、数字音乐播放器、视频播放器、数字视频播放器、数字视频碟(DVD)播放器、或其组合中。

16. 一种用于半导体器件的方法, 包括:

形成与半导体器件的源极区或漏极区相关联的掺杂区; 以及

在所述半导体器件内形成高迁移率沟道,其中所述掺杂区在形成所述高迁移率沟道之前被退火,其中所述掺杂区从所述源极区或所述漏极区朝所述高迁移率沟道延伸,并且其中所述半导体器件的基板的一部分位于所述掺杂区和所述高迁移率沟道之间,使得所述掺杂区不与所述高迁移率沟道接触。

17.如权利要求16所述的方法,其特征在于,进一步包括沉积与所述源极区相关联的源极注入物以及沉积与所述漏极区相关联的漏极注入物。

18.如权利要求16所述的方法,其特征在于,进一步包括在形成所述掺杂区之后使所述半导体器件退火,其中所述退火包括快速热退火、激光退火、或其组合。

19.如权利要求16所述的方法,其特征在于,所述高迁移率沟道包括锗(Ge)、III-V材料、II-V材料、石墨、其他高迁移率材料、或其组合。

20.如权利要求16所述的方法,其特征在于,进一步包括形成栅极,其中所述栅极耦合到所述高迁移率沟道。

21.如权利要求20所述的方法,其特征在于,所述栅极包括高K材料和金属。

22.如权利要求16所述的方法,其特征在于,形成所述掺杂区和形成所述高迁移率沟道是由集成到电子设备中的处理器发起的。

23.如权利要求16所述的方法,其特征在于,进一步包括:

在所述半导体器件的所述基板上形成虚栅极;

在所述虚栅极上形成分隔件;以及

移除所述虚栅极以创建腔。

24.如权利要求23所述的方法,其特征在于,进一步包括:

使所述腔延伸入所述基板的一部分中,其中所述基板的所述部分与所述半导体器件的沟道区相关联,并且其中所述腔被延伸具有第一值的特定深度;以及

用高迁移率材料填充所述基板的所述部分以形成所述高迁移率沟道,其中所述高迁移率沟道具有为第二值的特定厚度。

25.如权利要求24所述的方法,其特征在于,所述第一值和所述第二值是相同值。

26.如权利要求24所述的方法,其特征在于,所述第一值和所述第二值是不同值。

27.一种包括处理器可执行指令的非瞬态计算机可读介质,所述指令在由处理器执行时使所述处理器:

发起半导体器件的形成,所述半导体器件通过以下操作来形成:

形成与半导体器件的源极区或漏极区相关联的掺杂区;以及

在所述半导体器件内形成高迁移率沟道,其中所述掺杂区在形成所述高迁移率沟道之前被退火,其中所述掺杂区从所述源极区或所述漏极区朝所述高迁移率沟道延伸,并且其中所述半导体器件的基板的一部分位于所述掺杂区和所述高迁移率沟道之间,使得所述掺杂区不与所述高迁移率沟道接触。

28.如权利要求27所述的非瞬态计算机可读介质,其特征在于,所述源极区和所述漏极区包括硅锗(SiGe)、嵌入式硅(e-Si)或嵌入式硅碳(e-Si:C)。

29.如权利要求27所述的非瞬态计算机可读介质,其特征在于,所述掺杂区包括n型掺杂物或p型掺杂物。

30.如权利要求27所述的非瞬态计算机可读介质,其特征在于,所述高迁移率沟道是使

用外延生长来形成的。

31. 一种用于半导体器件的装备, 包括:

用于在半导体器件处于导通状态时启用源极区和漏极区之间的高迁移率载流子路径的沟道装置, 其中所述用于启用高迁移率载流子路径的沟道装置基本上延伸所述半导体器件的栅极的长度; 以及

用于启用所述用于启用高迁移率载流子路径的沟道装置与关联于所述源极区或所述漏极区之一的掺杂区之间的电流的装置, 其中所述用于启用电流的装置位于所述掺杂区与所述用于启用高迁移率载流子路径的沟道装置之间, 使得所述掺杂区不与所述用于启用高迁移率载流子路径的沟道装置接触。

32. 如权利要求31所述的装备, 其特征在于, 所述沟道装置包括高迁移率沟道。

33. 如权利要求32所述的装备, 其特征在于, 所述高迁移率沟道包括锗 (Ge)、III-V材料、II-V材料、石墨、其他高迁移率材料、或其组合。

34. 如权利要求31所述的装备, 其特征在于, 所述用于启用电流的装置包括基板材料。

35. 如权利要求31所述的装备, 其特征在于, 所述用于启用电流的装置被配置成在所述半导体器件处于截止状态时提供用于抑制电流泄漏的阻挡层。

36. 如权利要求31所述的装备, 其特征在于, 所述用于启用高迁移率载流子路径的沟道装置和所述用于启用电流的装置被集成到移动电话、蜂窝电话、便携式计算机、无线电装置、卫星无线电装置、通信设备、便携式音乐播放器、便携式数字视频播放器、导航设备、个人数字助理 (PDA)、移动位置数据单元、或其组合中。

37. 如权利要求31所述的装备, 其特征在于, 所述用于启用高迁移率载流子路径的沟道装置和所述用于启用电流的装置被集成到机顶盒、娱乐单元、固定位置数据单元、台式计算机、监视器、计算机监视器、电视机、调谐器、音乐播放器、数字音乐播放器、视频播放器、数字视频播放器、数字视频碟 (DVD) 播放器、或其组合中。

38. 一种用于半导体器件的方法, 包括:

用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤; 以及

用于在所述半导体器件内形成高迁移率沟道的第二步骤, 其中所述掺杂区在形成所述高迁移率沟道之前被退火, 其中所述掺杂区从所述源极区或所述漏极区朝所述高迁移率沟道延伸, 并且其中所述半导体器件的基板的一部分位于所述掺杂区和所述高迁移率沟道之间, 使得所述掺杂区不与所述高迁移率沟道接触。

39. 如权利要求38所述的方法, 其特征在于, 所述第一步骤和所述第二步骤是由集成到电子设备中的处理器控制的。

40. 一种用于半导体器件的方法, 包括:

接收表示半导体器件的至少一种物理性质的设计信息, 所述半导体器件包括:

源极区和漏极区之间的高迁移率沟道, 其中所述高迁移率沟道基本上延伸栅极的长度; 以及

从所述源极区或所述漏极区朝所述高迁移率沟道延伸的掺杂区, 其中基板的一部分位于所述掺杂区和所述高迁移率沟道之间, 使得所述掺杂区不与所述高迁移率沟道接触;

转换所述设计信息以遵循文件格式; 以及

生成包括经转换的设计信息的数据文件。

41. 如权利要求40所述的方法,其特征在于,所述数据文件包括GDSII格式。

42. 如权利要求40所述的方法,其特征在于,所述数据文件包括GERBER格式。

43. 一种用于半导体器件的方法,包括:

接收数据文件,所述数据文件包括对应于半导体器件的设计信息;以及

根据所述设计信息来制造所述半导体器件,其中所述半导体器件包括:

源极区和漏极区之间的高迁移率沟道,其中所述高迁移率沟道基本上延伸栅极的长度;以及

从所述源极区或所述漏极区朝所述高迁移率沟道延伸的掺杂区,其中基板的一部分位于所述掺杂区和所述高迁移率沟道之间,使得所述掺杂区不与所述高迁移率沟道接触。

44. 如权利要求43所述的方法,其特征在于,所述数据文件包括GDSII格式。

45. 一种用于半导体器件的方法,包括:

在计算机处接收设计信息,所述设计信息包括经封装半导体器件在电路板上的物理定位信息,所述经封装半导体器件包括半导体结构,所述半导体结构包括:

源极区和漏极区之间的高迁移率沟道,其中所述高迁移率沟道基本上延伸栅极的长度;以及

从所述源极区或所述漏极区朝所述高迁移率沟道延伸的掺杂区,其中基板的一部分位于所述掺杂区和所述高迁移率沟道之间,使得所述掺杂区不与所述高迁移率沟道接触;以及

转换所述设计信息以生成数据文件。

46. 如权利要求45所述的方法,其特征在于,所述数据文件包括GERBER格式。

47. 一种用于半导体器件的方法,包括:

接收数据文件,所述数据文件包括包含经封装半导体器件在电路板上的物理定位信息的设计信息;以及

制造所述电路板,所述电路板被配置成根据所述设计信息接纳所述经封装半导体器件,其中所述经封装半导体器件包括:

源极区和漏极区之间的高迁移率沟道,其中所述高迁移率沟道基本上延伸栅极的长度;以及

从所述源极区或所述漏极区朝所述高迁移率沟道延伸的掺杂区,其中基板的一部分位于所述掺杂区和所述高迁移率沟道之间,使得所述掺杂区不与所述高迁移率沟道接触。

48. 如权利要求47所述的方法,其特征在于,所述数据文件包括GERBER格式。

49. 如权利要求47所述的方法,其特征在于,进一步包括将所述电路板集成到包括以下各项的设备中:移动电话、蜂窝电话、便携式计算机、无线电装置、卫星无线电装置、通信设备、便携式音乐播放器、便携式数字视频播放器、导航设备、个人数字助理(PDA)、移动位置数据单元、或其组合。

50. 如权利要求47所述的方法,其特征在于,进一步包括将所述电路板集成到包括以下各项的设备中:机顶盒、娱乐单元、固定位置数据单元、台式计算机、监视器、计算机监视器、电视机、调谐器、音乐播放器、数字音乐播放器、视频播放器、数字视频播放器、数字视频碟(DVD)播放器、或其组合。

具有高迁移率沟道的半导体器件

[0001] 相关申请的交叉引用

[0002] 本申请要求共同拥有的于2013年9月27日提交的美国非临时专利申请No.14/040,366的优先权,该非临时专利申请的内容通过援引全部明确纳入于此。

[0003] 领域

[0004] 本公开一般涉及具有高迁移率沟道的半导体器件及其形成。

[0005] 相关技术描述

[0006] 技术进步已产生越来越小的装置且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络传达语音和数据分组。此外,许多此类无线电话包括被纳入于其中的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于访问因特网的软件应用,诸如web浏览器应用。如此,这些无线电话可包括显著的计算能力。

[0007] 为提高半导体器件的沟道区的迁移率,高迁移率材料已被添加到沟道区。具有高迁移率沟道的沟道区可在半导体器件处于导通状态时有利地启用导电性(例如,高电流)。然而,在半导体器件的沟道区中使用高迁移率材料会造成一些问题,诸如在半导体器件处于截止状态时增加的基板泄漏(例如,电流泄漏)。

[0008] 概述

[0009] 本公开提供一种具有高迁移率沟道的半导体器件。该半导体器件包括栅极、源极区和漏极区。栅极与高迁移率沟道区接触,且高迁移率沟道区可基本上延伸栅极的长度。高迁移率沟道可被配置成在半导体器件处于导通状态时启用导电性(例如,高电流)。高迁移率沟道不接触与半导体器件的源极区或漏极区相关联的掺杂区,诸如轻度掺杂的注入物。一种材料可位于高迁移率沟道和源极区之间或位于高迁移率沟道和漏极区之间。例如,半导体器件的基板的一部分可位于掺杂区与高迁移率沟道之间。因此,高迁移率沟道和掺杂区被分开以在半导体器件处于截止状态时降低(例如,限制)经由高迁移率沟道的电流泄漏。例如,掺杂区与高迁移率沟道之间的结可以提供用于降低或抑制截止状态时的电流泄漏的阻挡层。

[0010] 在一特定实施例中,一种半导体器件包括源极区和漏极区之间的高迁移率沟道。高迁移率沟道基本上延伸栅极的长度。半导体器件还包括从源极区或漏极区朝高迁移率沟道延伸的掺杂区。基板的一部分位于掺杂区和高迁移率沟道之间。

[0011] 在另一特定实施例中,一种方法包括形成与半导体器件的源极区或漏极区相关联的掺杂区。该方法进一步包括在半导体器件内形成高迁移率沟道。掺杂区在形成高迁移率沟道之前被退火。掺杂区从源极区或漏极区朝高迁移率沟道延伸。半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。

[0012] 在另一特定实施例中,一种装备包括用于在半导体器件处于导通状态时启用源极区和漏极区之间的高迁移率载流子路径的沟道装置。该用于启用高迁移率载流子路径的沟

道装置基本上延伸半导体器件的栅极的长度。该装备进一步包括用于启用该用于启用高迁移率载流子路径的沟道装置与关联于源极区或漏极区之一的掺杂区之间的电流的装置。该用于启用电流的装置位于掺杂区与该用于启用高迁移率载流子路径的沟道装置之间。

[0013] 在另一特定实施例中,一种方法包括用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤。该方法进一步包括用于在半导体器件内形成高迁移率沟道的第二步骤。掺杂区从源极区或漏极区朝高迁移率沟道延伸,且掺杂区在形成高迁移率沟道之前被退火。半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。

[0014] 在另一特定实施例中,一种非瞬态计算机可读介质包括指令,这些指令在由处理器执行时使该处理器发起形成半导体器件。通过形成与半导体器件的源极区或漏极区相关联的掺杂区来形成半导体器件。通过在半导体器件内形成高迁移率沟道来进一步形成半导体器件。掺杂区从源极区或漏极区朝高迁移率沟道延伸,且掺杂区在形成高迁移率沟道之前被退火。半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。

[0015] 在另一特定实施例中,一种方法包括接收表示半导体器件的至少一个物理性质的设计信息。半导体器件可包括源极区和漏极区之间的高迁移率沟道。高迁移率沟道基本上延伸栅极的长度。半导体器件还包括从源极区或漏极区朝高迁移率沟道延伸的掺杂区。基板的一部分位于掺杂区和高迁移率沟道之间。该方法进一步包括转换设计信息以遵循文件格式。该方法还包括生成包括经转换的设计信息的数据文件。

[0016] 在另一特定实施例中,一种方法包括在计算机处接收设计信息,该设计信息包括经封装半导体器件在电路板上的物理定位信息。经封装半导体器件包括半导体结构,该半导体结构包括源极区和漏极区之间的高迁移率沟道。高迁移率沟道基本上延伸栅极的长度。半导体结构还包括从源极区或漏极区朝高迁移率沟道延伸的掺杂区。基板的一部分位于掺杂区和高迁移率沟道之间。该方法进一步包括转换设计信息以生成数据文件。

[0017] 在另一特定实施例中,一种方法包括接收数据文件,该数据文件包括包含经封装半导体器件在电路板上的物理定位信息的设计信息。该方法还包括制造电路板。该电路板被配置成根据设计信息接纳经封装半导体器件。经封装半导体器件包括源极区和漏极区之间的高迁移率沟道。高迁移率沟道基本上延伸栅极的长度。经封装半导体器件进一步包括从源极区或漏极区朝高迁移率沟道延伸的掺杂区。基板的一部分位于掺杂区和高迁移率沟道之间。

[0018] 由所公开的实施例中的至少一者提供的一个特定优点是形成了具有高迁移率沟道的半导体器件。该半导体器件可有利地包括在半导体器件处于导通状态时启用导电性(例如,高电流)的高迁移率沟道。例如,掺杂区与源极/漏极区之间的结可以在导通状态时启用源极/漏极区之间的高迁移率载流子路径。另外,高迁移率沟道与掺杂区分开可有利地在半导体器件处于截止状态时降低(例如,限制)来自高迁移率沟道的电流泄漏。例如,掺杂区与高迁移率沟道之间的结可以提供用于降低或抑制截止状态时的电流泄漏的阻挡层。

[0019] 本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求书。

[0020] 附图简述

[0021] 图1是包括高迁移率沟道的半导体器件的部分视图的示意图;

[0022] 图2是制造包括高迁移率沟道的半导体器件的过程的至少一个阶段的第一说明性

示图；

[0023] 图3是制造半导体器件的过程在形成半导体器件的一个或多个栅极堆叠之后的至少一个阶段的第二说明性示图；

[0024] 图4是制造半导体器件的过程在一个或多个栅极堆叠上形成分隔件之后的至少一个阶段的第三说明性示图；

[0025] 图5是制造半导体器件的过程在基板的第一部分上方形成硬掩模之后且在从基板的第二部分移除基板的一部分之后的至少一个阶段的第四说明性示图；

[0026] 图6是制造半导体器件的过程在基板的第二部分上形成源极/漏极区之后的至少一个阶段的第五说明性示图；

[0027] 图7是制造半导体器件的过程在基板的第二部分上形成硬掩模且在基板的第一部分上形成源极/漏极区之后的至少一个阶段的第六说明性示图；

[0028] 图8是制造半导体器件的过程在移除基板的第一部分上的硬掩模之后且在将掺杂注入物施加到半导体器件的源极/漏极区期间的至少一个阶段的第七说明性示图；

[0029] 图9是制造半导体器件的过程在晶片上方沉积电介质材料之后的至少一个阶段的第八说明性示图；

[0030] 图10是制造半导体器件的过程在执行平坦化之后且在移除每一栅极堆叠的一部分之后的至少一个阶段的第九说明性示图；

[0031] 图11是制造半导体器件的过程在选择性地移除基板的一部分以扩展腔之后的至少一个阶段的第十说明性示图；

[0032] 图12是制造半导体器件的过程在填充腔的一部分以创建高迁移率沟道之后的至少一个阶段的第十一说明性示图；

[0033] 图13是制造半导体器件的过程在高迁移率沟道上方形成栅极之后的至少一个阶段的第十二说明性示图；

[0034] 图14A是制造半导体器件的过程在形成硅化物并将金属连接到每一硅化物之后的至少一个阶段的第十三说明性示图；

[0035] 图14B是包括高迁移率沟道的半导体器件的部分视图的示图；

[0036] 图15是形成包括高迁移率沟道的半导体器件的方法的第一说明性实施例的流程图；

[0037] 图16是形成包括高迁移率沟道的半导体器件的方法的第二说明性实施例的第一部分的流程图；

[0038] 图17是图16的方法的第二部分的流程图；

[0039] 图18是包括图1的半导体器件的设备的框图；以及

[0040] 图19是用于制造包括图1的半导体器件的设备的制造过程的说明性实施例的数据流程图。

[0041] 详细描述

[0042] 以下参照附图来描述本公开的特定实施例。在本描述中，共同特征贯穿附图由共同参考标记来标明。

[0043] 参考图1，示出了包括高迁移率沟道的半导体器件100的示图。半导体器件100可包括互补金属氧化物半导体 (CMOS) 器件，诸如p型金属氧化物半导体 (pMOS) 器件或n型金属氧

化物半导体 (nMOS) 器件。

[0044] 半导体器件100包括基板106, 诸如硅 (Si) 基板。基板106可包括源极/漏极 (S/D) 区140和高迁移率沟道 (HMC) 188。源极/漏极区140 (例如, 源极/漏极注入物) 可包括硅锗 (SiGe)、嵌入式硅 (e-Si)、嵌入式硅碳 (e-Si:C) 或磷掺杂硅 (Si:P)。源极/漏极区140中的每一者可以与对应的掺杂区192相关联, 如本文进一步描述的。掺杂区192可包括n型掺杂物或p型掺杂物。

[0045] 高迁移率沟道188可包括锗 (Ge)、SiGe、III-V材料 (例如, 砷化镓 (GaAs)、砷化镓铝 (InGaAs)、砷化铝 (AlAs)、砷化镓铝 ((InAlAs)、砷化铟 (InAs)、磷化铟 (InP)、磷化镓 (GaP)、磷化镓铝 (InGaP)、锑化铟 (InSb)、锑化镓 (GaSb)、锑化镓铝 (InGaSb)、氮化镓 (GaN)、氮化镓铝 (InGaN)、氮化铝 (AlN) 等等)、II-V材料 (例如, 碲化镉 (CdTe)、碲化锌 (ZnTe)、硒化锌 (ZnSe) 等等)、石墨、另一高迁移率材料、或其组合。高迁移率沟道188可位于第一源极/漏极区140 (例如, 源极区) 和第二源极/漏极区140 (例如, 漏极区) 之间。如图1所示, 半导体器件100包括两个源极/漏极区140, 它们中的任一者可以是源极区, 而另一者是漏极区。

[0046] 栅极150可耦合到 (例如, 接触) 高迁移率沟道188。栅极150可包括共形氧化层152 (例如, 高K (HiK) 材料) 和栅极材料154 (例如, 金属)。分隔件138 (例如, 氮化硅 (SiN)) 可耦合到栅极150。高迁移率沟道188可延伸小于栅极150的长度、超过栅极150的长度、或基本上是栅极150的长度。作为第一说明性示例, 高迁移率沟道188延伸基本上栅极150的长度且具有与栅极150的长度相等的长度, 这受制于制造工艺所造成的变动。在第二说明性示例中, 高迁移率沟道188在分隔件138之下延伸。在第三说明性示例中, 高迁移率沟道不在分隔件138之下延伸。分隔件138的第一部分可以与掺杂区192接触且分隔件138的第二部分可以与基板106接触。掺杂区192可以与特定源极漏极区140 (例如, 源极区或漏极区)、基板206以及特定分隔件138接触。掺杂区192可以不与高迁移率沟道188接触。

[0047] 结142的一部分可位于分隔件138之下。结142可与基板106的一部分与掺杂区192之间的过渡相关联。掺杂区192的结142可以不与高迁移率沟道188接触。例如, 基板106 (例如, 基板材料) 的一部分可位于特定掺杂区192与高迁移率沟道188之间, 使得掺杂区192不与高迁移率沟道188接触。虽然结142与高迁移率沟道188之间的材料被描绘为基板材料, 但该材料可以是提供用于在半导体器件100处于截止状态时抑制电流泄漏的阻挡层的任何材料。

[0048] 掺杂区192可以从源极/漏极区140延伸到结142, 使得结142在分隔件138下延伸但不在栅极150下延伸。例如, 第一掺杂区192可以从第一源极/漏极区140 (例如, 源极区) 朝高迁移率沟道188延伸, 且第二掺杂区192可以从第二源极/漏极区140 (例如, 漏极区) 朝高迁移率沟道188延伸。

[0049] 半导体器件可包括硅化物182和金属184。硅化物182可包括硅化镍 (NiSi)、硅化铂 (PtSi)、硅化钛 (TiSi)、或其组合。硅化物182可以与源极/漏极区140接触。金属184 (诸如钨 (W)) 可连接到对应的硅化物182。金属184可充当对应的源极/漏极区140的电极或电极的一部分。

[0050] 在操作期间, 半导体器件100的栅极150和金属184 (例如, 源极/漏极电极) 可根据半导体器件100的操作来偏置。例如, 半导体器件100可包括第一类型的晶体管 (例如, p型金属氧化物半导体 (pMOS) 器件) 或第二类型的晶体管 (例如, n型金属氧化物半导体 (nMOS) 器

件)。在半导体器件100处于导通状态时,高迁移率沟道188、掺杂区192、结142、或其组合可以启用从第一源极/漏极区(例如,源极区)到第二源极/漏极区(例如,漏极区)的高迁移率载流子路径。在半导体器件100处于导通状态时,掺杂区与高迁移率沟道之间的结142、高迁移率沟道188与掺杂区192之间的材料、或其组合可以提供用于抑制电流泄漏的阻挡层。

[0051] 半导体器件100可有利地包括在半导体器件100处于导通状态时启用导电性(例如,高电流)的高迁移率沟道188。例如,高迁移率沟道188、掺杂区192以及源极/漏极区140、或其组合可以在处于导通状态时启用源极/漏极区之间的高迁移率载流子路径。另外,高迁移率沟道188与掺杂区192的分开可有利地降低(例如,限制)在半导体器件100处于截止状态时经由高迁移率沟道188的电流泄漏。例如,掺杂区192与高迁移率沟道188之间的结142(包括掺杂区192与高迁移率沟道188之间的基板206)可以提供用于在处于截止状态时降低或抑制电流泄漏的阻挡层。

[0052] 参考图2,描绘了制造包括高迁移率沟道的半导体器件的过程的至少一个阶段的第一说明性示图且将其一般地指定为200。该半导体器件(诸如互补金属氧化物半导体(CMOS)器件)可对应于图1的半导体器件100。例如,半导体器件100可包括p型金属氧化物半导体(pMOS)器件(例如,p型金属氧化物半导体场效应晶体管(pMOSFET)器件)中的pMOS沟道迁移率、或n型金属氧化物半导体(pMOS)器件(例如,n型金属氧化物半导体场效应晶体管(pMOSFET)器件)中的nMOS沟道迁移率。为了形成半导体器件,可以在包括基板206(例如,硅(Si)基板)的晶片202上执行处理,诸如CMOS处理。晶片202可包括绝缘体上覆硅(SOI)结构、硅上覆硅(SOS)结构、或块体硅结构。

[0053] 参考图3,描绘了制造半导体器件的过程在形成半导体器件的一个或多个栅极堆叠之后的至少一个阶段的第二说明性示图且将其一般地指定为300。浅沟槽隔离(STI)区322、阱注入物310、以及栅极堆叠330可被形成。可作为形成STI区322、阱注入物310、以及栅极堆叠330中的一者或多者的部分或补充而执行背栅注入、结晶退火、蚀刻、图案化、和/或阱注入。阱注入物310(例如,掺杂区)可使用n型掺杂物或p型掺杂物来形成在晶片302上。

[0054] STI区322可穿过基板206的至少一部分来形成。STI区322可将基板206划分成第一部分341和第二部分361,如虚线324所指示的。第一部分341可对应于与第一半导体器件相关联的第一区域340,而第二部分361可对应于与第二半导体器件相关联的第二区域360。第一区域340可被指定用于第一半导体器件(诸如第一晶体管),而第二区域360可被指定用于第二半导体器件(诸如第二晶体管)。在一特定实施例中,第一类型的第一半导体器件是p型金属氧化物半导体(pMOS)器件(例如,p型金属氧化物半导体场效应晶体管(pMOSFET)器件),诸如图1的半导体器件100。在另一特定实施例中,第二类型的第二半导体器件是n型金属氧化物半导体(nMOS)器件(例如,n型金属氧化物半导体场效应晶体管(nMOSFET)器件),诸如图1的半导体器件100。

[0055] 栅极堆叠330(诸如虚栅极堆叠)可形成在基板206上方。栅极堆叠330中的每一个可包括覆盖层334和栅极电极层332。覆盖层334可包括氮化硅(SiN)。栅极电极层332可包括非晶硅(a-Si)或多晶硅。第一区域340的第一栅极堆叠330形成在基板206的第一部分341上方,而第二区域360的第二栅极堆叠330形成在基板206的第二部分361上方。

[0056] 参考图4,描绘了制造半导体器件的过程在一个或多个栅极堆叠上形成分隔件之后的至少一个阶段的第三说明性示图且将其一般地指定为400。分隔件438可形成在栅极堆

叠330上。例如,分隔件438可形成在栅极电极层332上和覆盖层334上。分隔件438可形成在基板206上方。分隔件438可包括氮化硅(SiN)。可作为形成分隔件438的部分或补充而执行背栅注入、结晶退火、蚀刻、图案化、和/或延伸注入。

[0057] 参考图5,描绘了制造半导体器件的过程在基板的第二部分上方形成硬掩模之后且在从基板的第一部分移除基板的一部分之后的至少一个阶段的第三说明性示图且将其一般地指定为500。硬掩模562可被沉积在基板206的第二部分361上方。例如,硬掩模562可被沉积在第二区域360的栅极堆叠330、分隔件438以及阱注入物310上。

[0058] 与第一部分341相关联的基板206的一部分可被选择性地移除。移除基板的该部分可以创建凹进晶片202的第一部分341(例如,pMOS部分)的用于源极/漏极沉积(例如硅锗SiGe沉积)的源极/漏极腔554,诸如沟槽。源极/漏极腔554可以使用蚀刻过程来形成。

[0059] 参考图6,描绘了制造半导体器件的过程在基板的第一部分上形成源极/漏极区之后的至少一个阶段的第五说明性示图且将其一般地指定为600。与第一部分341相关联的源极/漏极区642可被形成(例如,在第一区域340上升高到基板206上方)。源极/漏极区642可被外延沉积(例如,外延生长)在基板206的暴露部分上。例如,源极/漏极区642可以使用就地掺杂来被外延地沉积。源极/漏极区642中的每一者可至少部分地形成在基板206的相应源极/漏极腔554(例如,相应沟槽)中。源极/漏极区642可包括嵌入式硅锗(e-SiGe)。例如,源极/漏极(S/D)区642(诸如SiGe区)可在晶片202的pMOS部分(诸如第一部分341)上升高。

[0060] 参考图7,描绘了制造半导体器件的过程在基板的第一部分上形成硬掩模且在基板的第二部分上形成源区/漏极区之后的至少一个阶段的第六说明性示图且将其一般地指定为700。

[0061] 硬掩模562可以从基板206的第二部分361被移除。硬掩模744可被沉积在基板206的第一部分341上方。例如,硬掩模744可被沉积在第一区域340的栅极堆叠330、分隔件438以及源极/漏极区642上。

[0062] 与第二部分361相关联的源极/漏极区764可被形成(例如,在第二区域360上升高到基板206上方)。源极/漏极区764中的每一个可至少部分地形成在基板206的沟槽中。在第二部分361上方,基板206的一部分可被选择性地移除。移除基板206的该部分可以创建凹进晶片202的第二部分361(例如,nMOS部分)的用于源极/漏极沉积(例如,嵌入式硅(e-Si)沉积或嵌入式硅碳(e-Si:C)沉积)的源极/漏极腔,诸如沟槽。源极/漏极腔可以使用蚀刻过程来形成。

[0063] 源极/漏极区764可在第二区域360上升高到基板206上方。例如,源极/漏极区764可以使用就地掺杂来被外延地沉积。源极/漏极区764中的每一个可至少部分地形成在基板206的沟槽中。例如,源极/漏极(S/D)区764可在晶片202的nMOS部分(诸如第二部分361)上升高。

[0064] 源极/漏极区764可包括提高n金属氧化物半导体(nMOS)器件(例如,n型金属氧化物半导体场效应晶体管(nMOSFET))的沟道迁移率的硅(Si)、硅碳(Si:C)、或另一材料。例如,源极/漏极区764包括嵌入式硅(e-Si)或嵌入式硅碳(e-Si:C)。例如,源极/漏极(S/D)区764可在晶片202的nMOS部分(诸如第二部分361)上升高。

[0065] 参考图8,描绘了制造半导体器件的过程在移除基板的第一部分上的硬掩模之后且在将掺杂注入物施加到半导体器件的源极/漏极区期间的至少一个阶段的第七说明性示

图且将其一般地指定为800。图7的硬掩模744可从第一区域340被移除。如果源极/漏极区642不是用就地掺杂来沉积的,则掺杂注入物890可被施加到源极/漏极区642。同样,如果源极/漏极区764不是用就地掺杂来沉积的,则掺杂注入物890可被施加到源极/漏极区764。第一区域340的掺杂注入物890可以是与第二区域360的掺杂注入物890不同的掺杂注入物。掺杂注入物890可造成源极/漏极区642、764之下(和/或旁边)的掺杂区892(例如,第一区域340的pMOS侧的SiGe注入物和第二区域360的nMOS侧的e-Si或eSi:C)。例如,第一部分341的掺杂区892可包括图3-7的在源极/漏极区642旁边的阱注入物310且包括在源极/漏极区642之下的掺杂区892。作为另一示例,第二部分361的掺杂区892可包括图3-7的在源极/漏极区764旁边的阱注入物310且包括在源极/漏极区764之下的掺杂区892。因此,第一区域340和第二区域360的源极/漏极区642、764可具有在源极/漏极区642、674之下延伸且从源极/漏极区642、764部分地在分隔件438下延伸的掺杂区892。如果源极/漏极区642、762被就地掺杂,则掺杂注入物890可不被施加,因为掺杂区892作为就地掺杂过程的结果而已经存在。

[0066] 在第一区域340和第二区域360上执行快速热退火(RTA)、激光退火(LSA)、或其组合,以扩散掺杂区892(例如,掺杂区982包括在源极/漏极区642、764旁边的阱注入物310且包括在源极/漏极区642、764之下的掺杂区892)。退火可修复由注入源极/漏极区642、764而对基板206造成的损伤且可沿掺杂区892的轮廓形成(例如,限定)结842。结842可以表示掺杂区892到基板206的材料(或位于掺杂区892与第一部分341或第二部分361的沟道区之间的另一材料)的过渡。作为退火的结果,结842可保持在相应分隔件438之下(且可以不延伸入对应栅极堆叠330之下的沟道区)。在一特定实施例中,激光退火被用来控制退火期间掺杂区892的扩散。作为补充或替换,快速热退火(RTA)、激光划线退火(LSA)、或其组合也可被执行以增加分隔件438的密度。

[0067] 参考图9,描绘了制造半导体器件的过程在晶片上沉积电介质材料之后的至少一个阶段的第八说明性示图且将其一般地指定为900。电介质层980可被沉积在晶片202上方。例如,电介质层980可以是图1的电介质180。电介质层980可包括含硅材料。

[0068] 参考图10,描绘了制造半导体器件的过程在执行平坦化之后且在移除每一栅极堆叠的一部分之后的至少一个阶段的第九说明性示图且将其一般地指定为1000。可执行化学机械平坦化(CMP)(例如,化学机械抛光)以移除图9的电介质层980的一部分、图3-9的栅极堆叠330的一部分、以及图4-9的分隔件438的一部分。在一特定实施例中,CMP抛光移除了图3-8的覆盖层334以及图3-8的栅极电极层332的一部分。可从每个栅极堆叠330移除栅极电极层332,以建立与第一区域340和第二区域360相关联的腔1072。例如,可从每个栅极堆叠330中蚀刻掉栅极电极层332。在一特定实施例中,栅极电极层332包括非晶硅(a-Si),它被从每一栅极堆叠330移除。栅极电极层332可以使用干法蚀刻、湿法蚀刻、或其组合来被移除。腔1072可以暴露与第一部分341和第二部分361中的每一者的沟道区相关联的基板206的一部分。

[0069] 参考图11,描绘了制造半导体器件的过程在选择性地移除基板的一部分以扩展腔之后的至少一个阶段的第十说明性示图且将其一般地指定为1100。可从第一部分341和第二部分361选择性地移除基板206的一部分。例如,图10的第一部分341的腔1072可延伸到第一部分341的沟道区中且图10的第二部分361的腔1072可延伸到第二部分361的沟道区中。蚀刻过程可被用来移除基板206的该部分。移除基板206的该部分可不影响结142,因为结

142没有在分隔件438之外延伸。因此,基板206的材料(例如,硅)位于经扩展腔1072与结142(例如,先前通过退火形成的结)之间。

[0070] 图10的第一部分341的腔1072可延伸入第一部分341达第一深度d1,且图10的第二部分361的腔1072可延伸入第二部分361达第二深度d2。第一深度d1和第二深度d2可以是相同的深度或可以是不同的深度。例如,第一深度d1可大于第二深度d2。作为另一示例,第一深度d1可小于第二深度d2。作为另一示例,第一深度d1可以是与第二深度d2相同的深度。

[0071] 为了将图10的第一部分341的腔1072扩展到与图10的第二部分361的腔1072不同的深度,可与一个或多个硬掩模相组合地执行多个蚀刻。

[0072] 作为第一说明性非限制性示例,第一硬掩模可被沉积在基板206的第二部分361上方。可以在沉积了第一硬掩模后在第一部分341上执行第一蚀刻过程以将图10的第一部分341的腔1072扩展到第一深度d1。在第一部分341的腔1072被扩展到第一深度d1后,第一硬掩模可以从第二部分361移除且第二硬掩模可被沉积在第一部分341上方。可以在沉积了第二硬掩模后在第二部分361上执行第二蚀刻过程以将图10的第二部分361的腔1072扩展到第二深度d2。在第二部分361的腔1072被扩展到第二深度d2后,第二硬掩模可以从第一部分341移除。

[0073] 作为第二说明性非限制性示例,可以在第一部分341和第二部分361上执行第一蚀刻过程以将图10的第一部分341和第二部分361的腔1072扩展到特定深度。该特定深度可以是第一深度d1或第二深度d2。在应用第一蚀刻之后,硬掩模可被沉积到第一部分341或第二部分361上方。如果硬掩模被沉积在第一部分341上方,则可以在第二部分361上执行第二蚀刻过程以将第二部分361的腔1072进一步扩展到第二深度d2,使得第二深度d2大于第一部分341的腔1072的特定深度(例如,第一深度d1)。如果硬掩模被沉积在第二部分341上方,则可以在第一部分361上执行第二蚀刻过程以将第一部分341的腔1072进一步扩展到第一深度d1,使得第一深度d1大于第二部分361的腔1072的特定深度(例如,第二深度d2)。在执行第二蚀刻之后,硬掩模可被移除。

[0074] 参考图12,描绘了制造半导体器件的过程在填充腔的一部分以创建高迁移率沟道之后的至少一个阶段的第十一说明性示例图且将其一般地指定为1200。高迁移率材料被外延地生长(例如,沉积)在图11的经扩展腔1072中(例如,在沟道区中)以分别形成与第一部分341和第二部分361相关联的高迁移率沟道1288a、1288b。高迁移率沟道材料可填充图11的经扩展腔1072的至少一部分。高迁移率材料可包括锗(Ge)、III-V材料、II-V材料、石墨、另一高迁移率材料、或其组合。

[0075] 第一部分341的高迁移率沟道1288a可以是第一厚度t1,且第二部分361的高迁移率沟道1288b可以是第二厚度t2。第一厚度t1和第二厚度t2可以是相同的厚度或不同的厚度。例如,第一厚度t1可大于第二厚度t2。作为另一示例,第一厚度t1可小于第二厚度t2。作为另一示例,第一厚度t1可以是与第二厚度t2相同的厚度。第一部分的高迁移率沟道1288a的第一材料可以是与第二部分361的高迁移率沟道1288b的第二材料相同的材料或不同的材料,如参考图14B描述的。

[0076] 为了将第一部分341的高迁移率沟道1288a形成为与第二部分361的高迁移率沟道1288b不同的厚度,可结合一个或多个硬掩模来执行多个外延生长。

[0077] 作为第一说明性非限制性示例,第一硬掩模可被沉积在基板206的第二部分361上

方。第一部分341的高迁移率沟道1288a可在第一硬掩模被置于第二部分361上方时外延地生长在第一部分341的经扩展腔1072中。在第二部分361的高迁移率沟道1288a被形成后,第一硬掩模可以从第二部分361移除且第二硬掩模可被沉积在第二部分341上方。第二部分361的高迁移率沟道1288b可在第二硬掩模被置于第一部分341上方时外延地生长在第二部分361的经扩展腔1072中。在第二部分361的高迁移率沟道1288b被形成后,第二硬掩模可以从第一部分341移除。

[0078] 作为第二说明性非限制性示例,可以在第一部分341和第二部分361的经扩展腔1072上执行第一外延生长,以将高迁移率沟道1288a、1288b的至少一部分形成为特定厚度。该特定厚度可以是第一厚度 t_1 或第二厚度 t_2 。在执行第一外延生长之后,硬掩模可被沉积在第二部分341或第二部分361上方。如果硬掩模被沉积在第二部分341上方,则可以在第二部分361上执行第二外延生长以将第二部分361的高迁移率沟道1288b进一步形成为第二厚度 t_2 ,使得第二厚度 t_2 大于第一部分341的高迁移率沟道1288a的特定厚度(例如,第一厚度 t_1)。如果硬掩模被沉积在第二部分341上方,则可以在第一部分361上执行第二外延生长以将第一部分341的高迁移率沟道1288a进一步形成为第一厚度 t_1 ,使得第一厚度 t_1 大于第二部分361的高迁移率沟道1288b的特定厚度(例如,第二厚度 t_2)。在执行第二外延生长之后,硬掩模可被移除。

[0079] 第一部分341的高迁移率沟道1288a的第一厚度 t_1 可以与图11中扩展第一部分341的腔1072的第一深度 d_1 相同或不同。例如,图12的第一部分341的高迁移率沟道1288a的第一厚度 t_1 可以大于图11中扩展第一部分341的腔1072的第一深度 d_1 。作为另一示例,图12的第一部分341的高迁移率沟道1288a的第一厚度 t_1 可以小于图11中扩展第一部分341的腔1072的第一深度 d_1 。作为另一示例,图12的第一部分341的高迁移率沟道1288a的第一厚度 t_1 可以与图11中扩展第一部分341的腔1072的第一深度 d_1 相同。作为补充或替换,第二部分361的高迁移率沟道1288b的第二厚度 t_2 可以与图11中扩展第二部分361的腔1072的第二深度 d_2 相同或不同。例如,图12的第二部分361的高迁移率沟道1288b的第二厚度 t_2 可以大于图11中扩展第二部分361的腔1072的第二深度 d_2 。作为另一示例,图12的第二部分361的高迁移率沟道1288b的第二厚度 t_2 可以小于图11中扩展第二部分361的腔1072的第二深度 d_2 。作为另一示例,图12的第二部分361的高迁移率沟道1288b的第二厚度 t_2 可以与图11中扩展第二部分361的腔1072的第二深度 d_2 相同。

[0080] 参考图13,描绘了制造半导体器件的过程在每一高迁移率沟道上形成栅极之后的至少一个阶段的第十二说明性示例且将其一般地指定为1300。栅极1350a、1350b(例如,栅极堆叠)可被形成在图10-12的每一腔1072中。每一栅极1350a、1350b可分别包括栅极氧化层1352a、1352b和金属栅极层1354a、1354b。栅极氧化层1352a、1352b可以使用原子层沉积(ALD)来形成。例如,栅极氧化层1352a、1352b可包括具有基本上均匀厚度的共形栅极氧化层。栅极氧化层1352a、1352b可包括高 k 栅极电介质。栅极氧化层1352a、1352b中的每一者可具有相同厚度或不同厚度。金属栅极层1354a、1354b可包括金属材料。例如,作为说明性示例,金属栅极层1354a、1354b可包括氮化钛、氮化钽、或氮化铝。金属栅极层1354a、1354b中的每一者可包括相同材料,或者不同栅极层可包括不同材料。栅极1350a、1350b可以分别与沟道区的高迁移率沟道1288a、1288b接触。

[0081] 作为说明性非限制性示例,第一部分341的栅极1350a可以是与第二部分361的栅

极堆叠1350b不同的栅极(例如,具有一个或多个不同特性)。例如,第一部分341(例如,nMOS部分)的栅极氧化层1352a的厚度可以是与第二部分361(例如,pMOS部分)的栅极氧化层1352b的厚度不同的厚度。作为另一示例,第一部分341的金属栅极层1354a的材料可以是与第二部分361的金属栅极层1354b的材料不同的材料。作为进一步示例,第一部分341的栅极1350a的宽度可以是与第二部分361的栅极1350b的宽度不同的宽度。作为进一步示例,第一部分341的栅极1350a的高度可以是与第二部分361的栅极1350b的高度不同的高度。为了使栅极1350a和栅极1350b是不同的栅极,一个或多个硬掩模可被施加到第一部分341和/或第二部分361以形成栅极1350a和栅极1350b。

[0082] 参考图14A,描绘了制造半导体器件的过程在形成硅化物并将金属连接到每一硅化物之后的至少一个阶段的第十三说明性示图且将其一般地指定为1400。可在源极/漏极区642和764中的每一者中形成沟槽。例如,沟槽可以是在其中形成硅化物1482a、1482b的硅化物沟槽。硅化物1482a、1482b可包括硅化镍(NiSi)和/或硅化铂(PtSi)之一。作为另一示例,硅化物1482a、1482b可部分形成在沟槽中。在一特定实施例中,硅化物1482a、1482b不是形成在沟槽中,而是改为形成在源极/漏极区642和744中的每一者的上表面上方。金属1484可连接到硅化物1482a、1482b的每一沉积上。金属1484可用于充当源极电极或漏极电极或者作为其一部分。在一特定实施例中,金属1484包括钨(W)。作为说明性非限制性示例,第一部分341(例如,nMOS部分)的硅化物1482a可以是与第二部分361(例如,pMOS部分)的硅化物1482b不同的材料。为了使用不同材料形成硅化物1482a和硅化物1482b,一个或多个硬掩模可被施加到第一部分341和/或第二部分361以形成硅化物1482a和硅化物1482b。

[0083] 半导体器件可有利地包括在该半导体器件处于导通状态时启用导电性(例如,高电流)的高迁移率沟道1288a、1288b,且可在该半导体器件处于截止状态时有利地降低(例如,限制)经由高迁移率沟道1288a、1288b的电流泄漏。例如,在半导体器件处于截止状态时,掺杂区892和基板206之间的结1142可抑制电流泄漏。

[0084] 参考图14B,描绘了包括高迁移率沟道的半导体器件的示图且将其一般地指定为1490。半导体器件1490可包括互补金属氧化物半导体(CMOS)器件,诸如p型金属氧化物半导体(pMOS)器件或n型金属氧化物半导体(nMOS)器件。

[0085] 半导体器件1490可包括第一区域340和第二区域360。与基板206的第一部分341相关联的第一区域340可被指定用于第一半导体器件(诸如第一晶体管),且与基板206的第二部分361相关联的第二区域360可被指定用于第二半导体器件(诸如第二晶体管)。作为说明性非限制性示例,第一半导体器件是p型金属氧化物半导体(pMOS)器件(例如,p型金属氧化物半导体场效应晶体管(pMOSFET)器件),诸如图1的半导体器件100。作为另一说明性非限制性示例,第二半导体器件是n型金属氧化物半导体(nMOS)器件(例如,n型金属氧化物半导体场效应晶体管(nMOSFET)器件),诸如图1的半导体器件100。

[0086] 第一部分341可包括第一高迁移率沟道1496且第二部分361可包括第二高迁移率沟道1498。第一高迁移率沟道1496可对应于图1的高迁移率沟道188或图12-14A的第一部分341的高迁移率沟道1288a。第二高迁移率沟道1498可对应于图1的高迁移率沟道188或图12-14A的第二部分361的高迁移率沟道1288b。第一高迁移率沟道1496和第二高迁移率沟道1498可以是相同材料或可以是不同材料。例如,第一高迁移率沟道1496和第二高迁移率沟道1498可如以上参考图11和12所描述地形成。因此,第一高迁移率沟道1496的第一厚度和

第二高迁移率沟道1498的第二厚度可以是相同厚度或不同厚度,

[0087] 参考图15,其为形成包括高迁移率沟道的半导体器件的方法1500的第一说明性实施例的流程图。例如,半导体器件可包括图1的半导体器件100、根据图2-14A所示出的过程形成的半导体器件,诸如图14A中所示的包括高迁移率沟道1288a、1288b的半导体器件或如图14B中所示的包括第一高迁移率沟道1496或第二高迁移率沟道1498的半导体器件。方法1500可被用作形成作为p型金属氧化物半导体 (pMOS) 器件的第一半导体器件或形成作为n型金属氧化物半导体 (nMOS) 器件的第二半导体器件的CMOS过程的一部分。

[0088] 在1502,形成与半导体器件的源极区或漏极区相关联的掺杂区。例如,掺杂区可包括图1的掺杂区192、图8的掺杂区892、或其组合。源极区或漏极区可包括图1的源极/漏极区140、图6的源极/漏极区642、图7的源极漏极区764、或其组合。掺杂区可被退火以形成结,诸如图1的结142或图8的结842。

[0089] 方法1500进一步包括在1504,在半导体器件内形成高迁移率沟道,其中掺杂区在形成高迁移率沟道之前被退火,其中掺杂区从源极区或漏极区朝高迁移率沟道延伸,并且其中半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。高迁移率沟道可包括图1的高迁移率沟道188或图12的高迁移率沟道1288a、1288b。基板可包括图1的基板106或图2的基板206。基板可以是包括绝缘体上覆硅 (SOI) 结构、硅上覆硅 (SOS) 结构、或块体硅结构的晶片的一部分,诸如图2的晶片202。

[0090] 在一特定实施例中,可以在晶片上执行互补金属氧化物半导体 (CMOS) 过程以形成半导体器件。CMOS过程可包括在1502形成掺杂区以及在1504形成高迁移率沟道。

[0091] 图15的方法可以使得能够形成能在半导体器件处于截止状态时具有降低的经由高迁移率沟道的电流泄漏的半导体器件。

[0092] 图16是形成包括高迁移率沟道的半导体器件的方法的第二说明性实施例的第一部分1600的流程图。例如,半导体器件可包括图1的半导体器件100、根据图2-14A所示出的过程形成的半导体器件(诸如图14A中所示的包括高迁移率沟道1288a、1288b的半导体器件、或如图14B中所示的包括高迁移率沟道1496或高迁移率沟道1498的半导体器件)、或使用图15的方法根据图2-14A所示出的过程形成的半导体器件、或其组合。方法1600可被用作形成作为p型金属氧化物半导体 (pMOS) 器件的第一半导体器件或形成作为n型金属氧化物半导体 (nMOS) 器件的第二类型的第二半导体器件的CMOS过程的一部分。

[0093] 在1602,可在基板上形成虚栅极。基板可被包括在半导体器件中。例如,虚栅极(例如,虚栅极堆叠)可包括图3的栅极堆叠330。

[0094] 在1604,可注入阱区,且在1606,可在虚栅极上形成分隔件。阱区可包括图3的注入物310。分隔件可包括图1的分隔件138、图4的分隔件438、或其组合。

[0095] 在1608,可注入源极/漏极注入物。例如,与源极区相关联的源极注入物可被沉积且与漏极区相关联的漏极注入物可被沉积。源极漏极注入物可包括图1的源极/漏极区140、图6的源极/漏极区642、图7的源极漏极区764、或其组合。例如,源极/漏极注入物可包括提高n型金属氧化物半导体 (nMOS) 沟道迁移率的硅 (Si)、硅碳 (Si:C)、或另一材料。作为另一示例,源极/漏极注入物可包括提高p型金属氧化物半导体 (pMOS) 沟道迁移率的硅锗 (SiGe) 或另一材料。源极/漏极注入物可以在沉积期间被掺杂(诸如使用就地掺杂来外延地沉积源极/漏极注入物),或者可以在形成源极/漏极注入物后使用掺杂注入物(诸如图8的掺杂注

入物890)来掺杂。

[0096] 在1610,可执行快速热退火(RTA)、激光划线退火(LSA)、或其组合。RTA、LSA、或其组合可以在掺杂区(诸如图1的掺杂区192或图8的掺杂区892)被形成之后执行。例如,也可执行RTA、LSA或其组合以形成结,诸如图1的结142或图8的结842,以扩散源极/漏极注入物的源极/漏极掺杂物,和/或增加分隔件的密度。

[0097] 在1612,可在基板和虚栅极上方沉积电介质,且在1614,电介质和虚栅极的一部分可被平坦化。例如,电介质可包括图1的电介质材料180或图9的电介质材料980。

[0098] 图17是图16的方法的第二说明性实施例的第二部分1700的流程图。方法1700可被用作形成作为p型金属氧化物半导体(pMOS)器件的第一半导体器件或形成作为n型金属氧化物半导体(nMOS)器件的第二半导体器件的CMOS过程的一部分。

[0099] 在该第三说明性实施例的第二部分1600中,在1702,可移除虚栅极的一部分以建立腔。为了建立腔,虚栅极的栅极电极层包括被移除的非晶硅(a:Si)。例如,栅极电极层312可以从栅极堆叠330移除以创建图10的腔1072。作为补充或替换,可在移除栅极电极层之前或与其相结合地移除栅极堆叠的覆盖层。例如,可以在从栅极堆叠330移除栅极电极层332以建立腔1072之前或与其相结合地移除图3的栅极堆叠330的覆盖层334。例如,在1614,可作为使虚栅极平坦化的一部分移除覆盖层334。

[0100] 在1704,可扩展腔。例如,腔可被扩展到半导体器件的沟道区中。例如,图10的腔1072可各自如图11所示地扩展。在一特定实施例中,基板(诸如图1的基板106或图2的基板206)的一部分被移除以扩展腔。

[0101] 在1706,可在腔的一部分中形成高迁移率沟道,其中与源极/漏极注入物相关联的掺杂区在形成高迁移率沟道之前被退火,并且其中半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。例如,基板(诸如图1的基板106或图2的基板206)的一部分可以用高迁移率材料填充以形成高迁移率沟道。高迁移率沟道可包括图1的高迁移率沟道188,图12的高迁移率沟道1288a、1288b,图14B的高迁移率沟道1496或高迁移率沟道1498。在1706处形成高迁移率沟道之前,在1610处,掺杂区(诸如图1的掺杂区192或图8的掺杂区892)可被退火。

[0102] 在1708,可在腔上形成栅极。栅极可耦合到高迁移率沟道。栅极(诸如图1的栅极150,或图13的栅极1350a、1350b)可形成在图10-12的腔1072中。栅极可包括高K材料和金属。高迁移率沟道是使用外延生长来形成的。

[0103] 在1710,硅化物可形成在硅化物沟槽中并连接到金属。例如,沟槽可形成在图1的源极/漏极区140、图6的源极/漏极区642、图7的源极/漏极区764、或其组合中的每一者中。硅化物和金属可被包括在图1的硅化物182和金属184或图14A-B的硅化物1482a、1482b和金属1484中。

[0104] 图16和17所示的方法可使得能够形成半导体器件,其在半导体器件处于导通状态时启用导电性(例如,高电流)且在半导体器件处于截止状态时降低经由高迁移率沟道的电流泄漏。

[0105] 图15-17的方法可通过现场可编程门阵列(FPGA)设备、专用集成电路(ASIC)、处理单元(诸如中央处理器单元(CPU))、数字信号处理器(DSP)、控制器、另一硬件设备、固件设备、或其任何组合来实现。作为示例,图15-17的方法可由执行指令的一个或多个处理器来

执行。

[0106] 参照图18,描绘了无线通信设备1800的特定解说性实施例的框图。设备1800可包括图1的半导体器件100、使用图15-17的方法中的至少一者根据图2-14所示的过程形成的半导体器件、或其组合。

[0107] 设备1800包括耦合至存储器1832的处理器1810,诸如数字信号处理器(DSP)。处理器1810可包括半导体器件1864。例如,半导体器件1864可以是图1的半导体器件100、使用图15-17的方法中的至少一者根据图2-14所示的过程形成的半导体器件、或其组合。

[0108] 存储器1832包括指令1868(例如,可执行指令),诸如计算机可读指令或处理器可读指令。指令1868可包括可由计算机(诸如处理器1810)执行的一个或多个指令。

[0109] 图18还示出了耦合至处理器1810和显示器1828的显示器控制器1826。编码器/解码器(CODEC) 1834也可耦合至处理器1810。扬声器1836和话筒1838可耦合至CODEC 1834。

[0110] 图18还指示无线接口1840(诸如无线控制器)可被耦合至处理器1810和天线1842。在特定实施例中,可将处理器1810、显示器控制器1826、存储器1832、CODEC 1834、以及无线接口1840包括在系统级封装或片上系统设备1822中。在一特定实施例中,输入设备1830和电源1844被耦合至片上系统设备1822。此外,在特定实施例中,如图18中所解说的,显示器1828、输入设备1830、扬声器1836、话筒1838、天线1842和电源1844在片上系统设备1822外部。然而,显示器1828、输入设备1830、扬声器1836、话筒1838、天线1842和电源1844中的每一者可被耦合到片上系统设备1822的组件,诸如接口或控制器。尽管半导体器件1864被描绘为被包括在处理器1810中,但半导体器件也可被包括在设备1800的另一组件或耦合至设备1800的组件中。例如,半导体器件1864可被包括在存储器1832、无线接口1840、电源1844、输入设备1830、显示器1828、显示器控制器1826、CODEC 1834、扬声器1836或话筒1838中。

[0111] 结合图1-18的所描述实施例中的一者或多者,公开了一种装备,其可包括用于在半导体器件处于导通状态时启用源极区和漏极区之间的高迁移率载流子路径的沟道装置。该用于启用高迁移率载流子路径的沟道装置基本上延伸半导体器件的栅极的长度。该用于启用高迁移率载流子路径的沟道装置可对应于图1的高迁移率沟道188,图12的高迁移率沟道1288a、1288b、图14B的高迁移率沟道1496或高迁移率沟道1498,配置成启用高迁移率载流子路径的一个或多个其他设备或电路、或其任何组合。

[0112] 该装备还可包括用于启用该用于启用高迁移率载流子路径的沟道装置与关联于源极区或漏极区之一的掺杂区之间的电流的装置。该用于启用电流的装置位于掺杂区与该用于启用高迁移率载流子路径的沟道装置之间。该用于启用电流的装置可对应于图1的基板106、图2的基板206、配置成启用该用于启用高迁移率载流子路径的沟道装置和掺杂区之间的电流的一个或多个其他设备或电路、或其任何组合。

[0113] 结合图1-18所描述的实施例,公开了一种方法,该方法可包括用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤,诸如图15的方法1500中在502描述的、图16的方法的第一部分1600中在1608描述的,在源极/漏极注入物的外延沉积期间使用就地掺杂,在形成源极/漏极注入物之后使用掺杂注入物,配置成形成与半导体器件的源极区或漏极区相关联的掺杂区的一个或多个其他过程,或其任何组合。

[0114] 该方法还可包括用于在半导体器件内形成高迁移率沟道的第二步骤。掺杂区在形成高迁移率沟道之前被退火且从源极区或漏极区朝高迁移率沟道延伸。半导体器件的基板

的一部分位于掺杂区和高迁移率沟道之间。用于在半导体器件内形成高迁移率沟道的第二步骤可如下执行:如图15的方法1500中在1504处描述的、图17的方法的第二部分1700中在1706处描述的,通过在至少腔中沉积高迁移率沟道材料,通过在腔中外延地生长高迁移率材料,配置成在半导体器件内形成高迁移率沟道的一个或多个其他过程,或其任何组合。

[0115] 所公开的实施例中的一个或多个实施例可在一种系统或装置(诸如设备1800)中实现,该系统或装置可包括通信设备、固定位置的数据单元、移动位置的数据单元、移动电话、蜂窝电话、卫星电话、计算机、平板设备、便携式计算机、或台式计算机。另外,设备1800可包括机顶盒、娱乐单元、导航设备、个人数字助理(PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频盘(DVD)播放器、便携式数字视频播放器、存储或取得数据或计算机指令的任何其他设备、或其组合。作为另一解说性、非限制性示例,该系统或装置可包括远程单元(诸如移动电话、手持式个人通信系统(PCS)单元)、便携式数据单元(诸如个人数据助理、启用全球定位系统(GPS)的设备、导航设备)、固定位置的数据单元(诸如仪表读数装备)、或存储或检索数据或计算机指令的任何其他设备、或其组合。

[0116] 上文公开的设备和功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果得到的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后被用在以上描述的设备中。图19描述了电子设备制造过程1900的特定说明性实施例。

[0117] 物理器件信息1902在制造过程1900处(诸如在研究计算机1906处)被接收。物理器件信息1902可包括表示半导体器件的至少一个物理性质的设计信息,诸如图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。例如,物理器件信息1902可包括经由耦合至研究计算机1906的用户接口1904输入的物理参数、材料特性、以及结构信息。研究计算机1906包括耦合至计算机可读介质(例如,非瞬态计算机可读介质)(诸如存储器1910)的处理器1908,诸如一个或多个处理核。存储器1910可存储计算机可读指令,其可被执行以使处理器1908将物理器件信息1902转换成遵循某一文件格式并生成库文件1912。

[0118] 在一特定实施例中,库文件1912包括至少一个包括经转换的设计信息的数据文件。例如,库文件1912可包括被提供以与电子设计自动化(EDA)工具1920一起使用的包含器件的半导体器件库,该器件包括图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。

[0119] 库文件1912可在设计计算机1914处与EDA工具1920协同使用,设计计算机1914包括耦合至存储器1918的处理器1916,诸如一个或多个处理核。EDA工具1920可被存储为存储器1918处的处理器可执行指令,以使设计计算机1914的用户能够设计包括库文件1912的图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合的电路。例如,设计计算机1914的用户可经由耦合至设计计算机1914的用户接口1924来输入电路设计信息1922。电路设计信息1922可包括表示半导体器件的至少一个物理性质的设计信息,诸如图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。作为解说,电路设计性质可包括

特定电路的标识以及与电路设计中其他元件的关系、定位信息、特征尺寸信息、互连信息、或表示半导体器件的物理性质的其他信息。

[0120] 设计计算机1914可被配置成转换设计信息(包括电路设计信息1922)以遵循某一文件格式。作为解说,该文件格式化可包括以分层格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)文件格式。设计计算机1914可被配置成生成包括经转换的设计信息的数据文件,诸如包括描述图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合的信息以及其他电路或信息的GDSII文件1926。为了解说,该数据文件可包括与包含图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合且还包含片上系统(SOC)内的附加电子电路和组件的SOC相对应的信息。

[0121] GDSII文件1926可以在制造过程1928处被接收以根据GDSII文件1926中的经转换信息来制造图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。例如,设备制造过程可包括将GDSII文件1926提供给掩模制造商1930以创建一个或多个掩模,诸如用于与光刻处理联用的掩模,其被解说为代表性掩模1932。掩模1932可在制造过程期间被用于生成一个或多个晶片1933,晶片1933可被测试并被分成管芯,诸如代表性管芯1936。管芯1936包括包含器件的电路,该器件包括图1的半导体器件100、使用图15-17的方法中的至少一者根据图2-14所示的过程形成的半导体器件、或其组合。

[0122] 例如,制造过程1928可包括处理器1934和存储器1935以发起和/或控制该制造过程1928。存储器1935可包括可执行指令,诸如计算机可读指令或处理器可读指令。可执行指令可包括可由计算机(诸如处理器1934)执行的一个或多个指令。

[0123] 制造过程1928可由全自动化或部分自动化的制造系统来实现。例如,制造过程1928可以根据调度来自动化。制造系统可包括用于执行一个或多个操作以形成半导体器件的制造装备(例如,处理工具)。例如,制造装备可被配置成沉积一个或多个材料、施加掺杂注入物、施加蚀刻掩模、执行蚀刻、执行退火、执行平坦化、形成栅极堆叠,等等。

[0124] 制造系统(例如,执行制造过程1928的自动化系统)可具有分布式架构(例如,分层结构)。例如,该制造系统可包括根据该分布式架构分布的一个或多个处理器(诸如处理器1934)、一个或多个存储器(诸如存储器1935)、和/或控制器。该分布式架构可包括控制或发起一个或多个低级系统的操作的高级处理器。例如,制造过程1928的高级部分可包括一个或多个处理器(诸如处理器1934),并且低级系统可各自包括一个或多个相应控制器或可受其控制。特定低级系统的特定控制器可从特定高级系统接收一个或多个指令(例如,命令)、可向低级模块或处理工具发布子命令、以及可反过来向该特定高级系统传达状态数据。一个或多个低级系统中的每个低级系统可与一件或多件相应制造装备(例如,处理工具)相关联。在一特定实施例中,该制造系统可包括分布在该制造系统中的多个处理器。例如,低级系统组件的控制器可包括处理器,诸如处理器1934。

[0125] 替换地,处理器1934可以是该制造系统的高级系统、子系统、或组件的一部分。在另一实施例中,处理器1934包括制造系统的各种等级和组件处的分布式处理。

[0126] 因而,处理器1934可包括处理器可执行指令,该处理器可执行指令在由处理器

1934执行时使得处理器1934发起或控制半导体器件的形成,该半导体器件是通过形成与半导体器件的源极区或漏极区相关联的掺杂区并在半导体器件内形成高迁移率沟道来形成的。例如,掺杂区可通过一个或多个掺杂工具来形成,诸如离子注入工具或旋涂沉积工具。作为另一示例,高迁移率沟道可通过一种或多种沉积工具(诸如分子束外延生长工具、可流动化学气相沉积(FCVD)工具或旋涂沉积工具)来形成。掺杂区在形成高迁移率沟道之前被退火,掺杂区从源极区或漏极区朝高迁移率沟道延伸,且半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。

[0127] 存储器1935中包括的可执行指令可使处理器1934能发起半导体器件的形成,诸如图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。在一特定实施例中,存储器1935是存储计算机可执行指令的非瞬态计算机可读介质,该计算机可执行指令在由处理器1934执行时使得处理器1934发起根据图15的方法1500、图16的方法1600、图17的方法1700、或其组合中的任一者的至少一部分来形成半导体器件,诸如互补金属氧化物半导体(CMOS)器件。例如,计算机可执行指令可以被执行以使得处理器1934发起半导体器件的形成。半导体器件可以通过形成与半导体器件的源极区或漏极区相关联的掺杂区并通过在半导体器件内形成高迁移率沟道来形成。掺杂区在形成高迁移率沟道之前被退火,且掺杂区从源极区或漏极区朝高迁移率沟道延伸。半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。

[0128] 作为说明性示例,处理器1934可以发起或控制用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤。例如,处理器1934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤。处理器1934可以通过控制图15的方法1500中在502描述或图16的方法的第一部分1600中在1608描述的一个或多个过程、通过控制使用就地掺杂对源极/漏极注入物的外延沉积、通过控制在形成源极/漏极注入物之后对掺杂注入物的使用、通过控制配置成形成与半导体器件的源极区或漏极区相关联的掺杂区的一个或多个其他过程、或其任何组合来控制用于形成与半导体器件的源极区或漏极区相关联的掺杂区的第一步骤。

[0129] 处理器1934还可控制用于在半导体器件内形成高迁移率沟道的第二步骤。例如,处理器1934可被嵌入或耦合至一个或多个控制器,这一个或多个控制器控制一件或多件制造装备以执行用于在半导体器件内形成高迁移率沟道的第二步骤。掺杂区在形成高迁移率沟道之前被退火且从源极区或漏极区朝高迁移率沟道延伸。半导体器件的基板的一部分位于掺杂区和高迁移率沟道之间。处理器1934可以通过控制如图15的方法1500中在1504处描述的或如图17的方法的第二部分1700中在1706处描述的一个或多个过程,通过控制高迁移率沟道材料在至少腔中的沉积,通过控制高迁移率材料在腔中的外延生长,配置成在半导体器件内形成高迁移率沟道的一个或多个其他过程,或其任何组合来控制用于在半导体器件内形成高迁移率沟道的第二步骤。

[0130] 管芯1936可被提供给封装过程1938,其中管芯1936被纳入到代表性封装1940中。例如,封装1940可包括单个管芯1936或多个管芯,诸如系统级封装(SiP)安排。封装1940可被配置成遵循一个或多个标准或规范,诸如电子器件工程联合委员会(JEDEC)标准。

[0131] 关于封装1940的信息可诸如经由存储在计算机1946处的组件库被分发给各产品

设计者。计算机1946可包括耦合至存储器1950的处理器1948,诸如一个或多个处理核。印刷电路板 (PCB) 工具可作为处理器可执行指令被存储在存储器1950处以处理经由用户接口1944从计算机1946的用户接收的PCB设计信息1942。PCB设计信息1942可包括经封装半导体器件在电路板上的物理定位信息,与封装1940相对应的经封装半导体器件包括图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。

[0132] 计算机1946可被配置成转换PCB设计信息1942以生成数据文件,诸如具有包括经封装半导体器件在电路板上的物理定位信息的数据的GERBER文件1952,以及电连接(诸如迹线和通孔)的布局,其中经封装半导体器件对应于封装1940,封装1940包括图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合。在其他实施例中,由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的其他格式。

[0133] GERBER文件1952可在板组装过程1954处被接收并且被用于创建根据GERBER文件1952内存储的设计信息来制造的PCB,诸如代表性PCB 1956。例如,GERBER文件1952可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 1956可填充有电子组件(包括封装1940)以形成代表性印刷电路组装件 (PCA) 1958。

[0134] PCA 1958可在产品制造过程1960处被接收,并被集成到一个或多个电子设备中,诸如第一代表性电子设备1962和第二代表性电子设备1964。作为解说性非限制性示例,第一代表性电子设备1962、第二代表性电子设备1964或这两者可包括通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、卫星电话、计算机、平板、便携式计算机、或台式计算机。另外,设备1800可包括图1的半导体器件100、使用图15-17的方法中的至少一者根据由图2-14解说的过程来形成的半导体器件可被集成其中的机顶盒、娱乐单元、导航设备、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频盘 (DVD) 播放器、便携式数字视频播放器、存储或检索数据或计算机指令的任何其他设备、或其组合。作为另一解说性的非限定性示例,电子设备1962和1964中的一者或多者可包括远程单元(诸如移动电话)、手持式个人通信系统 (PCS) 单元、便携式数据单元(诸如个人数据助理)、启用全球定位系统 (GPS) 的设备、导航设备、固定位置数据单元(诸如仪表读数装备)、或者存储或检索数据或计算机指令的任何其他设备、或其任何组合。尽管图19解说了根据本公开的教导的远程单元,但本公开并不限于这些解说的单元。本公开的实施例可合适地用在包括具有存储器和片上电路系统的有源集成电路系统的任何设备中。

[0135] 包括图1的半导体器件100、使用图15-17的方法中的至少一种方法根据图2-14所示的过程形成的半导体器件、或其组合的器件可被制造、处理、或纳入到电子设备中,诸如在说明性过程1900中描述的。关于图1-18公开的各实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件1912、GDSII文件1926、以及GERBER文件1952内,以及被存储在研究计算机1906的存储器1910、设计计算机1914的存储器1918、计算机1946的存储器1950、在各个阶段(诸如在板组装过程1954处)使用的一个或多个其他计算机或处理器的存储器(未示出)处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模1932、管芯1936、封装1940、PCA 1958、其他产品(诸如原型电路或设备(未示出))中、或者其任何组合。

尽管描绘了从物理器件设计到最终产品的各个代表性生产阶段,然而在其他实施例中可使用较少的阶段或可包括附加阶段。类似地,过程1900可由单个实体或由执行过程1900的各个阶段的一个或多个实体来执行。

[0136] 尽管图1-19中的一个或多个图可以解说根据本公开的教导的各系统、装置、和/或方法,但本公开不限于这些所解说的系统、装置、和/或方法。本公开的各实施例可适于用在任何包括集成电路系统(包括存储器、处理器和片上电路系统)的设备中。

[0137] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0138] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质耦合至处理器以使该处理器能从/向该存储介质读写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0139] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

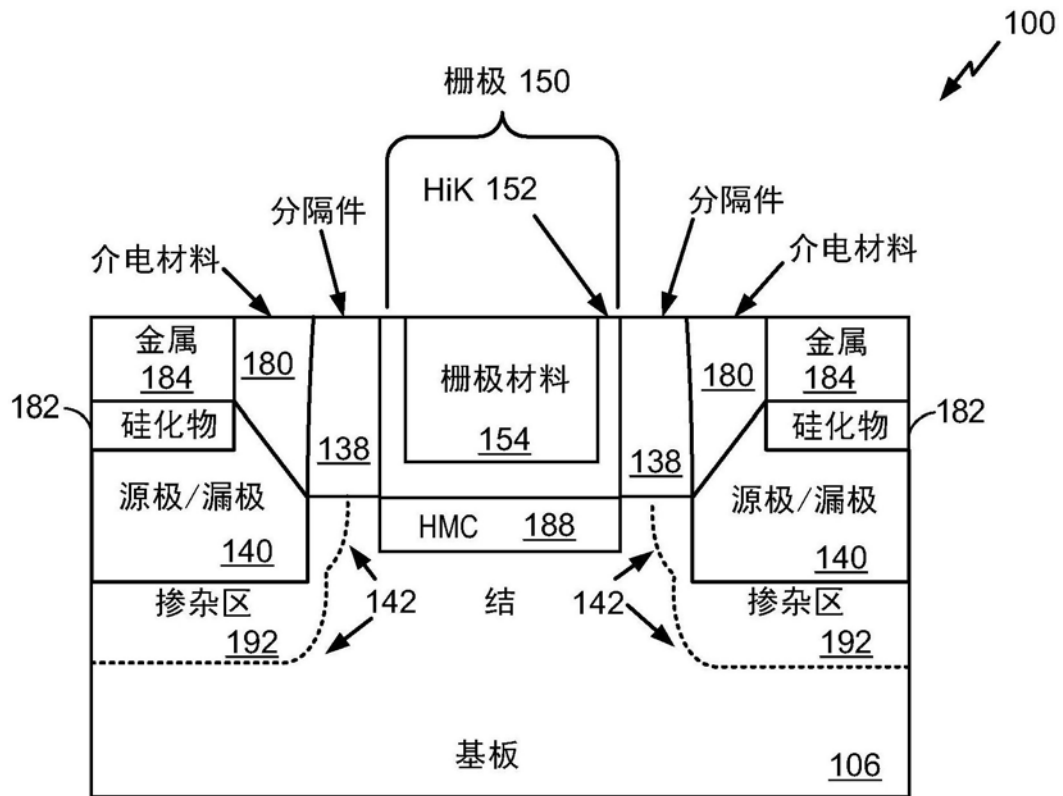


图1



图2

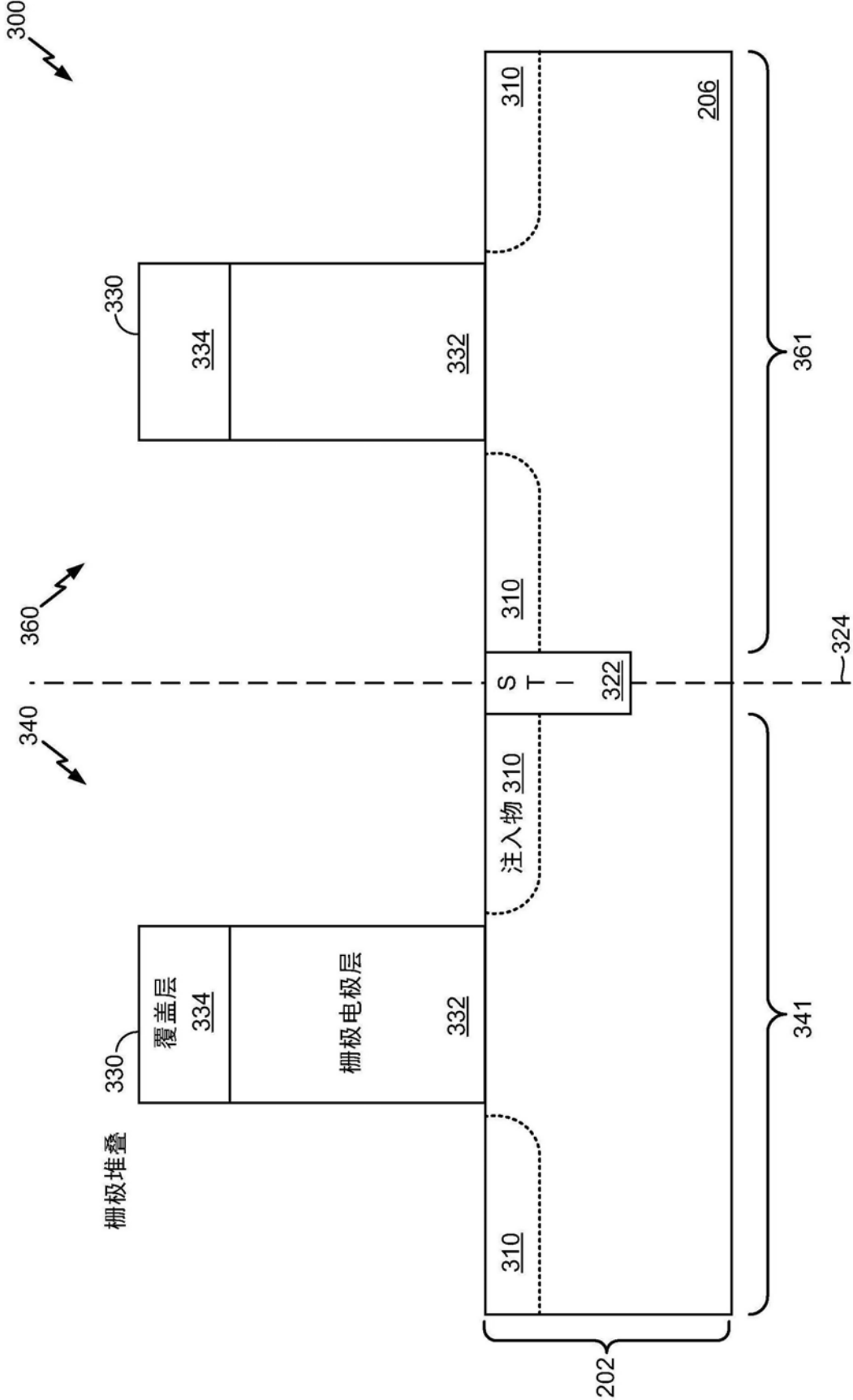


图3

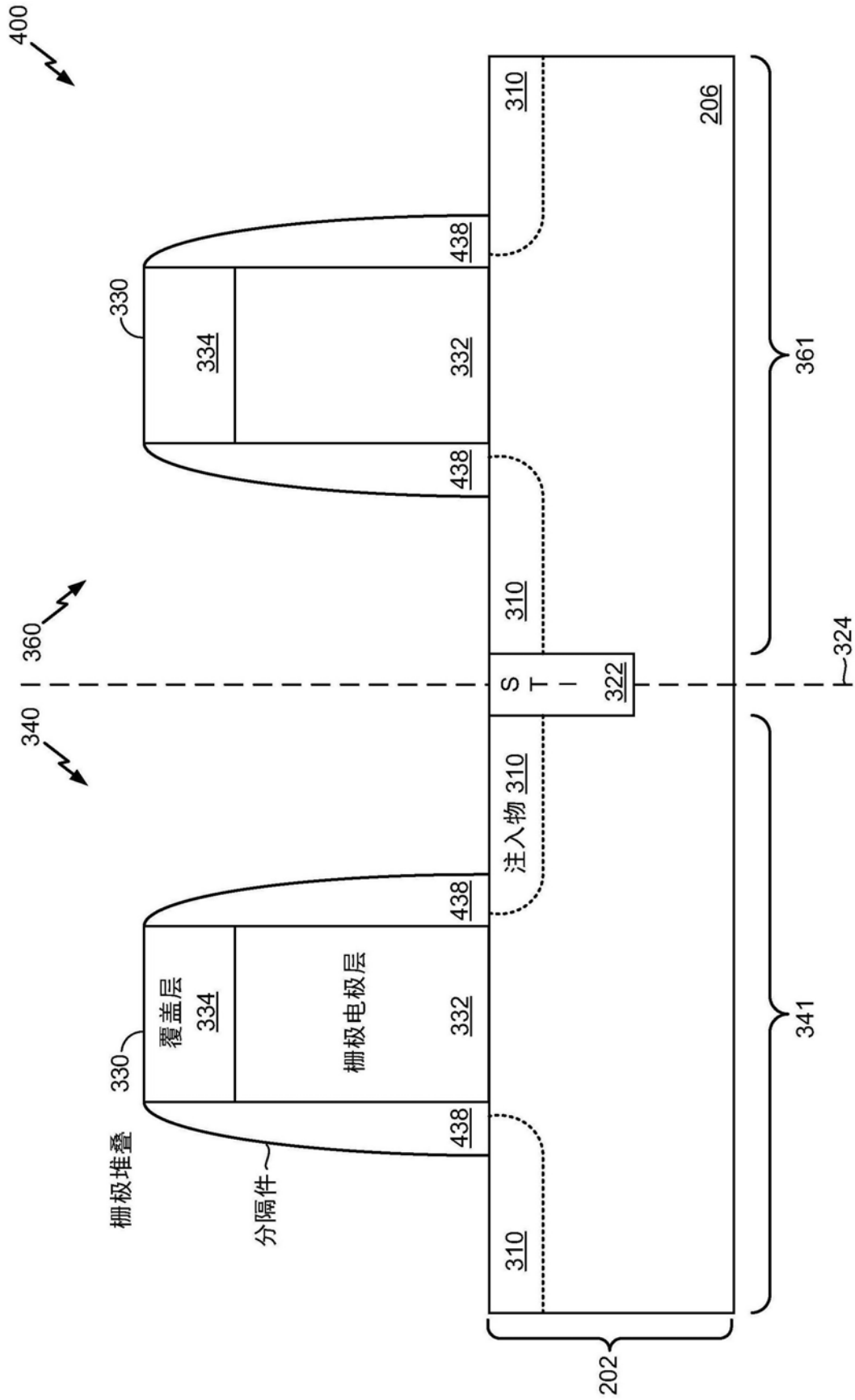


图4

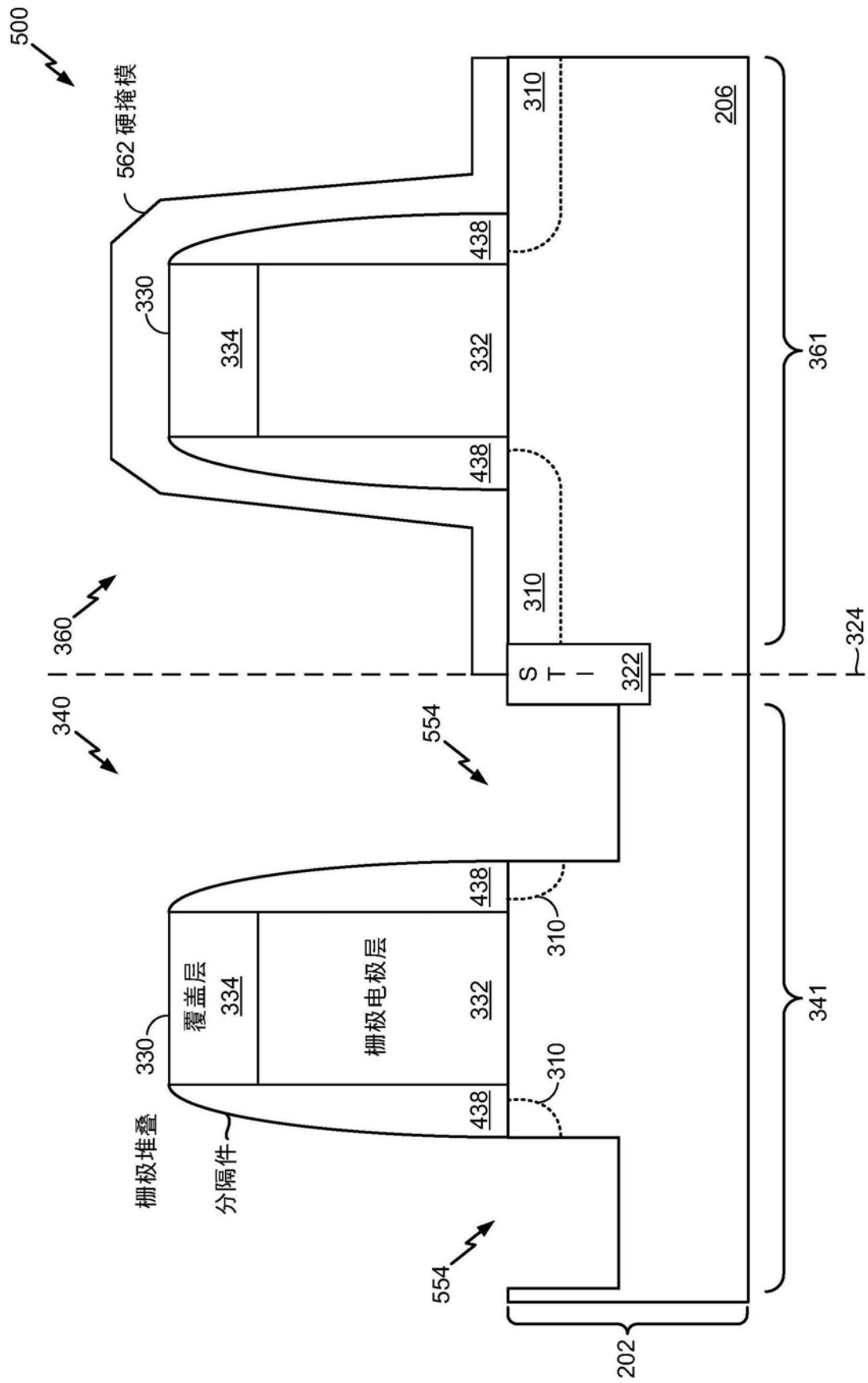


图5

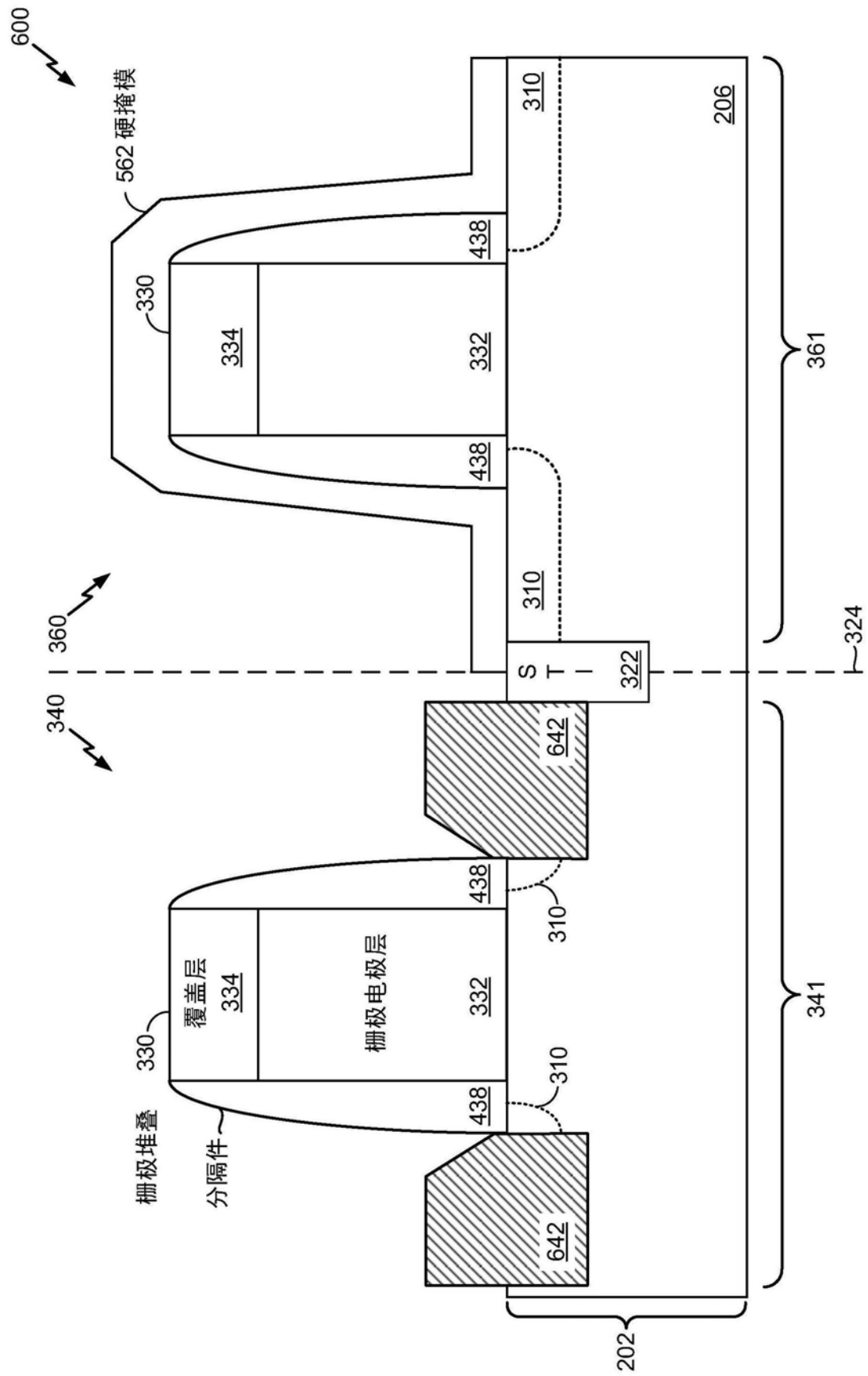


图6

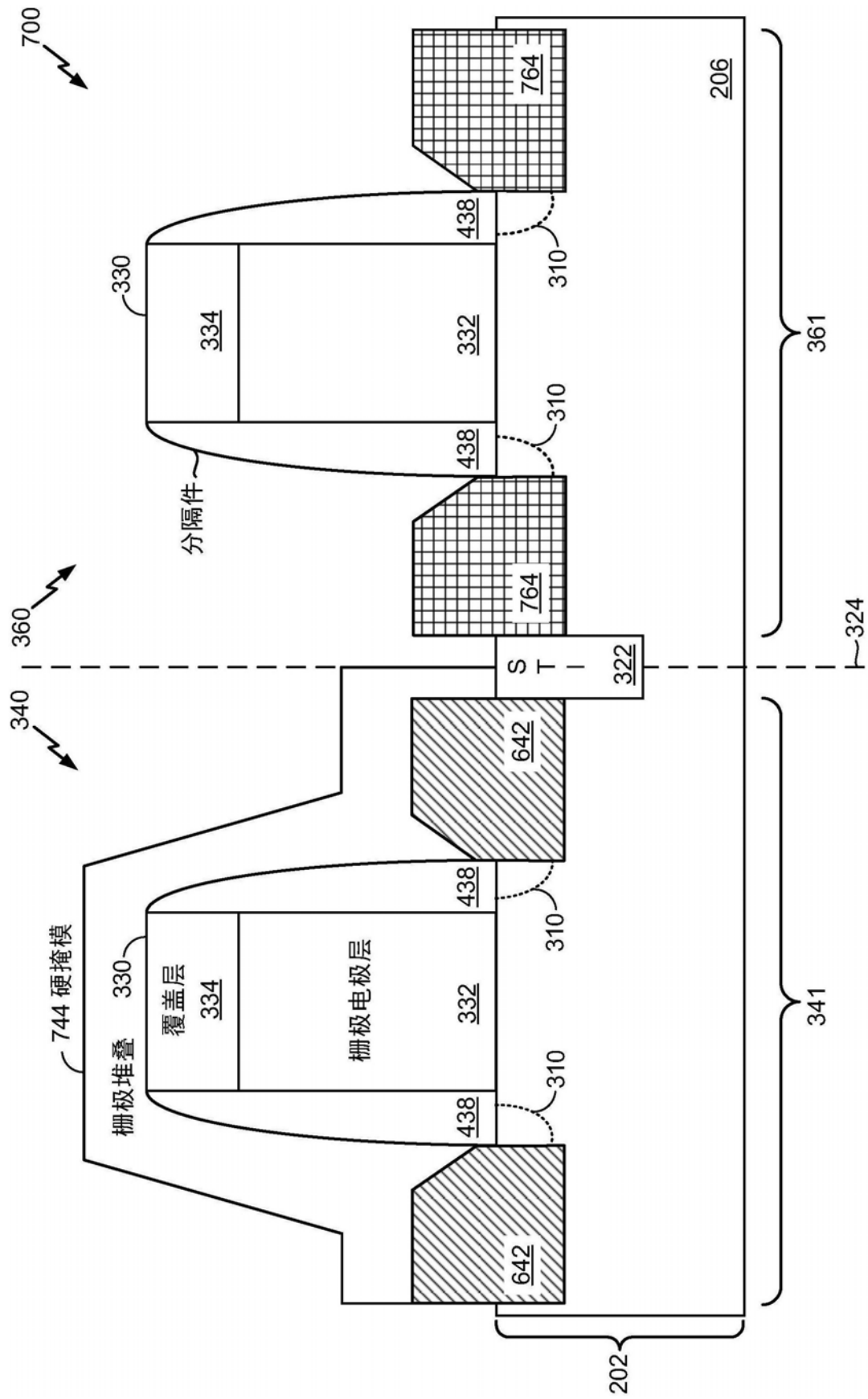


图7

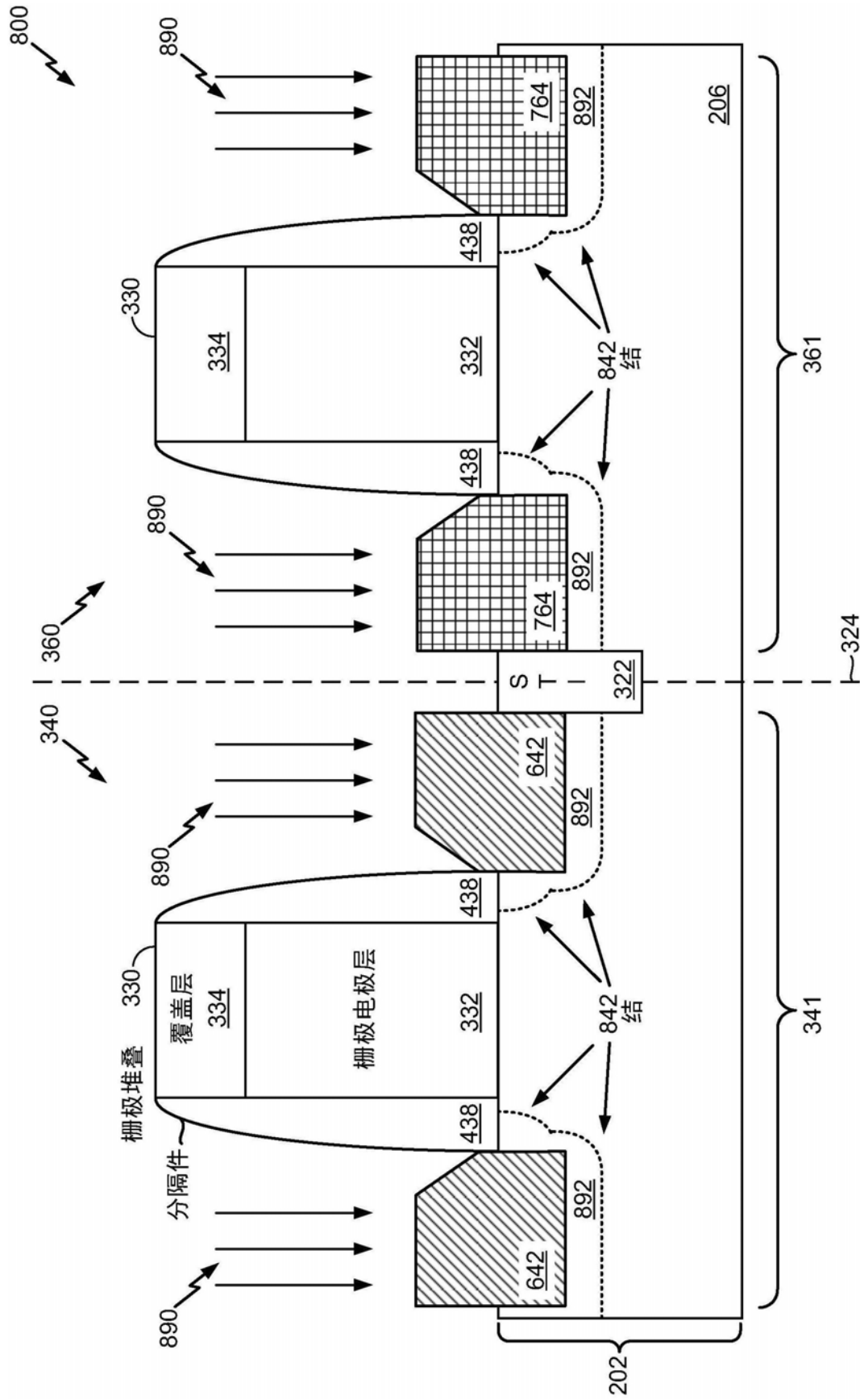


图8

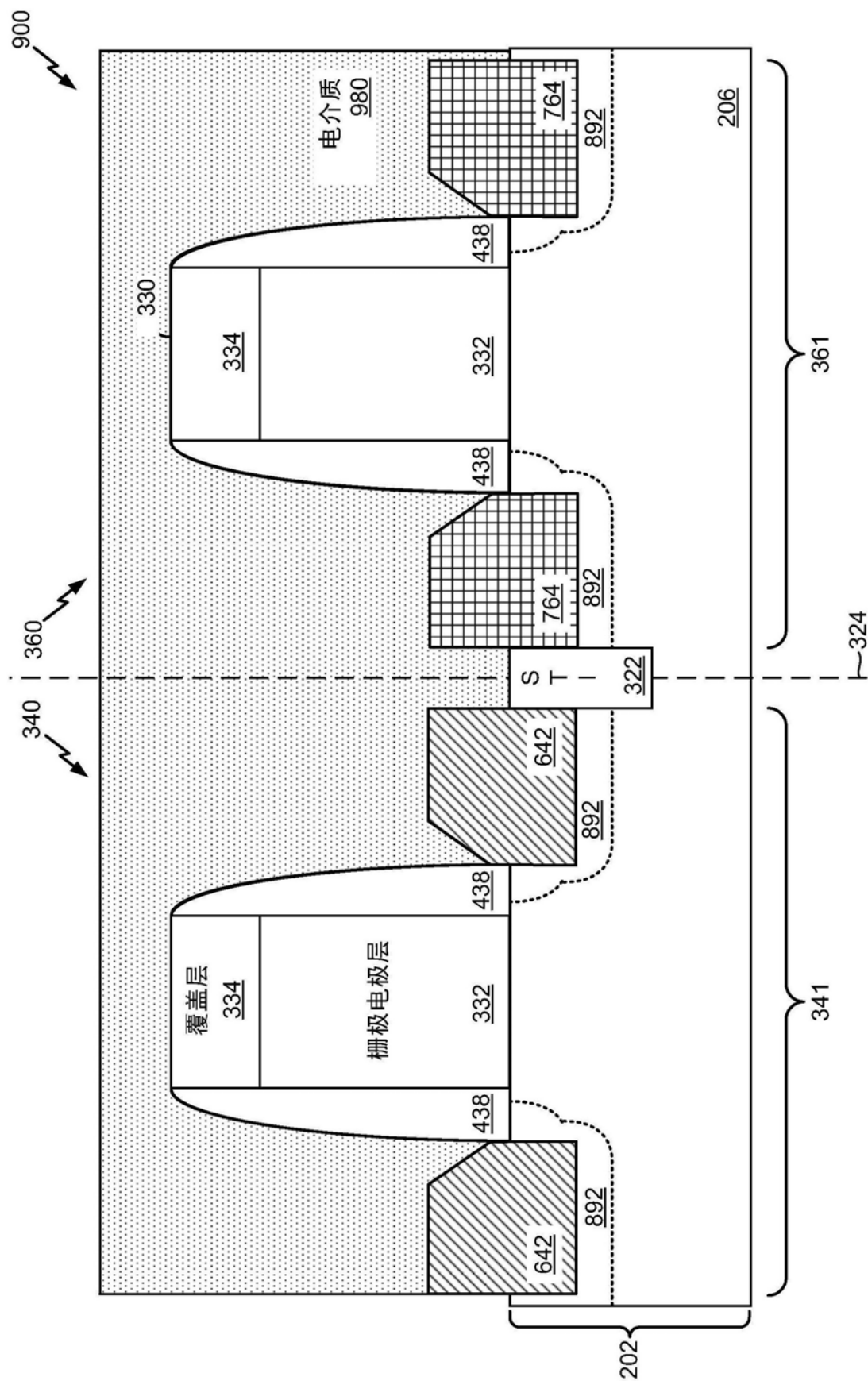


图9

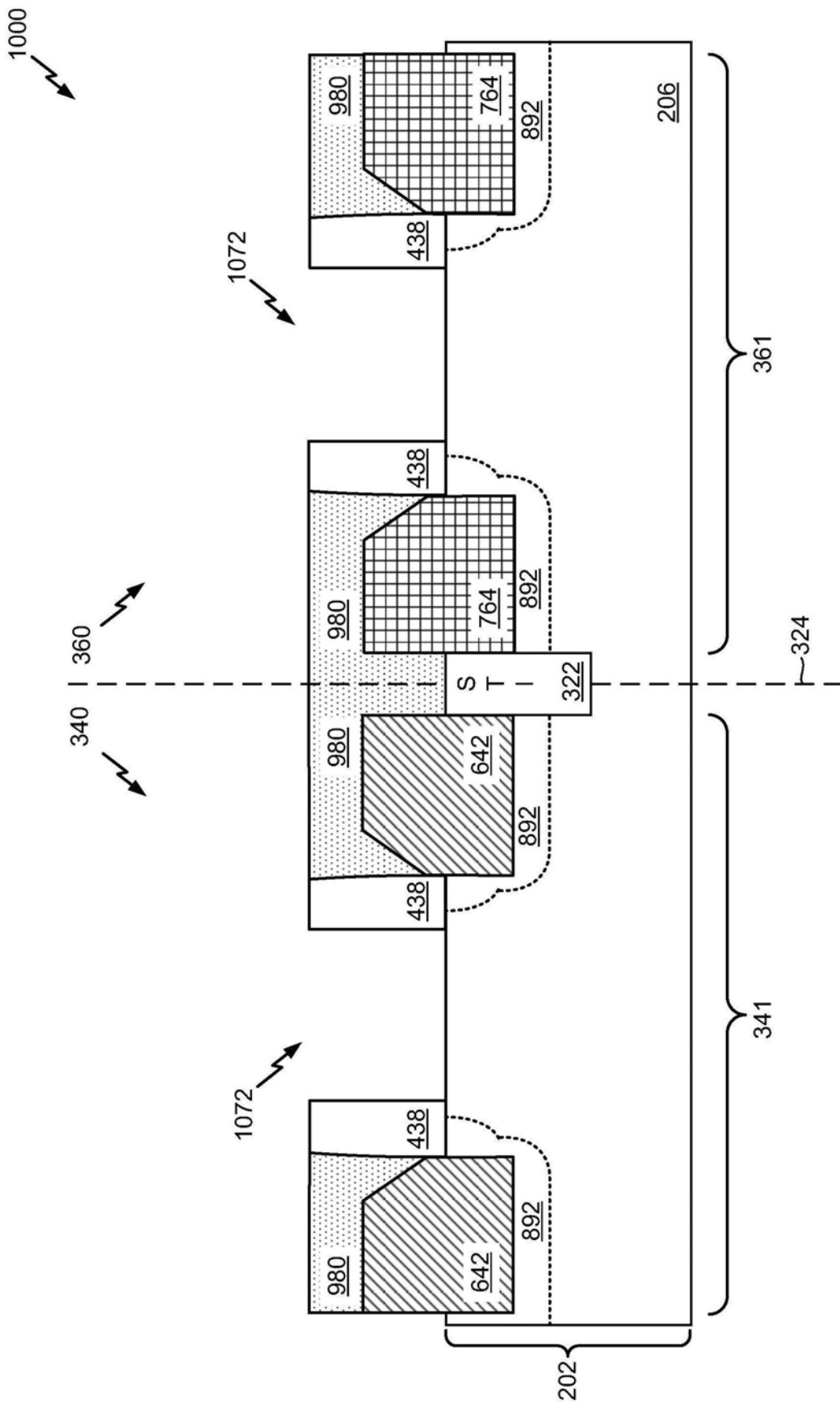


图10

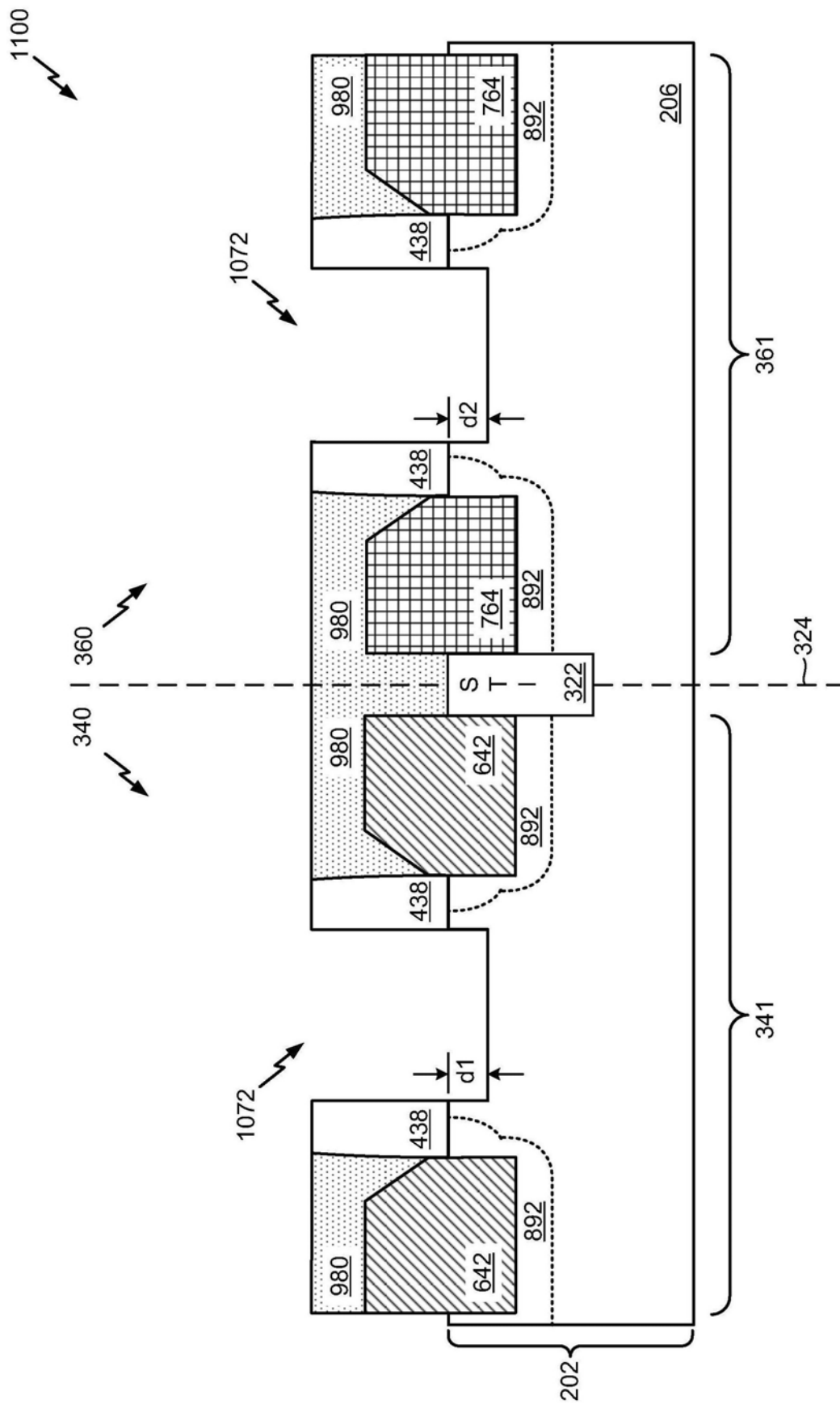


图11

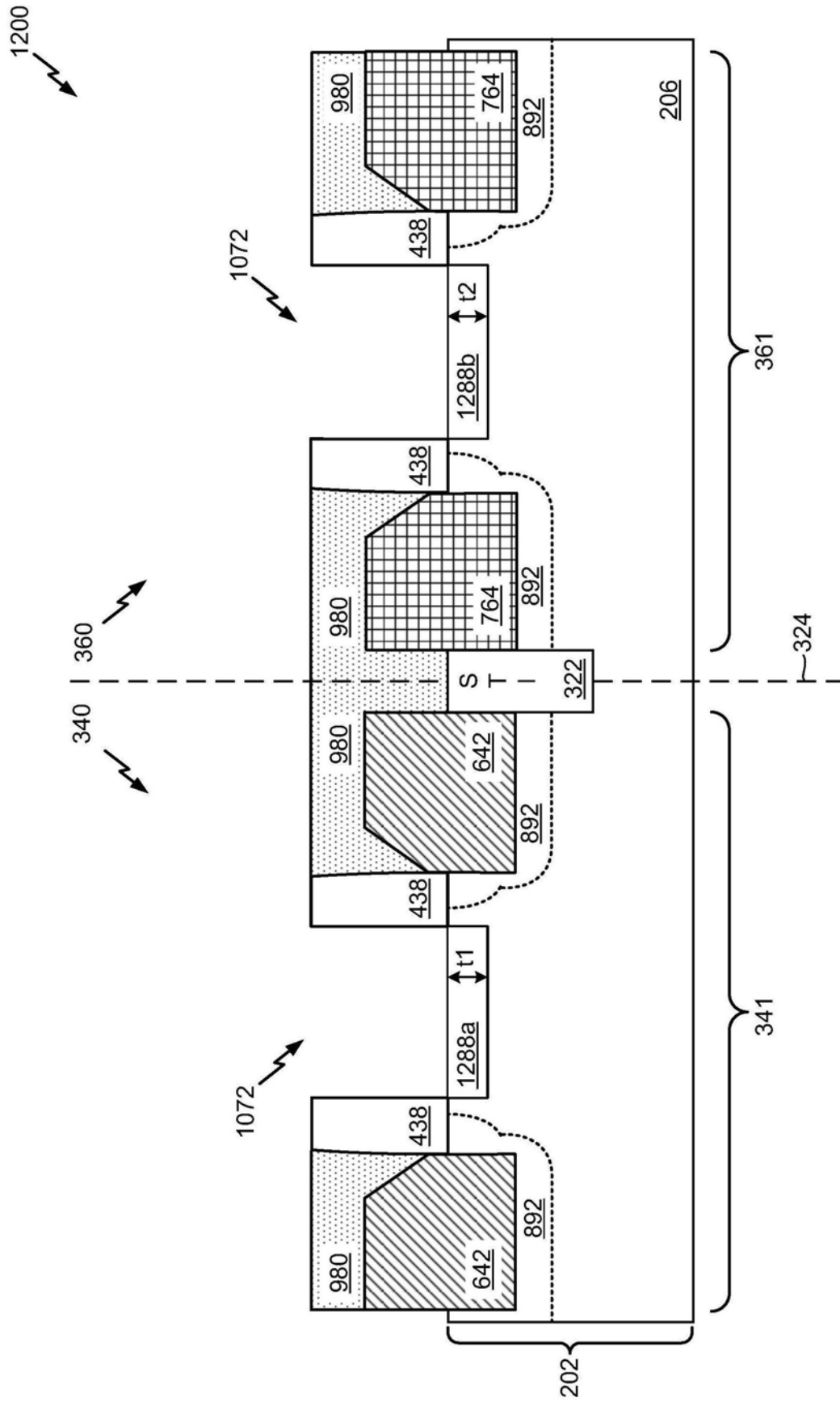


图12

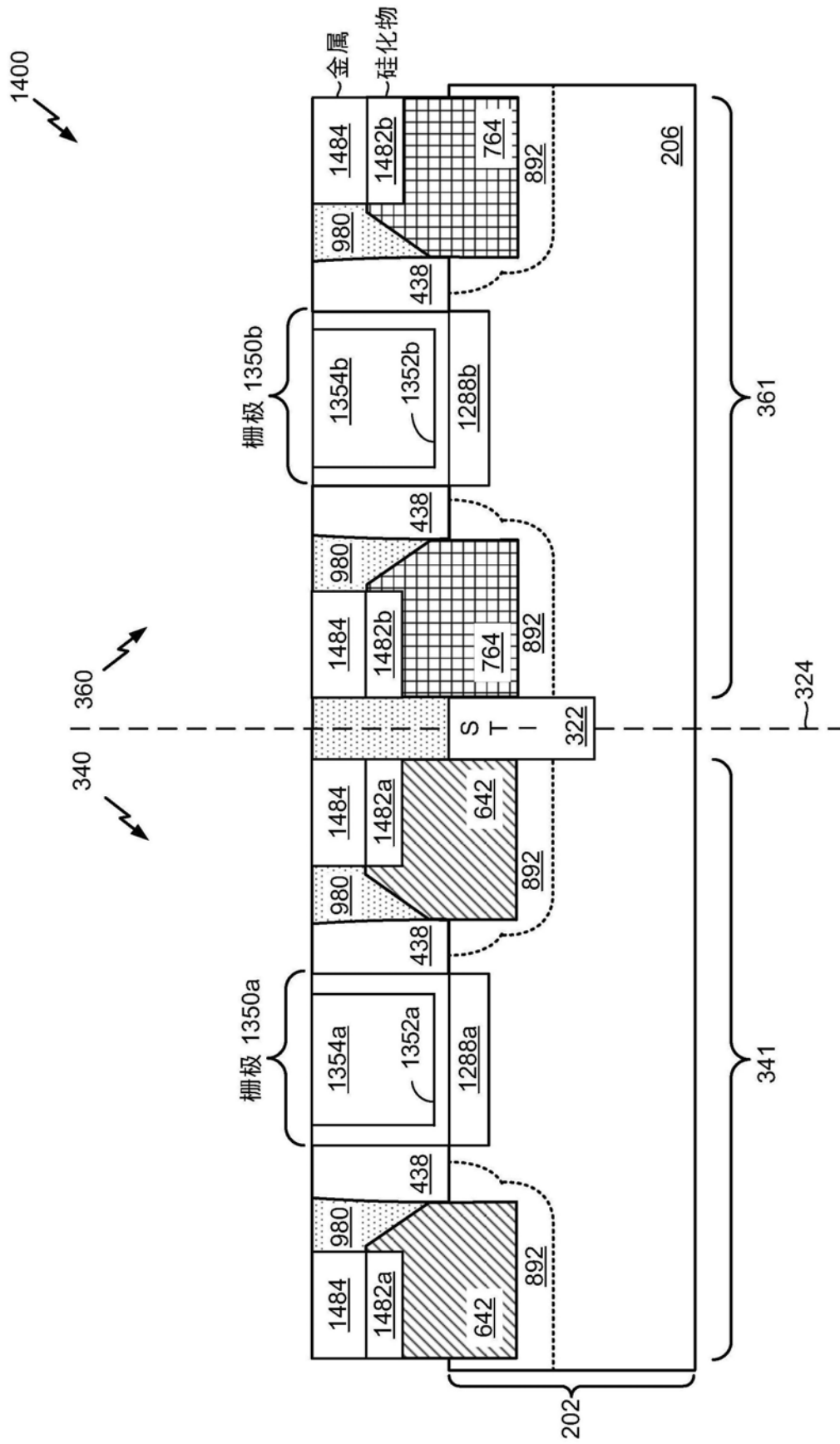


图14A

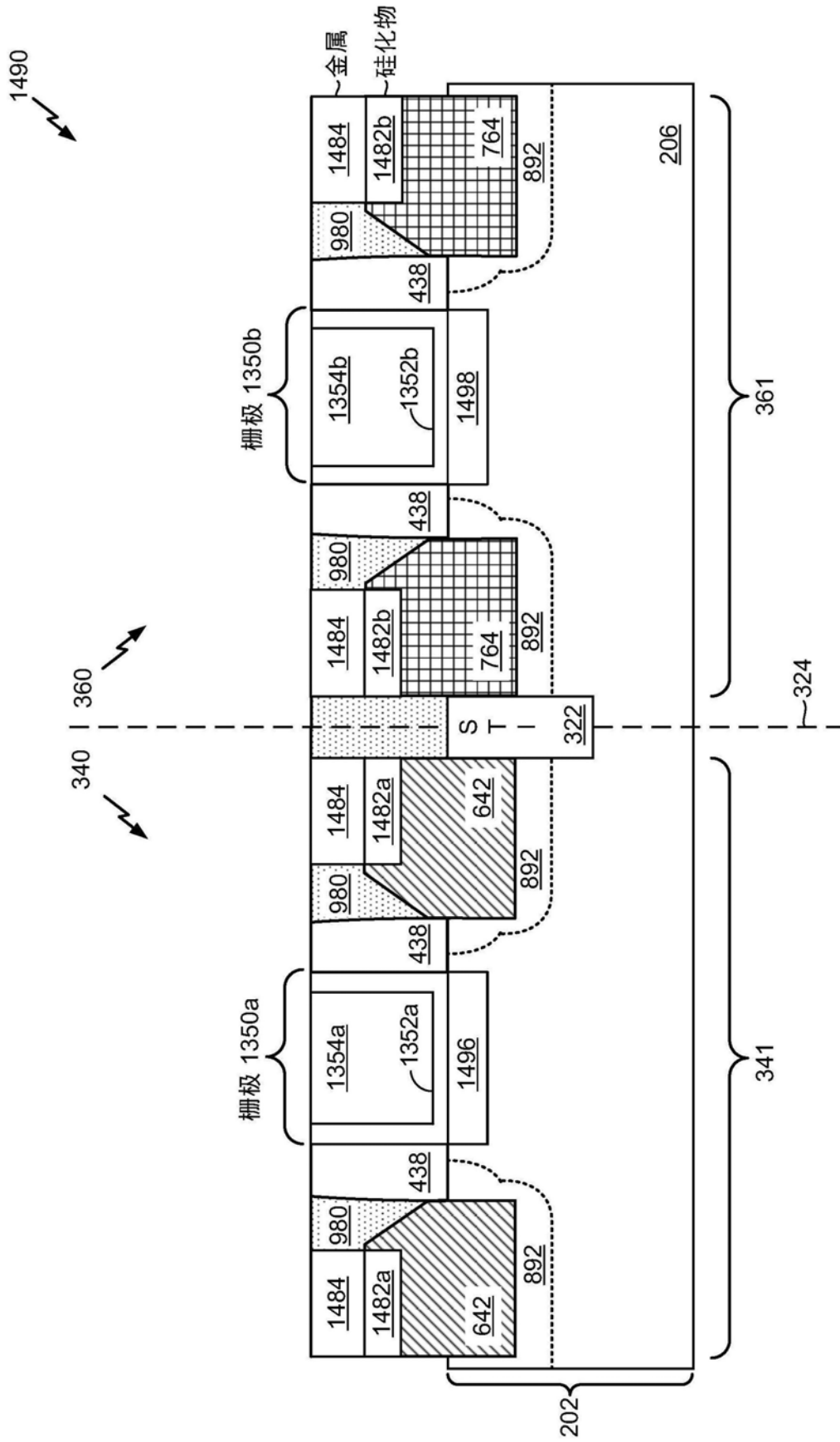


图14B

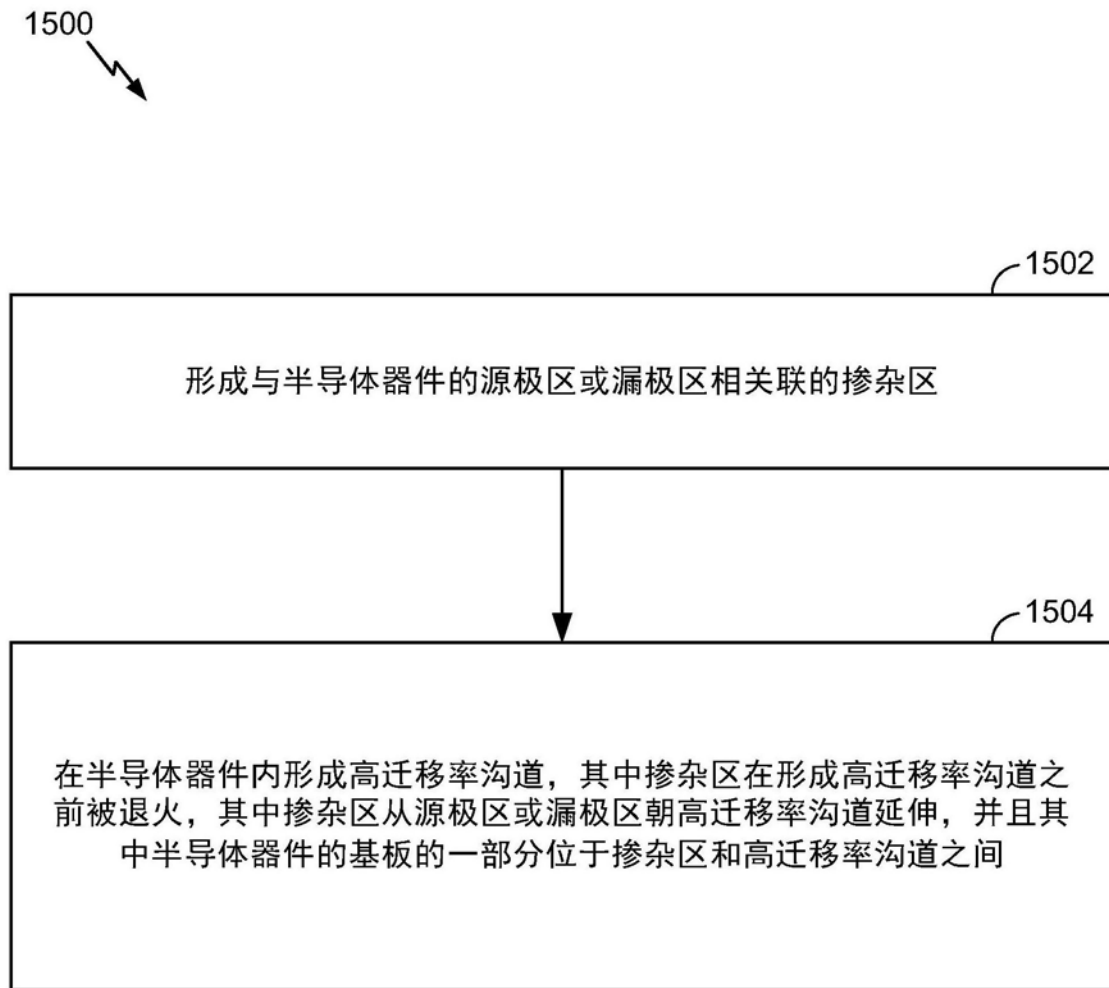


图15

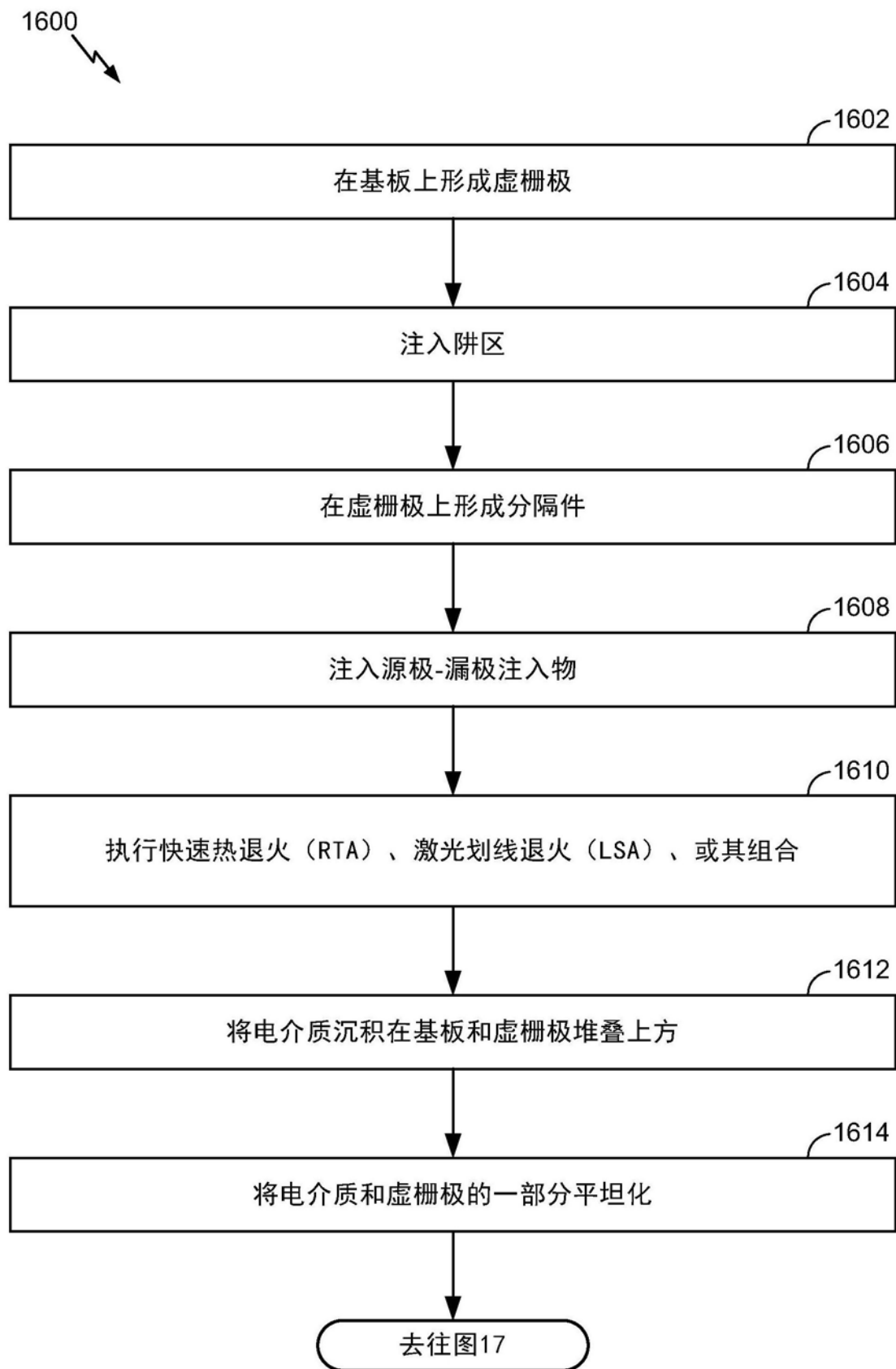


图16

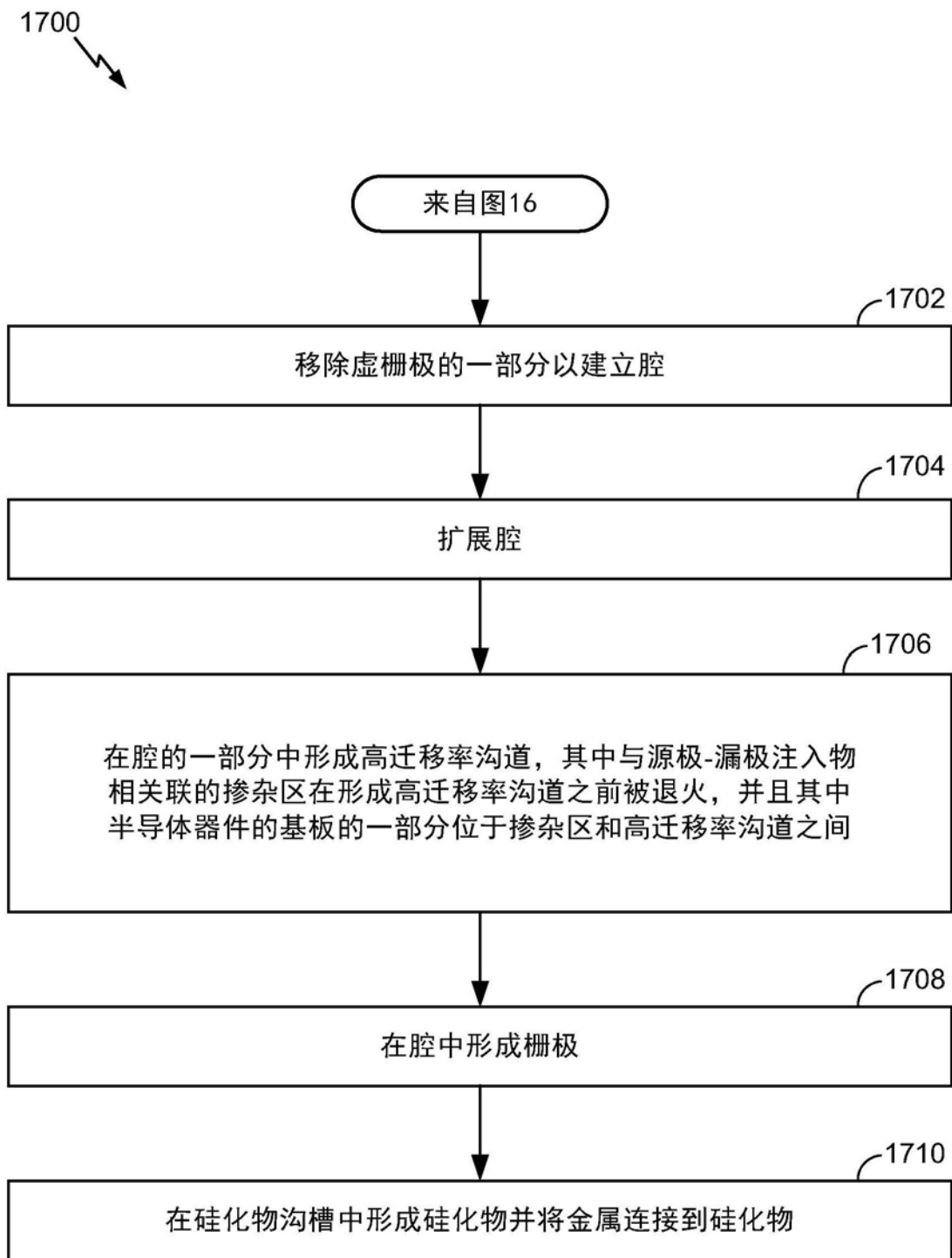


图17

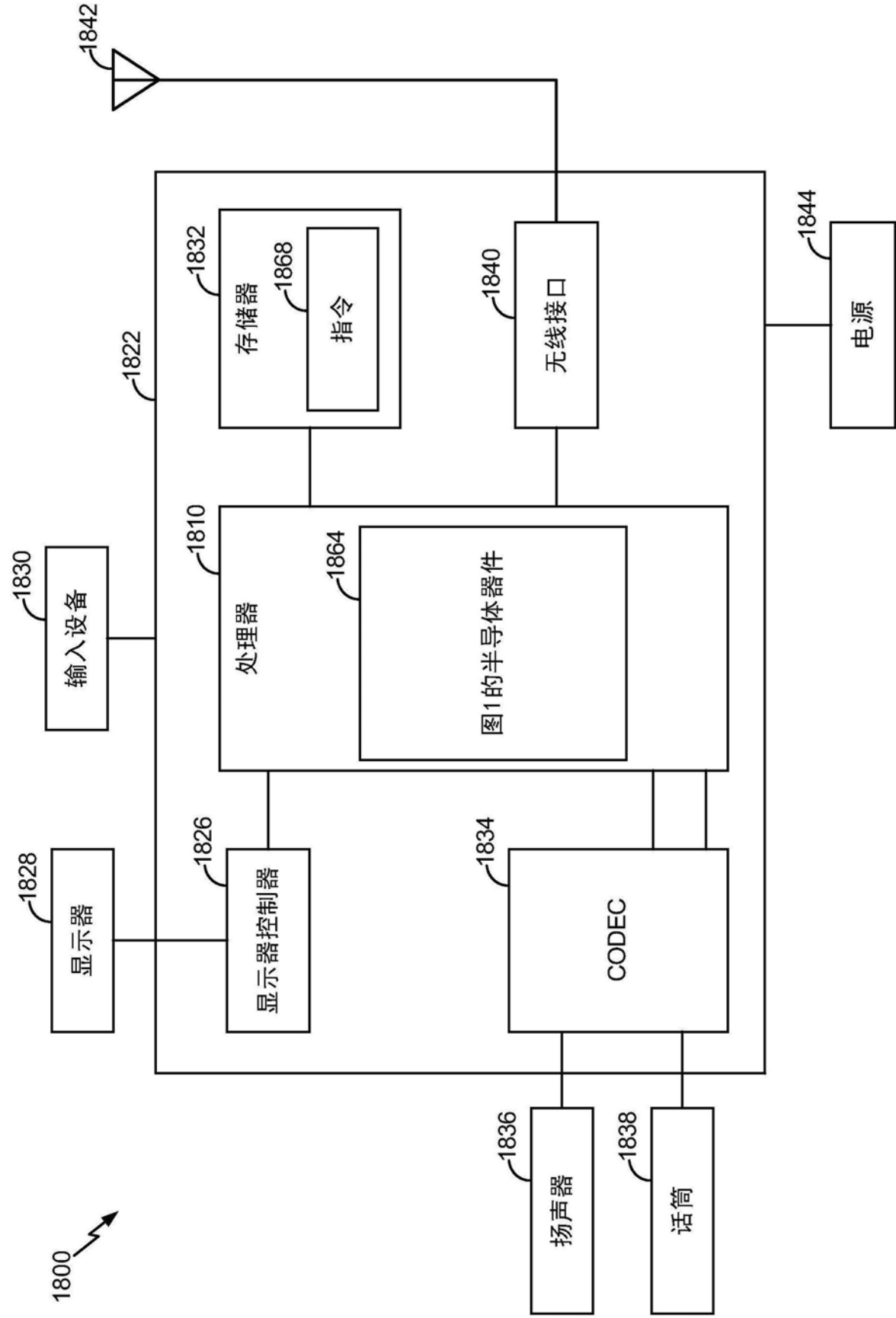


图18

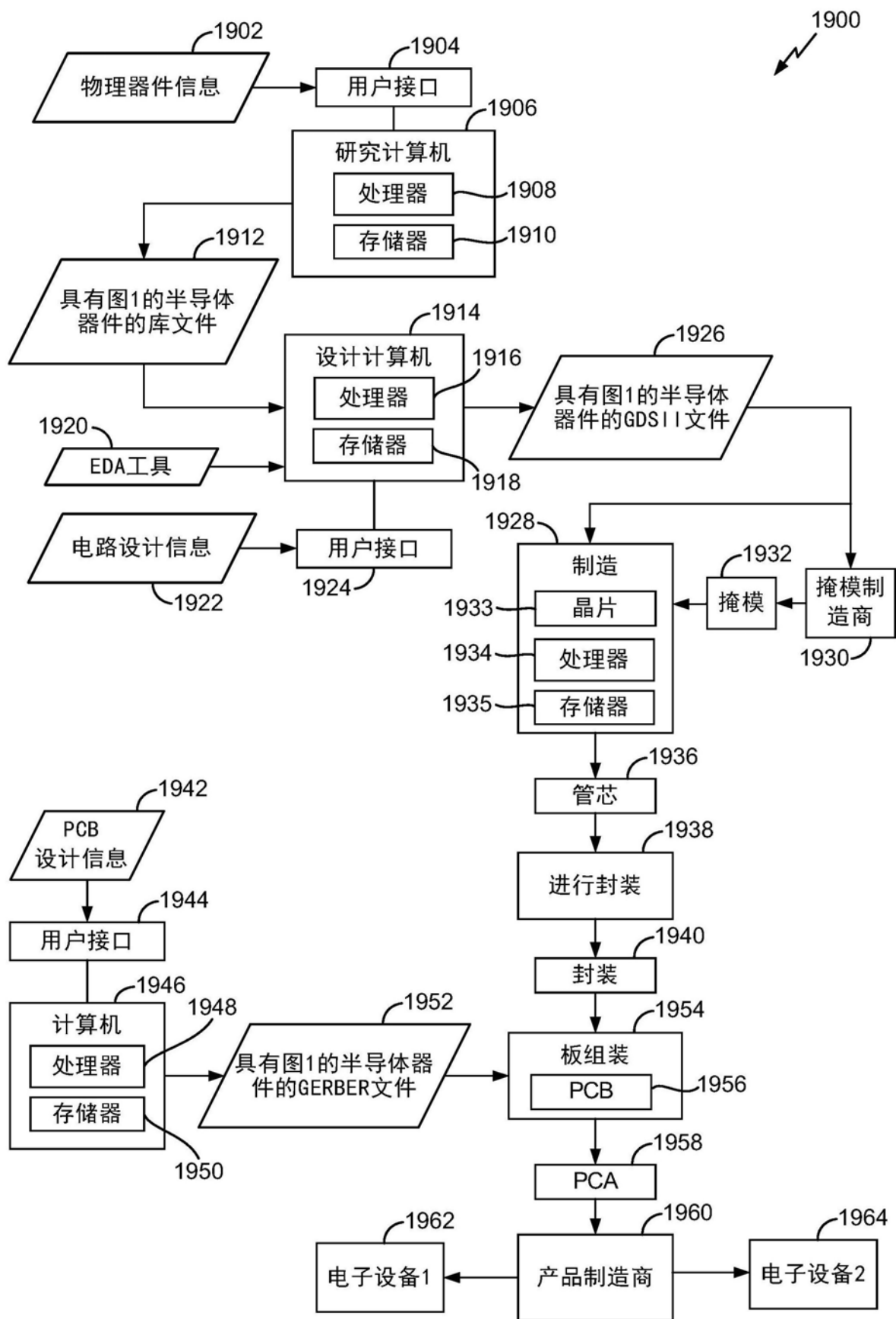


图19