

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 2 月 20 日 (2014.2.20)

【公表番号】特表 2013-517633 (P2013-517633A)

【公表日】平成 25 年 5 月 16 日 (2013.5.16)

【年通号数】公開・登録公報 2013-024

【出願番号】特願 2012-550023 (P2012-550023)

【国際特許分類】

H 0 1 L 21/331 (2006.01)

H 0 1 L 29/732 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 29/72 P

H 0 1 L 27/06 1 0 1 P

H 0 1 L 27/04 H

【手続補正書】

【提出日】平成 25 年 12 月 25 日 (2013.12.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 外部端子および第 2 外部端子と、
前記第 1 および第 2 外部端子の間に接続されるコア回路と、
前記第 1 および第 2 外部端子との間に接続されるバイポーラトランジスタ静電気放電 (ESD) クランプとを備える電子組立体において、
前記バイポーラトランジスタ静電気放電 (ESD) クランプは、
前記第 1 外部端子に電氣的に接続される第 1 ドーパント濃度のエミッタ領域と、前記第 2 外部端子に電氣的に接続される第 2 ドーパント濃度のコレクタ領域と、前記エミッタ領域と前記コレクタ領域の間に配置される第 3 ドーパント濃度のベース領域と、前記ベース領域と前記コレクタ領域の間に配置される第 4 ドーパント濃度のさらなる領域であって、上方の誘電体 - 半導体界面まで延伸している、さらなる領域とを備え、
前記ベース領域は前記さらなる領域との間に第 1 ドーパント境界を有し、前記コレクタ領域は前記さらなる領域との間に第 2 ドーパント境界を有し、前記第 1 および前記第 2 ドーパント境界の少なくとも 1 つが、前記誘電体・半導体界面下の距離 Y (Y > 0) において最大ドーパント濃度を有する、電子組立体。

【請求項 2】

前記ベース領域および前記コレクタ領域は前記さらなる領域より高濃度にドーブされる、請求項 1 に記載の組立体。

【請求項 3】

前記ベース領域のピークドーパント濃度および前記コレクタ領域の前記ピークドーパント濃度は、少なくとも 5 倍だけ、前記さらなる領域の平均ドーパント濃度を超える、請求項 2 に記載の組立体。

【請求項 4】

前記ベース領域のピークドーパント濃度および前記コレクタ領域の前記ピークドーパント濃度が、少なくとも10倍だけ、前記さらなる領域の平均ドーパント濃度を超える、請求項3に記載の組立体。

【請求項5】

バイポーラトランジスタ静電気放電(ESD)クランプを製造するための方法において、

第1表面までそれぞれ延伸している、第1および第2ドーパント濃度の、第1導電型または第2導電型の第1領域を有する半導体基板を設けるステップと、

前記第1表面から前記第1領域に延伸し第1横方向境界を有する、第3導電型の第3ドーパント濃度の第1ウェル領域を形成するステップと、

前記第3導電型とは反対の第4導電型を第4ドーパント濃度で有し、前記第1ウェル領域まで延伸し前記第1横方向境界から第5ドーパント濃度の前記第1領域の中間部分を横切る最小距離Dをもって離隔した第2横方向境界を有する、第2ウェル領域を形成するステップと、

少なくとも前記中間部分の上方に誘電体・半導体界面を形成するステップとを備え、

(i) 前記最小距離Dは距離 $Y > 0$ をもって前記誘電体・半導体界面下に配置され、または、(ii) 前記第3および前記第4ドーパント濃度が少なくとも5倍だけ前記誘電体・半導体界面下の距離 $Y > 0$ における第5ドーパント濃度を超える、または、(iii) (i)および(ii)の両方である、方法。

【請求項6】

前記半導体基板を設けるステップは、第1表面まで延伸する、互いに水平方向において接する第1または第2導電型の第1および第2領域を有する半導体基板を備えるステップを含み、

前記第1ウェル領域を形成するステップにおいて、第3導電型を第3ドーパント濃度で有する前記第1ウェル領域が、前記第1表面から互いに水平方向において接する前記第1および第2領域まで延伸することによって、第1ウェル領域は前記第1領域に第1横方向境界を有し、前記第2領域に第2横方向境界を有し、

前記第2ウェル領域を形成するステップにおいて、前記第3導電型とは反対の第4導電型を有し互いに離間し、それぞれが前記第1および第2領域まで延伸する複数の第2ウェル領域を形成し、前記第1および第2ウェル領域は前記第1横方向境界から、前記第5ドーパント濃度の前記第1領域の前記中間部分を横切って距離Dをもって離間している第3横方向境界を有し、前記第2ウェル領域のうちの第2領域は前記第2横方向境界から前記第5ドーパント濃度の前記第1領域の中間部分を横切って距離DRをもって離間している第4横方向境界を有し、

誘電体・半導体界面を形成するステップは、前記第1中間部分の上方に誘電体・半導体界面を形成し、前記第2中間部分の上方に誘電体・半導体界面を形成し、

前記距離Dおよび前記DRはそれぞれ深さ $Y_D > 0$ および $Y_{DR} > 0$ をもって前記誘電体・半導体界面下に配置される、請求項5に記載の方法。

【請求項7】

第1表面を有する基板に形成され、第1および第2端子に接続されるバイポーラトランジスタ静電気放電(ESD)クランプにおいて、

前記第1端子に接続されるエミッタ、前記第2端子に接続されるコレクタ、前記エミッタとコレクタの間に配置されるベース、および、前記ベースおよび前記コレクタより低濃度にドーパされ、前記ベースと前記コレクタの間に接続される中間半導体部分とを備え、

少なくとも前記中間半導体部分が誘電体・半導体界面または前記第1表面の近傍まで延伸し、

前記中間半導体部分が、前記ベースとの間に第1界面および前記誘電体・半導体界面から広がる前記コレクタとの間に第2界面を有し、前記第1および前記第2界面が、前記誘電体・半導体界面よりも下方の距離 $Y > 0$ に配置される最小離間距離Dを有する、バイポーラトランジスタ静電気放電(ESD)クランプ。

【請求項 8】

前記中間半導体部分は少なくとも 5 倍だけ前記ベースおよび前記コレクタより低濃度にドーピングされる、請求項 7 に記載の ESD クランプ。