



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0061143
(43) 공개일자 2024년05월08일

(51) 국제특허분류(Int. Cl.)
H10N 70/00 (2024.01) H10B 63/00 (2023.01)
(52) CPC특허분류
H10N 70/231 (2023.02)
H10B 63/20 (2023.02)
(21) 출원번호 10-2022-0142466
(22) 출원일자 2022년10월31일
심사청구일자 2022년10월31일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
서준기
울산광역시 울주군 언양읍 유니스트길 50
허남욱
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
리앤목특허법인

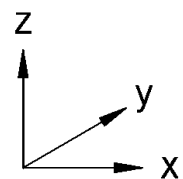
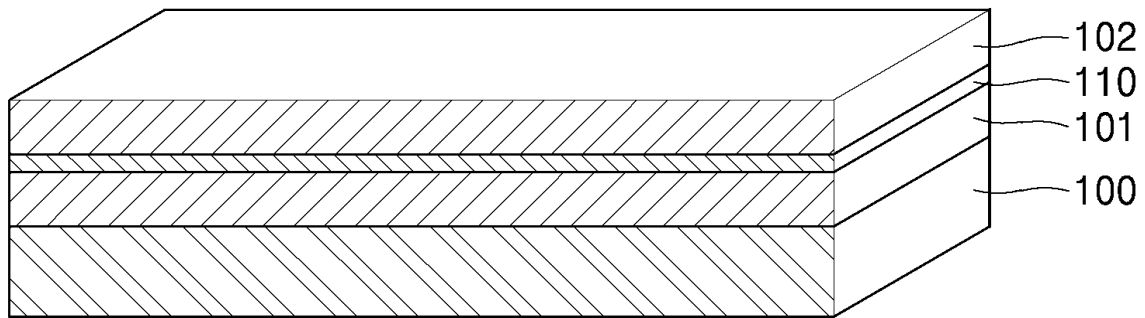
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 상변화 메모리 소자

(57) 요약

본 발명은 고집적 및 저전력 상변화 메모리 소자를 위하여, 제1관통홀을 갖는 제1-1전극과, 중앙 관통홀 또는 중앙 그루브를 갖도록 상기 제1관통홀의 내측면 상에 위치하는 상변화 물질층과, 상기 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치하는 제2전극을 구비하는, 상변화 메모리 소자를 제공한다.

대표도 - 도1



(52) CPC특허분류
H10N 70/823 (2023.02)

임동혁
 울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자
정홍식
 울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1415179135
과제번호	20010008
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자부품산업기술개발(R&D)
연구과제명	원자충증착법 기반 3차원 초격자 상변화메모리 소자 및 공정 개발
기 여 율	50/100
과제수행기관명	울산과학기술원
연구기간	2020.04.01 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711155486
과제번호	2021M3F3A2A01037844
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	저항 변화성 소재 및 구조의 정밀 제어를 통한 고성능 고신뢰성 2단자 시냅스 소자
및 어레이 개발	
기 여 율	25/100
과제수행기관명	울산과학기술원
연구기간	2021.04.09 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711173069
과제번호	2022M3I7A2079098
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	PIM인공지능반도체핵심기술개발(소자)
연구과제명	고성능 PRAM 기반 학습용 PIM 소자 및 연산 시스템 개발
기 여 율	25/100
과제수행기관명	울산과학기술원
연구기간	2022.04.20 ~ 2024.12.31

명세서

청구범위

청구항 1

제1관통홀을 갖는 제1-1전극;

중앙 관통홀 또는 중앙 그루브를 갖도록 상기 제1관통홀의 내측면 상에 위치하는, 상변화 물질층; 및

상기 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치하는 제2전극;

을 구비하는, 상변화 메모리 소자.

청구항 2

제1항에 있어서,

상기 중앙 관통홀 또는 중앙 그루브의 중심축은 상기 제1관통홀의 중심축과 일치하는, 상변화 메모리 소자.

청구항 3

제1항에 있어서,

상기 제2전극은 상기 중앙 관통홀 또는 중앙 그루브 내에 위치하는 추가 관통홀 또는 추가 그루브를 갖는, 상변화 메모리 소자.

청구항 4

제3항에 있어서,

상기 추가 관통홀 또는 추가 그루브의 중심축은 상기 중앙 관통홀 또는 중앙 그루브의 중심축과 일치하는, 상변화 메모리 소자.

청구항 5

제1항에 있어서,

상기 제1-1전극은 상기 제1관통홀의 중심축에 수직인 평면 내에 위치하는 평판 형상을 갖는, 상변화 메모리 소자.

청구항 6

제1항에 있어서,

상기 제1-1전극으로부터 이격되어 위치하며, 제2관통홀을 갖는 제1-2전극을 더 구비하고,

상기 상변화 물질층은 상기 제2관통홀의 내측면 상에 위치하는, 상변화 메모리 소자.

청구항 7

제6항에 있어서,

상기 제1관통홀의 중심축과 상기 제2관통홀의 중심축은 동일한 직선 상에 위치하는, 상변화 메모리 소자.

청구항 8

제7항에 있어서,

상기 중앙 관통홀 또는 중앙 그루브는 상기 제1관통홀 내에 위치하는 부분과 상기 제2관통홀 내에 위치하는 부분을 포함하는, 상변화 메모리 소자.

청구항 9

제7항에 있어서,

상기 제1-1전극은 상기 제1관통홀의 중심축에 수직인 제1평면 내에 위치하는 평판 형상을 갖고, 상기 제1-2전극은 상기 제2관통홀의 중심축에 수직이며 상기 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 갖는, 상변화 메모리 소자.

청구항 10

제1관통홀들을 갖는 제1-1전극;

중앙 관통홀 또는 중앙 그루브를 갖도록 상기 제1관통홀들 각각의 내측면 상에 위치하는, 상변화 물질층들; 및
상기 상변화 물질층들 각각의 상기 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치하는, 제2전극들;

을 구비하는, 상변화 메모리 소자.

청구항 11

제10항에 있어서,

상기 상변화 물질층들 각각의 상기 중앙 관통홀 또는 중앙 그루브의 중심축은 상기 제1관통홀들 중 대응하는 것의 중심축과 일치하는, 상변화 메모리 소자.

청구항 12

제10항에 있어서,

상기 제2전극들 각각은 상기 상변화 물질층들 중 대응하는 것의 상기 중앙 관통홀 또는 중앙 그루브 내에 위치하는 추가 관통홀 또는 추가 그루브를 갖는, 상변화 메모리 소자.

청구항 13

제12항에 있어서,

상기 제2전극들 각각의 상기 추가 관통홀 또는 추가 그루브의 중심축은 상기 상변화 물질층들 중 대응하는 것의 상기 중앙 관통홀 또는 중앙 그루브의 중심축과 일치하는, 상변화 메모리 소자.

청구항 14

제10항에 있어서,

상기 제1-1전극은 상기 제1관통홀들의 중심축들에 수직인 평면 내에 위치하는 평판 형상을 갖는, 상변화 메모리 소자.

청구항 15

제10항에 있어서,

상기 제1-1전극으로부터 이격되어 위치하며, 상기 제1관통홀들에 대응하는 제2관통홀들을 갖는 제1-2전극을 더 구비하고,

상기 상변화 물질층들은 상기 제2관통홀들 각각의 내측면 상에 위치하는, 상변화 메모리 소자.

청구항 16

제15항에 있어서,

상기 제1관통홀들 각각의 중심축과 상기 제2관통홀들 중 대응하는 것의 중심축은 동일한 직선 상에 위치하는, 상변화 메모리 소자.

청구항 17

제16항에 있어서,

상기 중앙 관통홀 또는 중앙 그루브는 상기 제1관통홀 내에 위치하는 부분과 상기 제2관통홀 내에 위치하는 부분을 포함하는, 상변화 메모리 소자.

청구항 18

제16항에 있어서,

상기 제1-1전극은 상기 제1관통홀들의 중심축들에 수직인 제1평면 내에 위치하는 평판 형상을 갖고, 상기 제1-2전극은 상기 제2관통홀들의 중심축들에 수직이며 상기 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 갖는, 상변화 메모리 소자.

청구항 19

제16항에 있어서,

상기 제2전극들 각각과 상기 상변화 물질층들 중 대응하는 것 사이에 개재되며, 상기 제2전극들 중 대응하는 것을 감싸도록 속이 빈 원기둥 형상을 갖는, 선택소자층들을 더 구비하는, 상변화 메모리 소자.

청구항 20

제19항에 있어서,

상기 선택소자층들 각각과 상기 상변화 물질층들 중 대응하는 것 사이에 개재되며, 상기 선택소자층들 중 대응하는 것을 감싸도록 속이 빈 원기둥 형상을 갖는, 보조도전층들을 더 구비하는, 상변화 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 상변화 메모리 소자에 관한 것으로서, 더 상세하게는 측면 원통형 전극을 적용한 고집적 및 저전력의 3차원 수직형 상변화 메모리 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 소자들은 메모리 소자 및 논리 소자로 구분될 수 있다. 메모리 소자는 데이터를 저장하는 소자이다. 일반적으로, 반도체 메모리 장치는 크게 휘발성(volatile) 메모리 장치와, 비휘발성(nonvolatile) 메모리 장치로 구분될 수 있다. 휘발성 메모리 장치는 전원의 공급이 중단되면, 저장된 데이터가 소멸하는 메모리 장치로서, 예컨대 DRAM(Dynamic Random Access Memory) 및 SRAM(Static Random Access Memory) 등이 있다. 그리고 비휘발성 메모리 장치는 전원의 공급이 중단되더라도 저장된 데이터가 소멸되지 않는 메모리 장치로서, 예컨대 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다.

[0003] 최근에는 반도체 메모리 장치의 고성능화 및 저전력화 추세에 맞추어 상변화 메모리 소자와 같은 차세대 반도체 메모리 장치들이 개발되고 있다.

발명의 내용

해결하려는 과제

[0004] 그러나 이러한 종래의 상변화 메모리 소자에는 집적화가 어렵고 저전력 동작 구현이 어렵다는 문제점이 있었다.

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 고집적 및 저전력 상변화 메모리 소자를 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 따르면, 제1관통홀을 갖는 제1-1전극과, 중앙 관통홀 또는 중앙 그루브를 갖도록 상기 제1

관통홀의 내측면 상에 위치하는 상변화 물질층과, 상기 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치하는 제2전극을 구비하는, 상변화 메모리 소자가 제공된다.

- [0007] 상기 중앙 관통홀 또는 중앙 그루브의 중심축은 상기 제1관통홀의 중심축과 일치할 수 있다.
- [0008] 상기 제2전극은 상기 중앙 관통홀 또는 중앙 그루브 내에 위치하는 추가 관통홀 또는 추가 그루브를 가질 수 있다.
- [0009] 상기 추가 관통홀 또는 추가 그루브의 중심축은 상기 중앙 관통홀 또는 중앙 그루브의 중심축과 일치할 수 있다.
- [0010] 상기 제1-1전극은 상기 제1관통홀의 중심축에 수직인 평면 내에 위치하는 평판 형상을 가질 수 있다.
- [0011] 상기 제1-1전극으로부터 이격되어 위치하며 제2관통홀을 갖는 제1-2전극을 더 구비하고, 상기 상변화 물질층은 상기 제2관통홀의 내측면 상에 위치할 수 있다.
- [0012] 상기 제1관통홀의 중심축과 상기 제2관통홀의 중심축은 동일한 직선 상에 위치할 수 있다.
- [0013] 상기 중앙 관통홀 또는 중앙 그루브는 상기 제1관통홀 내에 위치하는 부분과 상기 제2관통홀 내에 위치하는 부분을 포함할 수 있다.
- [0014] 상기 제1-1전극은 상기 제1관통홀의 중심축에 수직인 제1평면 내에 위치하는 평판 형상을 갖고, 상기 제1-2전극은 상기 제2관통홀의 중심축에 수직이며 상기 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 가질 수 있다.
- [0015] 본 발명의 일 관점에 따르면, 제1관통홀들을 갖는 제1-1전극과, 중앙 관통홀 또는 중앙 그루브를 갖도록 상기 제1관통홀들 각각의 내측면 상에 위치하는 상변화 물질층들과, 상기 상변화 물질층들 각각의 상기 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치하는 제2전극들을 구비하는, 상변화 메모리 소자가 제공된다.
- [0016] 상기 상변화 물질층들 각각의 상기 중앙 관통홀 또는 중앙 그루브의 중심축은 상기 제1관통홀들 중 대응하는 것의 중심축과 일치할 수 있다.
- [0017] 상기 제2전극들 각각은 상기 상변화 물질층들 중 대응하는 것의 상기 중앙 관통홀 또는 중앙 그루브 내에 위치하는 추가 관통홀 또는 추가 그루브를 가질 수 있다.
- [0018] 상기 제2전극들 각각의 상기 추가 관통홀 또는 추가 그루브의 중심축은 상기 상변화 물질층들 중 대응하는 것의 상기 중앙 관통홀 또는 중앙 그루브의 중심축과 일치할 수 있다.
- [0019] 상기 제1-1전극은 상기 제1관통홀들의 중심축들에 수직인 평면 내에 위치하는 평판 형상을 가질 수 있다.
- [0020] 상기 제1-1전극으로부터 이격되어 위치하며 상기 제1관통홀들에 대응하는 제2관통홀들을 갖는 제1-2전극을 더 구비하고, 상기 상변화 물질층들은 상기 제2관통홀들 각각의 내측면 상에 위치할 수 있다.
- [0021] 상기 제1관통홀들 각각의 중심축과 상기 제2관통홀들 중 대응하는 것의 중심축은 동일한 직선 상에 위치할 수 있다.
- [0022] 상기 중앙 관통홀 또는 중앙 그루브는 상기 제1관통홀 내에 위치하는 부분과 상기 제2관통홀 내에 위치하는 부분을 포함할 수 있다.
- [0023] 상기 제1-1전극은 상기 제1관통홀들의 중심축들에 수직인 제1평면 내에 위치하는 평판 형상을 갖고, 상기 제1-2전극은 상기 제2관통홀들의 중심축들에 수직이며 상기 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 가질 수 있다.
- [0024] 상기 제2전극들 각각과 상기 상변화 물질층들 중 대응하는 것 사이에 개재되며, 상기 제2전극들 중 대응하는 것을 감싸도록 속이 빈 원기둥 형상을 갖는, 선택소자층들을 더 구비할 수 있다.
- [0025] 상기 선택소자층들 각각과 상기 상변화 물질층들 중 대응하는 것 사이에 개재되며, 상기 선택소자층들 중 대응하는 것을 감싸도록 속이 빈 원기둥 형상을 갖는, 보조도전층들을 더 구비할 수 있다.
- [0026] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

- [0027] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 고집적 상변화 메모리 소자를 구현할 수 있다. 또한, 동일한 최소 선폴 공정에서 전극의 접촉 면적 최소화가 가능하기에 저전력 상변화 메모리 소자를 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0028] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 상변화 메모리 소자를 제조하는 공정들을 개략적으로 도시하는, 일부분이 절취된 사시도들이다.
- 도 7은 본 발명의 일 실시예에 따른 상변화 메모리 소자에서 프로그래밍 영역이 형성되는 것을 개략적으로 도시하는 개념도이다.
- 도 8은 본 발명의 일 실시예에 따른 상변화 메모리 소자를 개략적으로 도시하는, 일부분이 절취된 사시도이다.
- 도 9는 본 발명의 일 실시예에 따른 상변화 메모리 소자의 일부분을 개략적으로 도시하는 사시도이다.
- 도 10은 상변화 메모리 소자의 일부분을 개략적으로 도시하는 개념도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0031] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0032] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 이러한 용어들은 구성 요소들의 물질 또는 구조가 다를 수 있음을 한정하는 것이 아니다.
- [0033] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0034] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0035] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 상변화 메모리 소자를 제조하는 공정들을 개략적으로 도시하는, 일부분이 절취된 사시도들이다.
- [0036] 먼저 도 1에 도시된 것과 같이, 기판(100) 상에 제1절연층(101), 도전층(110) 및 제2절연층(102)이 순차로 적층된 구조체를 준비한다.
- [0037] 기판(100)은 절연성 물질을 포함하는 것으로, 예컨대 실리콘 기판일 수도 있고 실리콘옥사이드를 포함하는 기판일 수도 있다. 제1절연층(101)은 PECVD와 같은 화학기상증착법을 통해 기판(100) 상에 형성될 수 있다. 이러한 제1절연층(101)은 Si_3N_4 와 같은 실리콘나이트라이드를 포함할 수 있으며, 예컨대 50 nm의 두께로 기판(100) 상에 형성될 수 있다.
- [0038] 도전층(110)은 스퍼터링법 또는 원자층증착법(ALD)을 통해 제1절연층(101) 상에 형성될 수 있다. 이러한 도전층(110)은 예컨대 TiN을 포함할 수 있으며, 예컨대 10 nm의 두께로 제1절연층(101) 상에 형성될 수 있다. 이 도전

층(110)은 후술하는 것과 같은 제1-1전극이 될 수 있다. 도전층(110)은 포토리소그래피법 등에 의해 일 방향으로 연장된 라인 형상 등과 같이 필요한 형상으로 패터닝되거나 애초에 그와 같이 패터닝된 형상을 갖는 도전층(110)으로 형성될 수 있다. 예컨대 도전층(110)을 형성하고 도전층(110) 상에 포토리지스트층을 형성한 후 노광 및 현상 공정을 거쳐 도전층(110)의 사전설정된 부분을 제거하여, 도전층(110)을 패터닝할 수 있다(top-down 방식). 또는 도전층(110) 형성에 앞서 제1절연층(101) 상에 포토리지스트층을 형성하고 노광 및 현상 공정을 거쳐 포토리지스트층의 일부분을 제거한 후, 포토리지스트층과 포토리지스트층의 제거된 부분에 도전층을 형성하고 이후 도전층의 포토리지스트층 상의 부분과 함께 포토리지스트층을 제거하여, 패터닝된 형상을 갖는 도전층(110)이 제1절연층(101) 상에 형성되도록 할 수 있다(bottom-up 방식).

[0039] 제2절연층(102)은 PECVD와 같은 화학기상증착법을 통해 도전층(110) 상에 형성될 수 있다. 이러한 제2절연층(102)은 Si_3N_4 와 같은 실리콘나이트라이드를 포함할 수 있으며, 예컨대 50 nm의 두께로 도전층(110) 상에 형성될 수 있다.

[0040] 이와 같이 기판(100) 상에 제1절연층(101), 도전층(110) 및 제2절연층(102)이 순차로 적층된 구조체를 준비한 후, 도 2에 도시된 것과 같이 제1절연층(101), 도전층(110) 및 제2절연층(102)을 관통하는 관통홀(101a, 110a, 102a)을 형성한다. 즉, 제2절연층(102)에 관통홀(102a)을 형성하고, 도전층(110)에 관통홀(110a)을 형성하며, 제1절연층(101)에 관통홀(101a)을 형성할 수 있다. 이러한 관통홀(101a, 110a, 102a)에 의해 기판(100)의 상면의 일부가 노출될 수 있다.

[0041] 관통홀(101a, 110a, 102a)은 포토리지스트를 이용한 포토리소그래피 또는 전자빔리소그래피 등에 의해 노출된 제2절연층(102)의 상면의 원형 영역에 대한 식각에 의해 형성될 수 있으며, 식각은 건식식각 및 습식식각에 의해 이루어질 수 있다. 예컨대 건식 식각은 유도성 결합 플라즈마 장비(ICP-RIE, inductively coupled plasma) 또는 용량성 결합 플라즈마 장비(CCP-RIE, capacitively coupled plasma) 등으로 진행될 수 있으며, 플라즈마 형성을 위한 Ar 가스 및/또는 화학적 반응을 위한 CF_4 , CHF_3 , O_2 , SF_6 , Cl_2 또는 HBr 가스 등이 이용될 수 있다.

[0042] 제2절연층(102)의 관통홀(102a), 도전층(110)의 관통홀(110a) 및 제1절연층(101)의 관통홀(101a)은 동일한 공정에서 동시에 또는 연속적으로 형성될 수 있다. 제2절연층(102)의 관통홀(102a)의 내측면(102s), 도전층(110)의 관통홀(110a)의 내측면(110s) 및 제1절연층(101)의 관통홀(101a)의 내측면(101s)은 도 2에 도시된 것과 같이 연속면을 형성할 수 있다. 이러한 관통홀(101a, 110a, 102a)의 직경은 예컨대 200 nm일 수 있다.

[0043] 관통홀(110a)을 갖는 도전층(110)을 제1-1전극이라 할 수 있다. 그리고 이러한 제1-1전극의 관통홀(110a)을 제1 관통홀이라 할 수 있다. 이하에서는 편의상 참조번호 110의 구성요소를 제1-1전극이라 하고, 참조번호 110a의 구성요소를 제1관통홀이라 한다.

[0044] 이처럼 관통홀(101a, 110a, 102a)을 형성한 후, 도 3에 도시된 것과 같이 상변화 물질층(300)을 형성한다. 상변화 물질층(300)은 증착에 의해 형성될 수 있는데, 예컨대 스퍼터링법, 화학기상증착법(CVD) 또는 원자층증착법(ALD) 등에 의해 형성될 수 있다. 상변화 물질층(300)은 칼코제나이드 물질을 포함할 수 있는데, 예컨대 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 포함할 수 있다. 상변화 물질층(300)은 제1-1전극(110)의 제1관통홀(110a)의 내측면(110s) 상에 위치할 수 있다. 물론 도 3에 도시된 것과 같이, 상변화 물질층(300)은 제1-1전극(110)의 제1관통홀(110a)의 내측면(110s)뿐만 아니라 제2절연층(102)의 관통홀(102a)의 내측면(102s)과 제1절연층(101)의 관통홀(101a)의 내측면(101s) 상에도 위치할 수 있다. 그리고 상변화 물질층(300)의 일부는 제2절연층(102)의 상면 상에 위치할 수도 있다.

[0045] 상변화 물질층(300)은 중앙 관통홀 또는 중앙 그루브(300a)를 갖는다. 도 3에서는 상변화 물질층(300)이 기판(100)의 관통홀(101a, 110a, 102a)에 의해 노출된 부분을 덮어, 상변화 물질층(300)이 중앙 그루브(300a)를 갖는 것으로 도시하고 있다. 하지만 이는 예시적인 것으로, 상변화 물질층(300)은 중앙 관통홀을 가져 기판(100)의 상면의 일부를 노출시킬 수도 있다. 이러한 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)의 중심축은, 제1-1전극(110)의 제1관통홀(110a)의 중심축과 일치할 수 있다.

[0046] 이어, 도 4에 도시된 것과 같이 제2절연층(102)의 일부를 제거하여 제1-1전극(110)의 일부를 노출시킨다. 도 4에서는 제2절연층(102)이 개구(102b)를 가져, 제1-1전극(110)의 일부를 노출시키는 것으로 도시하고 있다. 이러한 개구(102b)는 포토리지스트를 이용한 식각에 의해 형성될 수 있다.

[0047] 제2절연층(102)에 개구(102b)를 형성한 후, 도 5에 도시된 것과 같이 그 개구(102b)를 채우는 플러그(111)를 형성할 수 있다. 플러그(111)는 스퍼터링법을 통해 도전물질로 형성될 수 있으며, 예컨대 TiN 또는 텅스텐을 포함

할 수 있다. 예컨대 플러그(111)는 10nm 두께의 TiN을 포함하는 제1층과 이러한 제1층 상에 위치하며 100nm 두께의 텅스텐층을 포함하는 제2층을 갖는, 2층구조를 가질 수 있다. 이러한 플러그(111)는 제1-1전극(110)의 개구(102b)에 의해 노출된 부분에 컨택할 수 있다.

[0048] 이후, 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)의 내측면(300s) 상에 위치하는 제2전극(200)을 형성하여, 도 6에 도시된 것과 같은 상변화 메모리 소자를 제조할 수 있다. 이때 필요하다면 플러그(111) 상에 추가 플러그(112)가 제2전극(200)과 동일한 물질로 동시에 형성될 수 있다. 이러한 제2전극(200)은 도전성 물질로 형성될 수 있는데, 제2전극(200)은 예컨대 TiN 또는 텅스텐을 포함할 수 있다. 예컨대 원기둥 형상 또는 속이 빈 원기둥 형상의 제2전극(300)은, 10nm 두께의 TiN을 포함하며 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)의 내측면(300s) 상에 위치하는 제1층과, 이러한 제1층 상에 위치하며 100nm 두께의 텅스텐층을 포함하는 제2층을 갖는, 2층구조를 가질 수 있다. 여기서 2층구조라 함은, 원기둥 형상 또는 속이 빈 원기둥 형상의 제2전극(300)의 방사 방향에 있어서 2층구조를 가질 수 있다는 것을 의미한다.

[0049] 제2전극(200)은 필요에 따라 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a) 내에 위치하는 추가 관통홀 또는 추가 그루브(200a)를 가질 수 있다. 이 경우 제2전극(200)은 속이 빈 원기둥 형상을 갖는 것으로 이해될 수 있다. 도 6에서는 제2전극(200)이 상변화 물질층(300)의 기관(100) 상의 부분을 덮어, 제2전극(200)이 추가 그루브(200a)를 갖는 것으로 도시하고 있다. 하지만 이는 예시적인 것으로, 제2전극(200)은 추가 관통홀을 가져 상변화 물질층(300)의 기관(100) 상의 부분의 일부를 노출시킬 수도 있다. 이러한 제2전극(200)의 추가 관통홀 또는 추가 그루브(200a)의 중심축은, 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)의 중심축과 일치할 수 있다. 물론 필요에 따라 제2전극(200)은 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)를 모두 채울 수도 있다. 이 경우 제2전극(200)은 원기둥 형상을 갖는 것으로 이해될 수 있다.

[0050] 도 7은 본 발명의 일 실시예에 따른 상변화 메모리 소자에서 프로그래밍 영역(310)이 형성되는 것을 개략적으로 도시하는 개념도이다. 도 7에 도시된 것과 같이, 상변화 메모리 소자의 제1-1전극(110)과 제2전극(200) 사이에 전위차를 갖는 전기적 펄스를 인가하면, 상변화 물질층(300)과의 접촉면적이 상대적으로 좁은 제1-1전극(110)에 줄-열(Joule-heating)이 발생하여 온도가 상승하며, 온도의 크기 및 유지 시간에 따라 상변화 물질층(300)의 제1-1전극(110)에 인접한 부분의 상변화 물질은 결정질 또는 비정질로 가역적으로 변하게 된다. 이에 따라 도 7에 도시된 것과 같이, 상변화 물질층(300)의 제1-1전극(110)에 인접한 부분이 프로그래밍 영역(310)이 될 수 있다. 물론 이러한 프로그래밍 영역(310)의 형성은 가역적인 것이기에, 본 실시예에 따른 소자는 메모리 소자로 작동할 수 있다.

[0051] 한편, 이처럼 상변화 물질층(300)과의 접촉면적이 상대적으로 좁은 제1-1전극(110)에 줄-열(Joule-heating)이 발생하는 것이 상변화 메모리 소자의 작동 원리인바, 따라서 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 좁게 유지하는 것이 필요하다. 본 실시예에 따른 상변화 메모리 소자의 경우, 제1-1전극(110)은 제1관통홀(110a)의 중심축에 수직인 평면(xy 평면) 내에 위치하는 얇은 평판 형상을 갖는다. 따라서 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있어 효율적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄여 동작 전력을 낮출 수 있다. 또한 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다.

[0052] 도 8은 본 발명의 일 실시예에 따른 상변화 메모리 소자를 개략적으로 도시하는, 일부분이 절취된 사시도이다. 도 8에 도시된 것과 같이, 본 실시예에 따른 상변화 메모리 소자는 제1-2전극(120)과 제3절연층(103)을 더 구비할 수 있다.

[0053] 제1-2전극(120)은 제1-1전극(110)으로부터 (-z 방향으로) 이격되어 위치하며, 제2관통홀(120a)을 가질 수 있다. 제1-2전극(120)은 제1절연층(101)에 의해 제1-1전극(110)으로부터 이격될 수 있다. 그리고 제3절연층(103)이 기관(100)과 제1-2전극(120) 사이에 개재될 수 있다.

[0054] 제3절연층(103)은 PECVD와 같은 화학기상증착법을 통해 기관(100) 상에 형성될 수 있다. 이러한 제3절연층(103)은 Si_3N_4 와 같은 실리콘나이트라이드를 포함할 수 있으며, 예컨대 50 nm의 두께로 기관(100) 상에 형성될 수 있다.

[0055] 제1-2전극(120)은 스퍼터링법을 통해 제3절연층(103) 상에 형성될 수 있다. 이러한 제1-2전극(120)은 예컨대 TiN을 포함할 수 있으며, 예컨대 10 nm의 두께로 제3절연층(103) 상에 형성될 수 있다. 제1절연층(101)은 이러한 제1-2전극(120) 상에 형성될 수 있다.

- [0056] 제2절연층(102)의 관통홀(102a), 제1-1전극(110)의 관통홀(110a) 및 제1절연층(101)의 관통홀(101a)을 형성할 시, 제1-2전극(120)의 제2관통홀(120a)과 제3절연층(103)의 관통홀(103a)을 동시에 또는 연속적으로 형성할 수 있다. 제2절연층(102)의 관통홀(102a)의 내측면(102s), 제1-1전극(110)의 관통홀(110a)의 내측면(110s), 제1절연층(101)의 관통홀(101a)의 내측면(101s), 제1-2전극(120)의 제2관통홀(120a)의 내측면(120s) 및 제3절연층(103)의 관통홀(103a)의 내측면(103s)은 도 8에 도시된 것과 같이 연속면을 형성할 수 있다. 제1-2전극(120)의 제2관통홀(120a)의 중심축과 제1-1전극(110)의 제1관통홀(110a)의 중심축은 동일한 직선 상에 위치할 수 있다.
- [0057] 상변화 물질층(300)은 제1-1전극(110)의 제1관통홀(110a)의 내측면(110s), 제2절연층(102)의 관통홀(102a)의 내측면(102s) 및 제1절연층(101)의 관통홀(101a)의 내측면(101s)뿐만 아니라, 제1-2전극(120)의 제2관통홀(120a)의 내측면(120s)과 제3절연층(103)의 관통홀(103a)의 내측면(103s) 상에도 위치할 수 있다. 이에 따라 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브(300a)는 제1-1전극(110)의 제1관통홀(110a) 내에 위치하는 부분과 제1-2전극(120)의 제2관통홀(120a) 내에 위치하는 부분을 포함할 수 있다.
- [0058] 전술한 것과 같이 상변화 물질층(300)과의 접촉면적이 상대적으로 좁은 제1-1전극(110)에 줄-열(Joule-heating)이 발생하는 것이 상변화 메모리 소자의 작동 원리인바, 따라서 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 좁게 유지하는 것이 필요하다. 마찬가지로 상변화 물질층(300)의 제1-2전극(120) 인근의 부분 역시 프로그래밍 영역이 될 수 있으므로, 제1-2전극(120)과 상변화 물질층(300)의 접촉면적을 좁게 유지하는 것이 필요하다.
- [0059] 본 실시예에 다른 상변화 메모리 소자의 경우, 제1-1전극(110)은 제1관통홀(110a)의 중심축에 수직인 제1평면 내에 위치하는 평판 형상을 갖는다. 따라서 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있어 효과적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄일 수 있다. 또한 제1-1전극(110)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다.
- [0060] 마찬가지로, 제1-2전극(120)은 제2관통홀(120a)의 중심축에 수직이며 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 갖는다. 따라서 제1-2전극(120)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있어 효과적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄일 수 있다. 또한 제1-2전극(120)과 상변화 물질층(300)의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다. 나아가, 한 개의 제2전극(200)에 대해 제1-1전극(110)과 제1-2전극(120)이 대응되도록 하여, 동일한 면적 내에서 메모리소자의 개수를 두 배로 늘릴 수 있다. 따라서 상변화 메모리 소자의 집적도를 획기적으로 높일 수 있다. 물론 제1-1전극(110)과 제1-2전극(120) 외에, 이 전극들로부터 이격되 이 전극들과 평행한 평판 형상을 갖는 제1-3전극 등을 도입하여, 상변화 메모리 소자의 집적도를 더욱 높일 수도 있다.
- [0061] 참고로 전술한 것과 같이 제2절연층(102)에 형성된 개구를 채우는 플러그(111)와 추가 플러그(112)가 제1-1전극(110)에 전기적으로 연결될 수 있다. 마찬가지로, 도 8에 도시되지는 않았지만 별도의 플러그 및/또는 추가 플러그가 제2절연층(102)과 제1절연층(101)에 형성된 개구를 통해 제1-2전극(120)에 전기적으로 연결될 수 있다. 이러한 별도의 플러그 및/또는 추가 플러그는 제1-1전극(110)에는 전기적으로 연결되지 않을 수 있다. 예컨대 이러한 별도의 플러그 및/또는 추가 플러그는 제1-1전극(110)이 존재하지 않는 영역을 통해 제1-2전극(120)에 전기적으로 연결될 수 있다.
- [0062] 도 9는 본 발명의 일 실시예에 따른 상변화 메모리 소자의 일부분을 개략적으로 도시하는 사시도이다.
- [0063] 본 실시예에 따른 상변화 메모리 소자의 경우, 제1-1전극(110)이 (x축 방향을 따라 배열된) 복수개의 제1관통홀들을 갖는다. 그리고 중앙 관통홀 또는 중앙 그루브를 갖는 상변화 물질층(300)들이 제1-1전극(110)의 제1관통홀들 각각의 내측면 상에 위치한다. 전술한 실시예에 따른 상변화 메모리 소자에서와 유사하게, 상변화 물질층(300)들 각각의 중앙 관통홀 또는 중앙 그루브의 중심축은 제1-1전극(110)의 제1관통홀들 중 대응하는 것의 중심축과 일치할 수 있다.
- [0064] 그리고 이러한 상변화 메모리 소자는 복수개의 제2전극(200)들을 구비하는데, 이 복수개의 제2전극(200)들은 상변화 물질층(300)들 각각의 중앙 관통홀 또는 중앙 그루브의 내측면 상에 위치한다. 필요하다면, 제2전극(200)들 각각은 상변화 물질층(300)들 중 대응하는 것의 중앙 관통홀 또는 중앙 그루브 내에 위치하는 추가 관통홀 또는 추가 그루브를 가질 수 있다. 제2전극들 각각의 추가 관통홀 또는 추가 그루브의 중심축은, 상변화 물질층들 중 대응하는 것의 중앙 관통홀 또는 중앙 그루브의 중심축과 일치할 수 있다. 이 경우, 제2전극(200)들 각각

은 속이 빈 원기둥 형상을 갖는 것으로 이해될 수 있다. 물론 필요에 따라 제2전극(200)들 각각은 상변화 물질층(300)들 중 대응하는 것의 중앙 관통홀 또는 중앙 그루브(300a)를 모두 채울 수도 있다. 이 경우 제2전극(200)들 각각은 원기둥 형상을 갖는 것으로 이해될 수 있다.

[0065] 이처럼 하나의 제1-1전극(110)이 복수개의 제1관통홀들을 갖고 이 제1관통홀들 각각의 내측면 상에 상변화 물질층(300)들이 위치하도록 하며, 상변화 물질층(300)들 각각의 중앙 관통홀 또는 중앙 그루브의 내측면 상에 제2전극(200)이 위치하도록 함으로써, 집적도가 높은 상변화 메모리 소자를 구현할 수 있다.

[0066] 제1-1전극(110)은 제1관통홀들의 중심축에 수직인 평면(xy 평면) 내에 위치하는 평판 형상을 갖는다. 따라서 제1-1전극(110)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있어 효과적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄일 수 있다. 또한 제1-1전극(110)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다.

[0067] 한편, 도 8에 도시된 것과 같이, 상변화 메모리 소자는 제1-2전극(120)을 구비할 수 있다. 제1-2전극(120)은 제1-1전극(110)으로부터 (-z 방향으로) 이격되어 위치하며, 제1-1전극(110)의 제1관통홀들에 대응하는 제2관통홀들을 가질 수 있다. 즉, 제1-2전극(120)도 (x축 방향을 따라 배열된) 복수개의 제2관통홀들을 가질 수 있다. 이때, 제1-1전극(110)의 제1관통홀들 각각의 중심축과 제1-2전극(120)의 제2관통홀들 중 대응하는 것의 중심축은 동일한 직선 상에 위치할 수 있다.

[0068] 제1-1전극(110)의 제1관통홀들 각각의 내측면 상에 위치하는 상변화 물질층(300)들은 제1-2전극(120)의 제2관통홀들 각각의 내측면 상에 위치할 수 있다. 이에 따라 상변화 물질층(300)들 각각의 중앙 관통홀 또는 중앙 그루브(300a)는 제1-1전극(110)의 제1관통홀(110a) 내에 위치하는 부분과 제1-2전극(120)의 제2관통홀(120a) 내에 위치하는 부분을 포함할 수 있다.

[0069] 제1-1전극(110)은 제1관통홀(110a)들의 중심축에 수직인 제1평면 내에 위치하는 평판 형상을 갖는다. 따라서 제1-1전극(110)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있어 효과적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄일 수 있다. 또한 제1-1전극(110)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다.

[0070] 마찬가지로, 제1-2전극(120)은 제2관통홀(120a)들의 중심축에 수직이며 제1평면으로부터 이격된 제2평면 내에 위치하는 평판 형상을 갖는다. 따라서 제1-2전극(120)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있어 효과적인 줄-열을 발생시킬 수 있으므로, 상변화 메모리 소자의 동작 에너지를 획기적으로 줄일 수 있다. 또한 제1-2전극(120)과 상변화 물질층(300)들의 접촉면적을 최소화할 수 있기에 프로그래밍 영역(310)의 상하 방향으로의 크기를 줄여, 고집적 메모리 소자를 구현할 수 있다. 나아가 제1-1전극(110)과 제1-2전극(120)이 상하로 배열되도록 함으로써, 동일한 면적 내에서 메모리소자의 개수를 두 배로 늘릴 수 있다. 따라서 상변화 메모리 소자의 집적도를 획기적으로 높일 수 있다. 물론 제1-1전극(110)과 제1-2전극(120) 외에, 이 전극들로부터 이격되 이 전극들과 평행한 평판 형상을 갖는 제1-3전극(130)이나 제1-4전극(140) 등을 도입하여, 상변화 메모리 소자의 집적도를 더욱 높일 수도 있다. 제1-3전극(130)이나 제1-4전극(140)의 구조는 제1-2전극(120)의 구조와 동일 또는 유사할 수 있다.

[0071] 한편, 상변화 메모리 소자는 추가전극(400)들을 더 구비할 수 있다. 전술한 것과 같이 제1방향(x축 방향)으로 연장된 제1-1전극(110)이 제1방향(x축 방향)을 따라 배열된 복수개의 제1관통홀들을 갖고, 제1-1전극(110)으로부터 제2방향(-z 방향)으로 이격되어 위치하며 제1방향(x축 방향)으로 연장된 제1-2전극(120)이 제1방향(x축 방향)을 따라 배열된 복수개의 제2관통홀들을 갖는다. 제1-3전극(130)과 제1-4전극(140) 역시 제1-2전극(120)과 유사한 구조를 가질 수 있다. 아울러 이러한 제1-1전극(110), 제1-2전극(120), 제1-3전극(130) 및 제1-4전극(140)의 세트는, 제1방향(x축 방향)과 제2방향(-z 방향)에 수직인 제3방향(y축 방향)을 따라 반복하여 위치할 수 있다. 추가전극(400)들 각각은 제3방향(y축 방향)으로 연장되어, 제3방향(y축 방향)으로의 열들 중 대응하는 열에 위치한 제2전극(200)들과 전기적으로 연결될 수 있다. 이에 따라 추가전극(400)들 중 어느 하나와 제1-1전극(110)들 중 어느 하나에 전기적 신호를 인가함에 따라 상변화 물질층(300)의 특정 위치에서 상변화가 일어나도록 할 수 있고, 추가전극(400)들 중 어느 하나와 제1-2전극(120)들 중 어느 하나에 전기적 신호를 인가함에 따라 상변화 물질층(300)의 특정 위치에서 상변화가 일어나도록 할 수 있는 등, 다양한 방식으로 상변화 메모리 소자에 데이터를 저장할 수 있다.

- [0072] 이와 같은 어레이 형태의 상변화 메모리 소자의 경우, 누설전류가 발생하지 않도록 하는 것이 매우 중요하다. 누설전류가 발생할 경우, 의도되지 않은 위치에서 상변화가 발생하는 등의 오류가 발생할 수 있기 때문이다. 도 10은 그러한 누설전류에 의한 오류가 발생하는 것을 방지하기 위한 상변화 메모리 소자의 일부분을 개략적으로 도시하는 개념도로서, 도 9의 상변화 메모리 소자의 일부분을 개략적으로 도시하는 개념도로 이해될 수 있다. 즉, 도 10은 도 9의 제1-1전극(110)이 갖는 복수개의 제1관통홀들 중 어느 하나 근방을 개략적으로 도시하는 개념도로 이해될 수 있다.
- [0073] 도 10에 도시된 것과 같이, 상변화 물질층(300)의 중앙 관통홀 또는 중앙 그루브에 제2전극(200)이 위치한다. 이러한 제2전극(200)들과 상변화 물질층(300)들 중 대응하는 것 사이에 선택소자층(330, ovonic threshold switching material layer)이 위치할 수 있다. 즉, 선택소자층(330)은 상변화 물질층(300)과 유사하게 속이 빈 원기둥 형상을 가져, 제2전극(200)들 중 대응하는 것을 감쌀 수 있다.
- [0074] 그리고 상변화 물질층(300)과 선택소자층(330) 사이에 제1보조도전층(320)이 개재될 수 있다. 즉, 선택소자층(330)들과 상변화 물질층(300)들 중 대응하는 것 사이에 제1보조도전층(320)들이 위치할 수 있다. 제1보조도전층(320)은 상변화 물질층(300)과 유사하게 속이 빈 원기둥 형상을 가져, 선택소자층(330)들 중 대응하는 것을 감쌀 수 있다. 필요하다면 제2전극(200)들 각각과 선택소자층(330)들 중 대응하는 것 사이에도 제2보조도전층(340)이 개재될 수 있다. 제2보조도전층(340)들 각각도 상변화 물질층(300)과 유사하게 속이 빈 원기둥 형상을 가져, 제2전극(200)들 중 대응하는 것을 감쌀 수 있다.
- [0075] 선택소자층(330), 제1보조도전층(320) 및 제2보조도전층(340)은, 도 9에 도시된 제2전극(200)과 마찬가지로, 제1-1전극(110)의 제1관통홀, 제1-2전극(120)의 제2관통홀, 제1-3전극(130)의 제3관통홀 및 제1-4전극(140)의 제4관통홀을 통과하도록 제2방향(-z 방향)으로 연장된 형상을 가질 수 있다.
- [0076] 선택소자층(330)은 칼코제나이드 물질을 포함한 합금(alloy)으로 형성될 수 있다. 예컨대, 선택소자층(330)은 Ge-Se, Ge-Se-N, Ge-Se-As, GeTe₆, Si-Te, Zn-Te, C-Te, B-Te, Ge-As-Te-Si-N 또는 Ge-As-Se-Te-Si를 포함할 수 있다. 이처럼 선택소자층(330)은 2성분계 합금 내지 5성분계 합금일 수 있다.
- [0077] 전술한 것과 같이 상변화 물질층(300)도 칼코제나이드 물질을 포함할 수 있기에, 제1보조도전층(320)은 선택소자층(330)과 상변화 물질층(300) 사이에 개재되어 이들이 서로 섞이지 않도록 하는 역할을 할 수 있다. 제1보조도전층(320)과 제2보조도전층(340)은 TiN을 포함할 수 있다. 선택소자층(330)은 상변화 물질층(300)과 마찬가지로 칼코제나이드 물질을 포함하지만, 상변화 물질층(300)보다 더 높은 결정화온도(crystalline temperature, T_{cry})를 갖기 때문에 비정질에서 결정질로 상이 변화하기 쉽지 않다(비정질 상태가 열적으로 매우 안정한 상태임). 이러한 선택소자층(330)은 인가되는 전압이 그 선택소자층(330)의 문턱전압(V_{th})보다 낮으면, 비정질 상태의 선택소자층(330)의 높은 저항에 의해 낮은 전류만 흐를 수 있다. 만일 선택소자층(330)에 인가되는 전압이 문턱전압(V_{th})보다 높으면, 선택소자층(330)은 낮은 전류가 흐르는 비정질 상태에서 높은 전류가 흐르는 비정질 상태로 바뀌고, 이로 인해 선택소자층(330)과 연결되어 있는 상변화 물질층(300) 등에 전기적 에너지가 가해져 프로그래밍 영역(310)의 형성 등의 동작이 용이하게 이루어질 수 있도록 한다. 그 이후, 선택소자층(330)에 인가되는 전압이 유지전압(V_{hold}: holding voltage)보다 낮아지면, 선택소자층(330)에는 전류가 다시 낮게 흐르게 된다. 이에 따라, 선택소자층(330)은 휘발성 특성을 지닌 스위칭 소자(선택 소자)로 동작할 수 있다.
- [0078] 선택소자층(330)은 이러한 특성에 의해, 제1-1전극(110), 제1-2전극(120), 제1-3전극(130) 및 제1-4전극(140) 등과 제2전극(200) 사이에서 누설전류가 발생하는 것을 효과적으로 방지하거나 최소화할 수 있다. 즉, 선택소자층(330)은 문턱전압(V_{th})보다 낮은 전압에서는 높은 저항을 갖기에, 상변화 물질층(300)이 저저항 상태인 "1"을 지녀도(즉, 프로그래밍 영역(310)이 형성되어도) 선택소자층(330)은 상변화 물질층(300)과 직렬로 연결되어 있기에 저항이 매우 높게 유지될 수 있다.
- [0079] 예컨대 도 9에 도시된 것과 같은 소자 어레이를 포함하는 상변화 메모리 소자에 있어서, 특정 소자가 선택되어 사전설정된 전압 펄스가 인가될 시, 만일 선택소자층(330)이 존재하지 않는다면 그 특정 소자에서 인접 소자들로 누설전류가 흐르게 되어, 그 특정 소자에 제대로 된 사전설정된 전압 펄스가 인가되지 않을 수 있다. 따라서 누설전류를 고려하여 특정 소자에 전압 펄스를 인가해야 하는 상황이 되어, 전력 손실로 이어질 수 있다. 하지만 선택소자층(330)이 존재한다면 누설전류의 발생을 방지하거나 누설전류의 양을 줄일 수 있기 때문에, 그러한 소비전력의 증가를 방지하거나 최소화할 수 있다.
- [0080] 또한 도 9에 도시된 것과 같은 소자 어레이를 포함하는 상변화 메모리 소자에 있어서 특정 소자를 읽는 경우,

그 특정 소자 인근의 소자들 중 일부가 저저항 상태인 "1"을 지닌다면(즉, 인근의 소자들 중 일부에 프로그래밍 영역(310)이 형성된다면), 선택소자층(330)이 존재하지 않는다면 누설전류가 흐르기에 그 특정 소자의 정확한 저항값을 읽지 못할 수 있다. 하지만 선택소자층(330)이 존재한다면 누설전류를 방지하거나 최소화할 수 있기 때문에, 그 특정 소자의 정확한 저항값을 읽을 수 있다.

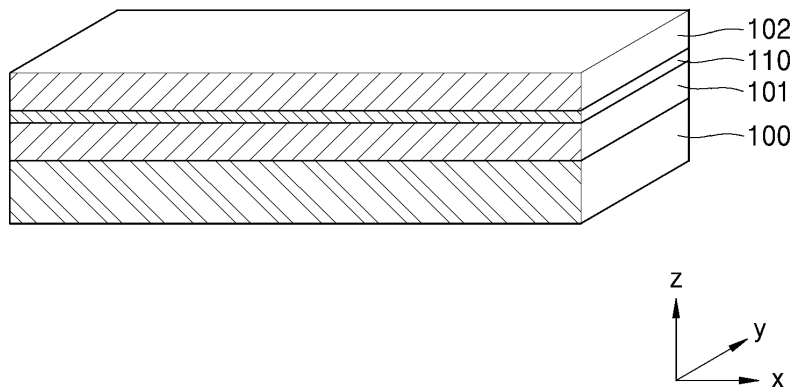
[0081] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

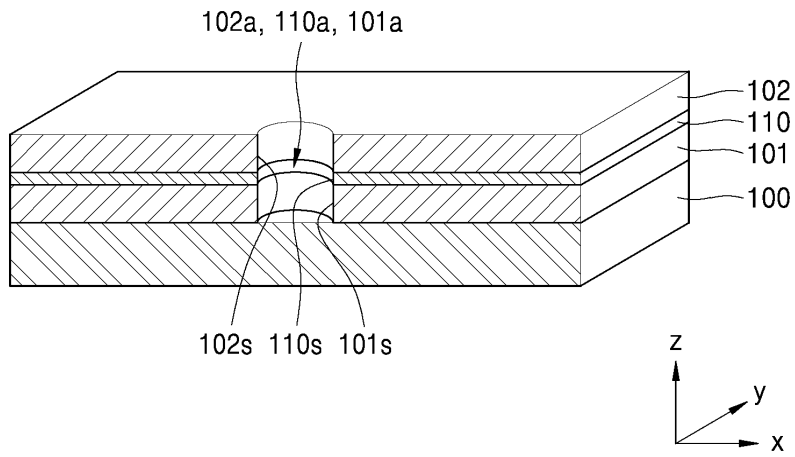
[0082] 100: 기판 101: 제1절연층
102: 제2절연층 103: 제3절연층
110: 제1-1전극 110a: 제1관통홀
111: 플러그 112: 추가 플러그
120: 제1-2전극 120a: 제2관통홀
130: 제1-3전극 140: 제1-4전극
200: 제2전극 200a: 추가 그루브
300: 상변화 물질층 300a: 중앙 그루브
310: 프로그래밍 영역 320: 제1보조도전층
330: 선택소자층 340: 제2보조도전층
400: 추가전극

도면

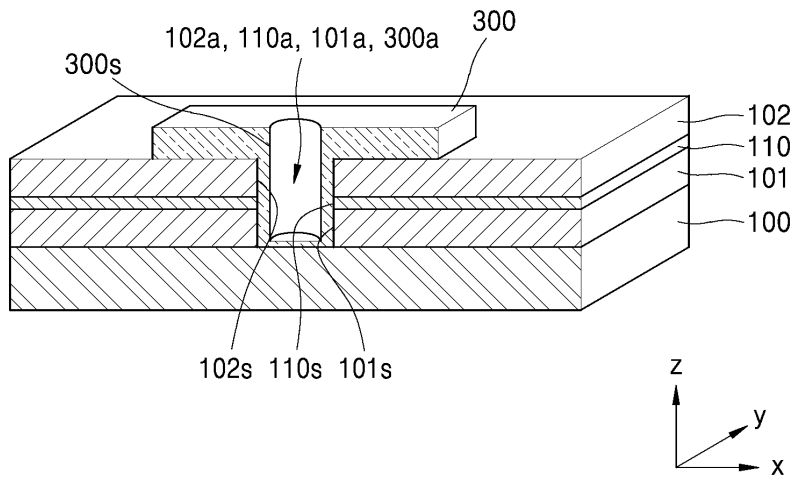
도면1



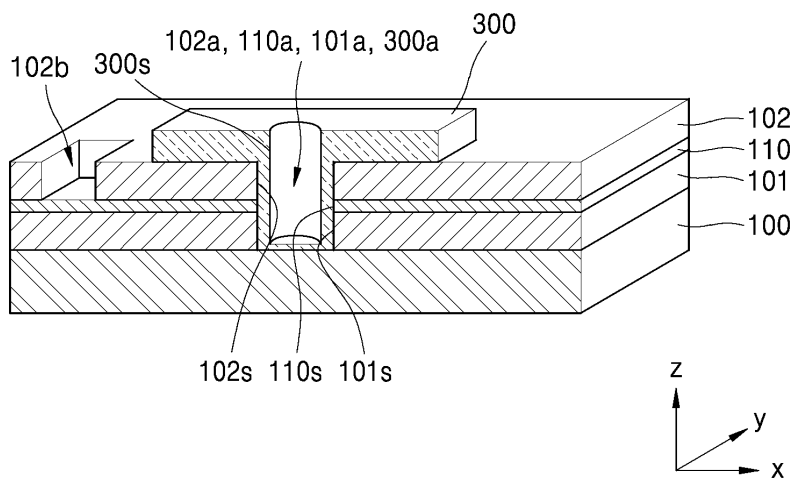
도면2



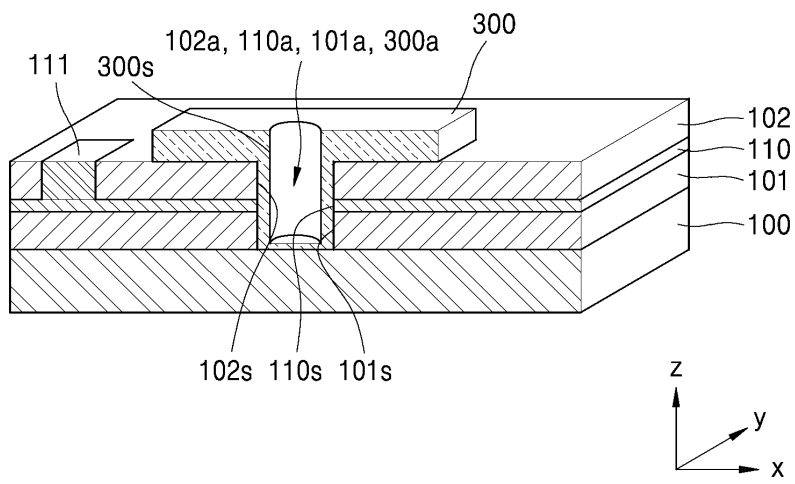
도면3



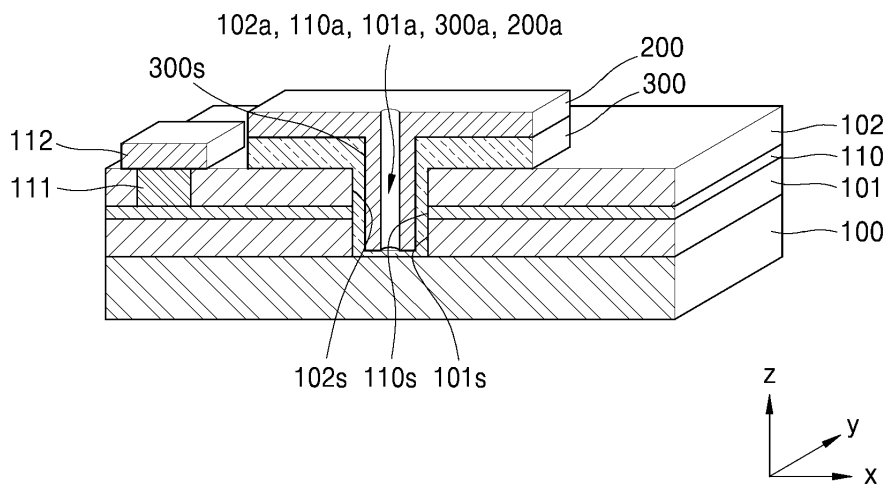
도면4



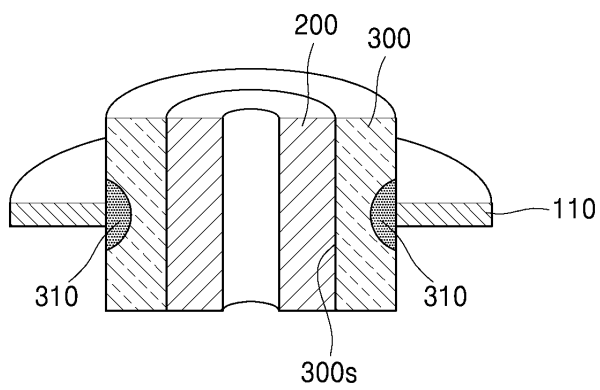
도면5



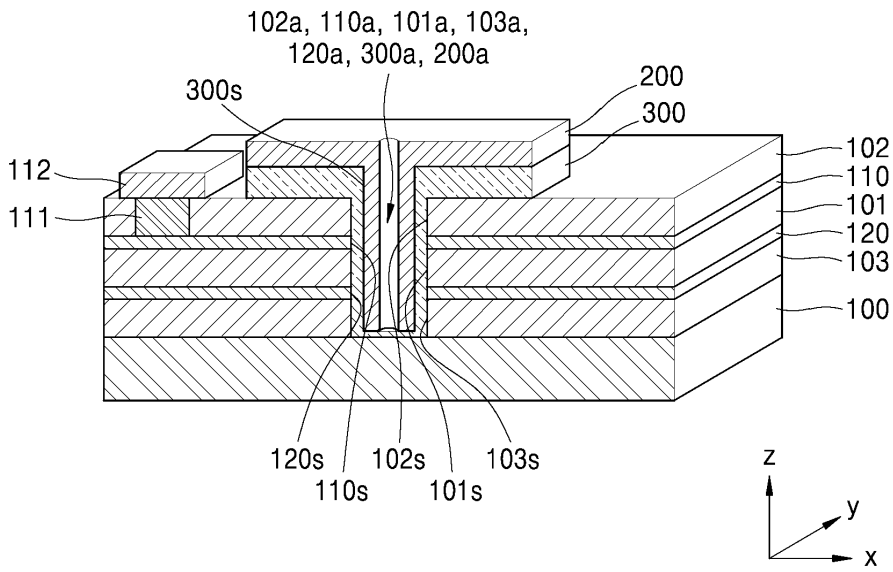
도면6



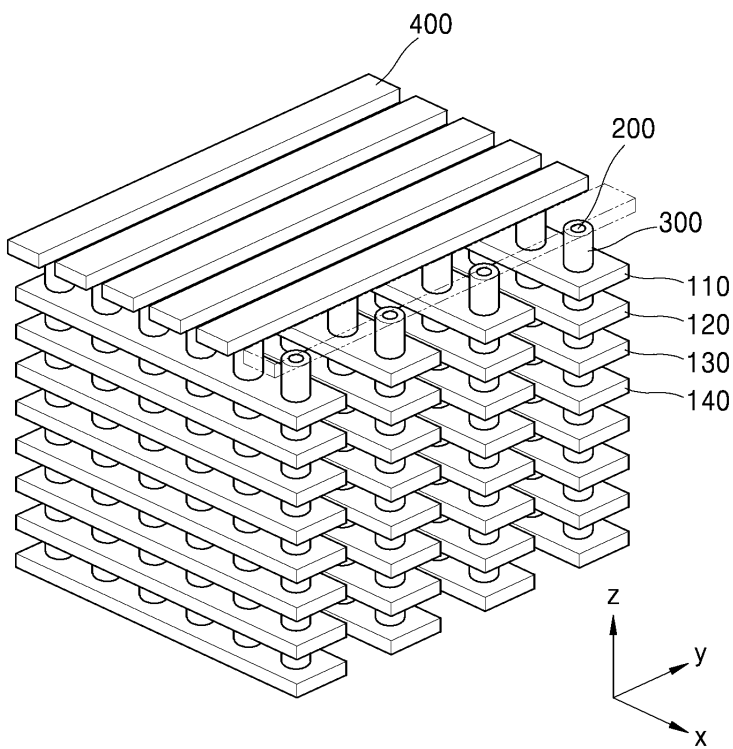
도면7



도면8



도면9



도면10

