[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/115
G11C 16/00

[12] 发明专利说明书

专利号 ZL 99118829.2

[45] 授权公告日 2005 年 10 月 12 日

[11] 授权公告号 CN 1223003C

[22] 申请日 1999.9.10 [21] 申请号 99118829.2

[30] 优先权

[32] 1998. 9.10 [33] JP [31] 256738/1998

[32] 1999. 1.19 [33] JP [31] 010676/1999

[71] 专利权人 株式会社东芝

地址 日本神奈川县

[72] 发明人 作井康司 宫本顺一

审查员 赵百令

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

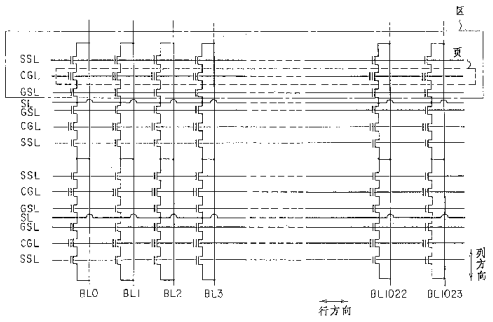
代理人 王永刚

权利要求书 2 页 说明书 80 页 附图 64 页

[54] 发明名称 非易失性半导体存储器

[57] 摘要

存储单元阵列，具有由 1 个存储单元和夹着其的 2 个选择晶体管构成的单元。 在 1 个区上，由连接在 1 条控制栅线 CGL 上的存储单元构成 1 页。在位线 BLi 上，连接具有闩锁功能的读出放大器。首先，将 1 页份的存储单元的数据读出到读出放大器，在读出放大器中改写数据，在进行页消除之后，将读出放大器的数据编程在 1 页份的存储单元上。 通过在读出放大器中改写数据，就可以进行页单位或者字节单位的数据改写。



ISSN1008-4274

知识产权出版社出版

1、一种非易失性半导体存储器，包括：

存储单元阵列，具有由1个存储单元和夹着其的2个选择晶体管构成的存储单元组；

位线，被连接在上述2个选择晶体管的一方；

读出放大器，被连接在上述位线上具有闩锁功能；

控制栅线，被连接在上述存储单元上；

控制电路，在上述存储单元阵列中，当对连接在所选控制栅线上的1页份的存储单元中的被选择的存储单元进行数据变更的情况下，

将上述1页份的存储单元的数据读出到上述读出放大器，在上述读出放大器中对与上述1页份的数据中的与上述所选存储单元对应的数据进行数据改写，消除上述1页份的存储单元的数据，将上述读出放大器的数据编程在上述1页份的存储单元中，

其中：

上述存储单元，具备具有浮动栅和控制栅的叠栅构造。

2、如权利要求1所述的非易失性半导体存储器，其特征在于：

上述2个选择晶体管，具有和上述存储单元相同的构造。

3、如权利要求1所述的非易失性半导体存储器，其特征在于：

上述所选存储单元的数据，是字节数据以及页数据中的一方。

4、如权利要求1所述的非易失性半导体存储器，其特征在于：

上述存储单元阵列还具有由多个存储单元构成的第 2 存储单元组。

5、如权利要求4所述的非易失性半导体存储器，其特征在于：

上述第 2 存储单元组，是串联连接上述多个存储单元的 NAND 单元、以及并联连接上述多个存储单元的 AND 单元、以及并联连接上述多个存储单元的 DINOR 单元中的1个。

6、如权利要求4所述的非易失性半导体存储器，其特征在于：

上述2个选择晶体管，具有和上述存储单元相同的构造。

7、如权利要求 4 所述的非易失性半导体存储器，其特征在于：

上述所选存储单元数据，是字节数据以及页数据中的一方。

8、如权利要求 1 或者 4 所述的非易失性半导体存储器，其特征在于：

上述数据的变更动作，由消除动作和编程动作构成，上述编程动作，由热电子现象或者 FN 隧道现象进行，上述消除动作，由 FN 隧道现象进行。

非易失性半导体存储器

本发明涉及可以以字节单位进行变更存储单元数据的动作的非易失性半导体存储器。

以往，作为可以以字节单位进行存储单元的数据变更的非易失性半导体存储器已知有 EEPROM。

文献 1（W.Johnson et al.,“A 16Kb Electrically Erasable Nonvolatile Memory,” ISSCC Digest of Technical Papers,pp.152-153,Feb.1982.）提出使用 FLOTOX（Floating Gate Tunnel Oxide）单元，以字节单位进行存储单元的数据变更的 EEPROM。

图 65，是展示可以进行消除字节的 EEPROM 的存储单元部分的一例的平面图，图 66 是沿图 65 的 LXVI-LXVI 线的断面图。

该 EEPROM，在存储单元部分上使用了 FLOTOX 单元。FLOTOX 单元的特征在于：在 N^+漏极 20a 和浮动栅 21a 之间配置 10[nm]左右的 隧道氧化膜 22a，通过在该隧道氧化膜 22a 上施加电场在 N^+漏极 20a 和浮动栅 21a 之间进行电荷的交换。

流入隧道氧化膜 22a 的电流，是由 FN(Fowler－Nordheim)隧道现象产生的 FN 隧道电流。

图 67 展示了 MOS 电容部分部分的能量区域图 。

当在 MOS 电容器（N^+漏极－隧道氧化膜－浮动栅）上施加电场时，根据式（1），在隧道氧化膜(SiO2)上流过 FN 隧道电流。

$$I=S\cdot\alpha\cdot E^2\exp(-\beta/E) \qquad \cdots(1)$$

S: 面积，E: 电场

$$\alpha=q^3/8\pi h\Phi B=6.94\times10^{-7}[A/V^2]$$

$$\beta=-4(2m)^{0.5}\Phi B^{1.5}/3hq$$

$$=2.54\times10^8[V/cm]$$

从该式可知，FN 隧道电流开始流动的电场约为 10[MV/cm]。该

电场，理论上与在10[nm]的隧道氧化膜上施加10[V]电压的情况相当。

在此，在图65以及图66中，假设在N^+漏极20a和控制栅23a之间施加电压的情况下的控制栅23a和浮动栅21a的容量比（耦合比）为0.5.

这种情况下，为了在N^+漏极20a和浮动栅21a之间的隧道氧化膜22a上施加10[V]电压，必须在N^+漏极20a和控制栅23a之间施加20[V]的高电压。

例如，在消除时，将N^+漏极20a设定为0[V]，将控制栅23a设定为20[V]，使电子从N^+漏极20a移动到浮动栅21a。另外，在“1”编程时，将N^+漏极20a设定为20[V]，将控制栅23a设定为0[V]，使电子从浮动栅21a移动到N^+漏极20a。

使用FLOTOX单元的EEPROM的缺点在于：如图65以及图66所示，为了存储1位需要存储单元和选择晶体管这2个元件。

图68展示了可以消除字节的EEPROM的存储单元部分的另一例子。

该EEPROM其特征在于：在存储单元部分中使用FLOTOX单元的同时，对8位（1字节）的存储单元，设置了1个字节控制用晶体管Tr。

进而，在该EEPROM中的各模式中的偏置条件，如表1所示。

【表1】

方式		选择字节	选择字节和连接在同一字线上的非选择字节	选择字节和与同一位线连接的非选择字节
消除（“0”写入）	字线	高	高	低
	字节控制	高	低	高
	位线	低	低	低
“1”写入	字线	高	高	低
	字节控制	低	低	低
	位线	高或低*1	低	高或低*2

*1 = 与数据有关

*2 = 无关

如果使用这样的存储单元部分，则可以避免各种不良动作（干扰）。但是，由于为了存储 1 位需要 2+（1/8）个晶体管，所以存在单元面积增大不能减低成本的缺点。

为了去掉这样的缺点而诞生的存储器是快闪 EEPROM。以往的 EEPROM，因为可以对每 1 位上进行数据的消除或者编程，所以非常易于使用。

但是，当由 EEPROM 构成需要大存储量的计算机硬盘的情况下，在该 EEPROM 中，不需要具有对每 1 位进行数据消除或者编程的功能。这是因为在硬盘中，几乎都是以扇区单位（或者信息组单位）进行数据的消除或者编程的缘故。

因而，即使排除可以对每 1 位变更数据的的功能，也可以因单元面积的缩小实现大的存储容量，有利于实现产品的低成本，基于这一想法，诞生了快闪 EEPROM。

有关快闪 EEPROM 的详细内容，例如，被记载于文献 2（F.Masuoka etal.，“A new Flash EEPROM cell using triple polysilicon technology,” IEDM Technical Digest,pp.464-467 Dec.1984.）中。

图 69 展示了快闪 EEPROM 存储单元的构造。

快闪 EEPROM 的存储单元，和紫外线消除型 EPROM 存储单元一样，具有控制栅和浮动栅。在快闪 EEPROM 中，数据的编程，和紫外线消除型 EPROM 一样，通过将热电子注入浮动栅进行。消除，和字节型 EEPROM 一样，通过利用 FN 隧道现象从浮动栅提取电子进行。

在快闪 EEPROM 中，个别地看存储单元情况下的消除动作，和字节型 EEPROM 一样，但在看存储机单元阵列的整体的情况下的动作，和字节型 EEPROM 完全不同。即，字节型 EEPROM，以字节单位消除数据，而快闪 EEPROM，一并消除全部位。通过采用这种动作方法，快闪字节 EEPROM，实现由每 1 位 1 个晶体管构成的存储单元，并可以形成大的存储容量。

进而，在快闪 EEPROM 中的数据的编程，和紫外线消除型 EPROM

一样，可以对每 1 位进行。即，在消除对全部位一并进行，编程可以对每 1 位进行这一点上，快闪 EEPROM 和紫外线消除型 EPROM 相同。

为了实现大存储容量的存储芯片，以上述的快闪 EEPROM 为基础提出了 NAND 型快闪 EEPROM。

文献 3（F. Masuoka et al., New nltra high density EPROM and Flash EEPROM with NAND stuctured cell," IEDM Technical Digest, pp.552-555 Dec.1987.），展示有关 NAND 型快闪 EEPROM。

NAND 型 EEPROM 存储器阵列部分，如图 70 以及图 71 所示，由串联连接多个（例如，16 个）存储单元作为 NAND 列（series），在其两端各连接 1 个选择晶体管的 NAND 单元构成。

在 NAND 型 EEPROM 中，并不是对 1 个存储单元，而要对 1 个 NAND 单元，设置位线接触部分以及源线，另外，构成 NAND 列（series）的多个存储单元，因为在相互邻接的存储单元之间共有 1 个扩散层，所以可以大幅度削减每 1 位的存储单元尺寸，可以实现大存储容量的存储芯片。

图 72 展示了 NOR 型快闪 EEPROM。在 NOR 型快闪 EEPROM 中，在位线和源线之间配置 1 位（1 个）存储单元。

上述的 NAND 型快闪 EEPROM，从成本方面看，与 NOR 型快闪 EEPROM 相比，由于可以减小单元尺寸，所以位单位的成本低，具有适合于大存储容量的文件存储器的特点。另外，从功能方面看，NAND 型快闪 EEPROM，与 NOR 型快闪 EEPROM 相比，变更数据的速率快，具有低消耗电力的特点。

NAND 型快闪 EEPROM 的功能方面的特征，在变更数据的方式（scheme）上。即，在 NAND 型快闪 EEPROM 的情况下，编程以及消除，由在硅基板（沟道）和浮动栅之间的电荷交换完成。

另外，在电荷交换中，利用了 FN 隧道现象。总之，编程所需要的电流，是从硅基板（沟道）向浮动栅流动的 FN 隧道电流，和在编程中利用热电子的 NOR 型快闪 EEPROM 比较，NAND 型快闪

EEPROM 的消耗电流非常小。

在 64 兆 NAND 型快闪 EEPROM 的情况下，可以在 200[μs]中进行 1 页(512 字节)单位的编程。该编程时间，比在 NOR 型快闪 EEPROM 中的 1 区单位的编程时间还短。

表 2，是展示比较 NAND 型快闪 EEPROM 的特征和 NOR 型快闪 EEPROM 的特征的表。

【表 2】

	NAND	NOR
优点	①写入速度快 ②消除速度快 ③区尺寸小且文件管理容易	①随机存取快 ②写入可以随机地对每一字节进行
缺点	①随机存取慢 ②不能对每一字节写入	①写入速度慢 ②消除速度慢
用途	用于硬盘、软盘的置换、手提终端(便携终端、声音录音、电子静像摄影机)传真/调制解调器的数据记录	用于以往的 EPROM 领域的置换、控制机器、PC 的 BIOS、手机、HDD 等的控制用存储器

如表 2 所示，两存储器的长处和短处，为互补的关系。

关于用途，NAND 型快闪 EEPROM，其使用条件是以区单位进行数据的变更。例如，在具有 30 万象素的数字照相机中，因为对 1 次拍摄的照片需要约 0.5 兆的存储容量，所以如果将 NAND 型快闪 EEPROM 的 1 个区设置为约 0.5 兆以上的存储容量，就可以将 1 次拍摄的照片的数据存储在 1 区中。这种情况下，数据的消除，可以对每个区进行。总之，通过消除 1 个区内的存储单元的数据，就可以消除 1 次拍摄的照片的数据。

另一方面，NOR 型快闪 EEPROM，因为可以进行 100[ns]的高速随机存取，因此可以广泛地作为手机等的控制编程用存储器。

这样，在非易失性半导体存储器的领域中，向 EEPROM(以往型)，

快闪 EEPROM，NAND 型快闪 EEPROM 进化，在交换以字节单位更换数据的功能的同时，实现了存储单元尺寸的缩小化，即，实现了降低每 1 位的成本（位成本）。

但是，例如，近年，在令驱动器注目的非易失性存储器混装 LSI（nonvolatile memory embedded LSI）中，要求以字节单位变更数据的功能。例如，在进行货币的收入、支出等的管理的系统中使用的 IC 卡中，如果在 IC 卡内的存储器中使用快闪 EEPROM，则即使在变更数据的一部分的情况下，也必须以区单位消除数据。因此，以字节单位变更数据的功能，在这样的系统中是必不可少的。

因而，为了对应这种情况，需要可以以字节单位变更数据的字节型 EEPROM。可是，字节型 EEPROM，如上所述，每 1 位的元件数多，对于存储容量的增加和位成本的降低不利。

现在，非易失性半导体存储器的主流，因为是快闪 EEPROM（NOR 型、NAND 型等），所以如果开发具有和快闪 EEPROM 相同的编程以及数据变更方式（scheme for changing data）的字节型 EEPROM，就可以以低成本生产适应市场要求的 EEPROM。

本发明就是考虑到上述情况提出的，其目的在于提供一种：可以以和快闪 EEPROM 相同的编程形成的，具有和快闪 EEPROM 相同的数据变更方式（scheme for changing data）的，进而具有以字节单位变更数据的功能的新的非易失性半导体存储器。

本发明的非易失性半导体存储器，具备：存储单元阵列，其具有由 1 个存储单元和夹着其的 2 个选择晶体管构成的存储单元组；位线，被连接在上述 2 个选择晶体管的一方；读出放大器，被连接在上述位线上具有闩锁功能，上述存储单元，包括具备浮动栅和控制栅的叠栅构造。

本发明的非易失性半导体存储器，具备：存储单元阵列，其具有由以 1 个存储单元和夹着其的 2 个选择晶体管构成的第 1 存储单元组以及由多个存储单元构成的第 2 存储单元组；位线，与上述第 1 以及第 2 存储单元组共用连接；读出放大器，被连接在上述位线上具有栓

锁功能，上述存储单元，具有具备浮动栅和控制栅的叠栅构造。

上述第 2 存储单元组，是串联连接上述多个存储单元的 NAND 单元，或者并联连接上述多个存储单元的 AND 单元或者 DINOR 单元。

上述 2 个选择晶体管，具有和上述存储单元相同的构造。即，上述 2 个选择晶体管，具有叠栅的构造。但是，实际上，作为栅电极的功能，在构成叠栅构造的上层以及下层中，例如，只是下层。

另外，本发明的非易失性半导体存储器，具备这样的装置，当对在被连接于选择出的控制栅线上的 1 页份的存储单元 s 中所选存储单元 s 进行数据的变更的情况下，将上述 1 页份的存储单元的数据读出到上述读出放大器，在上述读出放大器中对在上述 1 页份的数据中与上述所选存储单元 s 对应的数据进行数据的改写，消除上述 1 页份的存储单元的数据，将上述读出放大器的数据编程到上述 1 页份的存储单元中。

与上述所选存储单元对应的数据，是页数据或者字节数据。

本发明的非易失性半导体存储器，具备以下部分：存储单元阵列，由包含存储单元的存储单元组构成；位线，被连接在上述存储器单元组上；读出放大器，被连接到位线上具有闩锁功能；装置，当对在被连接于选择出的控制栅线上的 1 页份的存储单元 s 中所选的存储单元 s 进行数据的变更的情况下，将上述 1 页份的存储单元的数据读出到上述读出放大器，在上述读出放大器中对在上述 1 页份的数据中与上述所选存储单元 s 对应的数据进行数据的改写，消除上述 1 页份的存储单元的数据，将上述读出放大器的数据编程到上述 1 页份的存储单元。

本发明的非易失性半导体存储器，包括以下部分：存储单元阵列，具有通过 FN 隧道电流进行数据的编程的存储单元；位线，被连接在上述存储单元上；读出放大器，被连接到位线上具有闩锁功能；装置，当对被连接在选择出的控制栅线上的 1 页份的存储单元同时进行数据编程的情况下，向形成上述 1 页份的存储单元的阱施加第 1 电位，向上述 1 页份的存储单元的控制栅施加第 2 电位，向被连接于在上述 1 页份的存储单元中实行编程的存储单元上的的位线施加上述第 1 电

位，向被连接在在上述 1 页份的存储单元中不实行编程的存储单元上的位线施加上述第 1 以及第 2 电位的中间电位。

本发明的非易失性半导体存储器，包括以下部分：存储器单元阵列，由被配置成矩阵形的多个存储单元组构成；主控制栅线，在上述存储单元阵列上在行方向延伸；主控制栅驱动器，被配置在上述主控制栅线的一端；辅助控制栅线，被连接在被配置在上述行方向上的存储单元组内的 1 页份的存储单元中的多个存储单元上；辅助控制栅驱动器，被配置在上述主控制栅线和上述辅助控制栅线之间。

上述多个存储单元组的各自，由 1 个存储单元和各自被连接在该存储单元的两端的 2 个选择晶体管构成。

本发明的非易失性半导体存储器，进一步具备：2 条选择栅线，被连接在被配置在上述行方向上的存储单元组内的 2 个选择晶体管的栅上；选择栅驱动器，在上述 2 条选择栅线的一端上，被配置在接近上述控制栅驱动器的位置上。

本发明的非易失性半导体存储器，进一步具备译码地址信号，输出控制信号的辅助译码器，上述辅助控制栅驱动器，由被连接在上述主控制栅线和上述辅助控制栅线之间的，在栅上输入上述控制信号的 MOS 晶体管构成。

本发明的非易失性半导体存储器，进一步具备这样的装置，当对被配置在上述行方向上的存储单元组内的 1 页份的存储单元中的任意存储单元进行数据变更的情况下，将被连接在上述辅助控制栅线上的多个存储单元的数据读出到具有闩锁功能的读出放大器中，在上述读出放大器中对上述多个存储单元的数据中规定的数据进行数据的改写，消除被连接在上述辅助控制栅线上的多个存储单元的数据，将上述读出放大器的数据编程到被连接在上述辅助控制栅线上的多个存储单元中。

本发明的非易失性半导体存储器，进一步具有这样的装置，当对被配置在上述行方向上的存储单元组内的 1 页份的存储单元中的任意的存储单元进行数据的变更的情况下，将被连接在上述主控制栅线上

的 1 页份的存储单元的数据读出到具有闩锁功能的读出放大器中，在上述读出放大器中对被连接在上述辅助控制栅线上的多个存储单元的数据中规定的数据进行数据的改写，消除被连接在上述辅助控制栅线上的多个存储单元的数据，将在上述读出放大器的数据中与被连接在上述辅助控制栅线上的多个存储单元对应的数据编程到被连接在上述辅助控制栅线上的多个存储单元中。

在上述辅助控制栅线上，连接 n（n 是自然数）字节的存储单元，进行上述改写的数据，是字节单位的数据。

当将被连接在辅助控制栅线上的多个存储单元定义为区的情况下，在上述主控制栅线上连接多个区，在 n（n 是自然数）区的每个，进行数据的读出、消除或者编程动作。

本发明的非易失性半导体存储器，包括：存储单元阵列，由被配置成矩阵形的多个存储单元组构成；第 1 以及第 2 主控制栅线，在上述存储单元阵列上沿着行方向延伸；第 1 主控制栅驱动器，被连接在上述第 1 主控制栅线的一端；第 1 辅助控制栅线，在被配置于上述行方向上的第 1 存储单元组内的 1 页份的存储单元中与多个存储单元连接；第 1 辅助控制栅驱动器，被配置在上述第 1 主控制栅线和上述第 1 辅助控制栅线之间；第 1 选择栅线，被连接在上述第 1 存储单元组内的选择晶体管上；第 1 选择栅驱动器，被连接在上述第 1 选择栅线的一端；第 2 主控制栅驱动器，被连接在上述第 2 主控制栅线的一端；第 2 辅助控制栅线，在被配置在上述行方向上的第 2 存储单元组内的 1 页份的存储单元中与多个存储单元连接；第 2 辅助控制栅驱动器，被配置在上述第 2 主控制栅线和上述第 2 辅助栅线之间；第 2 选择栅线，被连接在上述第 2 存储单元组内的选择晶体管上；第 2 选择栅驱动器，被连接在上述第 2 选择栅线的一端，上述第 1 主控制栅驱动器和上述第 1 选择栅驱动器，被配置在上述存储单元阵列的上述行方向的一端，上述第 2 主控制栅驱动器和上述第 2 选择栅驱动器，被配置在上述存储单元阵列的上述行方向的另一端。

本发明的非易失性半导体存储器，具备：存储单元阵列，由被配

置成矩阵形的多个存储单元组构成；第 1 以及第 2 主控制栅线，在上述存储单元阵列上沿着行方向延伸；第 1 辅助控制栅线，在被配置在上述行方向上的第 1 存储单元组内的 1 页份的存储单元中与多个存储单元连接；第 1 辅助控制栅驱动器，被配置在上述第 1 主控制栅线和上述第 1 辅助控制栅线之间；第 1 选择栅线，被连接在上述第 1 存储单元组内的选择晶体管上；第 1 选择栅驱动器，被连接在上述第 1 选择栅线的一端；主控制栅驱动器，被连接在上述第 1 以及第 2 主控制栅线的一端；第 2 辅助控制栅线，在被配置于上述行方向上的第 2 存储单元组内的 1 页份的存储单元中被连接在多个存储单元上；第 2 辅助控制栅驱动器，被配置在在上述第 2 主控制栅线和上述第 2 辅助控制栅线之间；第 2 选择栅线，被连接在上述第 2 存储单元组内的选择晶体管上；第 2 选择栅驱动器，被连接在上述第 2 选择栅线的一端，上述主控制栅驱动器和上述第 1 以及第 2 选择栅驱动器，一同被配置在上述存储单元阵列的上述行方向的一端。

上述第 1 存储单元组和上述第 2 存储单元组，例如，在列方向上相互邻接。

本发明的非易失性半导体存储器，具备：存储单元阵列，具有由 1 个存储单元和夹着其的 2 个选择晶体管构成的第 1 以及第 2 存储单元组；第 1 位线，被连接在上述第 1 存储单元组内的 2 个选择晶体管的一方上；第 2 位线，被连接在上述第 2 存储单元组内的 2 个选择晶体管的一方上；读出放大器，被连接在上述第 1 以及第 2 位线上具有闩锁功能。

本发明的非易失性半导体存储器，具备：存储单元阵列，由多个存储单元和夹着其的 2 个选择晶体管构成的存储单元组；位线，被连接在 2 个选择晶体管的一方上；读出放大器，被连接在上述位线上具有闩锁功能；装置，其在编程动作时，在所选控制栅线上施加比电源电位还高的编程用的高电位，在非选择的控制栅线上施加上述电源电位或者在读动作时给予非选择的控制栅线的读电位。

上述存储单元组，例如，包含 2 个存储单元。上述多个存储单元，

包括分别具备浮动栅和控制栅的叠栅结构。

上述 2 个选择晶体管，分别具有和上述多个存储单元相同的构造。

本发明的非易失性半导体存储器，具备：存储单元阵列，具有由多个存储单元和夹着其的 2 个选择晶体管构成的第 1 存储单元组以及由多个存储单元构成的第 2 存储单元组；位线，被共用连接在上述第 1 以及第 2 存储单元组上；读出放大器，被连接在上述位线上具有闩锁功能；装置，在编程动作，当包含上述第 1 存储单元组的信息组被选择时，在所选控制栅线上施加比电源电位还高的编程用高电压；在非选择的控制栅线上施加上述电源电位或者在读动作时给予非选择的控制栅线的读电位。

本发明的非易失性半导体存储器，进一步具备这样的装置：当对连接于所选控制栅线上的 1 页份的存储单元中的任意存储单元进行数据的变更时，将上述 1 页份的存储单元的数据读出到上述读出放大器，在上述读出放大器中对上述 1 页份的数据中规定的数据进行数据的改写，消除连接在所选控制栅线上的 1 页份的存储单元的数据，将上述读出放大器的数据编程在连接于上述所选控制栅线上的 1 页份的存储单元中。

上述装置，在上述编程动作时，在将上述电源电位或者上述读电位给予上述所选控制栅线和上述非选择的控制栅线后，只将上述所选控制栅线的电位提升到上述编程用的高电位。

图 1A 是展示本发明的字节型 EEPROM 的存储单元组的图。

图 1B 是展示图 1A 的沿 I-I 线的断面图。

图 2 是展示图 1 的等效电路的图。

图 3 是展示本发明的字节型 EEPROM 的存储单元阵列的图。

图 4 是展示与存储单元的数据对应的栅电压和单元电流的关系的图。

图 5 是展示在数据读动作时赋予存储单元组电位的图。

图 6 是展示与存储单元的数据对应的阈值电压分布的一例的图。

图 7 是展示与存储单元的数据对应的阈值电压分布的另一例的

图。

图 8 是展示本发明的字节型 EEPROM 的主要部分的方框图。

图 9 是展示图 8 的读出放大器的一例的图，

图 10 是展示本发明的字节单位的改写动作(data change operation for byte data）的流程图。

图 11 是展示按图 10 的顺序的数据读动作时的状态的图。

图 12 是展示按图 10 的顺序改写字节数据时的状态的图。

图 13 是展示按图 10 的顺序的页消除时的状态的图。

图 14 是展示按图 10 的顺序的页编程时的状态的图。

图 15 是展示本发明的页单位的改写动作（data change operation for page data）的波形图。

图 16 是展示本发明的页单位的改写动作的波形图。

图 17 是展示本发明的字节单位的改写动作(data change operation for byte data）的波形图。

图 18 是展示本发明的字节型 EEPROM 的存储单元阵列的变形例的图。

图 19 是展示本发明的字节型 EEPROM 的存储单元阵列的变形例的图。

图 20 是展示叠栅型存储单元的编程动作时的状态的图。

图 21 是展示叠栅型存储单元的消除动作时的状态的图。

图 22 是展示本发明的字节型 EEPROM 的存储单元阵列的变形例的图。

图 23 是展示本发明的字节型 EEPROM 的一例的图。

图 24 是展示图 23 的存储单元阵列的图。

图 25 是展示本发明的字节型 EEPROM 的另一例的图。

图 26 是展示图 25 的存储单元阵列的图。

图 27 是展示本发明的字节单位的改写动作(data change operation for byte data）的图。

图 28 是展示图 23 的 EEPROM 的变形例的图。

图 29 是展示图 28 的预译码器的一例的图。

图 30 是展示图 28 的行译码器以及驱动器的一例的图。

图 31 是展示图 28 的存储单元阵列的 1 行的图。

图 32 是展示本发明的字节单位的改写动作(data change operation for byte data）的图。

图 33 是展示本发明的字节单位的改写动作的图。

图 34 是展示在存储单元阵列区域中的阱的配置的一例的图。

图 35 是展示图 31 的存储单元阵列的变形例的图。

图 36 是展示图 28 的 EEPROM 的变形例的图。

图 37 是展示图 36 的存储单元阵列的相互邻接的 2 行的图。

图 38 是展示使用差动型读出放大器的系统的一例的图。

图 39 是展示在多条位线上设置 1 个读出放大器的系统的一例的图。

图 40 是展示图 28 的 EEPROM 的变形例的图。

图 41 是展示图 40 的预译码器的一例的图。

图 42 是展示图 40 的行译码器以及驱动器的一例的图。

图 43 是展示图 40 的存储单元阵列的相互邻接的 2 行的图。

图 44 是展示辅助译码器的配置例的图。

图 45 是展示适用本发明的 EEPROM 的一例的图。

图 46 是展示适用本发明的 EEPROM 的一例的图。

图 47 是展示适用本发明的 EEPROM 的一例的图。

图 48 是展示有关 NAND 型 EEPROM 的编程时的干扰的图。

图 49 是展示 NAND 型 EEPROM 的数据编程动作的波形图。

图 50 是展示本发明的字节型 EEPROM 的存储单元组的图。

图 51 是展示图 50 的等效电路的图。

图 52 是展示有关在消除动作时给予存储单元组的电位的图。

图 53 是展示有关在编程动作时给予存储单元组的电位的图。

图 54 是展示有关在读动作时给予存储单元组的电位的图。

图 55 是展示与存储单元的数据对应的栅电压和单元电流的关系的

图。

图 56 是展示本发明的字节型 EEPROM 的主要部分的方框图。

图 57 是展示图 56 的存储单元阵列的电路构成图。

图 58 是展示图 56 的读出放大器的一例的图。

图 59 是展示本发明的字节单位的改写动作(data change operation for byte data）的流程图。

图 60 是展示读出放大器的节点 Qb 的状态的图。

图 61 是展示本发明的页单位的改写动作（ data change operation for page data）的流程图。

图 62 是展示本发明的页单位的改写动作的波形图。

图 63 是展示本发明的字节单位的改写动作(data change operation for byte data）的波形图。

图 64 是展示本发明的字节型 EEPROM 的存储单元阵列的变形例图。

图 65 是展示以往的字节型 EEPROM 的存储单元的图。

图 66 是展示图 65 的沿 LXVI-LXVI 线的断面图。

图 67 是展示 FN 隧道电流的机构的能量区域图。

图 68 是展示以往的字节型 EEPROM 存储单元的图。

图 69 是展示以往的字节型 EEPROM 的存储单元的基本构造的图。

图 70 是展示 NAND 型快闪 EEPROM 的 NAND 单元的图。

图 71 是展示图 70 的等效电路的图。

图 72 是展示 NOR 型快闪 EEPROM 的存储单元的图。

以下，参照附图，详细说明本发明的非易失性半导体存储器。

图 1A 以及图 1B，展示了本发明的字节型 EEPROM 的存储单元。图 2 展示了图 1A 以及图 1B 的存储单元的等效电路。图 3 展示了存储单元阵列的总体电路构成。

存储单元 MC，具有控制栅和浮动栅，是和快闪 EEPROM 的存储单元相同的构造。在存储单元 MC 的两端，分别连接 1 个选择晶体

管 ST1、ST2。选择晶体管 ST1，经由位线接触部分 BC 被连接在位线上，选择晶体管 ST2，被连接在源线 SL 上。

由存储单元 MC 以及选择晶体管 ST1、ST2 构成 1 个存储单元组，存储单元阵列通过将多个存储单元配置成矩阵形实现。

由被配置在行方向上的多个存储单元组构成 1 个区。在 1 个区内，配置沿着行方向延伸的 1 条控制栅线 CGL。将被连接在 1 条控制栅线 CGL 上的存储单元称为 1 页。

消除动作，可以对每 1 页进行。对于存储单元的编程以及读的各动作，也可以通过在每列上设置具有闩锁功能的读出放大器，对 1 页同时进行。但是，数据的输入输出，例如可以对每一位串行进行。

另外，采用这种构成，可以实现字节单位的数据改写动作（data change operation for byte data）。

本发明的字节型 EEPROM，从构造方面来看，可以考虑在 NAND 型快闪 EEPROM 中将 1 个 NAND 单元内的存储单元作为 1 个存储器。但是，本发明的字节型 EEPROM，从功能上来看，和 NAND 型快闪 EEPROM 有很大不同。有关内容在动作的说明中详细叙述。

下面说明本发明的字节型 EEPROM 在构造方面的长处。

本发明的字节型 EEPROM 的存储单元部分，与 NAND 型快闪 EEPROM 的存储单元部分相比，只在构成 1 个组的存储单元的数量上不同。因而，在本发明的字节型 EEPROM 中，因为可以直接采用 NAND 型快闪 EEPROM 的工序，所以虽然可以进行字节单位的消除，但也可以增加存储器的容量，并且，还可以降低生产成本。

例如，当假设设计规则为 0.4[μm]的情况下，1 个存储单元的面积（短边长 a × 长边长 b），因为短边长 a 是 1.2[μm]，长边长 b 是 3.2[μm]，所以为 3.84[μm^2]。另一方面，在如图 65 以及图 66 所示的以往的字节型 EEPROM 中，当将设计规则设置为 0.4[μm]的情况下，1 个存储单元的面积为 36[μm^2]。

总之，有关存储单元阵列部分，即使单纯通过计算，本发明的字节型 EEPROM，与以往的字节型 EEPROM 相比，也可以实现约 10

倍的存储容量。

另外，本发明的字节型 EEPROM，因为可以用和 NAND 型快闪 EEPROM 相同的工序制造，所以也容易应用于逻辑混装非易失性存储器。

另外，本发明的字节型 EEPROM 的存储单元，由于和 NAND 型快闪 EEPROM 的存储单元结构相同，所以如果从 1 个存储单元看，可以直接采用快闪 EEPROM 的数据变更方式（data change scheme），即，利用了 FN 隧道现象的数据变更方式。

但是，当作为存储单元阵列整体看的情况下，本发明的字节型 EEPROM，在字节单位的数据改写动作（data change operation for byte data），即，可以进行字节消除（byte erase）这一点上和 NAND 型快闪 EEPROM 不同。

以下，顺序说明本发明的字节型 EEPROM 的消除动作、编程动作以及读动作。

在消除动作时，在选择（selected）区的控制栅（字线）CGL 上施加接地电位，非选择（unselected）区的控制栅 CGL 被设定为浮动状态。

此后，例如，将 21[V]、3[ms]的消除脉冲施加在体上。在此，所谓体，是被形成在硅基板上的阱部分，存储单元 MC 以及选择晶体管 SL1、SL2，全部被形成在该阱部分中。

如果将消除脉冲施加在体上，则在选择（selected）区的存储单元 MC 中，在体和控制栅之间加入消除电压（21[V]），浮动栅中的电子靠 FN（福勒－诺德海姆）隧道现象移动到体。其结果，存储单元的阈值电压，变为－3[V]左右。

在本发明的字节型 EEPROM 中，没有在消除动作中存储单元的阈值电压的绝对值变得极大的过消除的问题。因而，在 1 个消除脉冲中，可以在阈值电压变为－3[V]左右的条件下进行消除动作，可以缩短消除时间（当进行确认阈值电压是否已在规定值以下的检测的情况下还包含该检测所需要的时间）。

本发明的字节型 EEPROM 不存在过消除的问题的原因是在 1 个存储单元 MC 的两端连接有选择晶体管 ST1、ST2 的缘故。即，在数据读出时，需要使非选择（unselected）存储单元总是处于截止状态，而使选择（selected）存储单元与数据对应地处于导通或者截止状态，但过消除，是使该非选择（unselected）存储单元处于导通状态。如果设置选择晶体管 ST1、ST2，即使非选择（unselected）存储单元变为导通状态，非选择（unselected）存储单元的数据并没有被导入位线，所以对存储器的动作没有损害。

在消除动作时，非选择（unselected）区的控制栅 CGL 被设定为浮动状态。因而，在非选择（unselected）区的存储单元 MC 中，即使体(阱)的电位上升，由于控制栅 CGL 和体的容量耦合，控制栅 CGL 的电位也上升，因而不进行数据的消除。

控制栅 CGL，由多晶硅、多晶硅和金属硅化物的积层等构成。另外，控制栅 CGL，经由金属配线被连接在字线驱动用 MOS 晶体管的源上。因而，在控制栅上，连接着字线驱动用晶体管的源的接合容量、源和栅的重叠容量、控制栅和金属配线之间的容量、控制栅和体（阱）之间的容量等。

在这些容量中，控制栅和体（阱）之间的容量特别大。即，因为控制栅和体之间的耦合比，约为 0.9 非常大，所以在非选择(unselected)区的存储单元 MC 中，通过控制栅 CGL 和体的容量耦合，就可以防止 FN 隧道电流的流动。

在消除检验中，例如，验证选择（selected）区内的全部存储单元的阈值是否已在－1[V]以下。在本发明中，如上所述，因为没有过消除的问题，所以不需要过消除的验证。另外，由于在使阈值电压确实下降到－3[V]左右的条件下进行消除，所以还可以省略检验。

在“0”编程动作时，将选择（selected）区的位线侧的选择晶体管 ST1 设置为导通状态，将源线侧的选择晶体管 ST2 设置为截止状态，对执行编程（“0”编程）的存储单元，将位线 BLi 设置为 0[V]，对禁止执行编程(“1”编程)的存储单元，将位线 BLi 设置为电源电位 VCC

（例如，3.3[V]）。

在执行编程的存储单元的沟道上，从位线 BLi 经由选择晶体管 ST1 施加电位 0[V]。因而，执行编程的存储单元的沟道电位变为接地电位。

而后，如果在选择（selected）字线（控制栅）上施加编程电位，则在被连接在选择（selected）字线上的选择（selected）存储单元中，在执行编程的存储单元的浮动栅和沟道之间，产生大的电位差。因而，在执行编程的存储单元中，通过 FN 隧道现象，电子从沟道移动到浮动栅。

另一方面，在禁止执行编程的存储单元中，沟道，被充电到电源电压 VCC，并且，被设定在浮动状态。而后，如果在选择（selected）字线（控制栅）上施加编程电压，则由于控制栅、浮动栅、沟道、体（阱）的串联容量耦合，沟道电位也被自动地引导。

因而，在被连接在选择（selected）字线上的禁止编程的存储单元的浮动栅和沟道之间并不产生大的电位差，电子也不从沟道向浮动栅移动。

这样，对于禁止编程（inhibit）的存储单元，由于在控制栅和沟道之间设置大的耦合比，并且，充分地进行沟道的充电，因此可以使在选择（selected）字线上施加编程电位时的沟道电位（禁止编程电位）充分高。

控制栅和沟道之间的耦合比 B，可以由以下算式算出。

$$B=Cox/(Cox+Cj)$$

在此，Cox 是控制栅和沟道之间的栅容量的总和，Cj 是存储单元的源和漏极的接合容量的总和。

存储单元的沟道容量，为这些栅容量的总和 Cox 和接合容量的总和 Cj 的合计。

进而，选择晶体管的栅和源的叠加容量、位线和源·漏极之间的容量等，如果与沟道容量相比，由于非常小，所以可以忽略。

读动作时，在将位线充电到预充电电位后，如图 4 以及图 5 所示，在选择（selected）存储单元的控制栅（选择（selected）字线）上，

施加 0[V]，在选择（selected）存储单元的两侧的选择晶体管的栅上，施加电源电位 VCC，在非选择（unselected）存储单元的两侧的选择晶体管的栅上，施加 0[V]。这时，选择（selected）存储单元的两侧的选择晶体管，处于导通状态，非选择（unselected）存储单元的两侧的选择晶体管，处于截止状态。

在选择（selected）存储单元中，对于编程数据“1”的存储单元，即，消除状态的存储单元，因为阈值电压变为负减少方式，所以变为导通状态，位线的电位下降。相反，对于进行数据“0”编程的存储单元，由于阈值电压变为正增加方式，所以变为截止状态，位线被维持在预充电状态。

这样，数据“0”、“1”的判断，通过是否有单元电流从位线流到源进行。位线的电位变化，被读出放大器放大（检出）。

如果采用本发明的字节型 EEPROM，因为存储单元 MC，被选择晶体管夹着，所以具有以下优点。

第一，当设读电位为 0[V]的情况下，如图 6 所示，消除后或者编程后的阈值电压分布，可以变为负（数据“1”）或者正（数据“0”）。即，如果设置区别“1”和“0”的检验功能，则可以设置检测过消除和过编程的检验功能。因而，不需要在以往的快闪 EEPROM 中进行的那种复杂的检验。另外，在本发明中，即使由于过消除引起负的阈值电压的绝对值增大，或者由于过编程引起正的阈值电压的绝对值增大的情况下，也可以进行正常的读动作。因而，可以将施加在栅氧化膜（隧道氧化膜）上的电场设定得很高，可以缩短消除时间以及编程的时间。

第二，如 NAND 型快闪 EEPROM 那样，消除以及编程，都可以通过利用 FN 隧道现象的浮动栅和沟道之间的电荷交换进行。因而，可以将数据改写动作（data change operation）的消耗电流抑制得非常小，其结果，可以增加在 1 次数据改写动作中，可以同时变更数据的存储单元的数量。

第三，本发明的字节型 EEPROM，和 NAND 型快闪 EEPROM

不同，选择晶体管之间的存储单元只有 1 个。即，由于在选择晶体管之间选择（selected）存储单元和非选择（unselected）存储单元并不是混合存在，所以在读时，不需要使非选择（unselected）存储单元始终处于导通状态而具有通路晶体管的功能。因而，不需要用于防止过编程的处置。

另外，在读时，由于不需要使非选择（unselected）存储单元始终处于导通状态，所以在将选择（selected）存储单元的控制栅设置为 0[V]进行读的情况下，也将非选择（unselected）存储单元的控制栅设置为 0[V]，可以不考虑读保持（Read Retention）。

即，在以往的 NAND 型快闪 EEPROM 中，由于在选择晶体管之间串联连接有多个存储单元，所以在读时，将选择（selected）存储单元的控制栅设置为 0[V]，将非选择（unselected）存储单元的控制栅设置为 Vread（=4.5V）。这成为缩短读保持的原因。

本发明，由于在选择晶体管之间只连接 1 个存储单元，所以在读时，将全部的存储单元的控制栅设置为 0[V]，仅通过存储单元的两端的选择晶体管的导通/截止，就可以确定存储单元的选择/非选择。

另外，因为在位线和存储单元之间连接有选择晶体管，所以在读时，可以不需要使非选择（unselected）存储单元始终处于截止状态。因而，也不需要防止过消除的处置。

另外，在“0”编程时，不需要向非选择（unselected）字线（控制栅）施加中间电位（为编程电位的约 1/2 的电位）。这是因为在存储单元和位线之间存在选择晶体管的同时，在选择晶体管之间也只有 1 个存储单元的缘故。

另外，因为即使不向非选择（unselected）字线施加中间电位，也可以防止编程错误，所以编程的可靠性提高。另外，可以进行页单位（或者位单位）的改写。即使在读时，由于没有导通晶体管，所以可以形成大的单元电流。因而，可以高速地读，读时的数据保持特性提高。

表 3，展示在上述的消除、编程、读出各自的动作中的选择栅线

SSL、GSL、控制栅线（字线）CGL、位线 BLi、单元源线 SL、单元 P 阱的电位。

【表 3】

		消除	写入	读出
选择区	位线侧的选择栅线 SSL	Vera × β	VCC	VCC
	控制栅线 CGL	0V	Vprog	0V
	源线侧选择栅线 GSL	Vera × β	0V	VCC
非选择区	位线侧的选择栅线 SSL	Vera × β	0V	0V
	控制栅线 CGL	Vera × β	0V	0V
	源线侧选择栅线 GSL	Vera × β	0V	0V
位线	“1”数据	Vera-Vb	VCC	VBL→0V
	“0”数据	Vera-Vb	0V	VBL
单元源线		Vera-Vb	VCC	0V
单元 P 阱		Vera	0V	0V

在消除动作中，选择（selected）区的控制栅线 CGL，被设定在 0[V]，非选择（unselected）区的控制栅线 CGL 以及全部的选择栅 SSL、GSL，被设定成浮动状态。

在该状态下，如果在单元 P 阱上施加消除电位 Vera，例如，施加 21[V]，则浮动状态的全部选择栅 SSL、GSL 的电位和非选择（unselected）区的控制栅线 CGL 的电位，由于和单元 P 阱的容量耦合，变为 Vrea × β（β是耦合比）。

在此，如果设β为 0.8，则浮动状态的全部选择栅线 SSL、GSL 的电位和非选择（unselected）区的控制栅线 CGL 的电位，上升到 16.8[V]。

在消除动作时，由被连接位线 BLi 以及单元源线 SL 上的 N^+扩散层和单元 P 阱构成的 pn 结，被在正方向上加偏置。因此，位线 BLi 以及单元源线 SL，被充电到 Vrea-Vb。进而，Vb 是 pn 结的内部电位。

在编程动作中，被连接在编程“1”数据的选择（selected）存储单元上的位线 BLi，即，被连接在维持消除状态的选择（selected）存储单元上的位线 BLi，被设定在电源电位（例如，3.3[V]）VCC,被连接在编程“0”数据的选择（selected）存储单元上的位线 BLi，被设定在 0[V]。

选择（selected）区的位线侧的选择栅线 SSL，被设定在电源电位 VCC，单元源线侧的选择栅线 GSL，被设定在 0[V]，控制栅线 CGL，被设定在编程电位（例如，18[V]）Vprog。

非选择（unselected）区的选择栅线 SSL、GSL、控制栅线 CGL 以及单元 P 阱，被设定在 0[V]。

单元源线，被设定在 0[V]。但是，当编程选择（selected）区内的“1”数据的存储单元的沟道电位，因和控制栅线 CGL 的容量耦合上升，由穿通而产生单元源线的漏电流的问题时，单元源线的电位，最好设定在电源电位 VCC。

在读动作中，选择（selected）区的选择栅线 SSL、GSL，被设定在电源电位 VCC，控制栅线 CGL，被设定在 0[V]。当采取在数据读前预充电位线的方式的情况下，位线 BLi，被设定在预充电电位（例如，1.2[V]）VBL。

在选择（selected）存储单元中存储有“1”数据的部分，变为导通状态，由于单元电流流过，所以位线 BLi 放电到 0[V]。另一方面，在选择（selected）存储单元中存储有“0”数据的部分，变为截止状态，由于没有电源电流流过，所以位线 BLi 保持预充电电位 VBL。

在读动作中，当向选择（selected）区的控制栅线 CGL 施加电源电位（例如，3.3V）VCC 想进行读动作的情况下，应该将存储单元的阈值分布设定成如图 7 所示。

表 4，是展示在具有图 7 的阈值分布的情况下的消除、编程、读的各自的动作中的选择栅线 SSL、GSL、控制栅线（字线）CGL、位线 BLi、单元源线 SL、单元 P 阱的电位。

【表 4】

		消除	写入	读出
选择区	位线侧的选择栅线 SSL	Vera × β	VCC	VCC
	控制栅线 CGL	0V	Vprog	VCC
	源线侧选择栅线 GSL	Vera × β	0V	VCC
非选择区	位线侧的选择栅线 SSL	Vera × β	0V	0V
	控制栅线 CGL	Vera × β	0V	0V
	源线侧选择栅线 GSL	Vera × β	0V	0V
位线	“1”数据	Vera-Vb	VCC	VBL→0V
	“0”数据	Vera-Vb	0V	VBL
单元源线		Vera-Vb	VCC	0V
单元 P 阱		Vera	0V	0V

在本发明中，如上所述，因为在存储单元的两端设置了选择晶体管，所以消除后（“1”数据）的存储单元的阈值分布下的缓坡可以从正跨越到负。

图 8 是展示本发明的字节型 EEPROM 的电路区的主要部分。

该 EEPROM，如上所述，具有：存储单元阵列，其将由用 2 个选择晶体管夹着 1 个存储单元的 3 个元件组成的存储单元组排列成矩阵形；控制栅线 10a，在存储单元阵列 11 上在行方向上被排列了多条；位线 10b，在存储单元阵列 11 上在列方向上被排列了多条。

行译码器 12，进行行的选择，即进行控制栅线 10a 的选择。被连接在所选控制栅线 10a 上的存储单元的数据，被输入到由被设置在每列上的具有数据闩锁功能的读出放大器组成的读出放大器 13 中。列译码器 14，进行列的选择，即，进行位线 BLi 的选择。

所选列的读出放大器的数据，经由数据输入输出缓冲器 18 输出到存储芯片的外部。被输入到存储芯片内部的数据，经由数据输入输出缓冲器 18 闩锁在所选具有列的闩锁功能的读出放大器中。

升压器 16，生成编程动作和消除动作所需要的高电压。控制电路

17，在控制存储芯片内部的各电路的动作的同时，承担存储芯片的内部和外部的接口的作用。控制电路 17，包含控制对存储单元的消除、编程、读的各动作的顺序的控制装置（例如，可编程逻辑阵列）。

图 9 是展示被连接在图 8 的读出放大器 13 中的 1 条位线 BLi 上的具有闩锁功能的读出放大器。

读出放大器，以由一方的输出成为另一方的输入的 2 个 CMOS 反相器组成的闩锁电路 21 为体。闩锁电路 21 的闩锁节点 Q，经由列选择用的 NMOS 晶体管 M8 被连接在 I/O 线上。另外，闩锁节点 Q，经由读出放大器截断用的 NMOS 晶体管 M4 和位线电位箝位用 NMOS 晶体管 M1 被连接在位线 BLi 上。

NMOS 晶体管 M1、M4 的连接节点成为读出节点 Nsense。在读出节点 Nsense 上，连接预充电用 PMOS 晶体管 M2 和放电用的 NMOS 晶体管 M3。预充电用 PMOS 晶体管 M2，根据预充电控制信号 Load 在规定期间进行读出节点 Nsense 的充电。放电用 NMOS 晶体管 M3，根据放电控制信号 DCB 放电读出节点 Nsense 的电荷。

在闩锁电路 21 的闩锁节点 Qb 上，连接用于根据控制信号ΦL1 强制地将闩锁节点 Qb 接地的复位用 NMOS 晶体管 M5。在闩锁电路 21 的闩锁节点 Q 上，连接用于根据控制信号ΦL2 强制地将闩锁节点 Q 接地的复位用 NMOS 晶体管 M6。

复位用 NMOS 晶体管 M5、M6 的共用源，经由被读出节点 Nsense 的电位控制的读出用 NMOS 晶体管 M7 连接在接地点上。读出放大器 NMOS 晶体管 M7，和 NMOS 晶体管 M5、M6 一同也用作闩锁电路 21 的复位。

图 10，是展示本发明的字节型 EEPROM 的字节单位的改写动作（data change operation for byte data）的概略的流程图。

展示在该流程图上的顺序动作，由图 8 的控制电路 17 控制。以下，根据流程图，说明字节单位的数据改写动作。

如果变为字节改写方式（byte data change mode），首先，将被连接在所选控制栅线（字线）上的存储单元的 1 页份的数据读出到读出

放大器（页读出）。而后，在读出放大器中，该 1 页份的数据被闩锁（步骤 ST1）。

接着，与由地址指定的列对应的字节数据被输入。该被输入的字节数据，对在被闩锁在读出放大器上的 1 页份的数据中进行数据改写的字节数据进行改写（步骤 ST2）。

接着，被连接在所选控制栅线上的存储单元的 1 页份的数据同时被消除（页消除）（步骤 ST3）。在消除之后，对被连接在所选控制栅线上的各存储单元，进行检验是否完全进行消除，或者有无过消除的消除验证（步骤 ST4、5）。

而后，在 1 页份的全部存储单元的阈值达到规定范围内之前，反复进行页消除以及消除验证，当 1 页份的全部存储单元的阈值变到规定范围内（消除结束）时，移动到下一动作（步骤 ST3~5）。

进而，当具有闩锁功能的读出放大器对于 1 条位线只有一个的情况下（只是 1 页份的情况下），读出放大器的数据有可能因消除验证而破坏。因而，在这种情况下，不进行消除验证，只进行 1 次消除后结束。

此后，对于被连接在所选控制栅线上的存储单元，同时编程被闩锁在读出放大器中的 1 页份的数据（步骤 ST6）。在编程后，对于被连接在所选控制栅线上的各存储单元，进行检验是否完全进行了编程，或者是否有过编程的编程验证（步骤 ST7、8）。

而后，在 1 页份的全部存储单元的阈值变为规定范围内之前反复进行页编程以及编程检验，当 1 页份的全部的存储单元的阈值达到规定范围内（编程结束）时，使字节单位的数据改写动作（data change operation for byte data）结束。

进而，当使用高的编程电位，在 1 次编程脉冲中进行 1 次编程的情况下，还可以省略编程检验。

图 11 至图 14，是展示在图 10 的主要步骤中的选择（selected）存储单元的数据和读出放大器的节点 Qb（图 9）的状态。

图 11，展示连接在所选控制栅线（字线）上的存储单元的 1 页份

的数据被读出到读出放大器的状态（对应步骤 ST1）。

当存储单元的数据是“0”（阈值电压为正）的情况下，位线 BLi 的电荷不被放电，而维持预充电电位。因而，图 9 的读出节点 Nsense 变为电源电位 VCC。如果将控制信号ΦL2 设置位电源电位 VCC，则节点 Q 变为接地电位 VSS，即，变为“0”。

相反，当存储单元的数据是“1”（阈值电压为负）的情况下，位线 BLi 的电荷被放电。因而，图 9 的读出节点 Nsense 变为接地电位 VSS。如果将控制信号ΦL2 设置为电源电位 VCC，则节点 Q 变为电源电位 VCC，即，变为“1”。

图 12，展示对于在被闩锁于读出放大器中的 1 页份的数据中由地址指定的节点数据（8 位数据），进行数据的改写（对应步骤 ST2）。

图 13，展示消除连接在所选控制栅线（字线）上的存储单元的数据（页消除）的状态（对应步骤 ST3）。由于页消除，连接在所选控制栅线上的存储单元的数据全部变为“1”。

图 14，展示对于连接在所选控制栅线（字线）上的存储单元，编程（页编程）被闩锁在读出放大器中的 1 页份的数据的状态（对应步骤 ST6）。

这样，对于存储单元阵列 11，动作变为页单位的数据改写动作（data change operation for page data），但实际上，进行字节单位的数据改写动作（data change operation for byte data）。

接着，参照图 15 以及图 16 的时间图，以图 9 的读出放大器的动作为中心详细说明用于页编程、编程检验的读出动作。

进而，图 15 以及图 16，是展示将 1 个时间图分成二部分的各自部分的图。图 15 的 t5 和图 16 的 t5，表示同样的时刻。即，图 15 的后半部分的波形和图 16 的前半部分的波形部分重合。

如果从芯片外部向芯片内部输入指示编程的指令，则编程动作开始。

首先，为了使读出节点 Nsense 复位，将控制信号 DCB 设置位电源单位 VCC。这时，MOS 晶体管 M3 导通，读出节点 Nsense 被接地

（t1）。

另外，如果和控制信号 DCB 一同将控制信号 BLSHF 也设置为电源电位 VCC，则 MOS 晶体管 M1 导通，位线 BLi 被接地。

在将编程数据输入到读出放大器之前，将数据闩锁控制信号ΦL1 设置位电源电位 VCC，将预充电控制信号 Load 设置位接地电位 VSS。这时，MOS 晶体管 M5、M7 导通，闩锁电路 21 的闩锁节点 Qb 被强制接地，数据被复位。即，在读出放大器 20 的全部的读出放大器中，闩锁电路 21 的闩锁节点 Q 变为电源电位 VCC，闩锁节点 Qb 变为接地电位 VSS（t1）。

接着，从 I/O 线输入编程数据，数据被闩锁在读出放大器 20 的各闩锁电路 21 上，节点 Q、Qb 与输入数据相应地被设定位“H”、“L”（t3）。

具体地说，在与进行“0”编程的存储单元对应的读出放大器的闩锁电路 21 中，将闩锁节点 Q 置于“L”（=VSS），在与进行“1”编程（禁止编程）的存储单元对应的读出放大器的闩锁电路 21 中，将闩锁节点 Q 置于“H”（=VCC）。

接着，控制信号 BLSHF、SBL 变为“H”，根据被闩锁在读出放大器 20 的各闩锁电路 21 中的数据，各位线开始被充电（t4）。

即，与进行“0”编程的存储单元连接的位线 BLi 被设定成接地电位 VSS，被连接在“1”编程（禁止编程）的存储单元上的位线被充电至电源电位 VCC。被选择的控制栅线（字线），被设定成编程电位 Vprog（20[V]左右）。

通过该动作，就可以对 1 页份的存储单元进行编程。

在数据编程结束后，开始检验数据编程是否完整结束的编程验证。

首先，进行用于编程检验的读动作。该检验读动作和通常的读动作相同。

如果将控制信号 DCB 设定在电源电位 VCC，则 MOS 晶体管 M3 导通，读出节点 Nsense 被强制接地（t5）。

接着，如果在所选控制栅线 CGL 上，施加参照电位 Vref（0.5[V]

左右），在选择栅线 SSL、GSL 上施加电源电位 VCC，则进行预充电（t6）。

在读动作时，可以使用位线预充电型的读方式、电流检测型读方式等。在位线预充电型的读方式中，预充电位线 BLi，在达到浮动状态之后，与存储单元的数据相应地维持或者降低位线的电位。关于电流检测型的读方式，在下面叙述。

在时刻 t6，将控制信号 BLSHF 从升压电位 VCC+α 箝位到电位 VCC-α，通过流过 MOS 晶体管 M1 的存储单元电流和充电读出节点 Nsense 的 MOS 晶体管 M2 的电流的平衡进行读动作。而后，位线 BLi 的电位，例如在上升至 0.9V 时，MOS 晶体管 M1 变为截止状态，读出节点 Nsense 变为电源电位 VCC。

在读出节点 Nsense 变为“H”（=VCC）之后，将闩锁控制信号ΦL1 设置为电源电位 VCC，使 MOS 晶体管 M5 导通（t7）。当读出节点 Nsense 为电源电位 VCC 的情况下（在连接于阈值比预充电电位 Vref 还高的存储单元上读出放大器的情况下），MOS 晶体管 M7 导通，闩锁节点 Qb 变为接地电位 VSS，闩锁节点 Q 变为电源电位 VCC。

在闩锁节点 Q 上输入接地电位 VSS，如果编程被正常地进行，则闩锁电路 21 的闩锁数据反转。当对于存储单元的编程不完整的情况下，在验证读中，由于读出节点 Nsense，是“L”（=VSS）不变，所以闩锁电路 21 的数据不产生反转，闩锁节点 Q 保持 VSS。在与禁止编程的存储单元连接的读出放大器中，闩锁节点 Q，因为是电源电位 VCC 所以没有数据的反转。

在存在编程不完整的存储单元时，即，有闩锁电路 21 的数据不产生反转的读出放大器时，编程和验证读被反复进行。而后，如果 1 页份的全部的读出放大器的闩锁节点 Q 的电位变为电源电位 VCC，则编程结束。

以下，参照图 17 的时间图，以图 9 的读出放大器的动作为中心，详细说明字节单位的数据改写动作（data change operation for byte data）。

如果从芯片外部向芯片内部输入指示字节改写方式（byte data change mode）的指令，则字节单位的数据改写动作（data change operation for byte data）开始。

首先，对连接于所选控制栅线（字线）的 1 页份的存储单元，开始已被写入的数据的读动作。

首先，将数据闩锁控制信号ΦL1 设定为电源电位 VCC，将预充电控制信号 Load 设定为接地电位 VSS。这时，MOS 晶体管 M5、M7 导通，闩锁电路 21 的闩锁节点 Qb 被强制接地，数据被复位。即，读出放大器的全部的闩锁电路 21 的闩锁节点 Q 变为电源电位 VCC，闩锁节点 Qb 变为接地电位 VSS（t1）。

接着，将控制信号 DCB 设定为电源电位 VCC。这时，MOS 晶体管 M3 导通，读出节点 Nsense 被强制接地（t2）。接着，如果在被选择的控制栅线 CGL 上施加 VSS（=0V），在选择栅线 SSL、GSL 上施加电源电位 VCC，则进行读动作（t13）。

在读出节点 Nsense 变为“H”（=VCC）之后，闩锁控制信号ΦL2 变为电源电位 VCC，MOS 晶体管 M6 导通（t4）。当读出节点 Nsense 为电源电位 VCC 的情况下（即，在被连接在数据“0”被写入，阈值电压比 VSS 还高的存储单元上的读出放大器的情况下），MOS 晶体管 M7 导通，闩锁节点 Q 变为接地电位 VSS，闩锁节点 Qb 变为电源电位 VCC。

接着，将控制信号 DCB 设定为电源电位 VCC，将控制信号 BLSHF 设定为电源电位 VCC 或者电位 VCC+α，使位线 BLi 以及读出节点 Nsense 复位（t5）。

此后，向由列地址指定的读出放大器 20 的闩锁电路 21 输入字节数据，节点 Q、Qb 与字节数据相应地被设定为“H”、“L”（t6）。

在被写入闩锁电路 21 中的页数据中对规定的数据，改写从芯片外部输入的字节数据。

此后，对连接于被选择的控制栅线上的存储单元进行页消除动作。

选择（selected）区的控制栅线设定为接地电位 VSS，非选择

（unselected）区的控制栅线以及全部选择栅线设定为浮动状态。如果在单元 P 阱上施加消除电位 Vera，则浮动状态的选择栅和非选择（unselected）区的控制栅线，通过和单元 P 阱的容量耦合，被引导为 Vera× β（β是耦合比）。

另外，位线 BLi 以及单元源线 SL，被连接在单元 P 阱内的 N^+层。如果该 N^+层和单元 P 阱的 pn 结被加正向偏置，则位线 BLi 以及单元源线 SL，分别被充电为 Vera－Vb（t7）。这里，Vb 是 pn 结的内部电位。

此后，进行消除检验，确认被选择的页的存储单元已处于全部消除状态，即，存储单元的阈值电压已变为负。根据储存在闩锁电路 21 中的数据，对所选页的存储单元，进行编程动作以及编程检验动作。

进而，在图 17 中，消除检验以后的动作省略。

图 18，是将 NAND 型快闪 EEPROM 的存储单元阵列的一部分设置为本发明的字节型 EEPROM 的存储单元阵列的例子。

本发明的字节型 EEPROM 的存储单元阵列，可以考虑在 NAND 型快闪 EEPROM 存储单元阵列中将 2 个选择晶体管之间的存储单元设置为 1 个。由此，本例那样的 EEPROM 很容易实现。

本例的 EEPROM，在 1 条位线 BLi 上连接不同构成的 2 种存储单元组。即，第一存储单元组，在 2 个选择晶体管之间连接多个（例如，4、8、16、32 个等）的存储单元，第二存储单元组，在 2 个选择晶体管之间连接 1 个存储单元。

在控制栅线（字线）的选择时，可以在第一存储单元组的区域和第二存储单元组的区域中，分别设置驱动电路，如果可以设置共用的话，也可以把两区域的驱动电路设置为一个。

还可以代替图 18 的 NAND 型快闪 EEPROM 的存储单元阵列，采用以下那样的存储单元阵列。

图 19 所示的存储单元阵列，是 AND 型快闪 EEPROM 的存储单元阵列。图 22 所示的存储单元阵列，是 DINOR 型快闪 EEPROM 的存储单元阵列。

图 19 的 AND 型快闪 EEPROM 的 AND 单元，具有在辅助位线和辅助源线之间并联连接的多个存储单元。辅助位线，经由漏极侧选择晶体管被连接在主位线上。辅助源线，经由源侧选择晶体管被连接在主源线上。

例如，在 64 兆 AND 型快闪 EEPROM 的情况下，1 个 AND 单元，由 128 个存储单元（m=128）和 2 个选择晶体管构成。

该存储单元阵列的特征在于：位线（数据线）、源线被分别分层化。位线以及源线，分别由主配线和辅助配线组成，辅助配线，具有用扩散层形成的模拟无接触构造。

对存储单元的数据的编程/消除，由 FN（Fowler-Nordheim）隧道电流进行。

如图 20 所示，数据的编程，通过对漏极使用 FN 隧道电流引来浮动栅的电子进行。如图 21 所示，数据的消除，通过从基板（沟道整个面）向浮动栅使用 FN 隧道电流注入电子动作进行。

图 22 的 DINOR（分离位线 NOR）型快闪 EEPROM，如 NAND 型快闪 EEPROM 那样可以以单一电源动作，并且，一并具有改写速度高、存储单元尺寸小这一特长，和如 NOR 型快闪 EEPROM 那样可以高速度随机存取的特长。

DINOR 型快闪 EEPROM 的存储单元组，由于将存储单元阵列内的主位线和辅助位线设置为分层结构，所以在尺寸上和 AND 型 AND 单元大致相等。存储单元的结构，和 NOR 型快闪 EEPROM 或者 NAND 型快闪 EEPROM 的存储单元的结构相同，是叠栅型，存储单元的漏极，被连接在由多晶硅形成的辅助位线上。

例如，在 16 兆的 DINOR 型快闪 EEPROM 的情况下，在辅助位线上连接 64 个存储单元。如果用多晶硅和扩散层的所谓的埋入接触实现对存储单元的接触，则可以谋求存储单元尺寸的缩小。

对存储单元的数据的编程消除的机理，和 AND 型快闪 EEPROM 相同，由 FN（Fowler-Nordheim）隧道电流进行。

即，对存储单元的数据的编程，通过对漏极使用 FN 隧道电流引

来浮动栅的电子进行。数据的消除，通过从基板（沟道整个面）向浮动栅使用 FN 隧道电流注入电子进行。

在图 19 以及图 22 的主位线上连接图 9 的读出放大器，根据图 10 的流程，实行字节单位的数据改写。

这样，即使在具有图 18、图 19 以及图 22 所示那样的存储单元阵列的 EEPROM 中，也可以通过采用如图 10 的流程图所示的数据的变更方法，对存储单元阵列的各存储单元组进行字节单位的数据的改写动作（data change operation for byte data）。

另外，在本发明的字节型 EEPROM 的存储单元中，也可以省略位线侧的选择晶体管，由 1 个存储单元晶体管和 1 个源侧的选择晶体管构成存储单元组。这种情况下，在数据编程时，根据读出放大器的数据，在禁止编程的位线上，施加编程电压 Vprog 的约 1/2 的禁止编程用的中间电压 Vm。

可是，以往，已知被称为 SONOS（硅-氧化物-氮化物-氧化物-硅）单元的存储单元。该存储单元的特征在于：由被捕获在栅电极（字线）之下的硅氮化膜上的电子的量，指定数据（“0”或者“1”）。

有关 SONOS 单元，例如，公开于文献 4（A.Lancaster etal.,“A 5V-Only EEPROM with Internal Program/Erase Control”,IEEE International Solid-State Circuits Conference, pp. 164-165,Feb.1983）。

文献 4 的存储单元组，由 1 个存储单元和夹着其的 2 个选择晶体管构成。另外，该文献指出，在 SONOS 单元中可以改写字节单位的数据（参照“LOAD-LATCHES-ROW-ERASE operation” p.164 左栏第 31~第 40 行）。

但是，文献 4，没有具体地揭示字节单位的数据改写。即，实际上，未明确怎样进行字节单位的数据改写。另外，文献 4 所揭示的存储单元，具有存储单元的栅和选择晶体管的栅重叠的构造，没有快闪 EEPROM 那样的叠栅构造。

另外，在本发明中，可以起到和以往的 NAND 型快闪 EEPROM

的效果以及文献 4 的存储单元的效果不同的显著的效果。

即，编程后或者消除后的存储单元的阈值分布，例如，如上所述，为图 6 或者图 7 所示。在此，在以往的 NAND 型快闪 EEPROM 中，数据“1”、“0”的阈值分布的上限以及下限被确定，经过验证各数据的阈值分布必须收拢在规定范围内。另外，文献 4 的存储单元，是 SONOS 结构，由于硅氮化膜的电子的捕获量在某种程度上是确定的，因此自由地改变存储单元的阈值分布是困难的（有关此问题，例如，参照 W.D.Beown et al.，“Nonvolatile Semiconductor Memory technology”,IEEE Press Series on Microelectronic Systems Stu Tewksbury,Series Editor,p.70,p.212,p.316,p.326,p.327,p.344）。

与此相反，如果采用本发明，例如，通过调整编程或者消除的时间和电压，在图 6 或者图 7 中，就可以使数据“1”的阈值分布和数据“0”的阈值分布相互明显地分离。总之，通过加大数据“1”的阈值分布和数据“0”的阈值分布的距离（间隔），可以充分地进行编程以及消除，可以防止读错误。而且，因为没有各数据的阈值分布的上限以及下限，所以不需要检验，可以进行所谓的仅有编程以及仅有消除的动作。

图 23，展示本发明的字节型 EEPROM 电路区的一例。

图 24，展示图 23 的存储单元阵列 11 的一部分。

本例的电路区，是适用于具有图 3 的存储单元阵列的 EEPROM 的电路区，近似于 NAND 型 EEPROM 的电路区。

在本发明中，由于由 1 个存储单元和夹着其的 2 个选择晶体管这 3 个元件构成存储单元组，所以在 1 个区 BLKi（i=0，1，…n）内，配置连接在 1 条控制栅线 CGL 上的存储单元，即，配置 1 页份的存储单元。

控制栅·选择晶体管驱动器 12c，与 1 个区 BKLi（i=0，1，…n），即，1 条控制栅线 CGL（1 页）对应地设置。各驱动器 12c，包含升压器。预译码器 12a 以及行译码器 12b，也和 1 个区 BKLi，即，1 条控制栅线 CGL（1 页）对应地设置。

行地址信号，经由地址寄存器 19 输入预译码器 12a。而后，由预译码器 12a 以及行译码器 12b 选择 1 行（或者 1 个区）。选择（selected）区是 BLKi 时，例如，驱动器 12c，在选择（selected）区 BLKi 内的控制栅线 CGL 以及选择栅线 SSL、GSL 上施加与动作方式对应的规定的电位（表 3 以及表 4）。

具有闩锁功能的读出放大器 13，闩锁读数据和编程数据。读数据（输出数据），经由列选择电路 15 以及输入输出缓冲器 18 被输出到存储芯片的外部。编程数据（输入数据），经由输入输出缓冲器 18 以及列选择电路 15 被闩锁在具有闩锁功能的读出放大器 13 中。

指令信号，经由数据输入输出缓冲器 18 以及指令寄存器 25 被输入指令译码器 26。向控制电路 17，输入指令译码器 26 的输出信号、指令启动信号 CLE、芯片启动信号/CE、写启动信号/WE 等的信号。

信号生成电路（升压器）27，在控制电路 17 的控制下，生成施加于控制栅线 CGL 以及选择栅线 SSL、GSL 的电位，将该电位提供给控制栅·选择栅驱动器 12c。

图 25，展示本发明的字节型 EEPROM 的电路区的另一例。图 26 展示图 25 的存储单元阵列 11 的一部分。

本例的电路区，是适用具有图 18 的存储单元阵列的 EEPROM 的区。

存储单元阵列，由配置涉及本发明的存储单元组的 3 晶体管单元（3-tr cell）部分 11-0 和配置 NAND 单元组的 NAND 单元 11-1 构成。

3 晶体管单元（3-tr cell），具有由 1 个存储单元和夹着其的 2 个选择晶体管的 3 个元件组成的存储单元组，被分为 n 个区 BLK0、BLK1、…BLKn。NAND 单元部分 11-1，具有由被串联连接的多个（4、8、16 个等）存储单元和夹着其的 2 个选择晶体管组成的 NAND 单元组，被分为 m 个区 BLK0、BLK1、…BLKm。

在 3 晶体管（3-tr cell）部分 11-0 的各区 BLKi（i=0、1、…n）内，配置连接在 1 条控制栅线 CGL 上的存储单元，即，1 页份的存储单元。与此相反，在 NAND 单元部分 11-1 的各区 BLKi（i=0、1、…

m）内，配置连接在多条控制栅线 CGL 上的存储单元，即，多页份的存储单元。

在 3 晶体管单元（3-tr cell）部分 11-0 中，控制栅·选择栅驱动器 12c，被对应于 1 个区 BLKi，即，1 条控制栅线 CGL（1 页份）设置。各驱动器 12c，包含升压器。预译码器 12a 以及行译码器 12b，也被对应于 1 个区 BLKi，即，1 条控制栅线 CGL（1 页）设置。

在 NAND 单元部分 11-1 中，控制栅·选择栅驱动器 12c，被设置成与包含多个控制栅线 CGL0、…CGL7（多页）的 1 个区 BLKi 对应。各驱动器 12c，包含升压器。预译码器 12a 以及行译码器 12b，也被设置成与包含多个控制栅线 CGL0、…CGL7（多页）的 1 个区 BLKi 对应。

行地址信号，经由地址寄存器 19 被输入预译码器 12a。而后，由预译码器 12a 以及行译码器 12b，选择 3 晶体管单元（3-tr cell）部分 11-0 或者 NAND 单元部分 11-1 的 1 行（或者 1 个区）。

具有闩锁功能的读出放大器 13，闩锁读数据和编程数据。读数据（输出数据），经由列选择电路 15 以及输入输出缓冲器 18 被输出到存储芯片的外部。编程数据（输入数据），经由输入输出缓冲器 18 以及列选择电路 15 被闩锁在具有闩锁功能的读出放大器 13 中。

指令信号，经由数据输入输出缓冲器 18 以及指令寄存器 25 被输入到指令译码器 26。在控制电路 17 中，输入指令译码器 26 的输出信号、指令闩锁启动信号 CLE、芯片启动信号/CE、写启动信号/WE 等的信号。

信号生成电路（升压器）27，在控制电路 17 的控制下，生成施加在控制栅线 CGL 以及选择栅线 SSL、GSL 上的电位，将该电位提供给控制栅·选择栅驱动器 12c。

图 27，展示使用适用于图 23 至图 26 的 EEPROM 的字节单位的数据改写动作（data change operation for byte data）。

该数据改写动作（data change operation），很容易知道是汇集了图 11 至图 14 所示的数据改写动作。

本发明的字节单位的数据改写动作（data change operation for byte data），由以下的4个主要工序构成。

①对选择（selected）区内的1页份的存储单元进行数据的读出，并将其保持在具有闩锁功能的读出放大器中。

②对被保持在具有闩锁功能的读出放大器中的数据进行字节数据的改写。

③消除选择（selected）区内的1页份的存储单元的数据。

④将被保持在具有闩锁功能的读出放大器中的数据编程在选择（selected）区内的1页份的存储单元中。

通过以上工序，就可以提供一种可以用和快闪 EEPROM 相同的工序进行制造，并且，虽然适用于同一数据改写方法（data change method），但也可以以字节单位进行数据的改写动作（data change operation for byte data）的非易失性半导体存储器（快闪 EEPROM，通常没有上述①的工序，因为以区单位一并消除存储单元的数据，所以不能进行以字节单位的数据改写。但是，在消除区内的全部存储单元的数据之后，就可以以字节单位进行编程）。

在此，有关图27所示的适用字节单位的数据改写动作（data change operation for byte data）的 EEPORM，研讨存储单元的数据改写次数（number of data change operation），即，改写次数/消除周期的最大值。

当用图27所示的方法，进行1字节数据的变更的情况下，对选择（selected）区内的1页份的数据进行1次的读动作、消除动作以及编程动作。总之，在选择（selected）区内，就没有变更数据的存储单元而言也进行1次读动作、消除动作以及编程动作。

因而，例如，当变更1页内的全部数据的情况下，用图27的方法以每1字节变更1页份的数据时的页读、消除、编程次数，比一次变更1页份的数据的情况下的页读、消除、编程次数，仅多被包含在1页内的字节数倍。

例如，当1页由64字节组成的情况下，在一次改写1页份的数据

时以 1 次的页读、消除、编程动作足够，但在以每 1 字节改写 1 页份的数据时需要 64 次的页读、消除、编程动作。

这样，在图 27 所示的字节单位数据改写动作（data change operation for byte data）中，当进行 1 页份的数据变更的情况下，对选择（selected）区内的 1 页份的数据进行 1 次的读动作、消除动作以及编程动作。因而，采用本发明的方法变更 1 页份的数据的情况下的页读、消除、编程次数，与 1 次变更 1 页份的数据的情况下的页读、消除、编程次数相比，最大只多被包含在 1 页内的字节数倍。

进而，为了防止这样的页读、消除、编程次数的增加，在图 27 的方法中的 1 次页读后，改写多个字节的数据，就可以减少页读、消除、编程次数。

但是，在下面，说明使用和改写多个字节数据不同的方法，在维持字节单位的改写动作（data change operation for byte data）的同时，可以减少页读、消除、编程次数的非易失性半导体存储器。

图 28 展示图 23 的字节型 EEPROM 的改良例。

在本发明中，由在行方向以及列方向上配置成矩阵形的多个区 BLKi-j（i=0，1…n；j=0，1，2，3）构成。

在前面说明过的例子中，如图 23 以及图 25 所示，区 BLKi，只被配置在列方向上，被连接在 1 条控制栅线 CGL 上的 1 页份的存储单元，必须在同一区 BLKi 内。在本发明中，将 1 页份的存储单元，以 1 字节（8 位）的正整数倍单位分为多个，还在行方向上配置多个区。

具体地说，当 1 页由 k（k 是正数）字节的存储单元构成的情况下，如果由 r（r 是正数，r≤k）字节的存储单元构成 1 个区，则行方向的区数，变为 k/ r 个。在本例中，将行方向的区设置为 4 个。这种情况下，例如，1 个区，由 16 字节的存储单元构成，1 页由 64 字节的存储单元构成。

主控制栅·选择栅驱动器 12c，被设置成与行方向的 4 个区 BLKi-j，即，1 条控制栅线 CGL（1 页）对应。各驱动器 12c，包含升压器。预译码器 12a 以及行译码器 12b，也被设置成与 4 区 BLKi-j，即，1 条

控制栅 CGL（1 页）对应。

辅助控制栅驱动器 28，被设置成与各区 BLKi-j 对应。

行地址信号，经由地址寄存器 19 被输入预译码器 12a 以及辅助译码器 29。而后，由预译码器 12a 以及行译码器 12b，选择 1 行内的 4 个区 BLKi-j 中的 1 个。另外，由预译码器 29，选择所选 4 个区 BLKi-j 中的一个。

进而，辅助译码器 29，还可以具有选择所选 1 行内的多个区或者所选 1 行内的全部区（在本例中，是 4 个区）那样的功能。

而后，在本发明中，可以以区单位，进行数据的读、消除以及编程。总之，在字节单位的数据改写动作（data change operation for byte data）中，不需要将 1 页份的数据读出到具有栓锁功能的读出放大器中，因而在本发明中，在字节单位的数据改写动作（data change operation for byte data）中，与图 23 以及图 25 的例子相比也可以分别减少读次数、消除次数、编程次数，可以提高实际的改写特性（program/erase endurance characteristics）。

例如，考虑由 k（k 是正数）字节的存储单元构成 1 页的 EEPROM 的改写特性（program/erase endurance characteristics），即，考虑数据改写次数（number of data change operation）的最大值是 1×10^6 次的情况。

在图 23 以及图 25 的例子中，因为变更 1 页份的数据分别需要 k 次的读动作、消除动作、编程动作，所以实际上，改写特性（program/erase endurance characteristics）减少到（1/k）$\times 10^6$ 次。

在本发明中，将 1 页分为 k/r（r 是正数，$r \leqslant k$）的区，各区由 r 字节的存储单元构成，因为可以以区单位，进行读动作、消除动作以及编程动作，所以为了变更 1 页分的数据的读、消除、编程的各动作，实际上用（1/r）$\times 10^6$ 完成。

如果用具体的数字表示，例如，当 1 页由 64 字节构成的情况下，图 23 以及图 25 的例子的改写特性（program/erase endurance characteristics），变为 1.7×10^4 次。另一方面，当 1 页由 8 个区构成，

1 区由 8 字节构成的情况下，本发明的改写特性，变为 1.3×10^5 次，与图 23 以及图 24 的例子相比仅提高 1 位的实际改写特性。

进而，在本发明的情况下，由于可以由 1 字节构成 1 区，因此，最大可以将实际的改写特性设置为 1×10^6 次。

当选择（selected）区为 BLKi-j 时，主控制栅·选择栅驱动器 i，向选择（selected）区 BLKi-j 内的控制栅线 CGL 以及选择栅线 SSL、GSL 施加与动作方式对应的规定的电位（参照表 3 以及表 4）。

具有闩锁功能的读出放大器 13，闩锁读数据和编程数据。读数据（输出数据），经由列选择电路 15 以及输入输出缓冲器 18 被输出到存储芯片的外部。编程数据（输入数据），经由输入输出缓冲器 18 以及列选择电路 15 被闩锁在具有闩锁功能的读出放大器 13 中。

指令信号，经由数据输入输出缓冲器 18 以及指令寄存器 25 被输入指令译码器 26。向控制电路 17，输入指令译码器 26 的输出信号、指令闩锁启动信号 CLE、芯片启动信号/CE、写启动信号/WE 等的信号。

信号生成电路（升压器）27，在控制电路 17 的控制下，生成赋予控制栅线 CGL 以及选择栅线 SSL、GSL 的电位，并将该电位提供给控制栅、选择栅驱动器 12c。

图 29 展示预译码器 PDi 的一例。

在本例中，假设行数，即，控制栅线 CGL 的数（区数）为 1024（2^{10}）条。这种情况下，就可以通过 10 位的行地址信号 a1、a2、…a10，选择 1 条控制栅线 CGL。

行地址信号 a1、a2、a3，被输入 NAND 电路 30-1，行地址信号 a4、a5、a6，被输入 NAND 电路 30-2，行地址信号 a7、a8、a9、a10，被输入 NAND 电路 30-3。NAND 电路 30-1 的输出信号，经由倒相器 31-1 变为信号 D，NAND 电路 30-2 的输出信号，经由倒相器 31-2 变为信号 E，NAND 电路 30-3 的输出信号，经由倒相器 31-3 变为信号 F。

在各预译码器 PDi 中，分别输入不同的行地址信号 a1、a2、…a10。而后，只有属于所选 1 行的预译码器数据 PDi 的输出信号 D、E、F 全

部变为“1”。

图 30，展示行译码器 RDi 以及主控制栅·选择栅驱动器 i 的构成的一例。

行译码器 RDi，由 NAND 电路 32 以及倒相器 33 构成。预译码器 PDi 的输出信号 D、E、F，被输入 NAND 电路。

主控制栅·选择栅驱动器 i，由作为升压器 34 以及驱动电路的 N 沟道 MOS 晶体管 35-1、35-2、35-3 构成。

在属于选择（selected）行的主控制栅·选择栅驱动器 i 中，向 N 沟道 MOS 晶体管 35-1、35-2、35-3 的栅施加电源电位 VCC 或者自举电位。

例如，在数据编程时，在属于选择（selected）行的驱动器 i 中，升压器 34 输出电位 VB 变为自举电位 Vprog，N 沟道 MOS 晶体管 35-1、35-2、35-3 变为导通状态。另一方面，在信号发生电路 27 中，生成 SS（=VCC）、CG（= Vprog）、GS（=0V）。这些电位 SS、CG、GS，经由 N 沟道 MOS 晶体管 35-1、35-2、35-3，被传输到选择（selected）行内的主控制栅线 CGLi 以及选择栅线 SSLi、GSLi。

另外，在数据消除时，在属于选择（selected）行的驱动器 i 中，升压器 34 的输出电位 VB 变为电源电位 VCC，N 沟道 MOS 晶体管 35-1、35-2、35-3 变为导通状态。另一方面，在信号生成电路 27 中，生成 SS（=VCC）、CG（=0）、GS（=VCC）。这些电位 SS、CG、GS，经由 N 沟道 MOS 晶体管 35-1、35-2、35-3，被传输到选择（selected）行内的主控制栅线 CGLi 以及选择栅线 SSLi、GSLi。

进而，关于选择栅线 SSLi、GSLi，此后，由于变为浮动状态，所以在将消除电位 Vera 赋予 P 阱时，选择栅线 SSLi、GSLi 的电位，由于 P 阱和选择栅线 SSLi、GSLi 的容量耦合，上升至 Vera+α。

另外，在数据读时，在属于选择（selected）行的驱动器 i 中，升压器 34 的输出电位 VB 变为电源电位 VCC 或者 VCC+α（α是 N 沟道晶体管的阈值电压以上的值），N 沟道 MOS 晶体管 35-1、35-2、35-3 变为导通状态。另一方面，在信号生成电路 27 中，生成 SS（=VCC）、

CG（= 0V 或者 VCC）、GS（=VCC）。这些电位 SS、CG、GS，经由 N 沟道 MOS 晶体管 35-1、35-2、35-3，被传输到选择（selected）行内的主控制栅线 CGLi 以及选择栅线 SSLi、GSLi。

在属于非选择（unselectsd）行的主控制栅·选择栅驱动器 i 中，因为在 N 沟道 MOS 晶体管 35-1、35-2、35-3 的栅上施加接地电位，所以 N 沟道 MOS 晶体管 35-1、35-2、35-3，变为截止状态。因而，非选择（unselectsd）行内的主控制栅线 CGLi 以及选择栅线 SSLi、GSLi，全部变为浮动状态。

进而，对非选择（unselectsd）行内的选择栅线 SSLi、GSLi，也可以在数据读时施加 VSS（0V）。这种情况下，例如，在全部的选择栅线 SSLi、GSLi 上分别连接接地用 MOS 晶体管，通过行选择的有无，控制该接地用 MOS 晶体管的导通/截止。

图 31 展示被配置在 1 行内的多个区和辅助控制栅驱动器的一例。

在本例中，与图 28 的电路区对应地说明在 1 行内配置 4 个区 BLKi-0、BLKi-1、BLKi-2、BLKi-3 的情况。

在各区 BLKi-j（j=0，1，2，3）内，分别配置辅助控制栅线 CGLi-0、CGLi-1、CGLi-2、CGLi-3。辅助栅线 CGLi- j（j=0，1，，2，3），分别被连接在被配置于区 BLKi-j 内的 1 字节的整数倍（例如，16 字节）的存储单元中。

辅助控制栅线 CGLi-j，分别经由作为构成辅助栅驱动器 28 的驱动电路的 N 沟道 MOS 晶体管 36- j，被连接在主控制栅线 CGLi 上。

N 沟道 MOS 晶体管 36- j 的导通/截止，由辅助译码器 29 控制。辅助译码器 29，具有选择 1 个 N 沟道 MOS 晶体管 36- j（1 个区）的功能。

进而，在辅助译码器 29 中，也可以使其具有选择多个或者全部 N 沟道 MOS 晶体管 36- j（多个或者全部区）的功能。

在数据编程时，在选择（selected）行内的选择（selected）区 BLKi-j 中，因为在 N 沟道 MOS 晶体管 36- j 的栅上施加 Vprog，所以该 N 沟道 MOS 晶体管 36- j，变为导通状态，因而，编程用的高电位 Vprog，

被从主控制栅线 CGLi 传送到选择（selected）区 BLKi-j 内的辅助控制栅线 CGLi-j。

另外，在数据消除时，在选择（selected）行内的选择（selected）区 BLKi-j 中，因为在 N 沟道 MOS 晶体管 36- j 的栅上施加 VCC，所以该 N 沟道 MOS 晶体管 36- j，变为导通状态。因而，接地电位被从主控制栅线 CGLi 传送到选择（selected）区 BLKi-j 内的辅助控制栅线 CGLi-j。

另外，在数据读时，在选择（selected）行内的选择（selected）区 BLKi-j 中，因为在 N 沟道 MOS 晶体管 36- j 的栅上施加 VCC，所以该 N 沟道 MOS 晶体管 36- j，变为导通状态。因而，接地电位或者电源电位 VCC 被从主控制栅线 CGLi 传送到选择（selected）区 BLKi-j 内的辅助控制栅线 CGLi-j（参照表 3 以及表 4）。

另一方面，在选择（selected）行内的非选择（unselectsd）区 BLKi-j 中，因为在 N 沟道 MOS 晶体管 36- j 的栅上施加接地电位，所以该 N 沟道 MOS 晶体管 36- j，变为截止状态。即，非选择（unselectsd）区 BLKi-j 内的辅助控制栅线 CGLi-j，变为浮动状态。

在此，在选择（selected）行中，在主控制栅线 CGLi 之下配置多个辅助控制栅线 CGLi-j。因而，在编程、消除、读时，当在主控制栅线 CGLi 上施加规定电位的情况下，通过容量耦合，非选择（unselectsd）区 BLKi-j 内的辅助控制栅线 CGLi-j 的电位有可能变化。

但是，非选择（unselectsd）区 BLKi-j 内的辅助控制栅线 CGLi-j 的电位变化，不会对编程、消除、读动作产生任何问题。

进而，选择（unselectsd）行内的操作栅线 SSLi、GSLi，在选择（selected）行内的全部区 BLKi-j 中为共同的。

因而，在数据编程时，在选择（selected）行内的全部区 BLKi-j 的选择栅 SSLi、GSLi 上，经由 N 沟道 MOS 晶体管 35-1、35-3 施加接地电位或者电源电位 VCC。在数据消除时，在选择（selected）行内的全部区 BLKi-j 的选择栅 SSLi、GSLi 上，经由 N 沟道 MOS 晶体

管 35-1、35-3 施加 VCC。在数据读时，在选择（selected）行内的全部区 BLKi-j 的选择栅 SSLi、GSLi 上，经由 N 沟道 MOS 晶体管 35-1、35-3 施加电源电位 VCC（参照表 3 以及表 4）。

图 32，展示适用于图 28 至图 31 的 EEPROM 的字节单位的数据改写动作（data change operation for byte data）的第 1 例。

本发明的字节单位的数据改写动作，由以下 4 个主要工序构成。

①对选择（selected）区内的存储单元进行数据的读出，并将其保持在具有闩锁功能的读出放大器中。

②对被保持在具有闩锁功能的读出放大器中的数据进行字节数据改写。

③消除选择（selected）区内的存储单元的数据。

④将被保持在具有闩锁功能的读出放大器中的数据编程在选择（selected）区内的存储单元中。

本发明的字节单位的数据改写动作（data change operation for byte data）的特征在于：通过与图 27 的改写动作（data change operation）比较可以知道，在进行字节单位的数据改写动作时，并不读选择（selected）行内的 1 页份的数据，而是对选择（selected）行内的选择（selected）区 BLKi-j 的数据（字节的整数倍数据）进行读动作。即，因为可以对选择（selected）行内的非选择（unselectsd）区的存储单元的数据不进行读动作，所以对不进行数据的变更的存储单元可以消除读动作、消除动作以及编程动作。

因而，本发明的改写动作（data change operation），与图 27 的改写动作比较，可以减少读、消除、编程的次数，可以提高实际的改写特性（Program/Erase endurance characteristics），即，数据改写次数（number of data change operation）。

这样，如果采用本发明，则可以用和快闪 EEPROM 相同的工序进行制造，并且，虽然适用同一改写方法（data change method），但也可以进行不使改写特性（Program/Erase endurance characteristics）劣化的以字节单位进行的数据改写动作（data change operation for

byte data）。

图 33，展示适用于图 28 至图 31 的 EEPROM 的字节单位的数据改写动作（data change operation for byte data）的第 2 例。

本发明的字节单位的数据改写动作，由以下的 4 个主要工序构成。

①对选择（selected）区内的 1 页份的存储单元进行数据的读出，并将其保持在具有闩锁功能的读出放大器中。

②对被保持在具有闩锁功能的读出放大器中的数据进行字节数据的改写。

③消除选择（selected）区内的存储单元的数据。

④将被保持在具有闩锁功能的读出放大器中的数据编程在选择（selected）区内的存储单元中。

本发明的字节单位的数据改写动作（data change operation for byte data），如果和图 32 的数据改写动作（data change operation）比较，具有对 1 页份的存储单元进行读的特点。即，在本发明中，虽然读 1 页份的存储单元的数据，但消除以及编程只对选择（selected）行内的选择（selected）区进行。因此，可以去除对于选择（selected）行内的非选择（unselectsd）区的存储单元的数据不需要的消除、编程动作。

这种情况下，在读动作中，通过由辅助译码器多重选择选择（selected）行内的全部区 BLKi-j，就可以选择选择（selected）行内的全部区 BLKi-j。

本发明的改写动作，与图 27 的改写动作相比，可以减少页消除、编程的次数，可以提高实际的改写特性（Program/Erase endurance characteristics），即，数据改写次数（number of data change operation）。

这样，如果采用本发明，则可以用和快闪 EEPROM 相同的工序进行制造，并且，虽然适用同一改写方法（data change method），但也可以进行不使改写特性（Program/Erase endurance characteristics）劣化的以字节单位进行的数据改写动作（data change operation for

byte data)。

图 34，展示在存储单元阵列区域中的阱的布局的一例。

在快闪 EEPROM 中，通常，全部的存储单元组（存储单元以及选择晶体管）被形成在 1 个阱（例如，双阱，即，被形成在 p 型基板上的 n 型阱中的 p 型阱）内。但是，在本发明中，在存储单元组之间配置有辅助控制栅驱动器。辅助控制栅驱动器，具有将高电位传递到辅助控制栅的作用，如果将其和存储单元形成在同一阱上，则由于背栅效果或者阈值上升，或者因阱的电位而使动作变得不稳定。

因此，在本发明中，在列方向的区 BLKi-j 上设置共同的阱，行方向的区 BLKi-j，被分别配置在不同的阱内。这种情况下，辅助控制栅驱动器，由于被形成在阱的外部，即，被形成在 p 型基板上，因此可以避免上述的问题。

进而，由于对在编程时以及消除时赋予阱的电位上进行改进，因此还可以将全部的存储单元组和辅助控制栅驱动器配置在 1 个阱内。

但是，这种情况下，不能避免由于背栅效果引起的阈值电压的上升。

图 35，展示被配置在 1 行内的多个区和辅助栅驱动器的构成的另一例。

本例，是图 31 的电路的变形例的特征在 N 沟道 MOS 晶体管 36-0、36-1、36-2、36-3 的连接关系上。

在各区 BLKi-j（j=0，1，2，3）内，分别配置辅助控制栅线 CGLi-0、CGLi-1、CGLi-2、CGLi-3。辅助控制栅线 CGLi- j（j=0、1、2、3），被分别连接在被配置区 BLKi-j 内的 1 字节的整数倍（例如，16 字节）的存储单元。

辅助控制栅线 CGLi-j，经由分别作为构成辅助控制栅驱动器 28 的驱动电路的 N 沟道 MOS 晶体管 36- j，连接在辅助译码器 29 上。

N 沟道 MOS 晶体管 36- j 的导通/截止，由主控制栅线 CGLi 的电位确定。在选择（selected）行中，因为在主控制栅线 CGLi 上施加升压电位 Vprog 或者电源电位 VCC，所以选择（selected）行的全部 N

沟道 MOS 晶体管 36-0、36-1、36-2、36-3，变为沟道状态。

数据编程时，向选择（selected）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供编程用的高电位 Vprog。向非选择（unselectsd）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供接地电位。

另外，在数据消除时，向选择（selected）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供接地电位。向非选择（unselectsd）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供 VCC。

另外，在数据读时，向选择（selected）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供读电位（接地电位或者电源电位 VCC）。向非选择（unselectsd）区 BLKi-j 的辅助控制栅线 CGLi-j，从辅助译码器 29 提供接地电位（参照表 3 以及表 4）。

另一方面，在非选择（unselectsd）行内的区 BLKi-j 中，因为在 N 沟道 MOS 晶体管 36- j 的栅上施加接地电位，所以该 N 沟道 MOS 晶体管 36- j，变为截止状态。

另外，在数据编程时，向选择（selected）行内的全部的区 BLKi-j 的选择栅线 SSLi、GSLi，经由 N 沟道 MOS 晶体管 35-1、35-3 施加接地电位或者电源电位 VCC。在数据消除时，向选择（selected）行内的全部的区 BLKi-j 的选择栅线 SSLi、GSLi，经由 N 沟道 MOS 晶体管 35-1、35-3 施加 VCC。在数据读时，向选择（selected）行内的全部的区 BLKi-j 的选择栅线 SSLi、GSLi，经由 N 沟道 MOS 晶体管 35-1、35-3 施加电源电位 VCC（参照表 3 以及表 4）。

即使在这种构成中，也可以以区单位进行读、消除或者编程动作，因而，当然可以适用图 32 以及图 33 的字节单位的数据改写动作（data change operation for byte data）。

因而，可以去除对不进行数据的变更的存储单元不需要的读、消除、编程动作，可以提高实际的改写特性（program/erase endurance characteristics），即，页改写次数（number of page data change operation）。

图 36 展示图 28 的字节型 EEPROM 的改进例。图 37，只取图 36

的存储单元阵列 11 内相互邻接的 2 行展示。

在图 28 的例子中，将预译码器 12a、行译码器 12b 以及主控制栅·选择栅驱动器 12c，集中配置在存储单元阵列 11 的行方向的一端。

与此相反，在本发明中，将预译码器 12a、行译码器 12b 以及主控制栅·选择栅驱动器 12c，配置在存储单元阵列 11 的行方向的一端以及另一端。

例如，将选择偶数行的预译码器 PD0、PD2、…以及行译码器 RD0、RD2、…配置在存储单元阵列 11 的行方向的一端，将选择奇数行的预译码器 PD1、PD3、…以及行译码器 RD1、RD3、…配置在存储单元阵列 11 的行方向的另一端。另外，将向偶数行提供规定电位的主控制栅·选择栅驱动器 0、2…，配置在存储单元阵列 11 的行方向的一端，将向奇数行提供规定电位的主控制栅·选择栅驱动器 1、3…，配置在存储单元阵列 11 的行方向的另一端。

由此，在电路设计时，容易确定预译码器 12a、行译码器 12b 以及主控制栅·选择栅驱动器 12c 的布局。

即，主控制栅·选择栅驱动器 12c，例如，因为生成编程用的高电位，并将其传递到主控制栅线 CGLi，所以电路尺寸往往增大。因而，如果将预译码器 12a、行译码器 12b 以及主控制栅·选择栅驱动器 12c 只集中配置在存储单元阵列 11 的行方向的一端，则确定这些电路芯片上的布局非常困难。

如上所述，如果将预译码器 12a、行译码器 12b 以及主控制栅·选择栅驱动器 12c 配置在存储单元阵列 11 的行方向的一端以及另一端，就可以有效地活用芯片上的空间，可以将各电路区轻松地收纳在芯片上。

进而，如同一图所示，驱动同一区 BLKi-j 内的控制栅线 CGLi 的驱动电路和驱动选择栅线 SSLi、GSLi 的驱动电路，共同作为驱动器 j，集中配置在存储单元阵列 11 的一端和另一端。

由此，赋予选择（selected）区 BLKi-j 内的存储单元的信号和赋予 选择晶体管的信号的时间没有偏差，在编程时，因为可以防止读时

的误动作，所以可靠性提高。

进而，在本例子中，希望将 2 条选择栅线 SSLi、GSLi 以及 1 条控制栅线 CGL 作为 1 组同时驱动。另外，因为高耐压晶体管（驱动器）的面积增大，所以如果将选择栅线 SSLi、GSLi 和控制栅线 CGL 作为 1 组配置，则芯片的图案均匀。因而，可以防止由于图案不均匀时产生的负载效果引起的字线细。

图 38 以及图 39，展示读出放大器的改进例。

图 38，展示使用差动式读出放大器时的例子。这种情况下，可以将 1 位数据作为辅助数据存储在 2 个存储单元组中。另外，数据读，因为通过检测从 2 个存储单元组输出的信号量（电位）的微小的差并放大该差进行，所以可以高速读。

另外，对于 2 个存储单元组，因为在一对存储单元组中存储 1 位数据，所以，假设，即使由于数据改写动作的反复一方的存储单元组的改写特性恶化，如果另一方的存储单元组的改写特性良好，也不会减低可靠性。

图 39，是在多条（例如，2 条）位线上共同连接 1 个读出放大器的情况的例子。这种情况下，例如，在区 BLKi-j 中的字节单位的数据改写动作（data change operation for byte data），分 2 次进行。即，第 1 次改写动作，针对被连接在偶数位线上的存储单元组进行，第 2 次改写动作，针对被连接在奇数位线上的存储单元组进行。

当使用本例的读出放大器的情况下，在一方的位线上读数据时，将另一方的位线设定（屏蔽位线读方法）为固定电位（例如，接地电位）。

因此，可以避免在读时的非选择单元中的编程错误等的问题。另外，本例的 EEPROM，可以适用于在 1 个存储单元组中存储多值 数据（multi-level data）的情况。

图 40 展示图 28 的字节型 EEPROM 的改进例。

在图 28 的例子中，由在行方向以及列方向上配置成矩阵形的多个区 BLKi-j（i=0，1，…n；j=0，1，2，3）构成存储单元阵列。在本

发明中，以此为前提，进一步减少在芯片上占据大面积的主控制栅驱动器（包含升压器）的数，容易形成芯片上的电路区的布局。

在本例中，设在列方向的区数为 n 个（例如，1024）个，在行方向的区数为 4 个。这种情况下，例如，1 个区，由 16 位字节的存储单元构成，1 页，由 64 字节的存储单元构成。

主控制栅驱动器 37，与多行，在本例中，是 2 行，即 ，相互邻接的 2 条主控制栅线 CGL（2 页）对应地设置。总之，在本发明中，由 1 个主控制栅驱动器 37，驱动 2 条主控制栅线 CGL。各主控制栅驱动器，包含升压器。

辅助控制栅驱动器 28，被对应各区 BLKi-j 设置。

选择栅驱动器 38，被对应 1 行，即，1 条控制栅线 CGL（1 页）设置。预译码器 12a 以及行译码器 12b，也被对应 1 条控制栅线 CGL 设置。

行地址信号，经由 地址寄存器 19 被输入预译码器 12a 以及辅助译码器 29。而后，由预译码器 12a 以及行译码器 12b，选择 1 行内的 4 个区 BLKi-j。另外，由辅助译码器 29，选择所选 4 个区 BLKi-j 中的 1 个。

进而，辅助译码器 29，也可以具有选择所选 1 行内的多个区或者所选 1 行内的全部区（在本例中，是 4 个区）那样的功能。

在本发明中，和图 28 的例子相同，可以以区单位进行数据的读、消除以及编程。因而，在字节单位的数据改写动作（data change operation for byte data）中，不需要将 1 页分的数据读出到具有闩锁功能的读出放大器，可以提高实际的改写特性（program/erase endurance characteristics），即，页改写次数（number of page data change operation）。

另外，在本发明中，例如，当选择（selected）区是 BLKi-j 时，主控制栅驱动器 37，对选择（selected）区 BLKi-j 所属的行和与之相邻的行的 2 条主控制栅线 CGLi、CGLi+1，赋予相应于动作方式的规定的电位。总之，因为在 2 条主控制栅线 CGLi、CGLi+1 上设置了 1

个主控制栅驱动器 37，所以可以减少主控制栅驱动器 37 的数量，可以使布局容易，谋求减轻电路设计时的负担。

选择栅驱动器 38，对选择（selected）区 BLKi-j 所属的行的选择栅线 SSL、GSL，赋予相应于动作方式的规定的电位。

具有闩锁功能的读出放大器 13，闩锁读数据和编程数据。读数据（输出数据），经由列选择电路 15 以及输入输出缓冲器 18 输出到存储芯片的外部。编程数据（输入数据），经由输入输出缓冲器 18 以及列选择电路 15 被闩锁在具有闩锁功能的读出放大器 13 中。

指令信号，经由数据输入输出缓冲器 18 以及指令寄存器 25 被输入指令译码器 26。向控制电路 17 中，输入指令译码器 26 的输出信号、指令闩锁启动信号 CLE、芯片启动信号/CE、写启动信号/WE 等的信号。

信号生成电路（升压器）27，在控制电路 17 的控制下，生成赋予控制栅线 CGL 以及选择栅线 SSL、GSL 的电位，并将该电位提供给主控制栅驱动器 37 以及选择栅驱动器 38。

图 41，展示预译码器 PDi 的构成的一例。

在本例中，假设行数，即，控制栅线 CGL 的数（区数）为 1024（2^{10}）条。这种情况下，可以通过 10 位行地址信号 a1、a2、…a10，选择 1 行。

行地址信号 a2、a3、a4，被输入 NAND 电路 30-1，行地址信号 a5、a6、a7，被输入 NAND 电路 30-2，行地址信号 a8、a9、a10，被输入 NAND 电路 30-3。NAND 电路 30-1 的输出信号，经由倒相器 31-1 变为信号 D，NAND 电路 30-2 的输出信号，经由倒相器 31-2 变为信号 E，NAND 电路 30-3 的输出信号，经由倒相器 31-3 变为信号 F。

在各预译码器 PDi 中，分别输入不同的行地址信号 a1、a2、…a10。而后，只有属于所选 1 行的预译码器 PDi 的输出信号 a1、D、E、F 全部变为“1”。

图 42，展示行译码器 RDi、主控制栅驱动器 37 以及选择栅驱动器 38 的一例。

行译码器 RDi，由 NAND 电路 32 以及倒相器构成。预译码器 PDi 的输出信号 D、E、F，被输入 NAND 电路。

选择栅驱动器 38，由作为驱动电路的 N 沟道 MOS 晶体管 35-1、35-3 构成。在所选行中，因为行译码器 RDi 的输出信号变为 VCC，所以 N 沟道 MOS 晶体管 35-1、35-3 变为导通状态。因而，在信号生成电路 27 中生成的信号 SS、GS 被提供给选择栅线 SSLi、GSLi。

主控制栅驱动器 37，由作为译码器电路 39、升压器 34 以及驱动器电路的 N 沟道 MOS 晶体管 35-2 构成。

在被共用设置于所选行和与之相邻的行上的主控制栅驱动器 37 中，译码器电路 39 的输出信号变为 VCC。另外，与动作方式对应，升压器变为动作状态或者非动作状态，在 N 沟道 MOS 晶体管 35-2 的栅上施加电源电位 VCC 或者被提升后的高电位。

例如，在数据编程时，在被共用设置在被选择的行和与之相邻的行上的主控制栅驱动器 37 中，升压器 34 的输出电位 VB 变为升压电位 Vprog，N 沟道 MOS 晶体管 35-2 变为导通状态。另一方面，在信号生成电路 27 中生成的 CG（= Vprog）经由 N 沟道 MOS 晶体管 35-2，被传送到选择（selected）行和与之相邻行的主控制栅线 CGLi、CGLi+1。

另外，在数据消除时，在被共用设置在所选行和与之相邻的行上的主控制栅驱动器 37 中，升压器 34 的输出电位 VB 变为电源电位 VCC，N 沟道 MOS 晶体管 35-2 变为导通状态。另一方面，在信号生成电路 27 中生成的 CG（=0V）经由 N 沟道 MOS 晶体管 35-2，被输送到选择（selected）行和与之相邻行的主控制栅线 CGLi、CGLi+1。

另外，在数据编程时时，在被共用设置在所选行和与之相邻的行上的主控制栅驱动器 37 中，升压器 34 的输出电位 VB 变为电源电位 VCC，N 沟道 MOS 晶体管 35-2 变为导通状态。另一方面，在信号生成电路 27 中生成的 CG（=0V 或者 VCC）经由 N 沟道 MOS 晶体管 35-2，被输送到选择（selected）行和与之相邻行的主控制栅线 CGLi、CGLi+1。

进而，在被共用设置在相互相邻的 2 个非选择（unselected）行上的主控制栅驱动器 37 中，升压器 34 的输出信号 VB 变为接地电位，该接地电位被施加在 N 沟道 MOS 晶体管 35-2 的栅上。因而，N 沟道 MOS 晶体管 35-2，变为截止状态。

图 34，展示被配置在相互相邻的 2 行内的多个区和辅助控制栅驱动器的一例。

在本例中，与图 40 的电路区对应地说明有关被配置在 1 行内的 4 个区的情况。

在各区 BLKi-j、BLK（i+1）-j 内，分别配置辅助控制栅线 CGLi-j、CGL（i+1）-j（j=0，1，2，3）。辅助栅线 CGLi-j，被连接在发表被配置于区 BLKi-j 内的 1 字节的整数倍（例如，16 字节）的存储单元上，辅助控制栅线 CGL（i+1）-j，被连接在分别被配置于区 BLK（i+1）-j 内的 1 字节的整数倍（例如，16 字节）的存储单元。

辅助控制栅线 CGLi-j，经由作为分别构成辅助控制栅驱动器 28 的驱动电路的 N 沟道 MOS 晶体管 36- j，被连接在主控制栅线 CGLi。辅助栅线 CGL（i+1）-j，经由作为分别构成辅助控制栅驱动器 28 的驱动电路的 N 沟道 MOS 晶体管 40- j，连接在主控制栅线 CGLi+1。

N 沟道 MOS 晶体管 36- j、40- j 的导通/截止，由辅助译码器 29 控制。辅助译码器 29，具有选择 1 个 N 沟道 MOS 晶体管 36- j（1 个区）的功能。例如，在选择区 BLKi-j 的情况下，将 N 沟道 MOS 晶体管 36- j 设置位导通状态。这时，电气连接主控制栅线 CGLi 和辅助控制栅线 CGLi-1。

进而，也可以在辅助译码器 29 中，具有选择 1 行内的多个或者全部 N 沟道 MOS 晶体管的功能。

在本发明的 EEPROM 中，也由在行方向或者列方向上配置成矩阵形的多个区构成存储单元阵列，并可以以区单位进行数据的读、消除、编程。因此，即使在本发明中，也可以适用图 32 以及图 33 的字节单位的数据改写动作（data change operation for byte data）。总之，在进行字节单位的数据改写动作时，不读选择（selected）行内的 1 页

份的数据，而可以只读选择（selected）行内的选择（selected）区的数据（1字节的整数倍的数据）。

因而，可以除去对于不进行数据的变更的存储单元的不需要的读、消除、编程动作，并可以提高实际的改写特性（program/erase endurance characteristics），即，页改写次数（number of page data change operation）。

另外，在本发明中，将1个主控制栅驱动器（包含升压器）共同用于相互相邻的多（例如，2个）行。因而，可以使具有大尺寸的主控制栅驱动器的列方向的宽度比1行的宽度还宽，在电路设计时，容易进行主控制栅驱动器的设计。

另外，在编程时，在选择（selected）行的主控制栅线上施加高电位Vprog，因为在选择栅线上施加电源电位VCC，所以只将必须输出高电位的主控制栅驱动器共用地配置在多行上，关于选择栅驱动器，被配置在每1行上。

这种情况下，例如，在编程时，在2条主控制栅线上施加高电位Vprog，但该高电位Vprog，因为只被传递到由辅助译码器选择的选择（selected）区内的辅助栅线上，所以在动作上完全没有的问题。

图44，展示辅助译码器的配置例。

在本发明中，将存储单元阵列11的1页份的存储单元分为多个，在行方向上设置多个区BLKi-j。另外，在行方向的区BLKi-j之间，配置辅助控制栅驱动器28。另外，读出放大器13，被设置成与配置在行方向上的区BLKi-j对应。

因而，是在读出放大器13之间与辅助控制栅驱动器28对应的位置上，形成空间。在本例中，在该空间上配置辅助译码器29。

如本例所示，在将辅助译码器29与辅助控制栅驱动器28对应地配置在多个位置上的情况下，与将辅助译码器29集中在1个位置上配置的情况相比，可以有效地使用芯片上的空间，可以在缩小芯片尺寸等上起作用。

图45至图47，展示可以适用本发明的EEPROM的例子。

在图 45 的例子中，在存储单元阵列的列方向的两端，分别配置具有闩锁功能的读出放大器 13A、13B，列选择电路 15A、15B 以及数据输入输出缓冲器 18A、18。在本例中，由 3 晶体管单元（3-tr cell）部分（参照图 26）11-0 和 NAND 单元部分 11-1 构成存储单元阵列。当然，存储单元阵列，也可以只由 3 晶体管（3-tr cell）部分构成。

如果采用本发明，由于在存储单元阵列的列方向的两端，配置用于读出放大器等的读动作和编程动作的电路，所以这些电路设计变得容易，可以减轻电路设计时的负担。

在图 46 的例子中，由 3 晶体管单元（3-tr cell）部分 11-0 和 NAND 单元部分 11-1 构成存储单元阵列，将 3 晶体管单元（3-tr cell）部分 11-0 配置在读出放大器 13 一侧，将 3 晶体管单元（3-tr cell）部分 11-0 的存储单元作为超高速缓冲存储器使用。

如果采用本例，因为将 NAND 部分 11-1 的数据以区单位暂时保存在 3 晶体管单元（3-tr cell）部分（超高速缓冲存储器），所以数据的高速读成为可能。

在图 47 的例子中，在 1 个芯片 41 内配置多个存储电路 42a、42b。各存储电路 42a、42b，相互独立，可以进行读动作、编程动作以及消除动作。因而，例如，在存储电路 42a 正在进行读动作时，在存储电路 42b 中，也可以进行编程动作。可以在存储电路 42a、42b 的至少一方中，使用本发明的 EEPROM。

如果采用本例，因为可以同时进行 2 个不同的动作，所以可以高效率地进行数据处理。

可是，在前面说明过的发明中，将由具有叠栅构造的 1 个存储单元和在其两端各连接 1 个的二个选择晶体管构成的单元组为主要构成元件。

如果采用这种单元组，可以得到包括字节（或者页）单位的数据改写的多个特征这一点如上所述。

但是，当由 3 个晶体管（存储单元只有 1 个）构成单元组的情况下，因为每个存储单元的单元尺寸变得比通常的 NAND 型快闪

EEPROM 还大，所以对由存储单元的高集成化产生的存储容量的增大不一定有利。

因此，在以下的本发明中，说明在维持以字节（或者页）单位变更数据的功能的同时，可以缩小每一存储单元的单元尺寸的新的单元组构造或者数据编程方法。

首先，研讨以往的 NAND 型快闪 EEPROM。

以往的 NAND 型快闪 EEPROM，例如，因为在一个存储单元组内配置 16 个被串联连接的存储单元，所以具有最适宜缩小每个存储单元的单元尺寸的构造。

但是，如果设置成这种构造，在可以得到单元尺寸减小这一特征的同时，失去了字节（或者页）单位的数据改写这一特征。

因此，叙述在以往的 NAND 型快闪型 EEPROM 中，为什么不能进行字节（或者页）单位的数据改写。

要理解在 NAND 型快闪 EEPROM 中不能以字节（或者页）单位变更数据的理由，首先，需要理解 NAND 型快闪 EEPROM 的数据改写动作（data change operation）。

NADA 型快闪 EEPROM 的数据改写动作（data change operation），是以区单位进行的。

首先，对于选择（selected）区内的 NAND 单元组的全部存储单元，进行数据的一并消除（从浮动栅引出电子，使阈值下降的动作）。此后，例如，从选择（selected）区内的 NAND 单元组的源侧的存储单元向漏极侧的存储单元，顺序以页单位进行数据编程。

参照图 48 以及图 49 说明具体的数据编程动作。

在本例中，设对被连接在控制栅线 CGL1 上的存储单元进行数据编程。

首先，对源侧（源线侧）的选择栅线 GSL 赋予 0V，将源侧的选择晶体管设置为截止状态。另外，对漏极侧（位线侧）的选择栅线 SSL 赋予电源电位 VCC，使漏极侧的选择晶体管处于导通状态。

另外，将连接进行“0”编程（向浮动栅注入电子，进行提升阈值

的动作）的存储单元 M1 的位线的电位设置为 0V，将连接进行“1”编程（维持消除状态的动作）的存储单元 M2 的位线的电位设置为 VCC。

这时，包含进行“0”编程的存储单元 M1 的 NANA 单元组内的全部存储单元的沟道的电位变为 0V，包含进行“1”编程的存储单元 M2 的 NANA 单元组内的全部存储单元的沟道的电位被预充电至 VCC-Vth（Vth 是选择晶体管的阈值电压）。此后，包含进行“1”编程的存储单元 M2 的 NANA 单元组内的漏级侧（位线侧）的选择晶体管，变为截止状态。

此后，控制栅线（选择）CGL1 的电位，从 0V 上升到电源电位 VCC（例如，3.3V），从电源电位 VCC 上升到编程电位 Vprog（例如，18V）。另外，控制栅线（非选择）CGL0、CGL2、…CGL15 的电位，从 0V 上升到电源电位 VCC，从电源电位 VCC 上升到 Vpass（VCC＜Vpass（例如，9V）＜Vprog）。

这时，在进行“0”编程的存储单元 M1 中，因为沟道电位变为 0V，所以在浮动栅和沟道之间的隧道绝缘膜上施加高电位，电子从沟道移动到浮动栅。另一方面，在进行“1”编程的存储单元 M2 中，因为沟道电位变为浮动，所以通过容量耦合，沟道的电位上升到 Vch。因而，在进行“1”编程的存储单元 M1 中，在浮动栅和沟道之间的隧道绝缘膜上不施加高电位，而维持消除状态。

这里，研讨有关赋予选择（selected）区内的非选择控制栅线 CGL0、CGL2、…CGL15 的 Vpass。

对存储单元 M2 的“1”编程，在数据编程时，通过抑制对存储单元 M2 的浮动栅的电子注入，存储单元 M1 维持消除状态实现。存储单元 M2 为了维持在消除状态，在数据编程时，通过容量耦合设置充分高的包含存储单元 M2 的 NAND 单元组内的各存储单元的沟道电位，就可以缓和被施加在存储单元 M2 的浮动栅和沟道之间的隧道绝缘膜上的电压。

可是，包含存储单元 M2 的 NAND 单元组内的各存储单元的沟道

电位，依赖于赋予非选择栅线 CGL0、CGL2、…CGL15 的 Vpass。因而，Vpass 越高，包含存储单元 M2 的 NAND 单元组内的各存储单元的沟道电位就越高，可以防止对存储单元 M2 的编程错误。

但是，如果设置高的 Vpass，则对于包含进行“0”编程的存储单元 M1 的 NAND 单元组内的非选择（unselected）存储单元 M3 容易产生编程错误。

即，包含存储单元 M1 的 NAND 单元组内的各存储单元的沟道电位，被维持在 0V。因此，如果 Vpass 接近编程电位 Vprog，则即使对于 非选择（unselected）存储单元 M3，也进行“0”编程。因而，对于包含存储单元 M1 的 NAND 单元组内的非选择（unselected）存储单元为了防止编程错误，需要尽可能降低 Vpass。

这样，赋予选择（selected）区内的非选择控制栅线 CGL0、CGL2、…CGL15 的 Vpass，过高或者过低都不行，被设定的最佳值为，对进行“1”编程的选择（selected）存储单元 M2 和非选择（unselected）存储单元 M3 不进行“0”编程，例如，为 VCC＜Vpass（例如，9V）＜Vprog。

以上，详细说明了 NAND 型快闪 EEPROM 的数据改写动作（datd change operation）。因而，以下说明为什么不能以字节（或者页）单位进行 NAND 型快闪 EEPROM 的数据改写动作。

假设，在 NAND 型快闪 EEPROM 中，以字节（或者页）单位进行数据改写动作。

这种情况下，还可以考虑多次反复选择同一控制栅线，例如，控制栅线 CGL1，只对被连接在该控制栅线 CGL1 上的存储单元，多次重复进行数据改写。在这种状态下，反复进行消除被连接控制栅线 CGL1 上的存储单元的数据的动作，和对被连接在控制栅线 CGL1 上的存储单元进行数据编程的动作。

但是，这时，在选择（selected）区内的非选择（unselected）存储单元的控制栅上，在数据编程时多次重复施加 Vpass。

因而，在 NAND 型快闪 EEPROM 中，如果多次反复进行字节单

位的数据改写，则选择（selected）区内的非选择（unselected）存储单元的阈值由于 Vpass 而逐渐上升（在浮动栅中徐徐注入电子），有可能发生编程错误。

为了消除该可能性，需要降低 Vpass 或者变更为区单位的数据改写动作。

但是，Vpass，如上所述，被设定为这样的最适宜值，即，在 1 次数据编程动作中，对进行“1”编程的选择（selected）存储单元，和与进行“0”编程的存储单元相同的单元内的非选择（unselected）存储单元，不进行“0”编程（编程错误），将其进一步降低在实际上是不可能的。

因而，其结果，在 NAND 型快闪 EEPROM 中，不可能进行字节（或者页）单位的数据改写动作，而进行区单位的数据改写动作。

以下，说明如 NAND 型快闪 EEPROM 那样，在可以使每个存储单元的单元尺寸减小的同时，对于字节（或者页）单位的数据改写动作（datd change operation），可以通过降低 Vpass 实现的新的单元组构造或者数据编程方法。

图 50，展示本发明的字节型 EEPROM 的存储单元。图 51，展示图 50 的存储单元的等价电路。

存储单元 MC1、MC2，具有控制栅和浮动栅，和快闪 EEPROM 的存储单元的结构相同。存储单元 MC1、MC2，被相互串联连接，在其两端，分别连接 1 个选择晶体管 ST1、ST2。选择晶体管 ST1，经由位线节点部分 BC 被连接在位线上，选择晶体管 ST2，被连接在源线 SL 上。

由存储单元 MC1、MC2 以及选择晶体管 ST1、ST2 构成 1 个存储单元组，存储单元阵列，通过将多个存储单元组配置成矩阵形实现。

本发明的存储单元组，可以考虑在 NAND 型快闪 EEPROM 中将 1 个 NAND 单元内的存储单元设置为 2 个的结构（2NAND 单元）。

但是，在本发明中，存储单元组内的存储单元数，不只限于 2 个，例如，只要满足后述的条件，可以设定为多个（3 个 、4 个、5 个等）。

根据情况，也可以将存储单元组内的存储单元数和以往的 NAND 型快闪 EEPROM 一样设置为 16 个。

以下说明本发明的字节型 EEPROM 的构造方面的优点。

本发明的字节型 EEPROM 的存储单元部分的构造，和 NAND 型快闪 EEPROM 的存储单元部分的构造相同。但是，通常，本发明的字节的 EEPROM 的单元组内的存储单元的数，比 NAND 型快闪 EEPROM 的单元组内的存储单元数（例如，16 个）还少。

因而，在本发明的字节型 EEPROM 中，因为可以直接采用 NAND 型快闪 EEPROM 的工序，所以虽然可以进行字节单位的消除（有关内容后述），但也可以增大存储容量，并且还可以降低生产成本。

例如，在本发明中，研讨将单元组内的存储单元的数设置为 2 个的情况。

在本发明中，当设计规则为 0.4[μm]的情况下，因为 2 个存储单元的短边长 a 为 1.2[μm]，长边长 b 为 3.96[μm]，所以每个存储单元的面积（[短边长 a×长边长 b]/2），变为 2.376[μm^2]。另一方面，在单元组由 16 个存储单元组成的 NAND 型快闪 EEPROM（16NAND 单元）中，当设计规则为 0.4[μm]的情况下，每个存储单元的面积变为 1.095[μm^2]。

总之，当采用本发明的存储单元组（2NAND 单元）的情况下，每个存储单元的面积，约为 16NAND 单元的 1 个存储单元的面积的 2 倍。

另外，在如图 65 以及图 66 所示的以往的字节型 EEPROM 中，当设设计规则为 0.4[μm]的情况下，每个存储单元的面积，变为 36[μm^2]。另外，当采用以 2 个选择晶体管夹着 1 个存储单元的单元组（3 晶体管单元（3-tr cell）或者 1NAND 单元）的情况下，如果将设计规则设置为 0.4[μm]，则每个存储单元的面积，变为 3.84[μm2]。

总之，本发明的存储单元组（2NAND 单元）的每个存储单元的面积，可以比以往的字节型 EEPROM 和 1NAND 单元还小。

表 5，展示比较与存储单元组的构造相应的 1 个存储单元的面积。

表 5

设计规则 0.4μm			
16NAND 单元	2NAND 单元	1NAND 单元 (3 晶体管单元)	NOR 型
1.095μm² (1)	2.376μm² (2.17)	3.84μm² (3.51)	1.82μm² (1.66)
设计规则 0.25μm			
16NAND 单元	2NAND 单元	1NAND 单元 (3 晶体管单元)	NOR 型
0.293μm² (1)	0.712μm² (2.43)	1.189μm² (4.06)	0.54μm² (1.84)

从表可知，本发明的存储单元组（2NAND 单元）的每个存储单元的面积，不及 NAND 型快闪 EEPROM（16 位 NAND 单元），只及 1NAND（3 晶体管单元（3- tr cell））的约 60%。

因而，如果采用本发明的单元组构造，由于存储单元面积的缩小，可以起到增大字节型 EEPROM 的存储容量、缩小芯片面积、降低制造成本等的作用。

另外，本发明的字节型 EEPROM，因为可以用和 NAND 型快闪 EEPROM 相同的工序制造，所以也很容易应用于非易失性存储器混装 LSI（nonvolatile memory embedded LSI）。

另外，本发明的字节型 EEPROM 存储单元，因为是和 NAND 型快闪 EEPROM 的存储单元的构造相同，所以如果从 1 个存储单元看，可以直接采用快闪 EEPROM 的改写方法（data chang metod），即，利用 FN 隧道现象的改写方法。因而，在可以降低制造成本的同时，还可以消减开发成本。

可是，如果采用本发明的单元组构造，则在 2 个选择晶体管之间连接多个（例如，2 个、3 个、…）存储单元。因而，和 NAND 型快闪 EEPROM 一样，当反复进行字节（或者页）单位的数据改写的情况下，对于在控制栅上施加 Vpass 的控制栅上的选择（selected）区内

的非选择（unselected）存储单元产生编程错误。

对于这个问题，按以下方法解决。

在 NAND 型快闪 EEPROM 中，设定 Vpass 的最佳值的条件为，在 1 次编程动作中，对于进行“1”编程的（维持消除状态）的存储单元，和与进行“0”编程的存储单元相同的单元组内的非选择（unselected）存储单元，不产生“0”编程（编程错误）。

另外，该最佳值的确定，与电源电位 VCC，和在读时赋予非选择（unselected）存储单元的控制栅的电位 Vread 完全没有关系，通常，被设定在 VCC（例如，3.3V）< Vpass（例如，9V）< Vprog（例如，18V）。

在本发明中，将 Vpass 设定为电源电位 VCC（例如，3.3V）或者在读时赋予非选择（unselected）存储单元的控制栅的电位 Vread （例如，4.5V）。

这些 VCC 以及 Vread，比在 NAND 型快闪 EEPROM 中使用的 Vpass 的值（例如，9V）还低。

总之，在本发明中，通过将 Vpass 设定为电源电位 VCC 或者在读时赋予非选择（unselected）存储单元的控制栅的电位 Vread ，即，比在 NAND 型快闪 EEPROM 中使用的 Vpass 的值还低，就可以防止在反复进行字节（或者页）单位的数据改写的情况下的选择（selected）区内的非选择（unselected）存储单元的编程错误的问题。

另外，在本发明中，因为不需要将 Vpass 设定为 VCC 或者 Vread，而新设置生成 Vpass 的电路，所以控制栅驱动器的构成被简化，可以得到控制栅驱动器的缩小、布局的容易、设计以及开发期间的缩短等的效果。

另一方面，在本发明中，因为将 Vpass 设定为电源电位 VCC 或者在读时赋予非选择（unselected）存储单元的控制栅的电位 Vread ，所以不产生在 1 次数据编程动作中，进行“1”编程（维持消除状态）的存储单元的沟道电位是否能提到充分高的疑问。

因而，在本发明中，通过设定单元组内的存储单元数、进行“1”

编程的存储单元的沟道的初始电位、存储单元的控制栅和沟道的耦合比，充分提高进行“1”编程的存储单元的沟道电位。

例如，如果假设进行“1”编程的存储单元的沟道的初始电位、存储单元的控制栅和沟道的耦合比，和 NAND 型快闪 EEPROM 相同的情况下，如图 51 以及图 52 所示，当将单元组内的存储单元 的数设定为 2 个时，可以将进行“1”编程的存储单元的沟道电位，提高到和 NAND 型快闪 EEPROM 相同的程度（有关这一点，在后述的数据编程动作的说明中详细叙述。）。

这样，在本发明中，第一，因为具有和 NAND 型快闪 EEPROM 完全相同的单元组构造，所以可以实现单元尺寸的缩小、存储容量的增大、成本的降低等。

第二，将在数据编程时施加在选择（selected）区内的非选择控制栅线上的电位 Vpass，设定为电源电位 VCC 或者在读时赋予非选择控制栅线的电位 Vread。由此，可以防止选择（selected）区内的非选择（unselected）存储单元的编程错误（data chang operation），可以进行字节（或页）单位的数据改写动作。

第三，即使将 Vpass 设定为 VCC 或者 Vread，也可以将单元组内的存储单元数、进行“1”编程的存储单元的沟道的初始电位、存储单元的控制栅和沟道的耦合比设定为适当的值，以使得可以充分地提高进行“1”编程的存储单元的沟道电位。还可以防止对进行“1”编程的存储单元的编程错误。

以下，顺序说明本发明的字节型 EEPROM 的消除动作、编程动作以及读动作。

· 消除动作

如图 52 所示，在选择（selected）区内的控制栅线（字线）CGL11 上施加接地电位 VSS，选择（selected）区内的非选择控制栅线（字线）CGL12，变为浮动状态。另外，选择（selected）区内的选择栅线 SSL1、GSL1 以及非选择（unselected）区内的控制栅线（字线）CGL21、CGL22 以及选择栅线 SSL2、GSL2 也变为浮动状态。

此后，例如，将 21[V]、3[ms]的消除脉冲施加在体（单元 P 阱 ）上。这时，在被连接于选择（selected）区内的选择控制栅线 CGL11 上的存储单元中，在体和控制栅线之间 加消除电压（21[V]），浮动栅中的电子通过 FN（ Fowler-Nordeim）隧道现象移动到体。

其结果，被连接在选择（selected）区内的控制栅线 CGL11 上的存储单元的阈值电压，变为－3[V]左右。在此，对于选择（selected）存储单元，可以用 1 次的消除脉冲，在其阈值电压为－3[V]左右进行消除。

另一方面，选择（selected）区内的非选择控制栅线 CGL12 以及非选择（unselected）区内的控制栅线 CGL21、CGL22，被设定为浮动状态。

因而，例如，如果将 21[V]、3[ms]的消除脉冲施加在体（单元 P 阱 ）上，由于浮动状态的控制栅线和体的容量耦合，控制栅线 CGL12、CGL21、CGL22 的电位也上升。

这里，如果研讨控制栅线 CGL12、CGL21、CGL22 和体的耦合比，则在控制栅线 CGL12、CGL21、CGL22 上，连接驱动电路（MOS 晶体管的源）、连接该驱动电路和控制栅线（多晶硅层）的金属线、构成控制栅线的硅化物等。

耦合比，依赖于寄生于浮动状态的控制栅线 CGL12、CGL21、CGL22 上的容量。在该容量中，包含作为驱动电路的 MOS 晶体管的源接合容量、源和栅的重叠容量、在场区域的多晶硅层和金属配线的容量、控制栅线和体（单元 P 阱）的容量等。

但是，寄生于控制栅线 CGL12、CGL21、CGL22 的容量，控制栅线和体（单元 P 阱）的容量占据占大部分。

总之，控制栅线 CGL12、CGL21、CGL22 和体的耦合比，为大值，例如，为 0.9，如果体的电位上升，控制栅线 CGL12、CGL21、CGL22 的电位也上升。

因而，在被连接在选择（selected）区内的非选择控制栅线 CGL12 上的存储单元和被连接在非选择（unselected）区内的控制栅线

CGL21、CGL22上的存储单元，可以防止FN隧道现象的发生。

经过上述过程，消除动作结束。

进而，在消除动作后，例如，进行消除的验证动作，以验证被连接在（selected）区内的选择控制栅线 CGL11 上的全部存储单元的阈值电压是否不足-1[V]。

· 编程动作

如图 53 所示，说明有关对被连接在控制栅线 CGL1 上的存储单元实行编程的情况。进而，假设进行这些编程的存储单元，全部处于消除状态。

首先，选择（selected）区内的源侧的选择栅线 CGL 变为接地电位 VSS，漏极侧的选择栅线 SSL 变为电源电位 VCC。其结果，源侧的选择晶体管 ST21、ST22，变为截止状态，漏极侧的选择晶体管 ST11、ST12，变为导通状态。

另外，设被连接在进行“0”编程的存储单元 MC11 上的位线 BL 的电位为 VSS，设被连接在进行“1”编程的存储单元（禁止编程单元）MC11上的位线 BL 的电位为 VCC。另外，将控制栅线 CGL1、CGL2 的电位设定为接地电位 VSS。这时，存储单元 MC11、MC21 的沟道电位，变为接地电位 VSS，存储单元 MC12、MC22 的沟道，被预充电至 VCC-Vth（Vth，是选择晶体管 ST12 的阈值电压）。

此后，控制栅线 CGL1、CGL2 的电位被设定在电源电位 VCC（例如，3.3V）或者在读时赋予非选择控制栅线的电位 Vread（例如，4.5V）。进而，选择控制栅线 CGL1 的电位，从 VCC 或者 Vread 上升至编程电位 Vprog（例如，18V）。

这时，在选择（selected）存储单元 MC11 中，因为在沟道（=VSS）和控制栅线 CGL1（= Vread）之间产生大的电位差，所以通过 FN 隧道现象，电子被从沟道注入浮动栅。由此，对于选择（selected）存储单元 MC11 的“0”编程结束。

另外，在向控制栅线施加高电位之前，即，沟道升压前的选择（selected）存储单元 MC12 的沟道的初始电位，被设定在 VCC-Vth，

并且，变为浮动状态。因而，此后，如果选择控制栅线 CGL1 的电位变为 Vprog，非选择控制栅线 CGL2 的电位变为 VCC 或者 Vprog，则选择（selected）存储单元 MC12 的沟道电位也由于容量耦合而自动上升。

总之，在选择（selected）存储单元 MC12 中，沟道（=Vch）和控制栅线 CGL1（=Vprog）之间的电位差减小，抑制了由于 FN 隧道现象引起的电子向浮动栅的注入。由此，对选择（selected）存储单元 MC12 的“1”编程结束。

可是，为了对选择（selected）存储单元（编程禁止单元）MC12 实行“1”编程，需要充分提高选择（selected）存储单元 MC12 的沟道电位（编程禁止电位）Vch，以不产生编程错误（“0”编程）。

自举后的存储单元 MC12 的沟道电位 Vch，主要由自举前的存储单元 MC12 的沟道的初始电位、存储单元 MC12、MC22 的控制栅和沟道的耦合比、以及单元组内的存储单元的数（在本例中，是 2 个）确定。

因而，例如，当固定了单元组内的存储单元的数的情况下，存储单元 MC12 的沟道电位 Vch，通过增大存储单元 MC12 的沟道的初始电位以及存储单元 MC12、MC22 的控制栅和沟道的耦合比，就可以充分提高。

存储单元的控制栅和沟道的耦合比 B，由下式算出。

$$B=Cox/(Cox+Cj)$$

其中，Cox 是存储单元的控制栅和沟道之间的栅容量的总和，Cj 是存储单元的源区域以及漏极区域的接合容量的总和。

另外，存储单元的沟道容量，近似地可以由 Cox 和 Cj 之和表示。总之，在存储单元的沟道容量中，除了 Cox 以及 Cj 之外，包含控制栅和源区域的重叠容量、位线和源区域之间的容量、位线和漏极区域之间的容量等，但这些容量由于与 Cox 和 Cj 相比非常小，所以可以忽略。

以下，对本发明的字节型 EEPROM 和以往的 NAND 型快闪

EEPROM，具体地研讨进行“1”编程的存储单元的沟道电位（编程禁止电位）变为怎样的值。

作为本发明的字节型 EEPROM，例如，如图 50 以及图 51 所示，设置成在 1 个单元组内配置有 2 个存储单元的构造。

这种情况下，沟道电位 Vch 变为：

$$Vch=Vini+(Vprog-VCC)\times B+(Vpass-VCC)\times B$$

$$B=Cox/(2\times Cox+3\times Cj)$$

（注：存储单元为 2 时，扩散层（源/漏极）是 3）。

这里，如果设 Cox=Cj=1，则耦合比 B 变为 0.2。另外，在本发明中，Vpass=VCC。还有，如果将电源电位 VCC 设置为 3[V]，将沟道的初始电位 Vini 设置为 2[V]，将编程电位 Vprog 设置为 16[V]，则沟道电位 Vch 变为：

$$Vch=2+(16-3)\times 0.2=4.6[V]$$

另一方面，NAND 型快闪 EEPROM 的沟道电位 Vch 变为：

$$Vch=Vini+(15/16)\times(Vpass-VCC)\times B$$
$$+(1/16)\times(Vprog-VCC)\times B$$

$$B=16\times Cox/(16\times Cox+17\times Cj)$$

（注：存储单元为 16 时，扩散层（源/漏极）是 17）。

这里，设 NAND 型快闪 EEPROM 的单元组，由被串联连接的 16 个存储单元组成，在 1 个存储单元上施加 Vprog ，在余下的 15 个存储单元上施加 Vpass。

另外，如果设 Cox=Cj=1，则耦合比 B 变为 0.48。另外，如果将电源电位 VCC 设置为 3[V]，将沟道的初始电位 Vini 设置为 2[V]，将编程电位 Vprog 设置为 16[V]，将 Vpass 设置为 8[V]，则沟道电位 Vch 变为：

$$Vch=2+(15/16)\times(8-3)\times 0.48$$
$$+(1/16)\times(16-3)\times 0.48$$
$$=4.64[V]$$

这样，在本发明的字节型 EEPROM 中，例如，即使将 Vpass 设

置为电源电位 VCC（或者 Vread），由于将单元组内的存储单元的数设置为 2 个，因此可以得到和 NAND 型快闪 EEPROM 相同的编程禁止电位（“1”编程单元的沟道电位）。

总之，在本发明中，因为通过将 Vpass 设置为 VCC（或者 Vread），可以缓和被连接在控制栅线上的非选择（unselected）存储单元的控制栅和沟道之间的电压，所以没有在非选择（unselected）存储单元中的编程错误，可以反复进行字节（或者页）单位的数据改写。

另外，在本发明中，因为即使将 Vpass 设置为 VCC（或者 Vread），也可以可以得到和 NAND 型快闪 EEPROM 相同的编程禁止电位（Program inhibit potential），所以可以防止对被连接在选择控制栅线上的编程禁止单元（“1”编程单元）的编程错误。

·读动作

如图 54 所示，在将位线 BL 充电至预充电单位之后，在选择（selected）区内的选择控制栅线 CGL11 上，施加 0[V]，在选择（selected）区内的非选择控制栅线 CGL12 以及选择栅线 SSL1、GSL1 上，分别施加电源单位 VCC（例如，3.3V）或者读电位 Vread （例如，4.5V）。

另外，在非选择（unselected）区内的控制栅线 CGL21、CGL22 以及选择栅线 SSL2、GSL2 上，施加 0[V]。

这时，选择（selected）区内的选择晶体管，变为导通状态，非选择（unselected）区内的选择晶体管，变为截止状态。另外，选择（selected）区内的非选择（unselected）存储单元，不管数据的值如何，都变为导通状态（存储单元的阈值分布，参照图 6）。

另外，选择（selected）区内的选择（selected）存储单元，与数据的值相应地变为导通或者截止状态。

如图 55 所示，当在选择（selected）存储单元上写入“1”数据的情况下，即，在选择（selected）存储单元处于消除状态的情况下，选择（selected）存储单元的阈值电压变为负减少模式。因此，在该选择（selected）存储单元中，流过单元电流，位线 BL 的电位下降。

相反，当在选择（selected）存储单元中写入“0”数据的情况下，选择（selected）存储单元的阈值电压变为正的增加模式。因此，在该（selected）存储单元中，没有单元电流流动，位线 BL 的电位，被维持在预充电电位。

这样，数据“0”、“1”的判断，通过是否有从位线到源线流动的电流进行。位线的电位的变化，被读出放大器放大（检知）。

进而，数据“0”、“1”的区分，例如，通过是否在存储单元的浮动栅上蓄积负的电荷进行。

即，当在浮动栅上蓄积了负的电荷的情况下，该存储单元的阈值电压增高，存储单元，变为增加型。另一方面，当在浮动栅上没有蓄积负的电荷的情况下，该存储单元的阈值电压不足 0[V]，存储单元，变为减少型。

表 6，展示上述的消除、编程、读的各自动作中的选择栅线 SSL、GSL、控制栅线（字线）CGL、位线 BLi、单元源线 SL、单元 P 阱的电位。

表 6

		消除	写入	读出
选择区	位线侧的选择栅线 SSL	Vera × β	VCC	VCC 或 Vread
	控制栅线 CGL(非选择)	Vera × β	VCC 或 Vread(NAND 型快闪 EEPROM 中 Vpass)	VCC 或 Vread
	控制栅线 CGL(选择)	0V	Vprog	0V
	源线侧选择栅线 GSL	Vera × β	0V	VCC 或 Vread
非选择区	位线侧的选择栅线 SSL	Vera × β	0V	0V
	控制栅线 CGL	Vera × β	0V	0V
	源线侧选择栅线 GSL	Vera × β	0V	0V
位线	“1”数据	Vera-Vb	VCC	VBL→0V
	“0”数据	Vera-Vb	0V	VBL
单元源线		Vera-Vb	VCC	0V
单元 P 阱		Vera	0V	0V

在消除动作中，选择（selected）区内的选择控制栅线 CGL，被设定为 0[V]，选择（selected）区内的非选择控制栅线 CGL、非选择（unselected）区内的控制栅线 CGL 以及全部选择栅线 SSL、GSL，被设定为浮动状态。

在该状态中，如果在单元 P 阱上施加消除电位 Vera，例如，21[V]，则浮动状态的全部的选择栅线 SSL、GSL 的电位和非选择控制栅线 CGL 的电位，由于和单元 P 阱的容量耦合，而上升至 Vera × β（β 是耦合比）。

在此，如果设β为 0.8，则浮动状态的全部的选择栅线 SSL、GSL 的电位和非选择控制栅线 CGL 的电位，上升至 16.8[V]。

在消除动作时，由被连接在位线 BLi 以及单元源线 SL 上的 N^+扩散层和单元 P 阱组成的 pn 结，被在正方向上加偏置。因此，位线 BLi 以及单元源线 SL，被充电至 Vera-Vb。进而，Vb 是 pn 结的内部电位。

在编程动作中，被连接在编程“1”数据的选择（selected）存储单元上的位线 BLi，即，被连接在维持消除状态的选择（selected）存储单元上的位线 BLi，被设定在电源电位（例如，3.3[V]）VCC，连接编程“0”数据的选择（selected）存储单元上的位线 BLi，被设定为 0[V]。

选择（selected）区内的位线侧的选择栅线 SSL，被设定为电源电位 VCC，电源源线侧的选择栅线 GSL，被设定为 0[V]，非选择控制栅线 CGL，被设定为 VCC 或者 Verad（例如，4.5[V]），选择控制栅线 CGL，被设定为编程电位（例如，18[V]）Vprog。

非选择（unselected）区内的的选择栅线 SSL、GSL、控制栅线 CGL 以及单元 P 阱，被设定为 0[V]。

单元源线，被设定为 0[V]。但是，编程选择（selected）区内的“1”数据的存储单元的沟道电位，由于和控制栅线 CGL 的容量耦合而被升压，当由于穿通单元源线的泄露电流成为问题的情况下，单元源线的电位，最好设定在电源电位 VCC。

在读动作中，选择（selected）区内的选择栅线 SSL、GSL 以及非选择控制栅线 CGL，被设定在电源电位 VCC（例如，3.3V）或者读电位 Verad（例如，4.5[V]），选择控制栅线 CGL 被设定为 0[V]。在数据读前预充电位线的方式的情况下，位线 BLi，被设定在预充电电位（例如，1.2V）VBL。

存储“1”数据的选择（selected）存储单元，因为变为导通状态，所以在该选择（selected）存储单元中流过单元电流，位线 BLi，被放电至 0[V]。另一方面，存储“0”数据的选择（selected）存储单元，因为变为截止状态，所以在该选择（selected）存储单元中没有单元电

流流动，位线 BLi，保持预充电电位 VBL。

图 56，展示本发明的字节型 EEPROM 的电路区的主要部分。

该 EEPROM，如上所述，例如，具有：存储单元阵列 11，将由用 2 个选择晶体管夹着 2 个存储单元的 4 个元件组成的存储单元组配置成矩阵形；多条控制栅线 10a，在存储单元阵列 11 上被配置在行方向上；多条位线 10b，在存储单元阵列 11 上被配置在列方向上。

行译码器 12，进行行的选择，即，进行控制栅线 10a 的选择。被连接在所选控制栅线 10a 上的存储单元的数据，被输入由被设置在每列上的具有数据栓锁功能的读出放大器组成的读出放大器 13 中。列译码器 14，进行列的选择，即，进行位线 BLi 的选择。

被选择的列的读出放大器的数据，经由数据输入输出缓冲器 18 被输出到存储器芯片的外部。被输入到存储器芯片内部的数据，经由数据输入输出缓冲器 18 被闩锁在所选列的具有闩锁功能的读出放大器中。

升压器 16，生成在编程动作和消除动作中所需要的高电压。控制电路 17，在控制存储器芯片的内部的各动作的同时，起存储器芯片的内部和外部的接口的作用。控制电路 17，包含对存储单元的消除、编程、读的各动作进行控制的顺序控制装置（例如，可编程逻辑阵列）。

图 57，展示图 56 的存储单元阵列 11 的构成。

在本例中，存储单元组，由以被串联连接的 2 个存储单元组成的 NAND 单元和在其两端分别连接 1 个的 2 个选择晶体管构成。存储单元，由积层浮动栅和控制栅的所谓的叠栅构造的 MOSFET 构成。

由行方向的多个存储单元组构成 1 个区，由被连接在 1 条控制栅线 CGL 上的多个存储单元构成 1 页。

进而，在本发明中，消除、编程以及读，可以以页单位进行。另外，在本发明中，通过采用后述的改写方法（data change scheme），也可以以字节单位进行数据改写动作（data change operation for byte data）。

图 58，展示在图 56 的读出放大器 13 中被连接在 1 条位线 BLi 上

的具有闩锁功能的读出放大器。

读出放大器，以由一方的输出成为另一方的输入的 2 个 COMS 倒相器 I1、I2 组成的闩锁电路 21 为体。闩锁电路 21 的闩锁节点 Q，经由列选择用 NMOS 晶体管 M8 被连接在 I/O 线上。另外，闩锁节点 Q，经由读出放大器截断用 NMOS 晶体管 M4 和位线电位箝位用的 NMOS 晶体管 M1 被连接于位线 BLi。

NMOS 晶体管 M1、M4 的连接节点成为读出节点 Nsense。在读出节点 Nsense 上，连接预充电用的 PMOS 晶体管 M2 和放电用 NMOS 晶体管 M3。预充电用 PMOS 晶体管 M2，根据预充电控制信号 Load 在规定期间进行读出节点 Nsense 的充电。放电用 NMOS 晶体管 M3，根据放电用控制信号 DCB 放电读出节点 Nsense 的电荷。

在闩锁电路 21 的闩锁节点 Qb 上，连接为了根据控制信号ΦL1 将闩锁节点 Qb 强制接地的复位用 NMOS 晶体管 M5。在闩锁电路 21 的闩锁节点 Q 上，连接为了根据控制信号ΦL2 将闩锁节点 Q 强制接地的复位用 NMOS 晶体管 M6。

复位用 NMOS 晶体管 M5、M6 的共用源，经由被读出节点 Nsense 的电位控制的读出用 NMOS 晶体管 M7 连接在接地点上。读出用 NMOS 晶体管 M7，也可以和 NMOS 晶体管 M5、M6 一样用于闩锁电路 21 的复位。

图 59，展示本发明的字节型 EEPROM 的字节单位的改写动作（data change operation for byte data）的概略顺序控制的流程图。

该顺序控制，例如，由图 56 的控制电路 17 进行。根据该流程，如以下那样简单地说明字节单位的改写动作。

如果变为字节改写方式（byte data change mode），首先，将连接在所选控制栅线（字线）上的存储单元的 1 页份的数据读出到读出放大器（页读）。而后，在读出放大器中，闩锁该 1 页份的数据（步骤 ST1）。

接着，输入由地址指定的与列对应的字节数据。该被输入的字节数据，对在被闩锁在读出放大器中的 1 页份的数据中进行数据变更的字节数据进行改写（步骤 ST2）。

接着，同时消除（页消除）连接在所选控制栅线上的存储单元的1页份的数据（步骤ST3）。在消除之后，对连接在所选控制栅线上的存储单元，进行消除验证，以检验消除是否完全，或者是否有过消除（步骤ST4、5）。

而后，在1页份的全部存储单元的阈值变到规定范围内之前反复进行页消除以及消除检验，当1页份的全部的存储单元的阈值变到规定范围内（消除结束）时，移至下一动作（步骤ST3~ST5）。

进而，当具有闩锁功能的读出放大器对于1条位线只有1个的情况下（只有1页份的情况下），由于页消除检验的结果，读出放大器的数据有可能被破坏。因而，在这种情况下，不进行消除的检验，在1次中结束消除。

此后，对连接在所选控制栅线上的存储单元，同时编程被闩锁在读出放大器中的1页份的数据（步骤ST6）。在编程后，对连接在所选控制栅线上的各存储单元，进行编程的检验，以检验编程进行的是否完全，或者是否有过编程（步骤ST7、8）。

而后，在1页份的全部存储单元的阈值变到规定范围内之前反复进行页编程以及编程检验，当1页份的全部的存储单元的阈值变到规定范围内（编程结束）时，结束字节单位的数据改写动作。

进而，当使用高编程电位，在1次编程脉冲中进行1次编程的情况下，也可以省略编程检验。

图60，展示在图59的主要步骤中的选择（selected）存储单元的数据和读出放大器的节点Qb（图58）的状态。

同一图（a），展示连接在所选控制栅线（字线）上的存储单元的1页份的数据被读出到读出放大器的状态（与步骤ST1对应）。

当存储单元的数据在“0”（阈值电压为正）的情况下，BLi线的电荷不被放电，维持预充电电位。因而，图58的读出放大器Nsense变为电源电位VCC。如果将控制信号ΦL2设置为电源电位VCC，则节点Q变为接地电位VSS，即，变为“0”。

相反，当存储单元的数据在“1”（阈值电压为负）的情况下，BLi

线的电荷被放电。因而，图 58 的读出放大器节点 Nsense 变为接地电位 VSS。如果将控制信号ΦL2 设置为电源电位 VCC，则节点 Q 变为电源电位 VCC，即，变为“1”。

同一图（b），展示对在被闩锁在读出放大器中的 1 页份的数据中由地址指定的字节数据（8 位数据），进行数据的改写（与步骤 ST2 对应）。

同一图（c），展示消除（页消除）连接在所选控制栅线（字线）上的存储单元的数据的状态（与步骤 ST3 对应）。通过页消除，连接在所选控制栅线上的存储单元的数据，全部变为“1”。

同一图（d），展示对连接在所选控制栅线（字线）上的存储单元，编程（页编程）被闩锁在读出放大器中的 1 页份的数据的状态（与步骤 ST6 对应）。

这样，对于存储单元阵列 11，在动作上变为页单位的数据改写，但实际上，进行了字节单位的数据的改写。

接着，参照图 61 至图 63 的时间图，以图 58 的读出放大器的动作为中心详细说明用于页编程、编程检验的读动作。

进而，图 61 至图 63，是将 1 个时间图分为多个图。

当从芯片外部向芯片内部输入指示编程的指令时，编程动作开始。

首先，为了复位读出节点 Nsense，将控制信号 DCB 设置为电源电位 VCC。这时，MOS 晶体管 M3 导通，读出节点 Nsense 被接地（t1）。

另外，如果和控制信号 DVB 同时将控制信号 BLSHF 也设置成电源电位 VCC，则 MOS 晶体管 M1 导通，位线 BLi 被接地。

在将编程数据输入到读出放大器之前，将数据闩锁控制信号ΦL1 设置为电源电位 VCC，将预充电控制信号 Load 设置为接地电位 VSS。这时，MOS 晶体管 M5、M7 导通，闩锁电路 21 的闩锁节点 Qb 被强制接地，数据被复位。即，在读出放大器 20 的全部读出放大器中，闩锁电路 21 的闩锁节点 Q 变为电源电位 VCC，闩锁节点 Qb 变为接地电位 VSS（t2）。

接着，从 I/O 线输入编程数据，数据被闩锁在读出放大器 20 的

各闩锁电路 21 中，节点 Q、Qb 与输入数据对应地被设定为“H”、“L”（t3）。

具体地说，在与进行“0”编程的存储单元对应的读出放大器的闩锁电路 21 中，在闩锁节点 Q 上赋予“L”（=VSS），在与进行“1”编程（编程禁止）的存储单元对应的读出放大器的闩锁电路 21 中，在闩锁节点 Q 上赋予“H”（=VCC）。

接着，控制信号 BLSHF、SBL 变为“H”，根据被栓锁在读出放大器 20 的各栓锁电路 21 中的数据，开始各位线的充电（t4）。

即，被连接在进行“0”编程的存储单元上的位线 BLi 被设定为接地电位 VSS，连接在进行“1”编程（编程禁止）的存储单元上的位线被充电至 VCC。所选控制栅线（字线），被设定为编程电压 Vprog（20[V]左右）。这时，非选择的控制栅线（字线），不是 Vpass（例如，8[V]），而被设定为电源电位 VCC（例如，3.3[V]）或者在读时赋予非选择存储单元的读电位 Verad（例如，4.5[V]）。

通过该动作，就可以对 1 页份的存储单元进行编程。

在数据编程结束之后，开始验证数据编程是否完整结束的编程检验。

首先，进行用于编程检验的读。该检验读动作和通常的读动作相同。

如果将控制信号 DCB 设定在电源电位 VCC，则 MOS 晶体管 M3 导通，读出节点 Nsense 被强制接地（t5）。

接着，在所选控制栅线 CGL 上，赋予参照电位 Vref（0.5[V]左右），在非选择控制栅线 CGL 上，赋予用于不管存储在存储单元中的数据如何都将存储单元设置为导通状态的的读电位 Vread（例如，4.5[V]）。另外，在选择栅线 SSL、GSL 上赋予电源电位 VCC，由此，进行检验读动作（t6）。

在读时，可以使用位线预充电型读方式、电流检知型读方式等。在位线预充电型读方式中，在预充电位线 BLi，是其成为浮动状态之后，与存储单元的数据对应地维持或者降低位线电位。有关电流检知

型的读方式，在下面详细叙述。

在时刻 t6，将控制信号 BLSHF 从升压电位 VCC+α减少到电位 VCC-α，通过流过 MOS 晶体管 M1 的存储单元电流和充电读出节点 Nsense 的 MOS 晶体管 M2 的电流的平衡进行读。而后，位线 BLi 的电位，例如，在上升到 0.9V 时，MOS 晶体管 M1 变为截止状态，读出节点 Nsense 变为电源电位 VCC。

在读出节点 Nsense 变为“H”（=VCC）之后，将闩锁控制信号ΦL1 设置为电源电位 VCC，使 MOS 晶体管 M5 导通（t7）。当读出节点 Nsense 是电源电位 VCC 的情况下（被连接在阈值比参照电位 Vref 还高的存储单元上的读出放大器的情况下），MOS 晶体管 M7 导通，闩锁节点 Qb 变为接地电位 VSS、闩锁节点 Q 变为电源电位 VCC。

如果在闩锁节点 Q 上输入接地电位 VSS，进行正常的编程，则闩锁电路 21 的闩锁数据反转。在对存储单元的编程不完全的情况下，在检验读中，因为读出节点 Nsense，是“L”（=VSS）不变，所以不引起闩锁电路 21 的数据反转，闩锁节点 Q 保持 VSS，在与编程禁止的存储单元连接的读出放大器中，因为闩锁节点 Q，是电源电位 VCC，所以数据不反转。

当存在编程不完整的存储单元时，即，存在闩锁电路 21 的数据不发生反转的读出放大器时，反复进行编程和检验读。而后，如果 1 页份的全部读出放大器的闩锁节点 Q 的电位变为电源电位，则结束编程。

以下，参照图 63 的时间图，以图 58 的读出放大器的动作为中心详细说明字节单位的数据改写动作。

当从芯片外部向芯片内部输入指示字节改写的指令时，字节改写动作开始。

首先，对连接在所选控制栅线（字线）上的 1 份的存储单元，开始已被写入的数据的读动作。

读动作，和读动作相同。

首先，将数据闩锁控制信号ΦL1 设定为电源电位 VCC，将预充电控制信号 Load 设定为接地电位 VSS。这时，MOS 晶体管 M5、M7

导通，闩锁电路 21 的闩锁节点 Qb 被强制接地，数据被复位。即，读出放大器的全部闩锁电路 21 的闩锁节点 Q 变为电源电位 VCC，闩锁节点 Qb 变为接地电位 VSS（t1）。

接着，将控制信号 DCB 设定在电源电位 VCC。这时，MOS 晶体管 M3 导通，读出节点 Nsense 被强制接地（t2）。接着，如果向所选控制栅线 CGL 施加 VSS（=0V），向选择栅线 SSL、GSL 施加电源电位 VCC，则进行读动作（t3）。

当读出节点 Nsense 变为“H”（=VCC）之后，闩锁控制信号ΦL2 变为电源电位 VCC，MOS 晶体管 M6 导通（t4）。当读出节点 Nsense 为 VCC 的情况下（即，连接在数据“0”被写入，阈值电压比 VSS 还高的存储单元上的读出放大器的情况下），MOS 晶体管 M7 导通，闩锁节点 Q 变为接地电位 VSS，闩锁节点 Qb 变为电源电位 VCC。

接着，将控制信号 DCB 设定为电源电位 VCC，将控制信号 BLSHF 设定为电源电位 VCC 或者电位 VCC+α，使位线 BLi 以及读出节点 Nsense 复位（t5）。

此后，向由列地址指定的读出放大器 20 的闩锁电路 21 输入字节数据，节点 Q、Qb 与字节数据对应地被设定为“H”、“L”（t6）。

对被写入闩锁电路 21 的页数据中规定的数据，改写从芯片外部输入的字节数据。

此后，对连接在控制栅线上的存储单元进行页消除动作。

选择（selected）区的控制栅线设定为接地电位 VSS，非选择（unselected）区的控制栅线以及全部选择栅线设定为浮动状态。如果在单元 P 阱上施加消除电压 Vera，则浮动状态的选择栅线和非选择（unselected）区的控制栅线，由于和单元 P 阱的容量耦合作用而上升至 Vera × β（β是耦合比）。

另外，位线 BLi 以及单元源线 SL，被连接在单元 P 阱内的 N^+层。如果该 N^+层和单元 P 阱的 pn 结被加正向偏置，则位线 BLi 以及单元源线 SL，被分别充电至 Vera –Vb（t7）。Vb，是 pn 结的内部电位。

此后，进行消除检验，确认被选择的页的存储单元已处于全部消

除状态，即，确认存储单元的阈值电压变为负。根据存储在闩锁电路21中的数据，对被选择的页的存储单元，进行编程动作以及编程检验动作。

进而，在图63中，消除检验以后的动作被省略。

图64是将NAND型快闪EEPROM的存储单元阵列的一部分作为本发明的字节型EEPROM的存储单元阵列的例子。

本发明的字节型EEPROM的存储单元阵列，可以考虑在NAND型快闪EEPROM存储单元阵列中将2个选择晶体管之间的存储单元设置为2个。由此，可以容易实现如本例那样的EEPROM。

本例的EEPROM，在1条位线BLi上连接不同构成的2种存储单元组。即，第一存储单元组，在2个选择晶体管之间连接多个（例如，8，16，32个等）的存储单元，第二存储单元组，在2个选择晶体管之间连接2个存储单元。

在控制栅线（字线）的选择时，在第一存储单元组的区域和第二存储单元组的区域中，可以分别设置驱动电路，如果可以共用，也可以将两区域的驱动电路归为一个。

通过采用这种构成，就可以对存储单元阵列的一部分，进行字节单位的数据改写（data change operation for byte data）。

进而，代替图64的NAND型快闪EEPROM的存储单元，也可以采用AND型快闪EEPROM、DINOR型快闪等EEPROM的存储单元阵列。

如上所述，如果采用本发明的字节型EEPROM，（1）因为存储单元组由被二个选择晶体管夹着的一个叠层型存储单元构成，所以在可以用和快闪EEPROM相同的工序形成的同时，可以采用和快闪EEPROM相同的改写方法（data change method），进而，还可以进行字节单位的数据改写动作（data change operation for byte data）。

另外，（2）如果在编程时在非选择（unselected）存储单元的控制栅上不加Vpass而加VCC或者Vread，进而，由被夹在二个选择晶体管中的多个（例如，二个）叠层型存储单元构成存储单元组，则除了

上述效果之外，还可以谋求每个存储单元的尺寸缩小。

进而，在表 7 中展示通常的 NAND 型快闪 EEPROM 和本发明的字节型 EEPROM 比较的结果。

表 7

	以往	本发明	
单元组构成	NAND 型	3 晶体管型	4 晶体管型
一次写入 (不需要检验)	×	O	×
页(字节)单位的改写	×	O	O
读出电流	×	O	△
读保持 (数据保持特性)	×	O	×
数据改写次数 (耐久特性)	O	O*1	O*1
写入时的干扰 (误写入)	×*2	O	O*3
单元尺寸	O (1)	×*4 (3.5)	△ (2.2)

O: 可以或好

△: 一般

×: 不可以或差

*1: 辅助控制栅驱动器使用的情况下

*2: 在选择部件内的非选择字线上为 Vprog

*3: 在选择部件内的非选择字线上为 VCC 或 Vread

*4: 如果与以往的字节型 EEPROM 比，O

进而，如果采用本发明的字节型 EEPROM，（3）因为由被配置成矩阵形的多个区构成存储单元阵列，可以以区单位进行 读、消除、编程等的动作，所以即使在字节单位的数据改写动作（data change

operation for byte data）中，也不会使实际的数据改写特性（program/erase endurance characteristics）变差。

图1

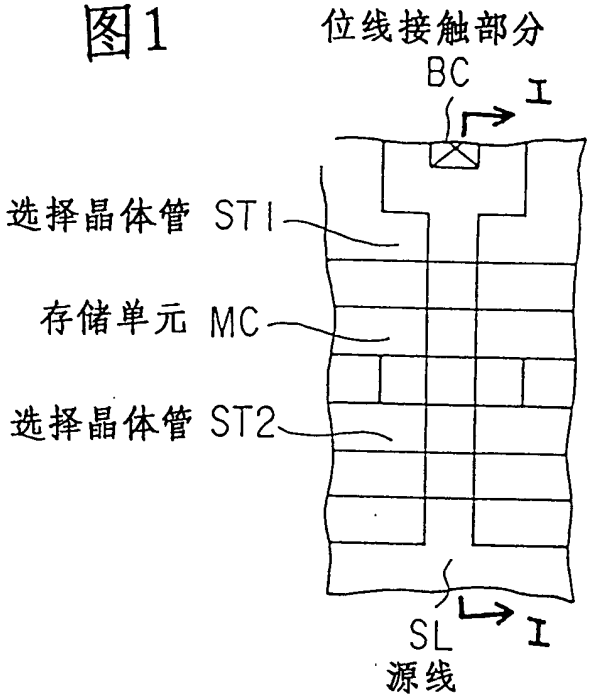

位线接触部分
BC
I
选择晶体管 ST1
存储单元 MC
选择晶体管 ST2
SL
源线
I

图1A

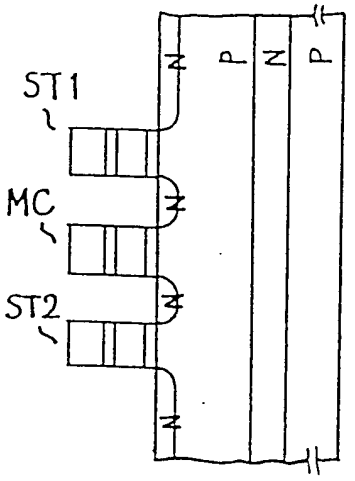
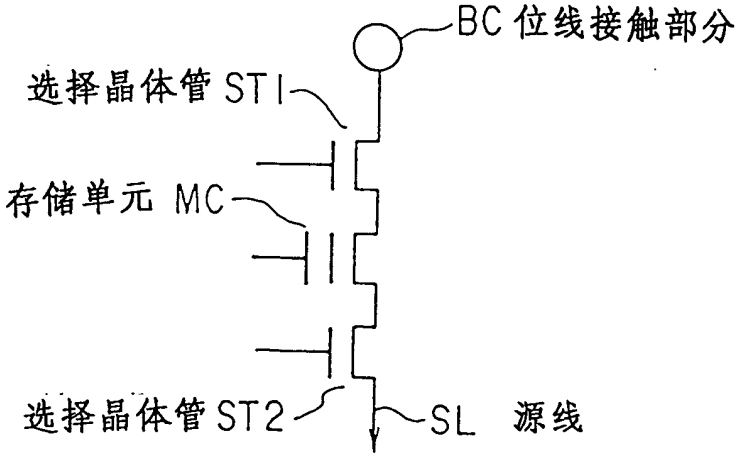

ST1
MC
ST2
N
P
N
P

图1B

图2


BC 位线接触部分
选择晶体管 ST1
存储单元 MC
选择晶体管 ST2
SL 源线

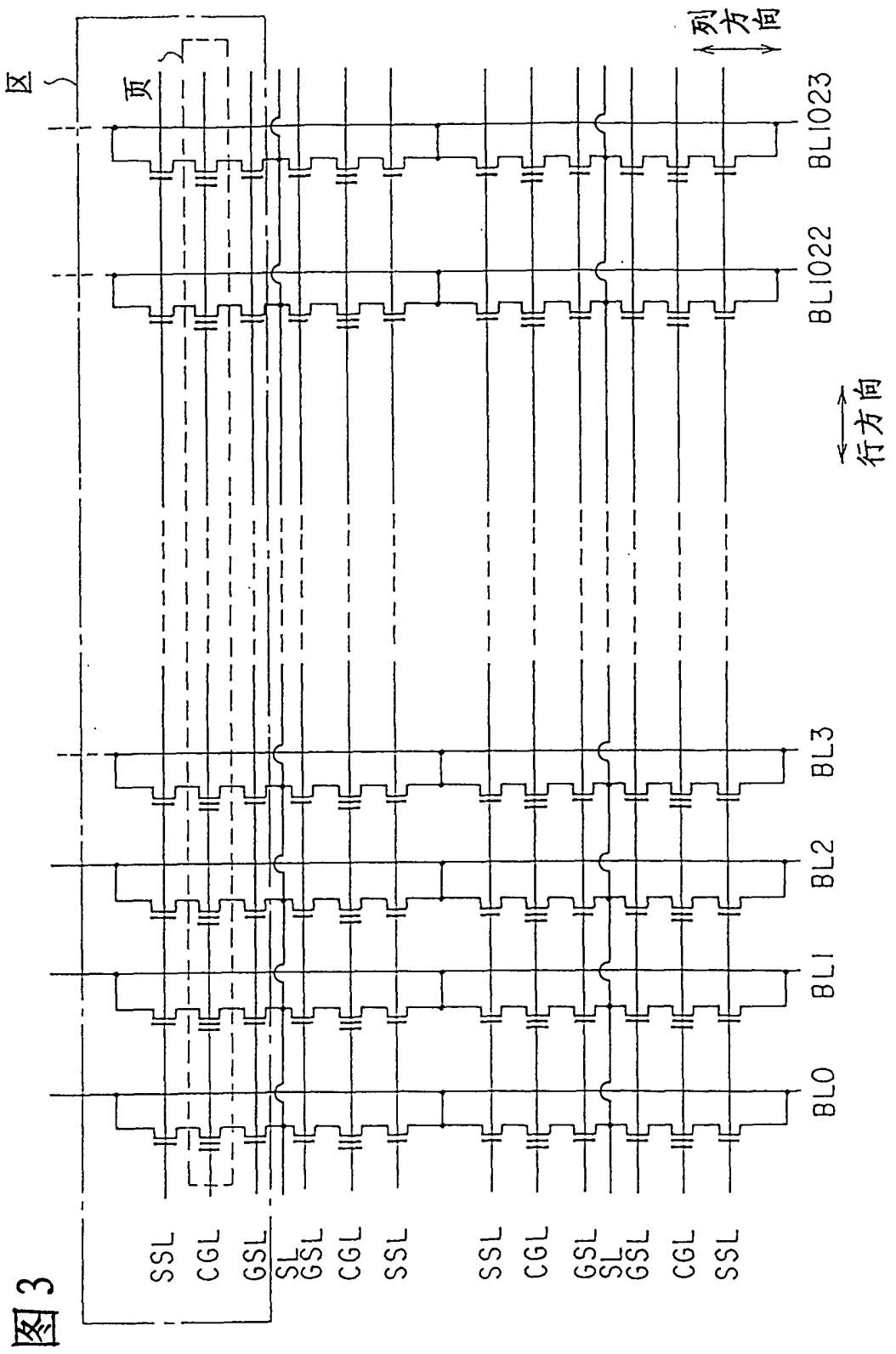
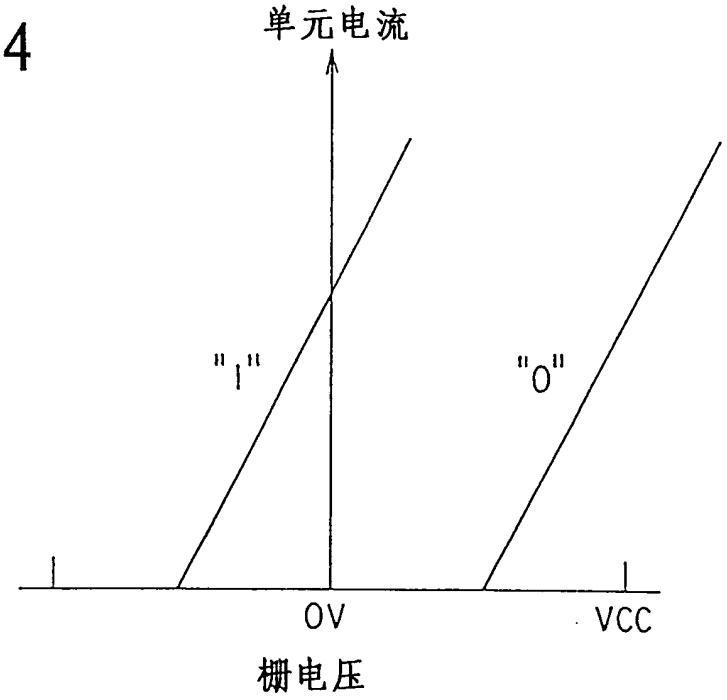

区
页
列方向
行方向
BL1023
BL1022
BL3
BL2
BL1
BL0
SSL
CGL
GSL
SL
GSL
CGL
SSL
SSL
CGL
GSL
SL
GSL
CGL
SSL

图3

图 4



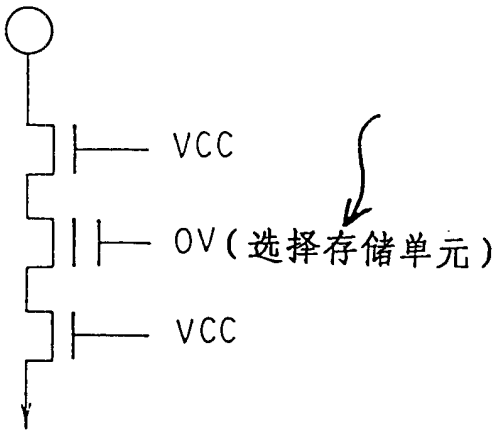


图5A

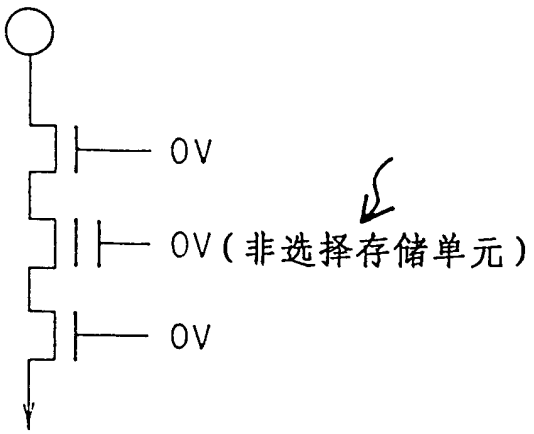


图5B

图6

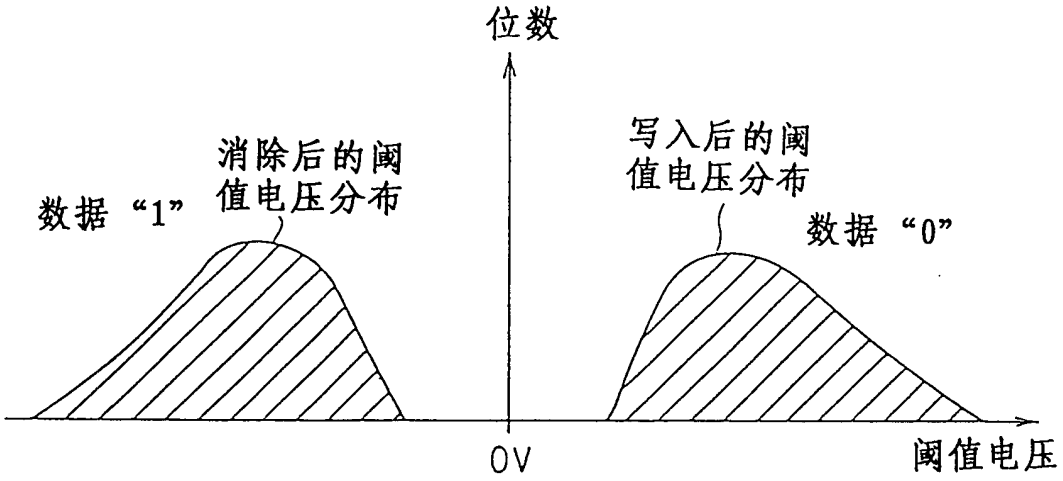

位数
消除后的阈值电压分布
数据 “1”
写入后的阈值电压分布
数据 “0”
0V
阈值电压

图7

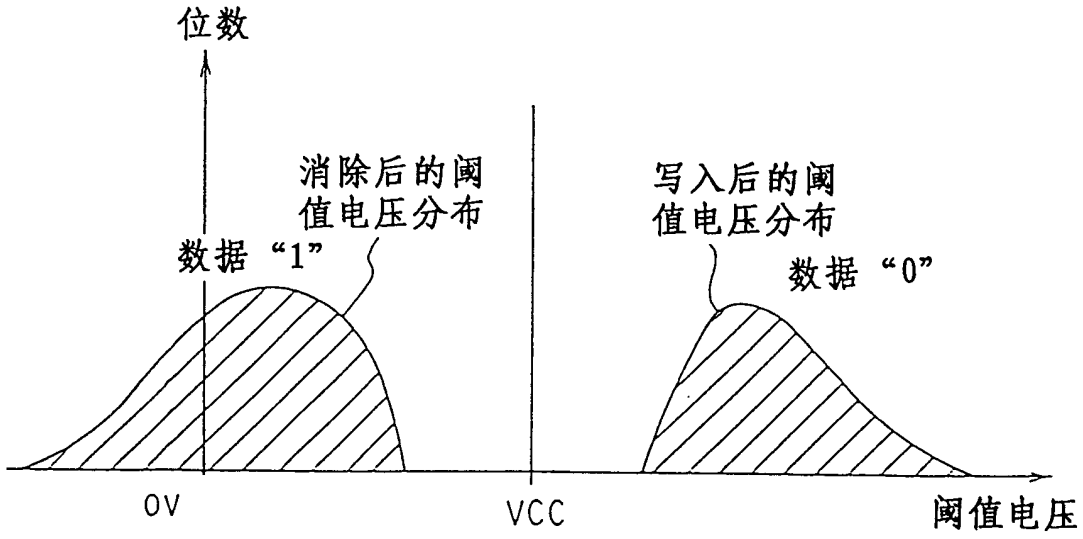
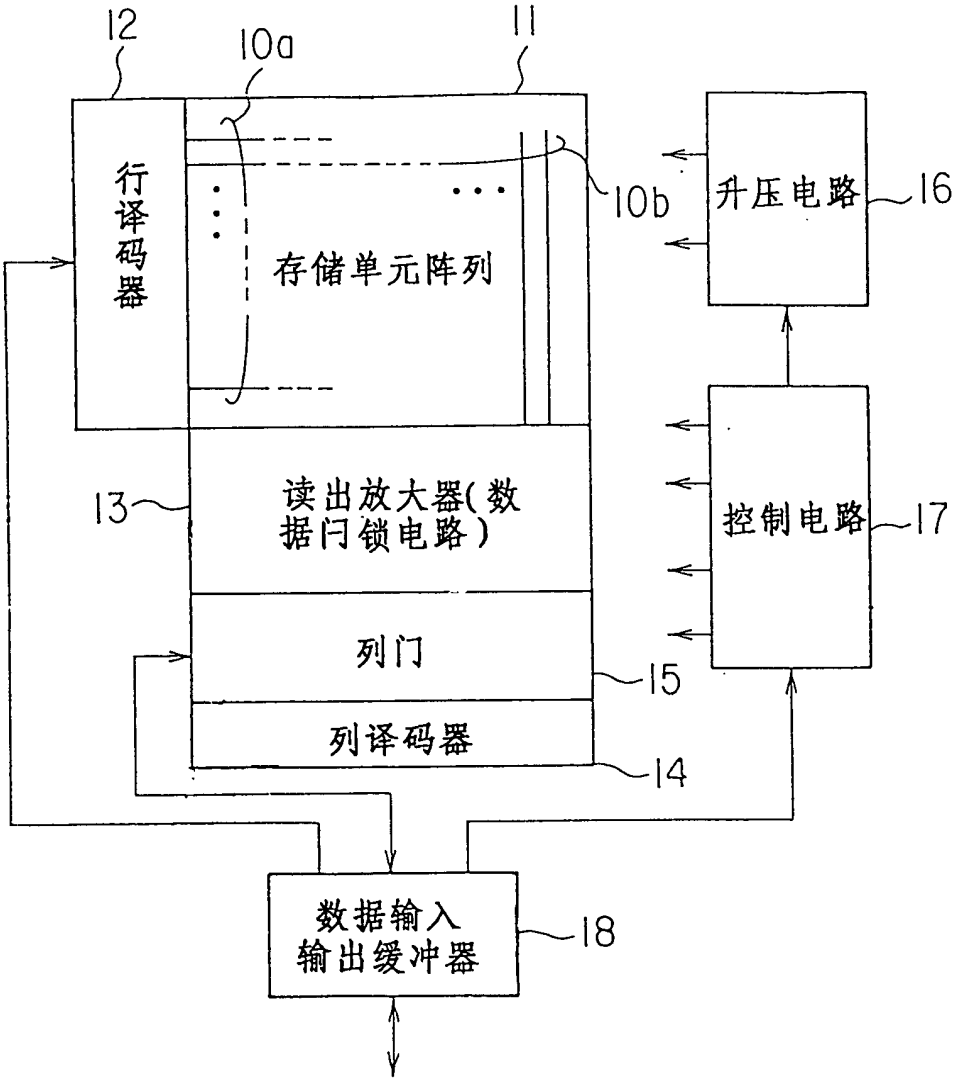

位数
消除后的阈值电压分布
数据 “1”
写入后的阈值电压分布
数据 “0”
0V
VCC
阈值电压

图8


12
10a
11
行译码器
存储单元阵列
10b
升压电路
16
13
读出放大器(数据闩锁电路)
控制电路
17
列门
15
列译码器
14
数据输入输出缓冲器
18

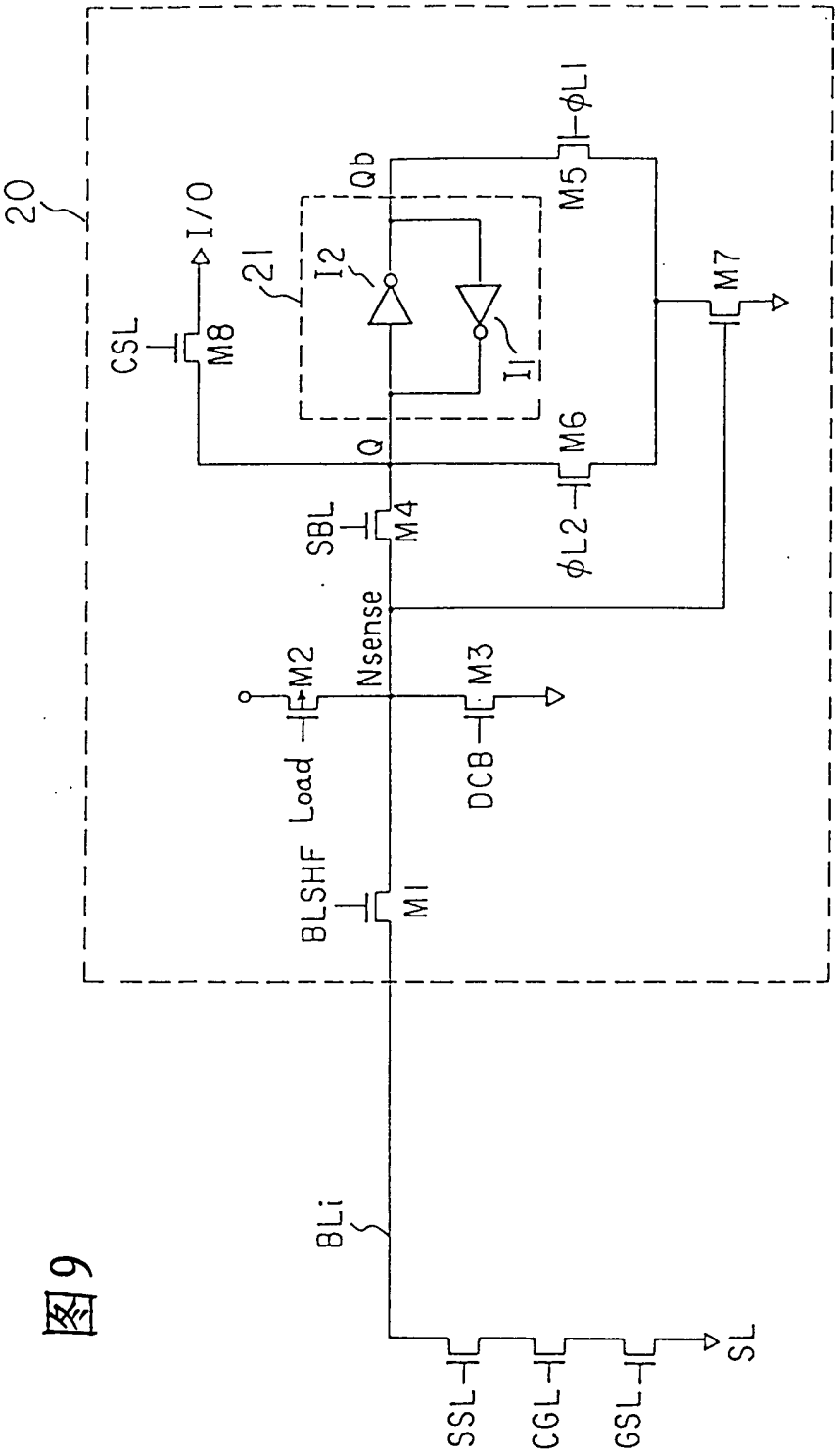
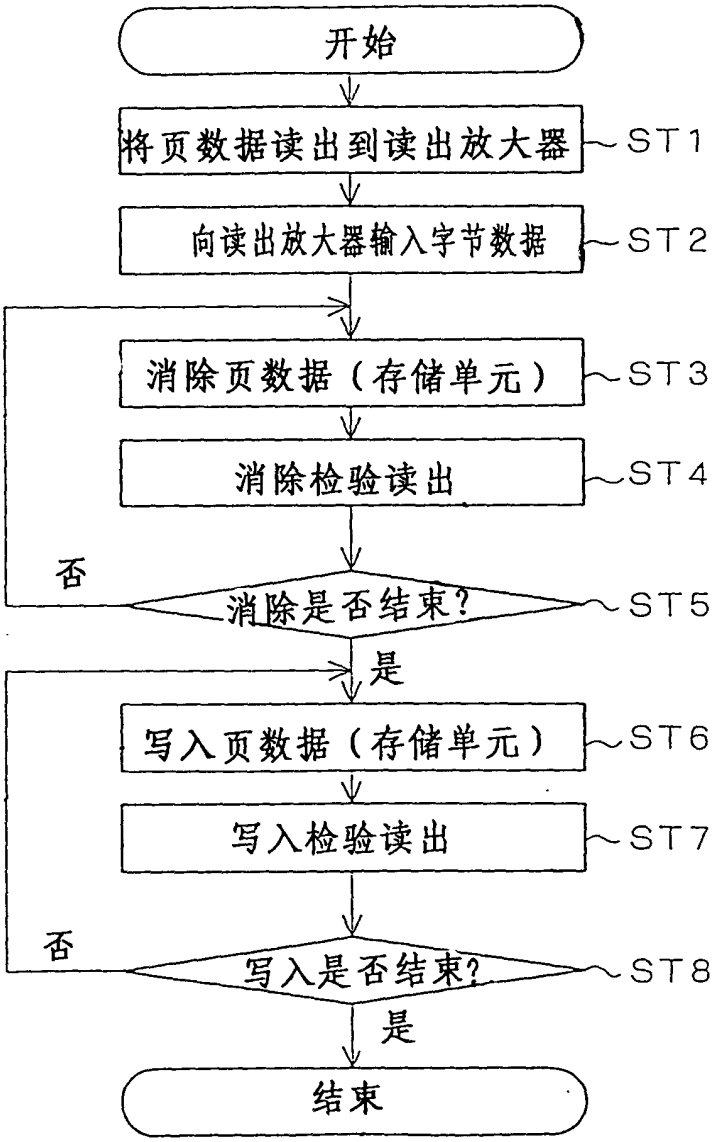

20
I/O
21
Qb
I2
I1
CSL
M8
M5
φL1
M7
Q
M6
φL2
SBL
M4
Nsense
M2
M3
Load
DCB
BLSHF
M1
BLi
SSL
CGL
GSL
SL

图9

图10

字节数据的编程和消除操作



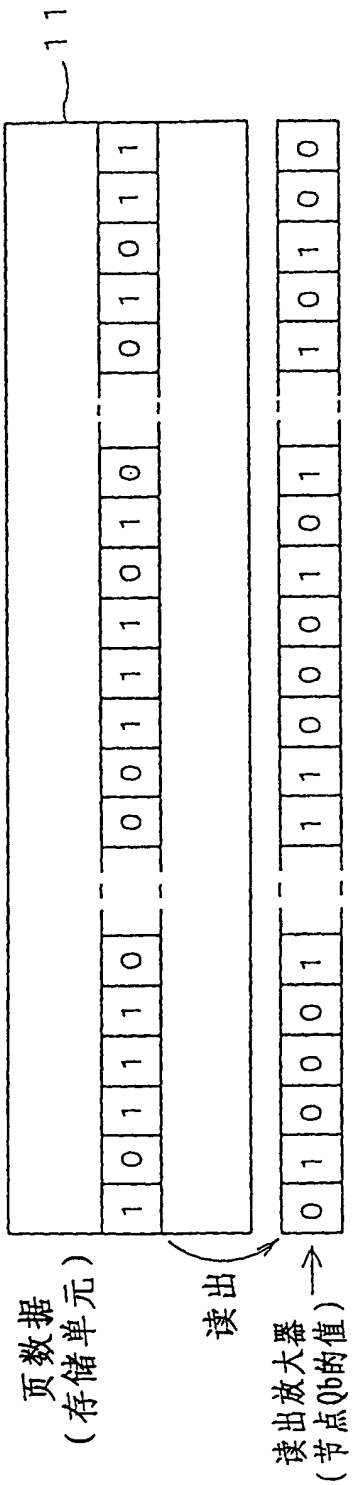


图11

图12

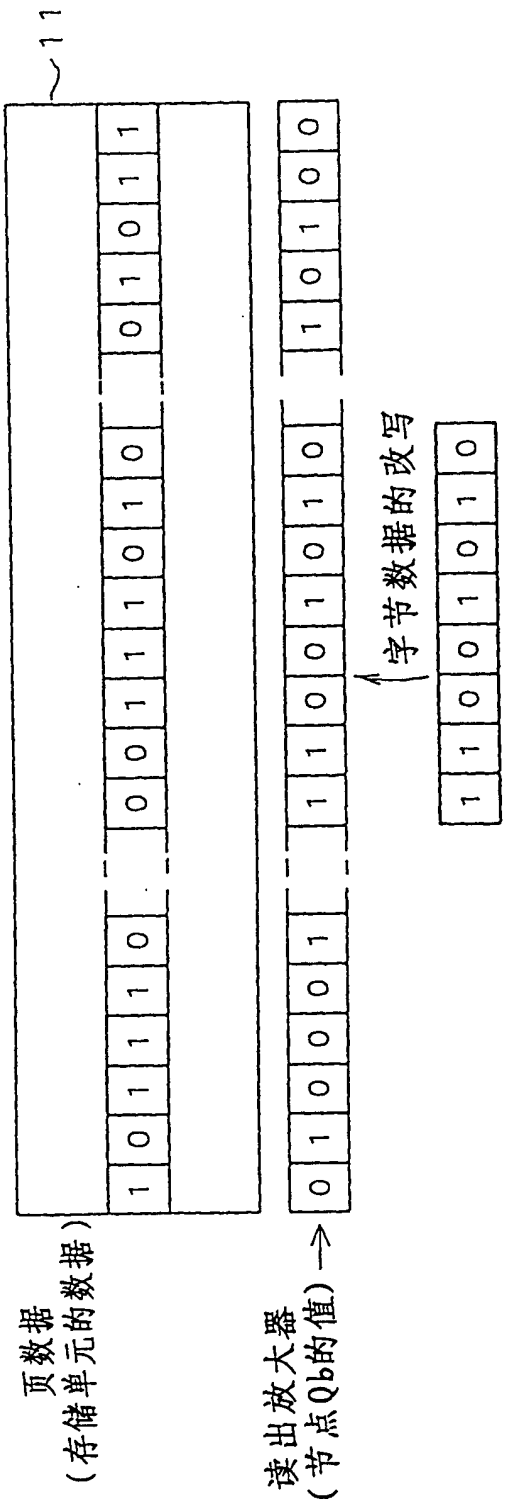


图13

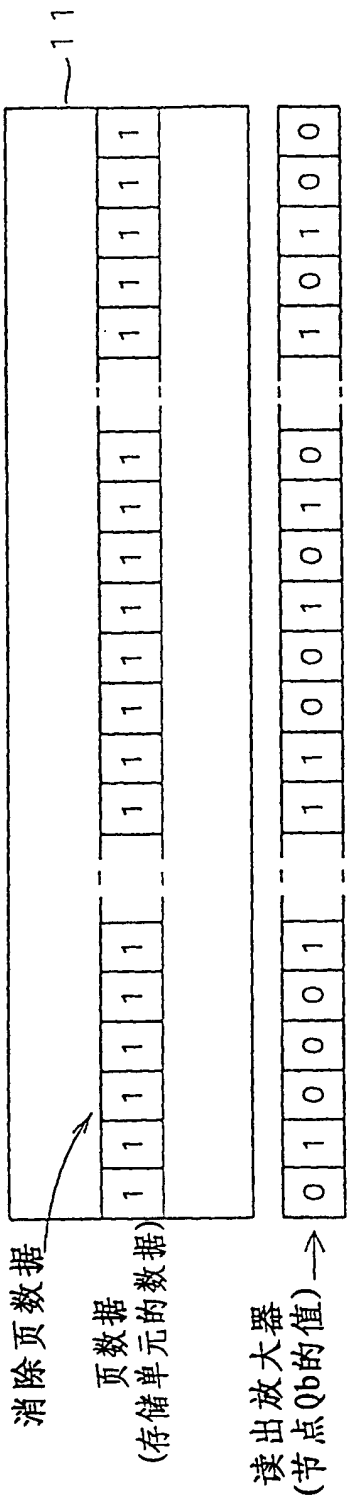


图14

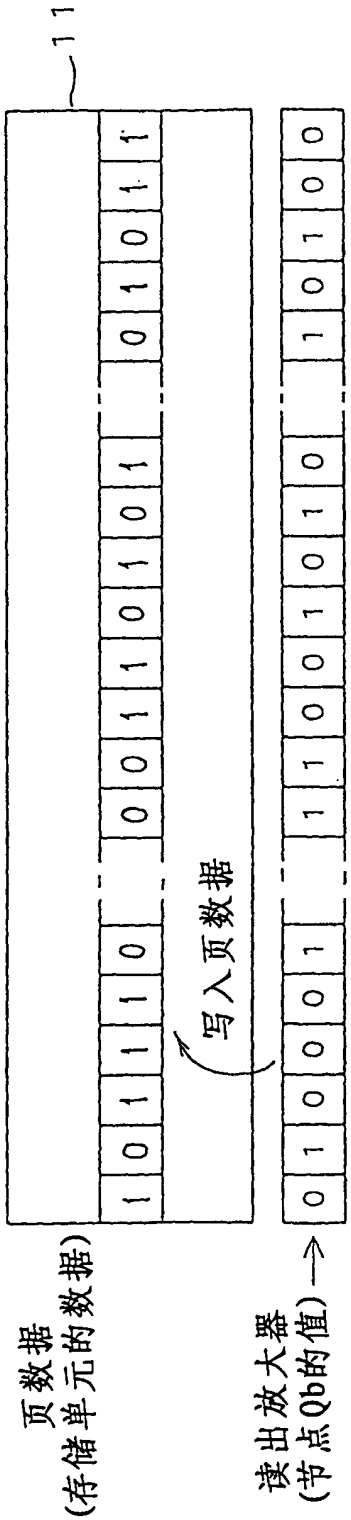


图15

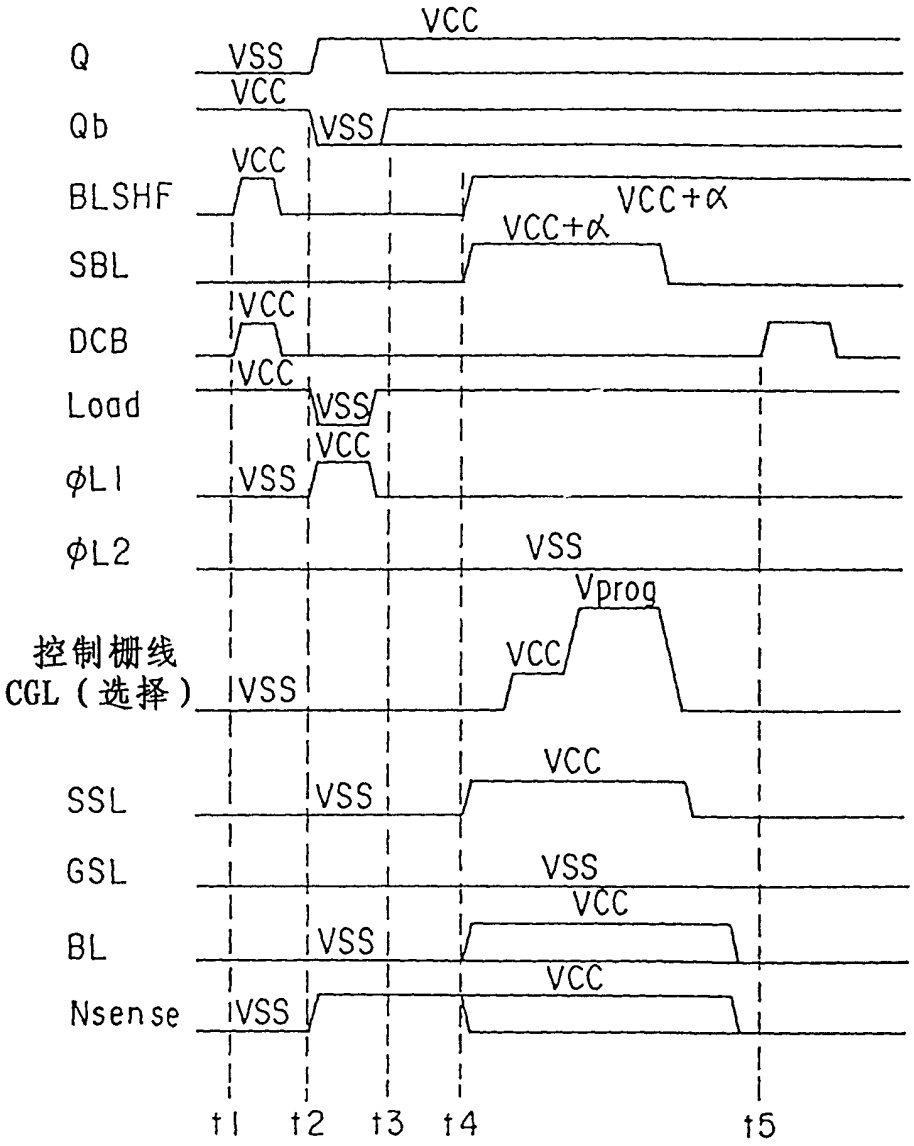

Q
VSS
VCC
Qb
VCC
VSS
BLSHF
VCC
VCC+α
SBL
VCC+α
DCB
VCC
Load
VCC
VSS
φL1
VCC
VSS
φL2
VSS
控制栅线
CGL（选择）
Vprog
VCC
VSS
SSL
VCC
VSS
GSL
VSS
BL
VCC
VSS
Nsense
VCC
VSS
t1
t2
t3
t4
t5

图16

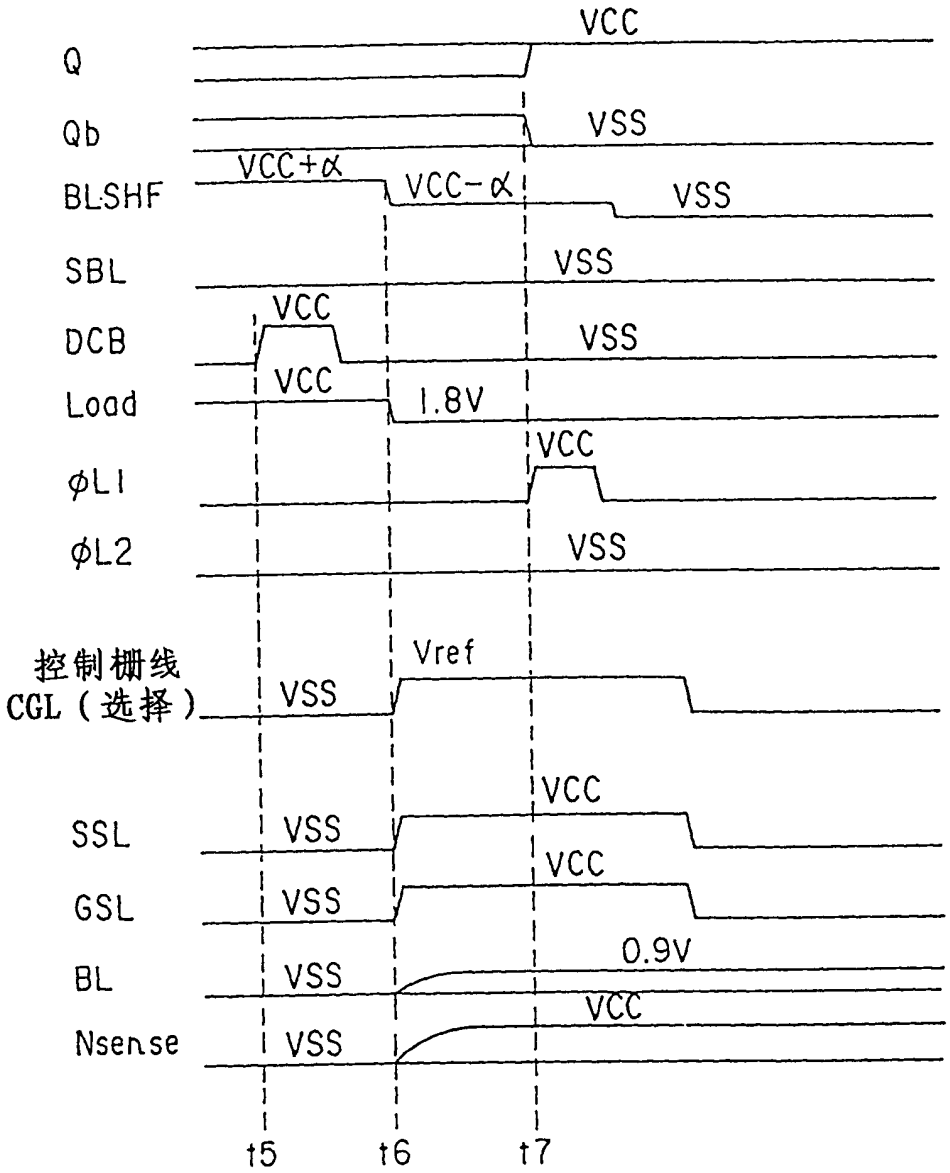
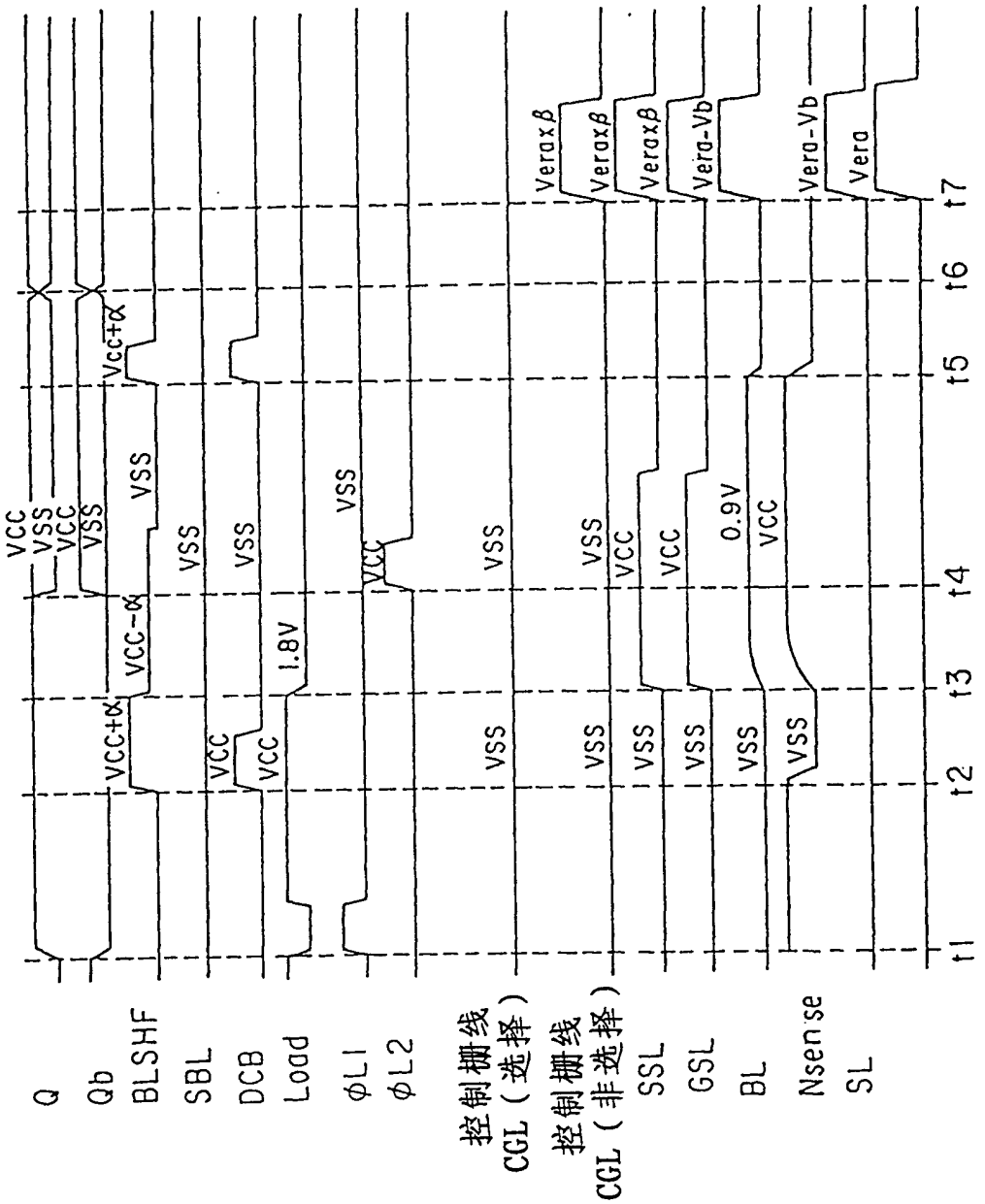

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制栅线
CGL（选择）
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC-α
1.8V
Vref
0.9V
t5
t6
t7

图17


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制栅线 CGL（选择）
控制栅线 CGL（非选择）
SSL
GSL
BL
Nsense
SL
VCC
VSS
Vcc+α
VCC-α
1.8V
Verαxβ
Vera-Vb
Vera
0.9V
t1
t2
t3
t4
t5
t6
t7

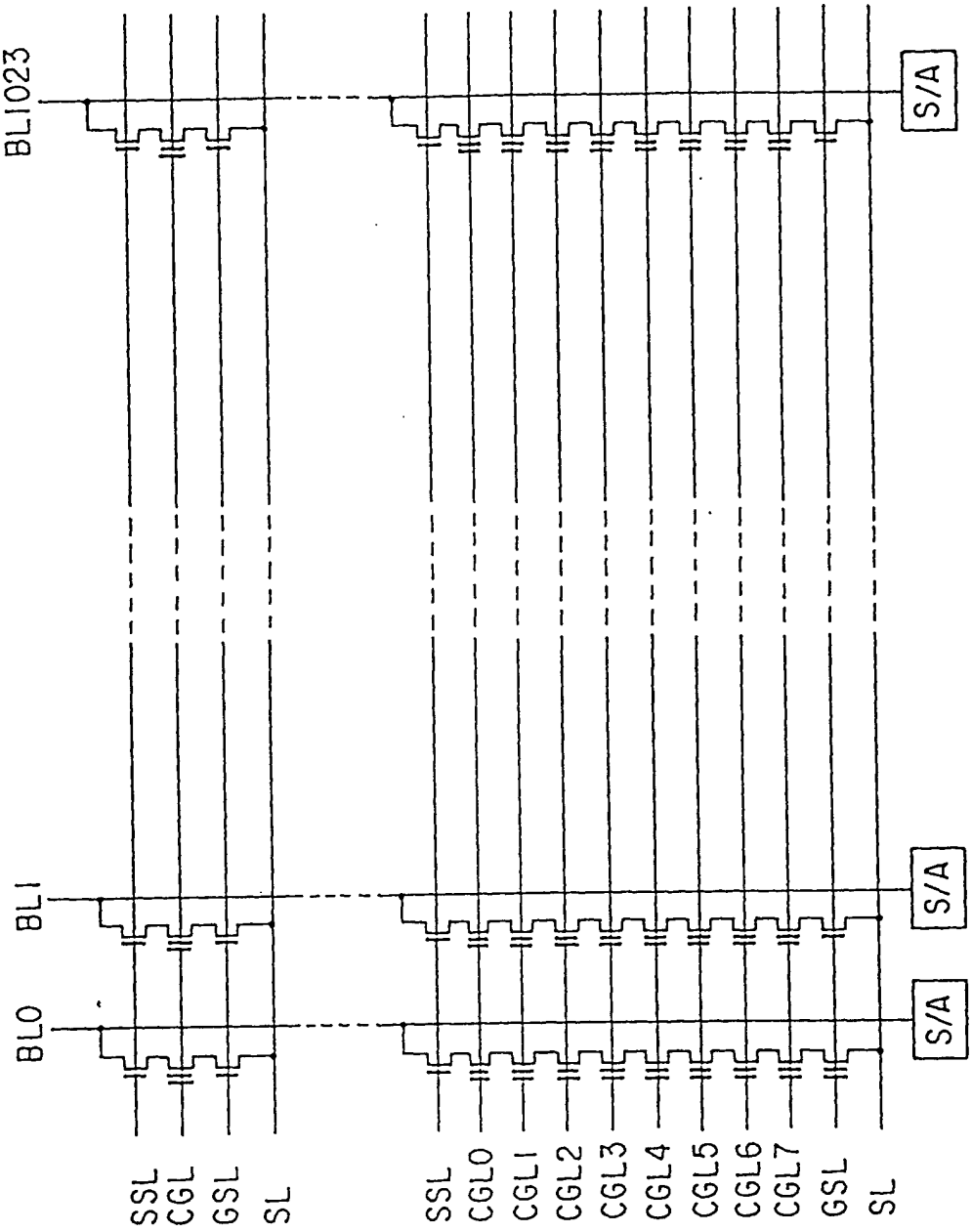

BL1023
BL1
BL0
S/A
S/A
S/A
SSL
CGL
GSL
SL
SSL
CGL0
CGL1
CGL2
CGL3
CGL4
CGL5
CGL6
CGL7
GSL
SL

图18

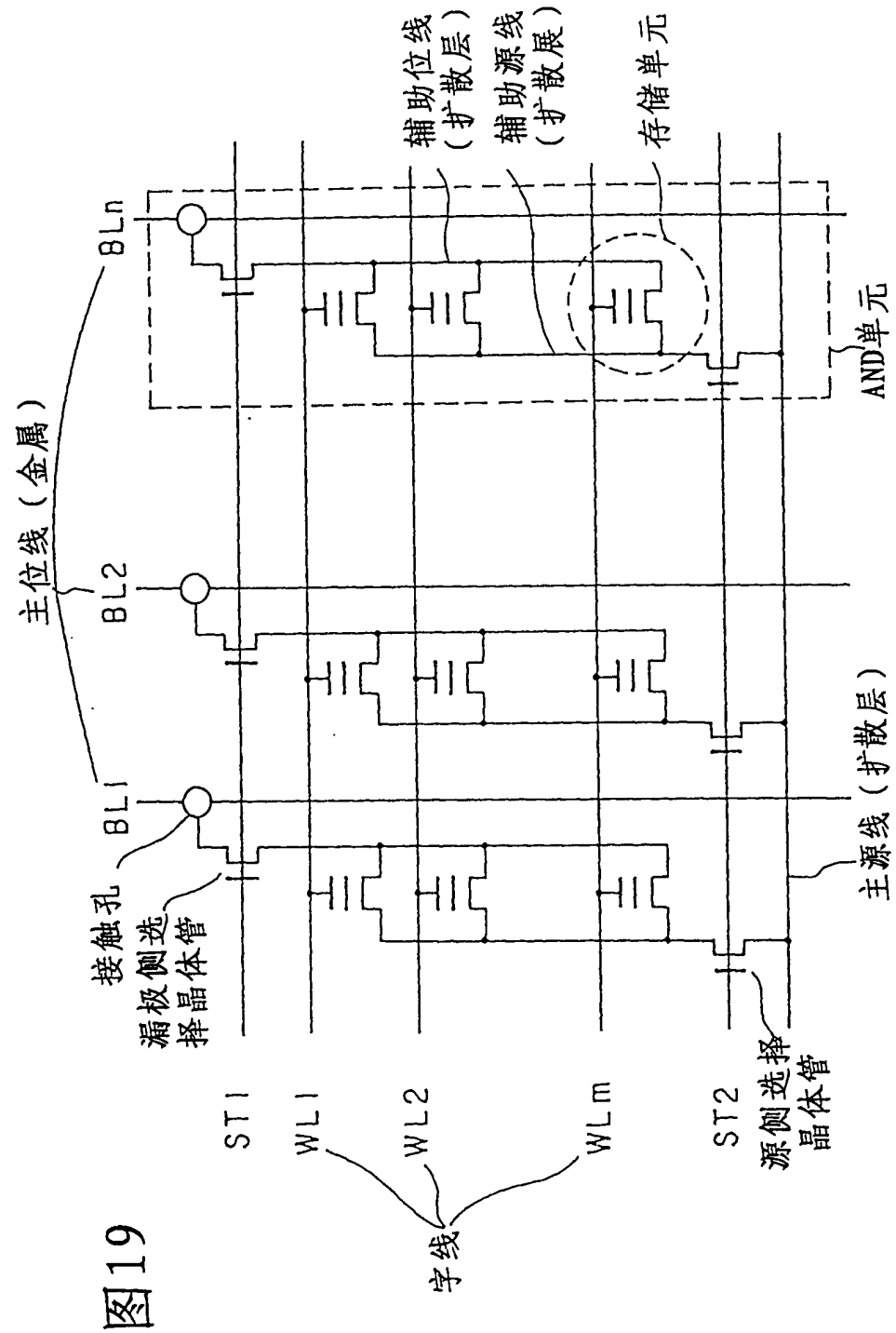

主位线（金属）
BLn
BL2
BL1
接触孔
漏极侧选择晶体管
辅助位线（扩散层）
辅助源线（扩散展）
存储单元
AND单元
主源线（扩散层）
ST1
WL1
WL2
WLm
字线
ST2
源侧选择晶体管

图19

图20

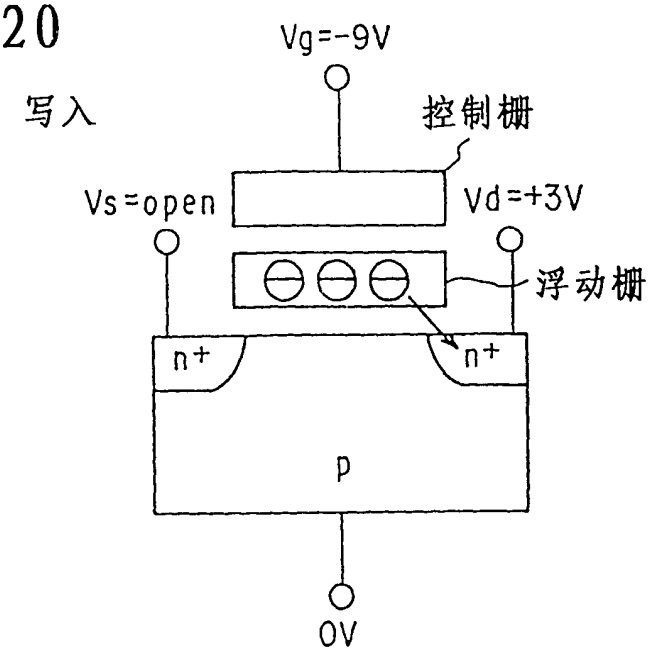
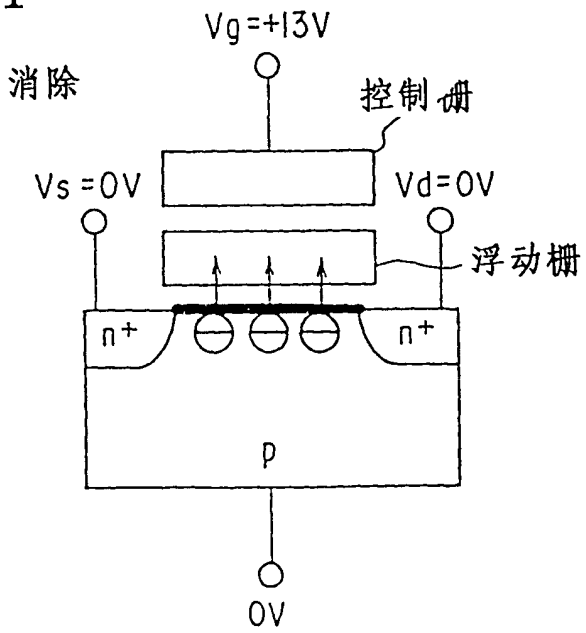

Vg=-9V
写入
控制栅
Vs=open
Vd=+3V
浮动栅
n+
n+
p
0V

图21


Vg=+13V
消除
控制栅
Vs=0V
Vd=0V
浮动栅
n+
n+
p
0V

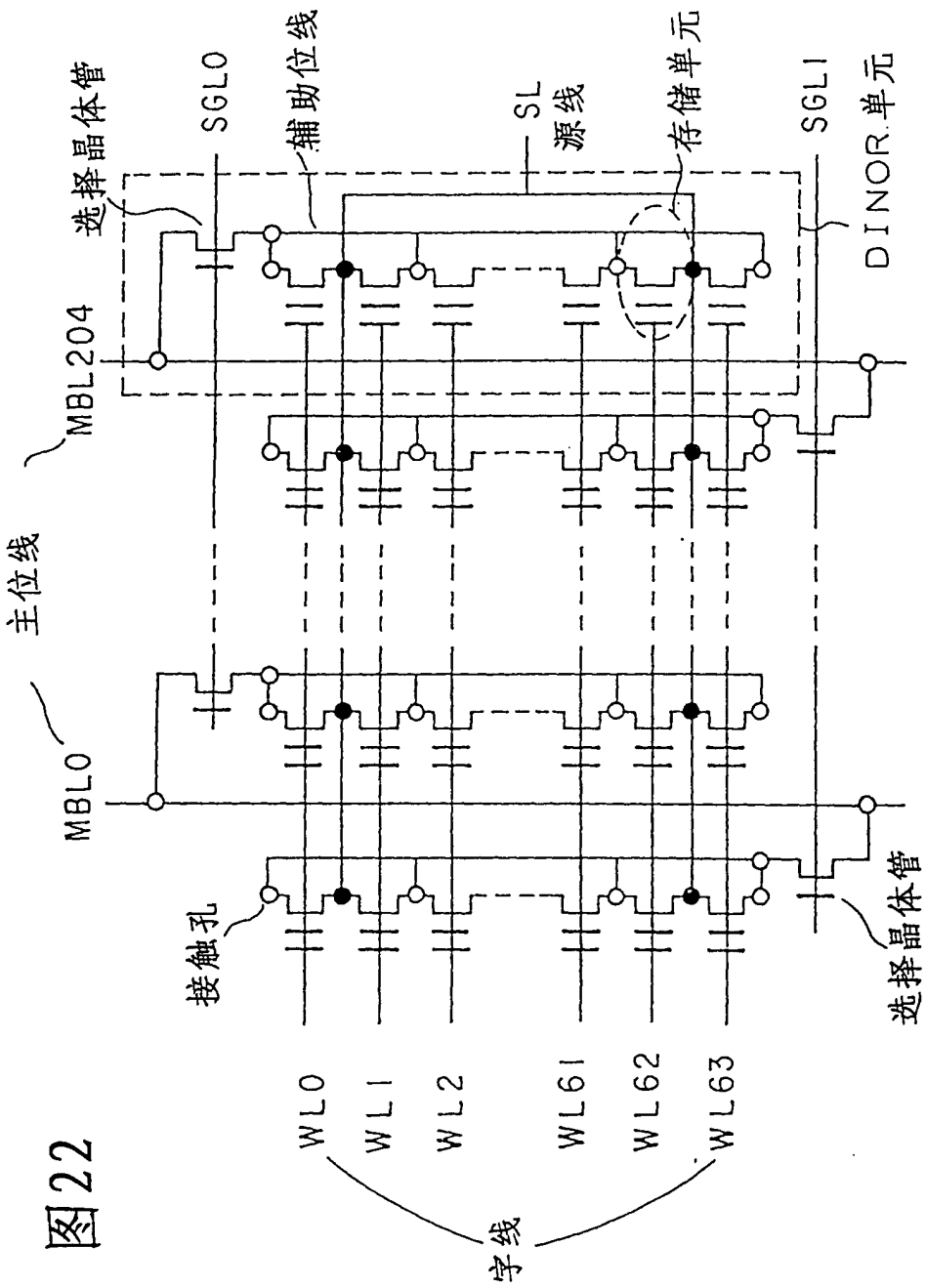

主位线
MBL0
MBL204
选择晶体管
SGL0
辅助位线
SL
源线
存储单元
SGL1
DINOR单元
接触孔
选择晶体管
WL0
WL1
WL2
WL61
WL62
WL63
字线

图22

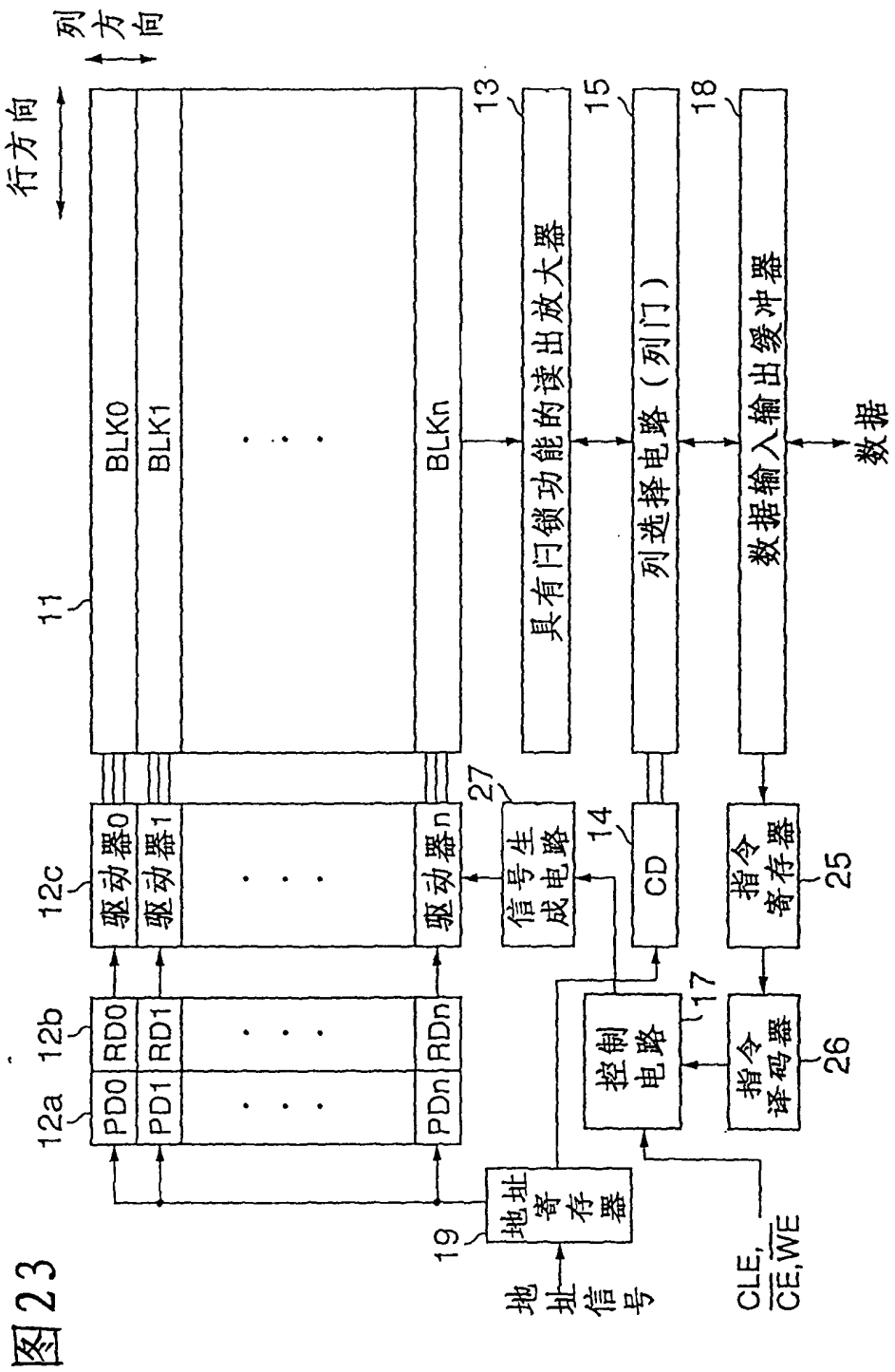

列方向
行方向
11
BLK0
BLK1
BLKn
13
具有闩锁功能的读出放大器
15
列选择电路（列门）
18
数据输入输出缓冲器
数据
12c
驱动器0
驱动器1
驱动器n
27
信号生成电路
14
CD
指令寄存器
25
12b
RD0
RD1
RDn
17
控制电路
指令译码器
26
12a
PD0
PD1
PDn
19
地址寄存器
地址信号
CLE,
CE,WE

图23

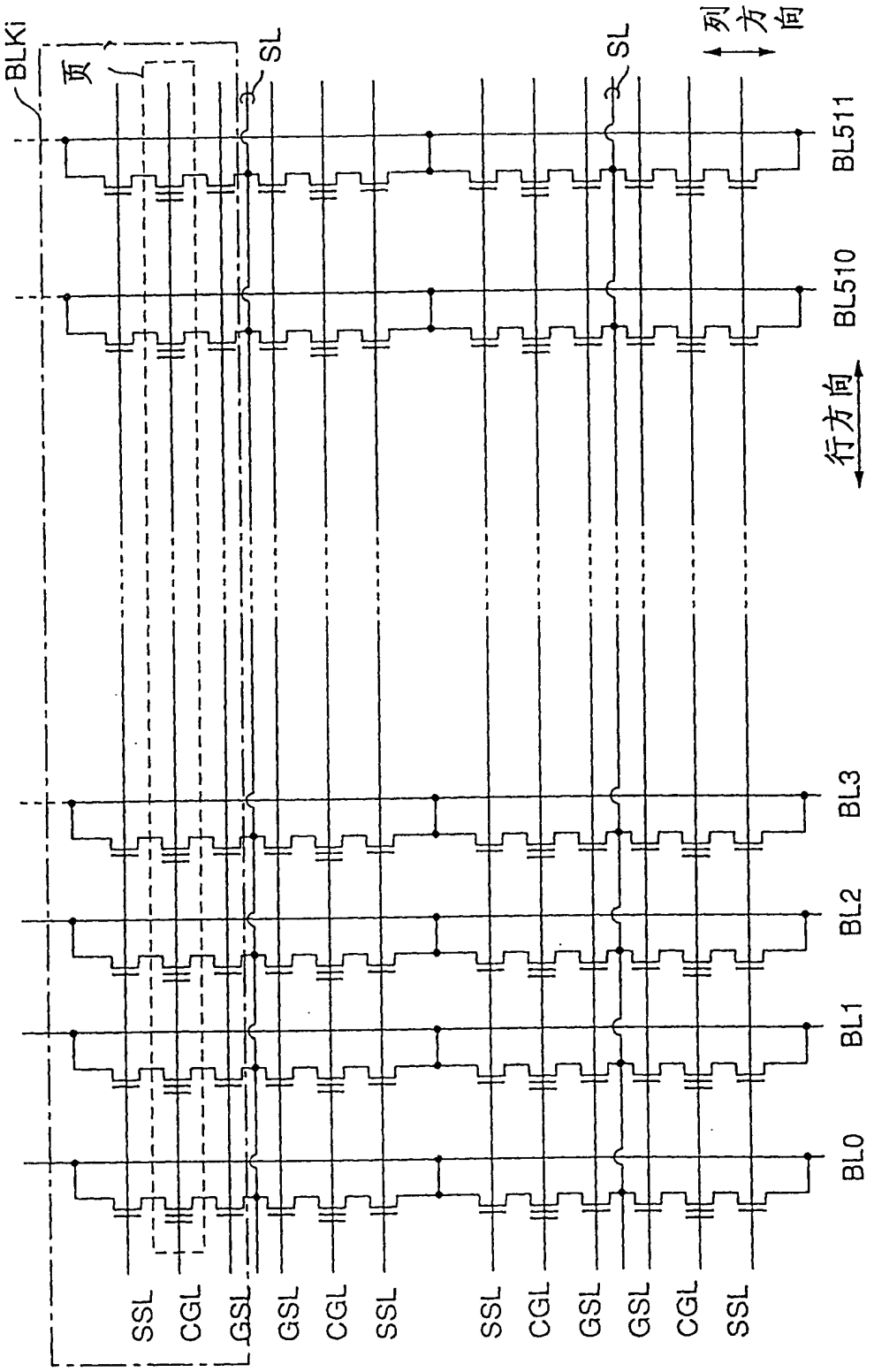

BLKi
页
SL
SL
列方向
BL511
BL510
行方向
BL3
BL2
BL1
BL0
SSL
CGL
GSL
GSL
CGL
SSL
SSL
CGL
GSL
GSL
CGL
SSL

图24

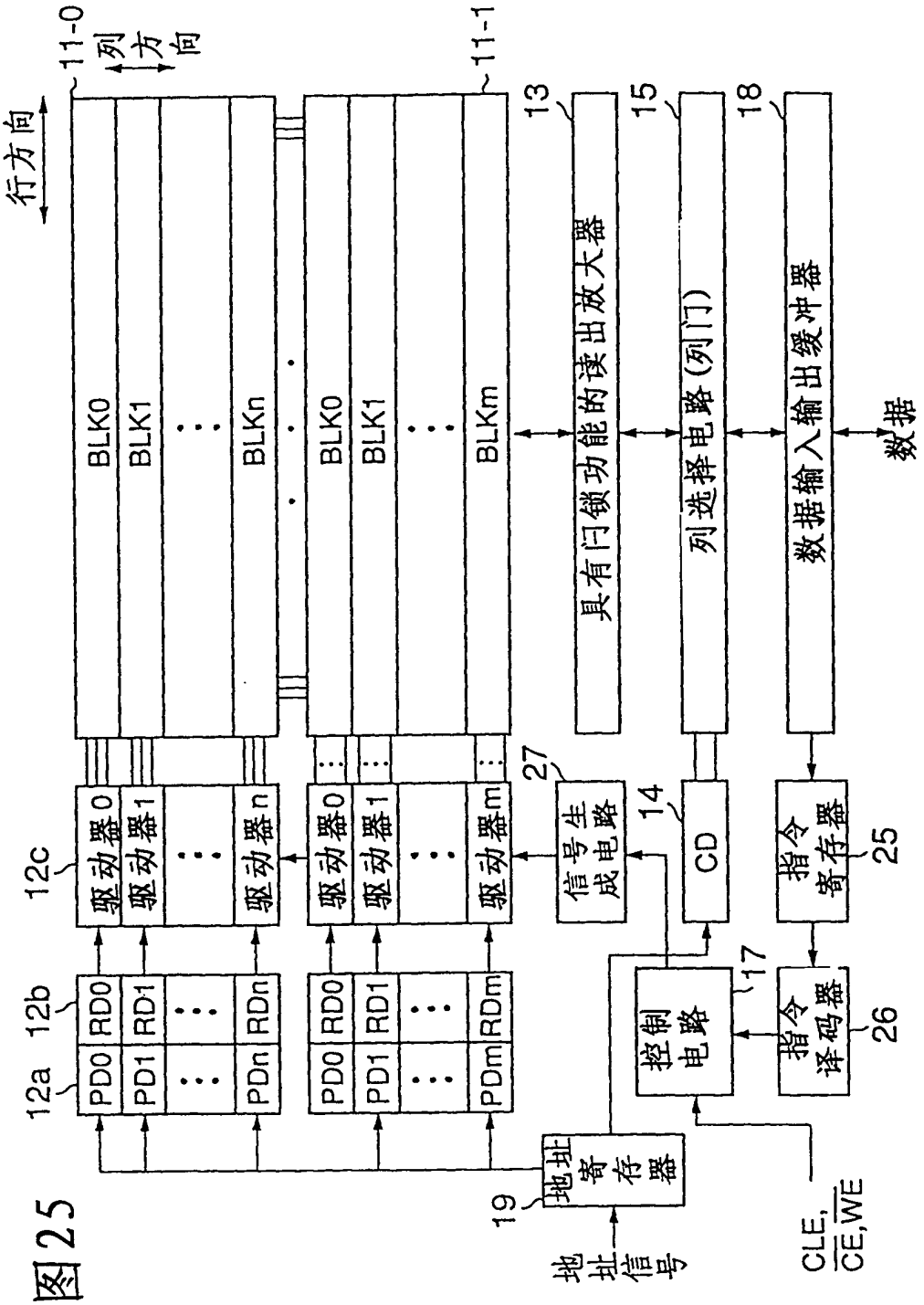

行方向
列方向
11-0
11-1
BLK0
BLK1
BLKn
BLK0
BLK1
BLKm
12a
12b
12c
PD0
PD1
PDn
PDm
RD0
RD1
RDn
RDm
驱动器0
驱动器1
驱动器n
驱动器m
13
具有闩锁功能的读出放大器
15
列选择电路(列门)
18
数据输入输出缓冲器
数据
27
信号生成电路
14
CD
指令寄存器
25
控制电路
17
指令译码器
26
19
地址寄存器
地址信号
CLE,
CE,WE

图25

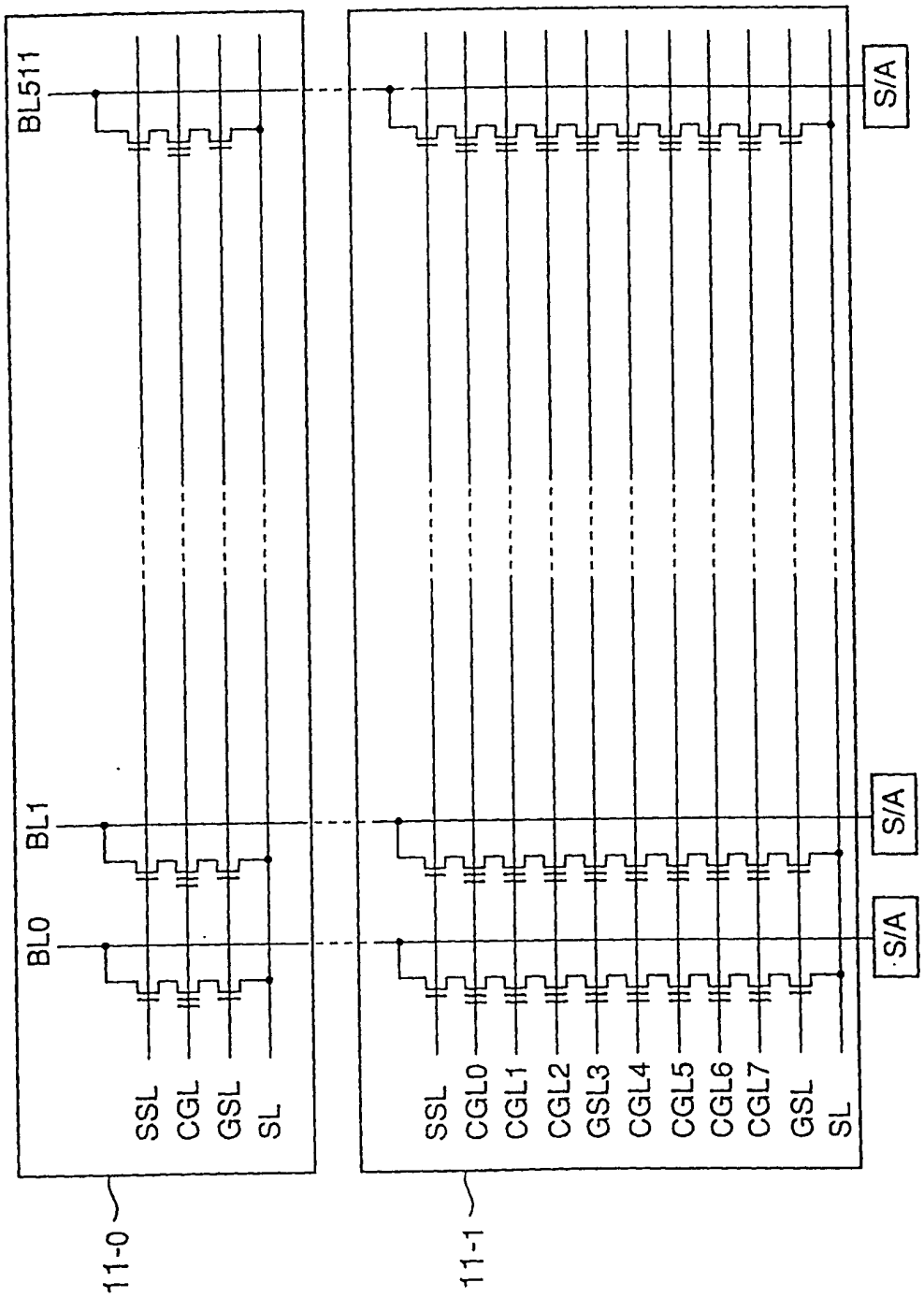
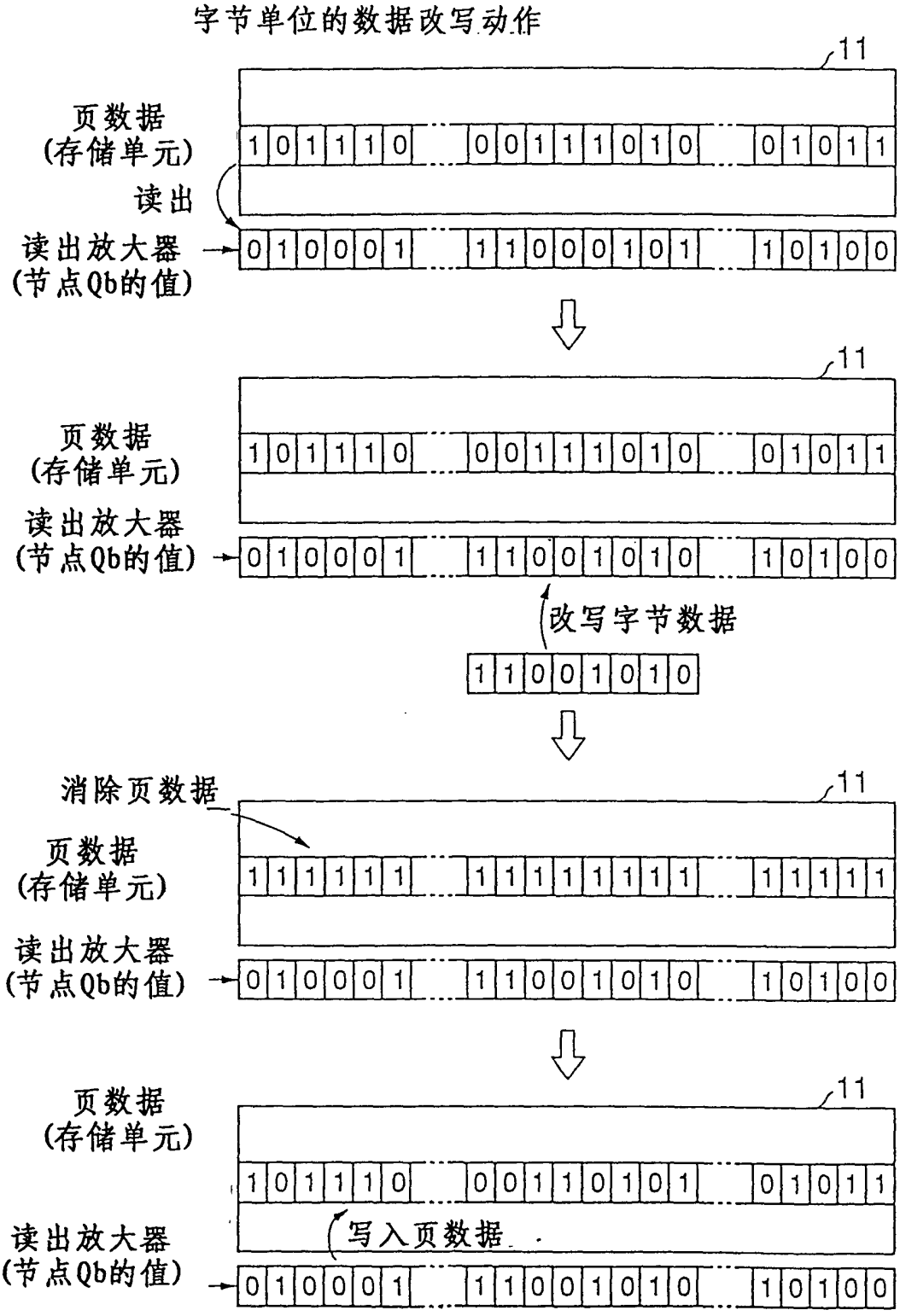

BL511
BL1
BL0
S/A
S/A
S/A
SSL
CGL
GSL
SL
SSL
CGL0
CGL1
CGL2
GSL3
CGL4
CGL5
CGL6
CGL7
GSL
SL
11-0
11-1

图26

图27


字节单位的数据改写动作
11
页数据
(存储单元)
读出
读出放大器
(节点Qb的值)
1 0 1 1 1 0 0 0 1 1 1 0 1 0 0 1 0 1 1
0 1 0 0 0 1 1 1 0 0 0 1 0 1 1 0 1 0 0
改写字节数据
1 1 0 0 1 0 1 0
消除页数据
写入页数据
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

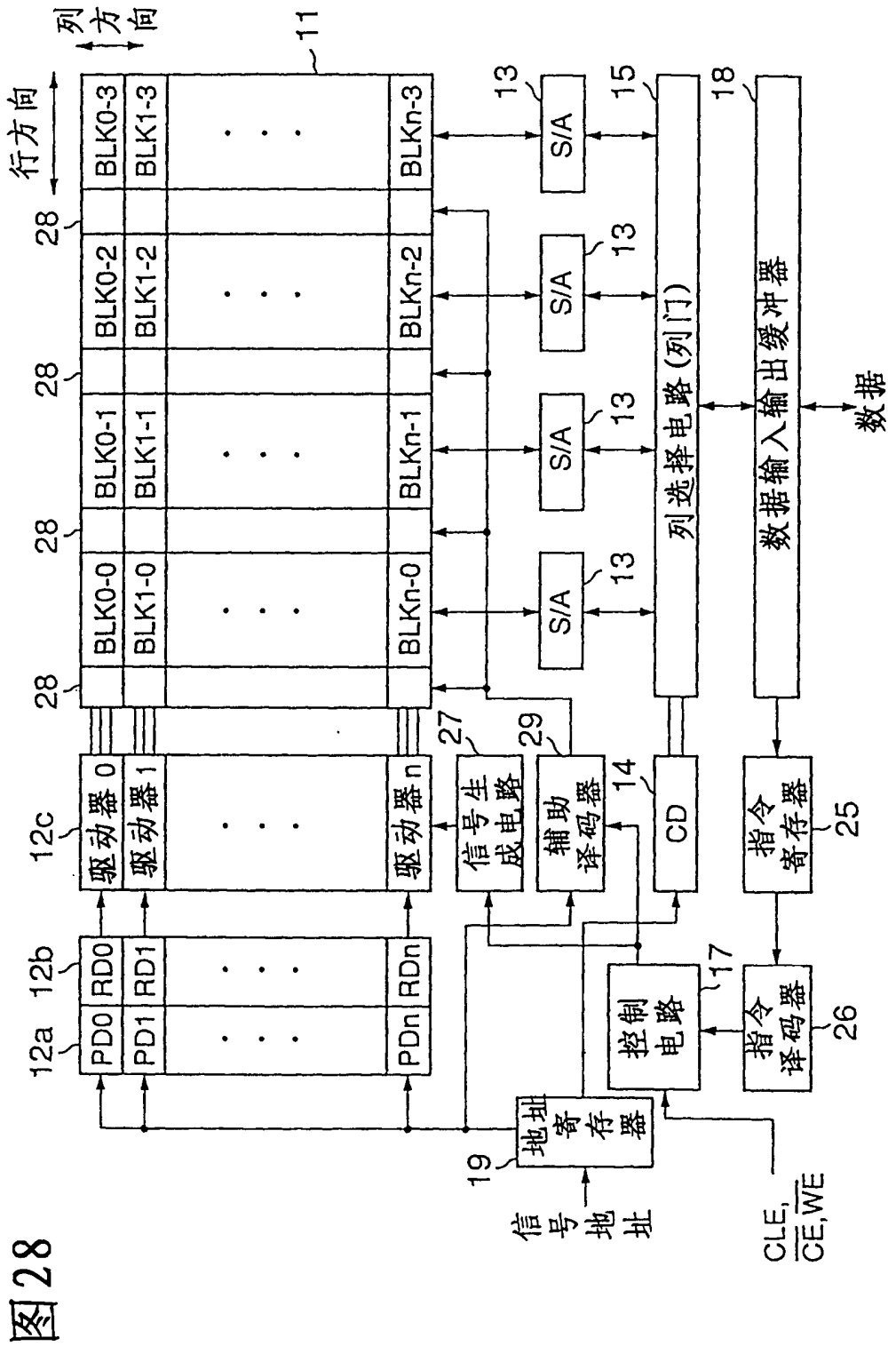
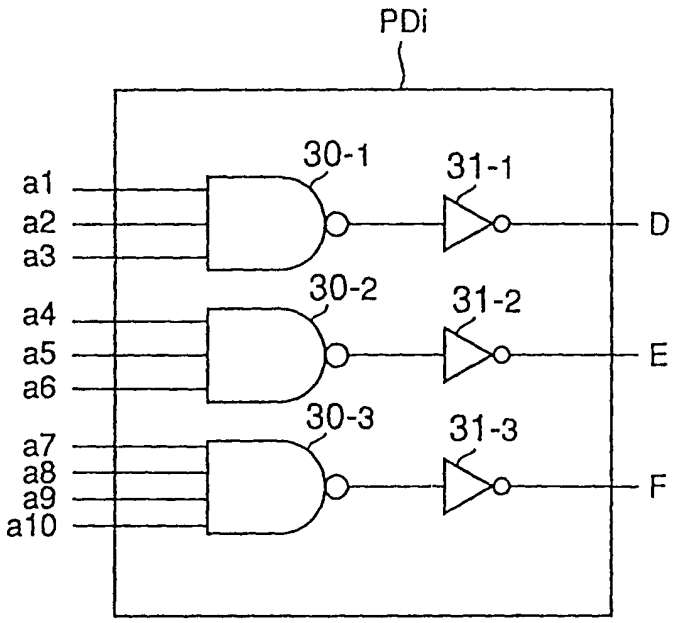

列方向
行方向
11
BLK0-3
BLK1-3
BLKn-3
BLK0-2
BLK1-2
BLKn-2
BLK0-1
BLK1-1
BLKn-1
BLK0-0
BLK1-0
BLKn-0
28
13
S/A
15
列选择电路(列门)
18
数据输入输出缓冲器
数据
12c
驱动器0
驱动器1
驱动器n
27
信号生成电路
29
辅助译码器
14
CD
指令寄存器
25
12a
12b
PD0
PD1
PDn
RD0
RD1
RDn
控制电路
17
指令译码器
26
19
地址寄存器
信号地址
CLE,
CE,WE

图28

图29



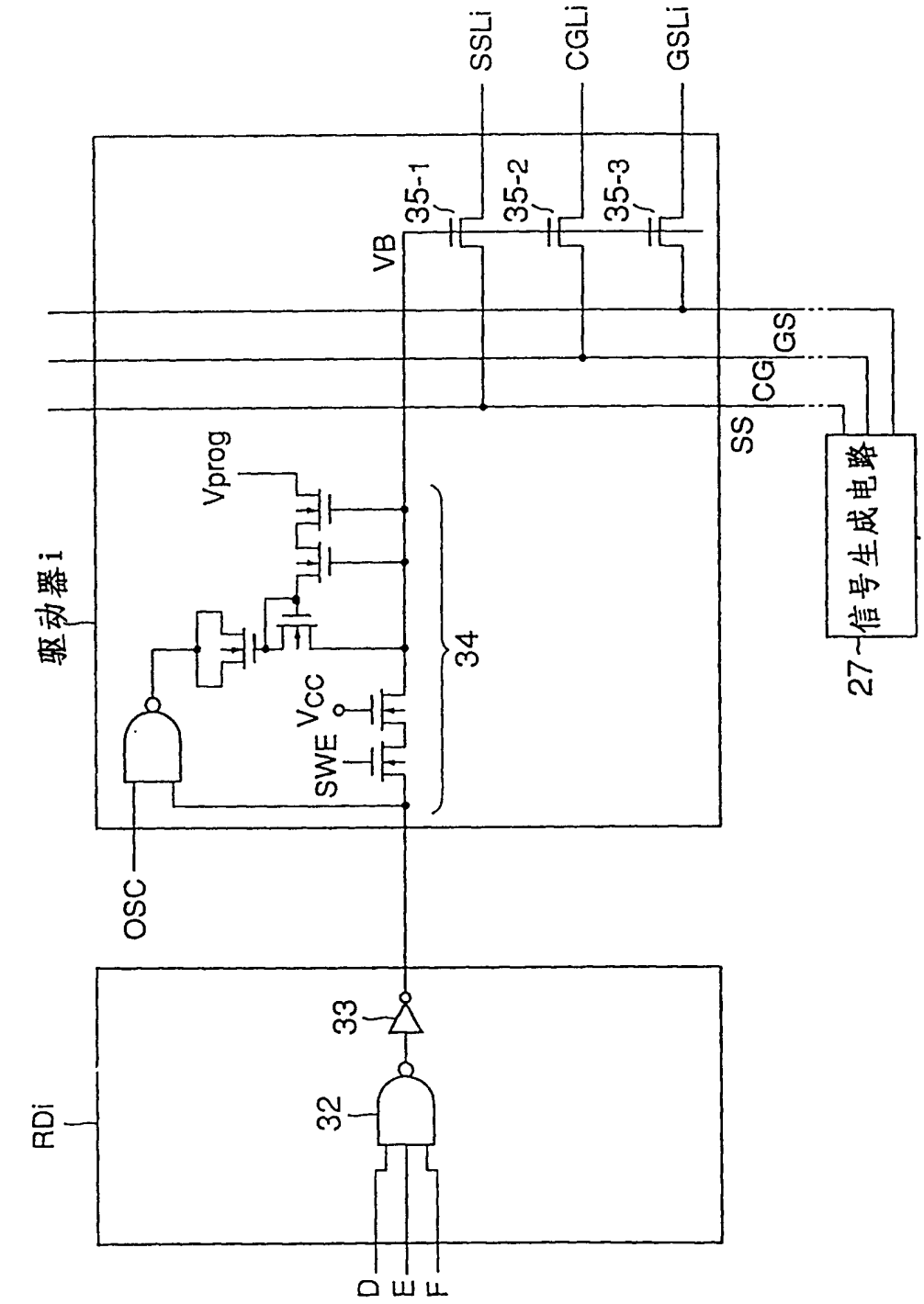

SSLi
CGLi
GSLi
35-1
35-2
35-3
VB
GS
CG
SS
Vprog
驱动器i
34
Vcc
SWE
OSC
27~信号生成电路
33
32
RDi
D
E
F

图30

图 31

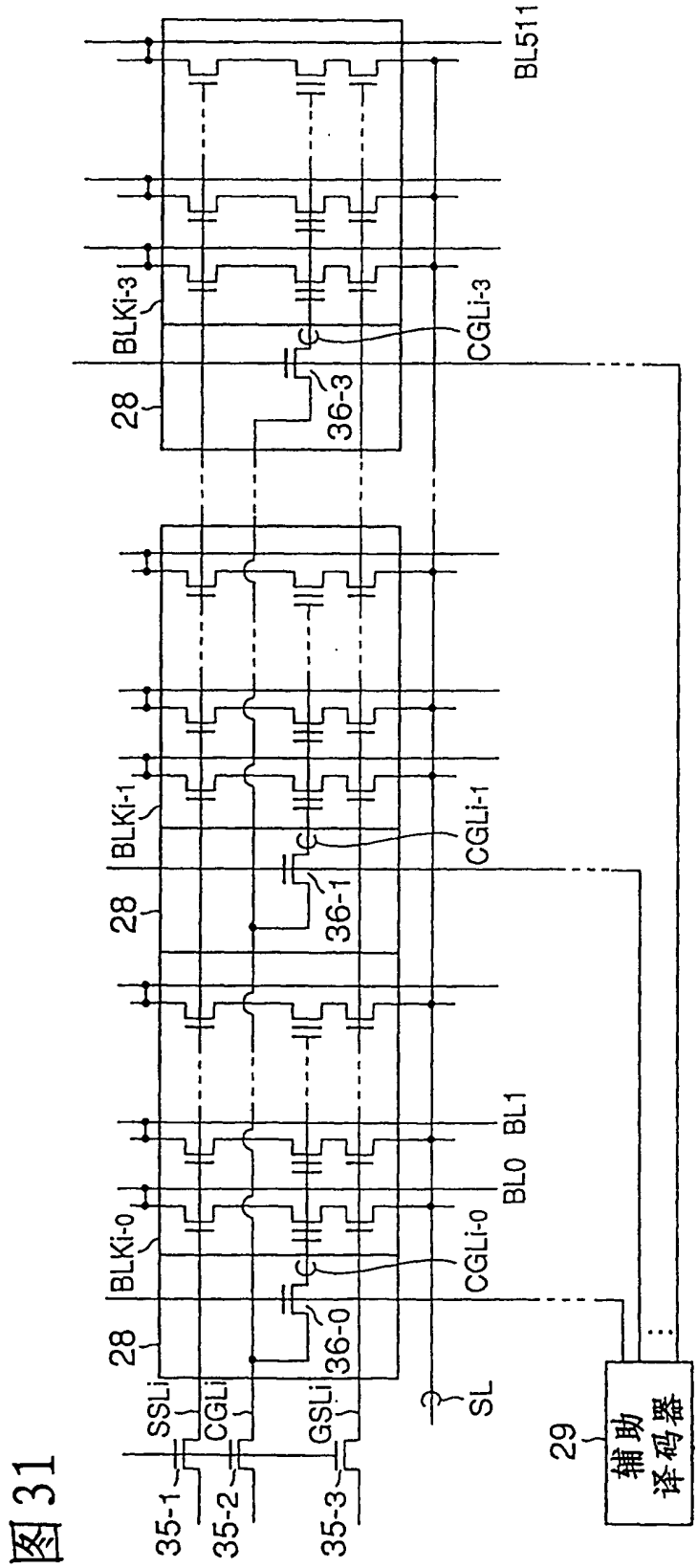

BL511
BLKi-3
CGLi-3
28
36-3
BLKi-1
CGLi-1
28
36-1
BL1
BL0
BLKi-0
CGLi-0
28
36-0
SSLi
CGLi
GSLi
SL
35-1
35-2
35-3
29
辅助
译码器

图32

·字节单位的数据改写动作

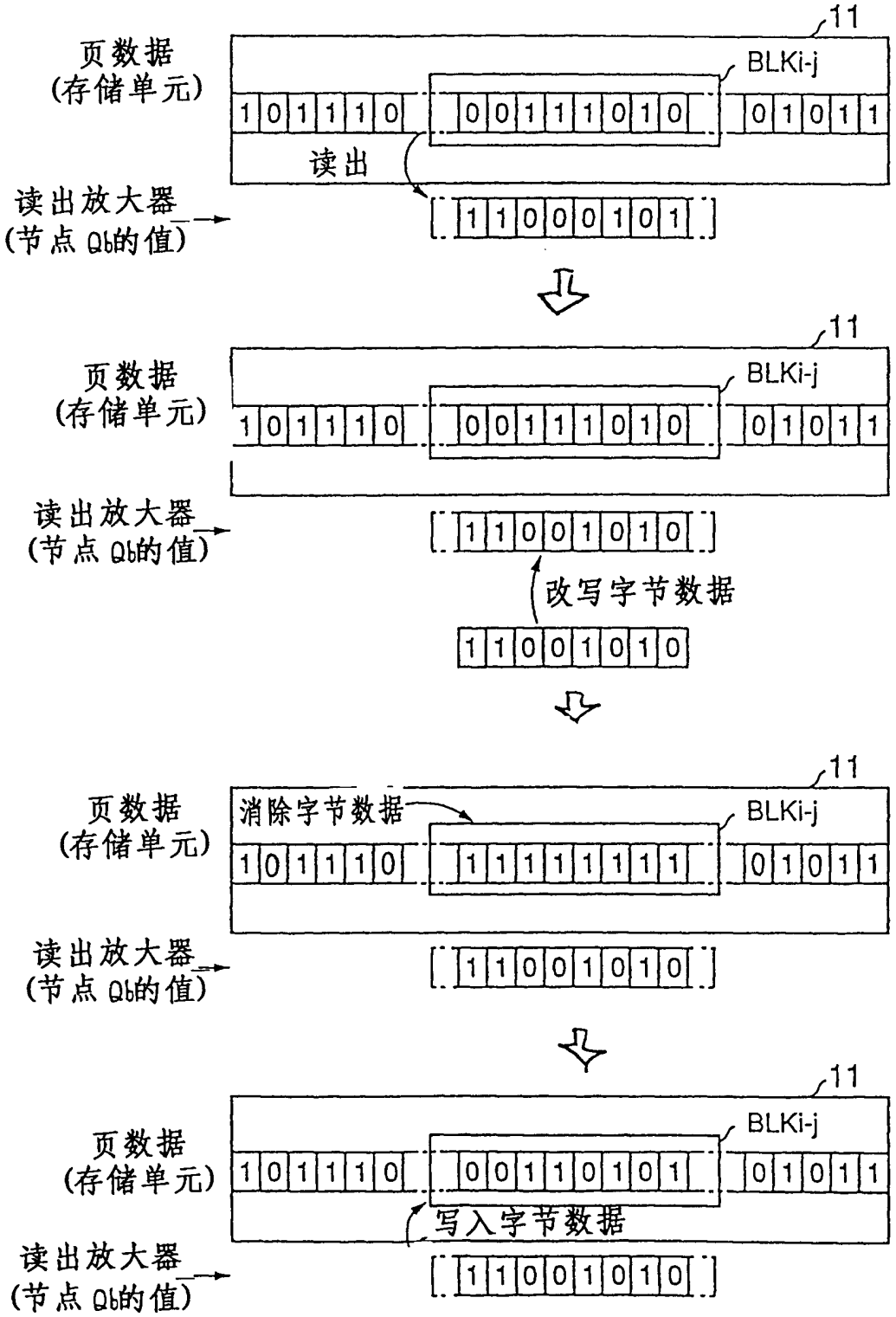
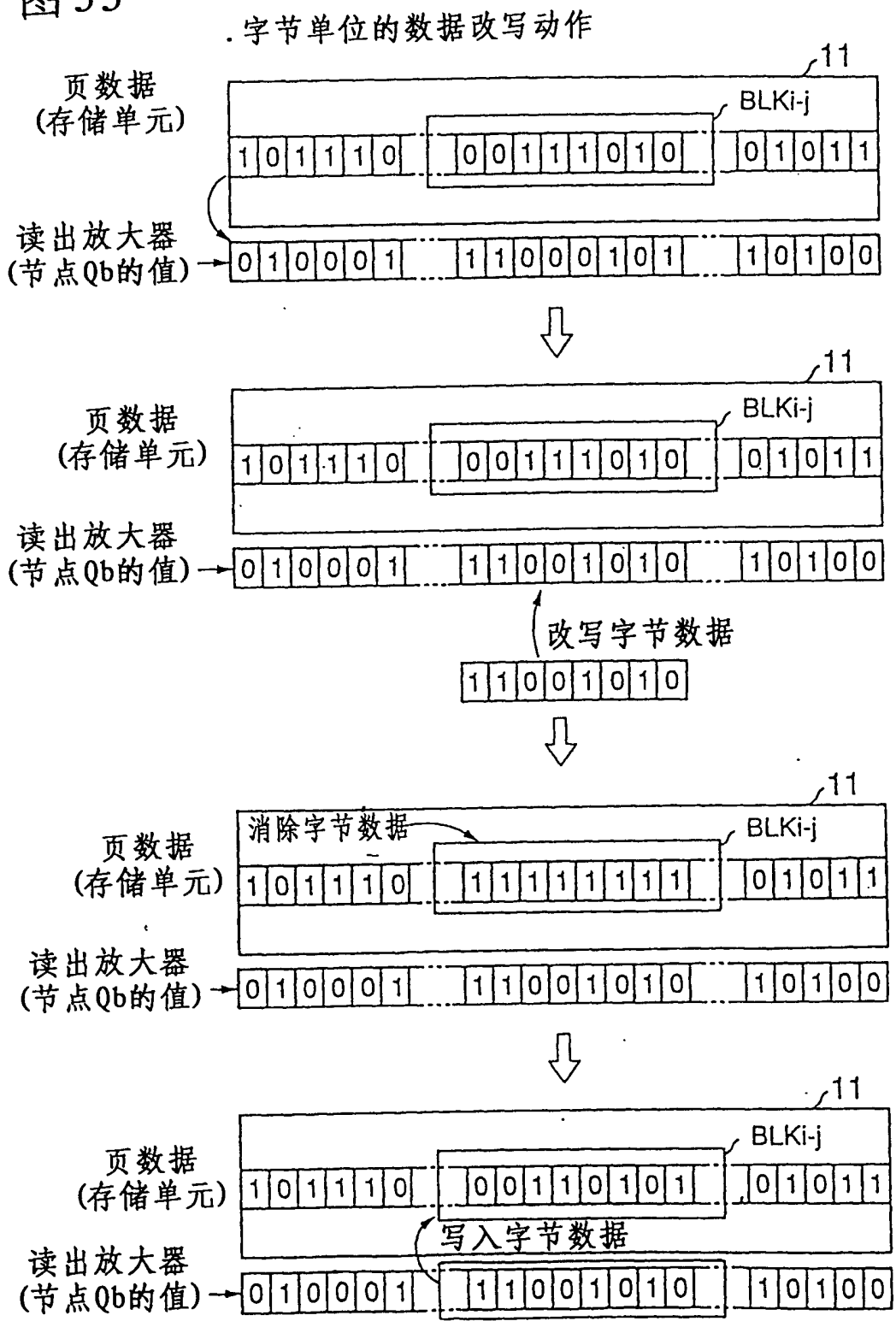


图33


.字节单位的数据改写动作
11
BLKi-j
页数据
(存储单元)
读出放大器
(节点Qb的值)
1 0 1 1 1 0 0 0 1 1 1 0 1 0 0 1 0 1 1
0 1 0 0 0 1 1 1 0 0 0 1 0 1 1 0 1 0 0
改写字节数据
1 1 0 0 1 0 1 0
消除字节数据
1 1 1 1 1 1 1 1
写入字节数据

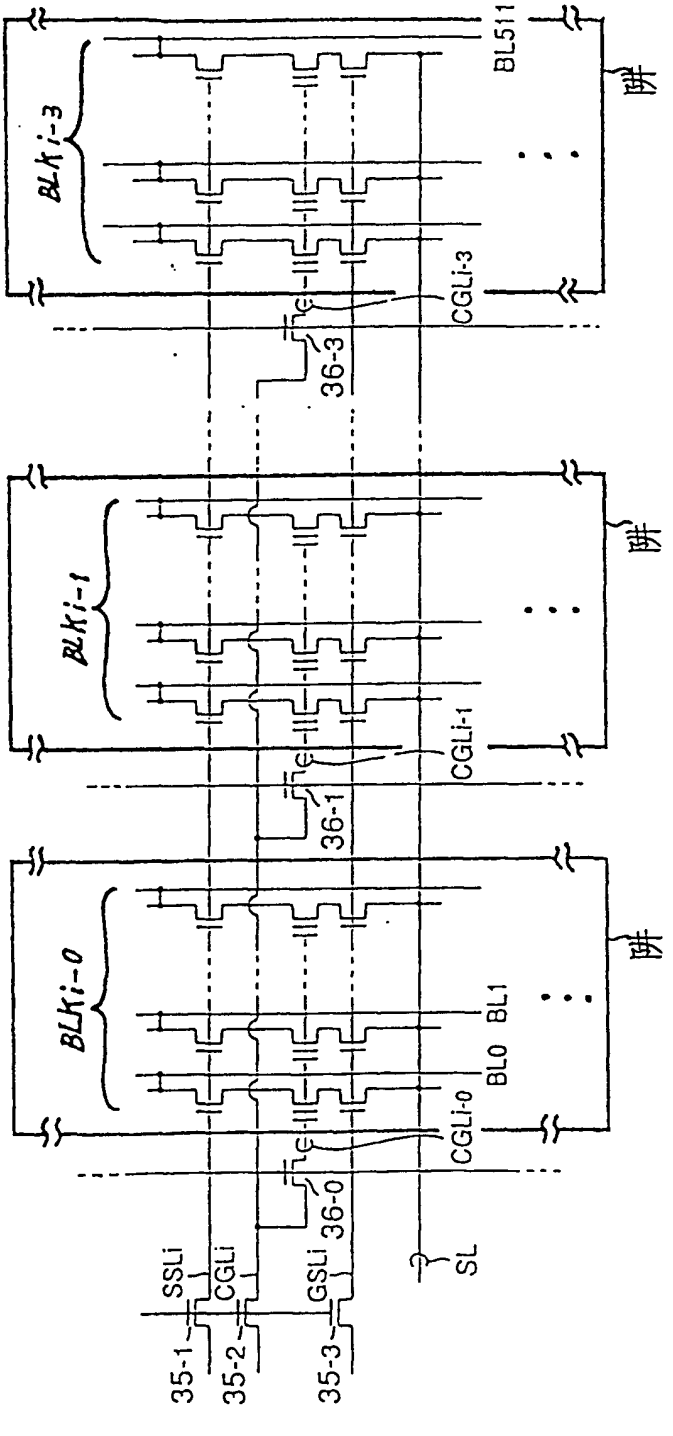

BLKi-3
BLKi-1
BLKi-0
BL511
BL1
BL0
CGLi-3
CGLi-1
CGLi-0
36-3
36-1
36-0
SSLi
CGLi
GSLi
35-1
35-2
35-3
SL
阱

图 34

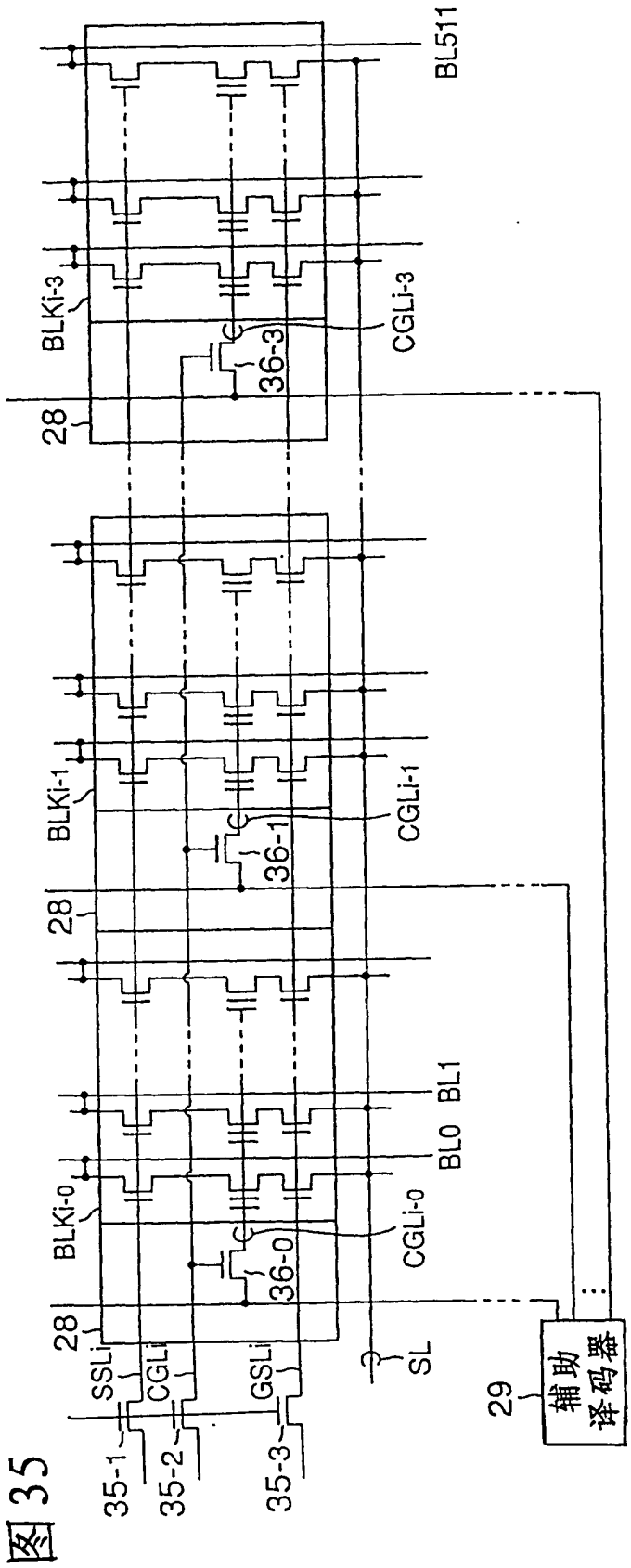

BL511
BLKi-3
CGLi-3
36-3
28
BLKi-1
CGLi-1
36-1
28
BL1
BL0
BLKi-0
CGLi-0
36-0
28
SSLi
CGLi
GSLi
SL
29
辅助译码器
35-1
35-2
35-3

图 35

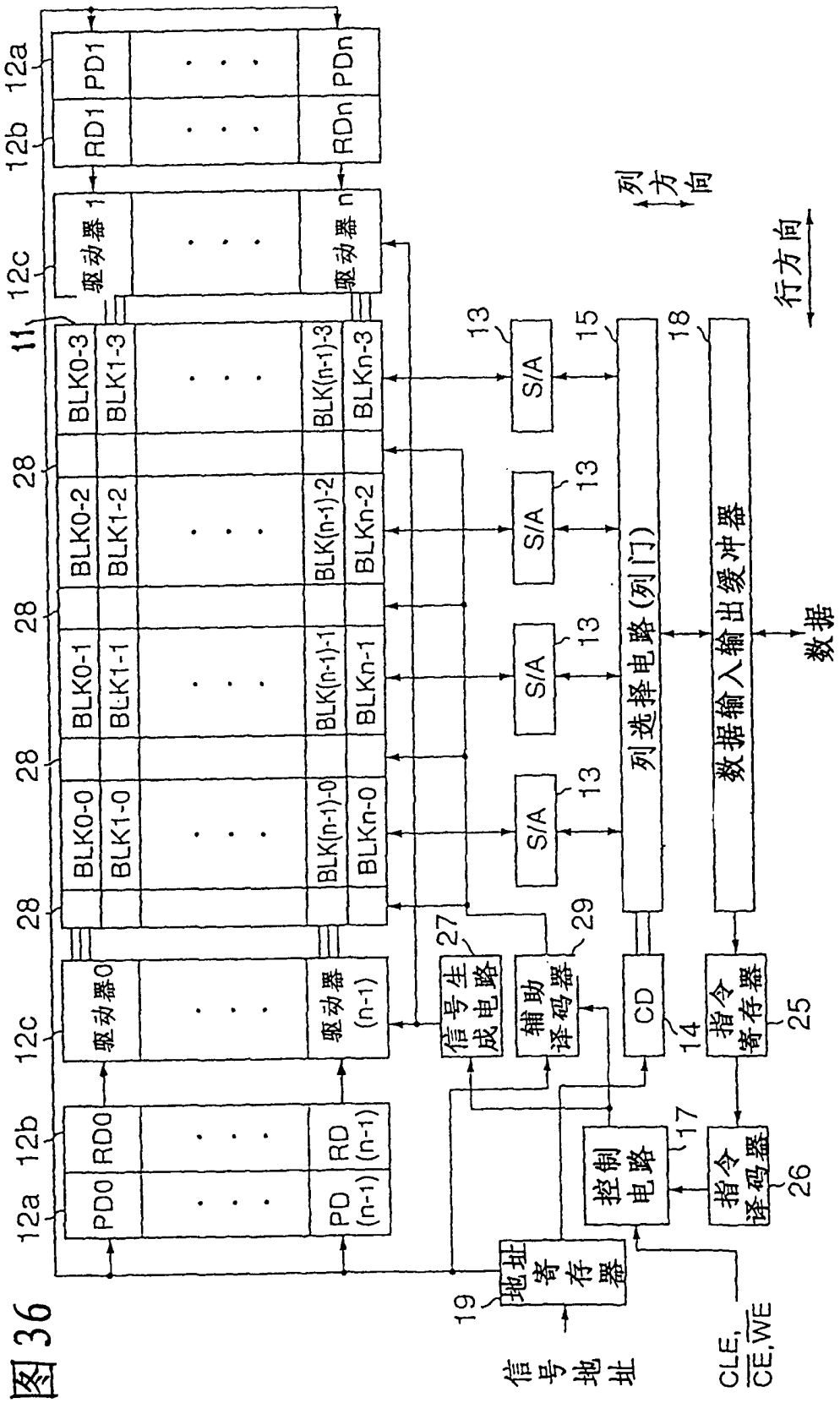
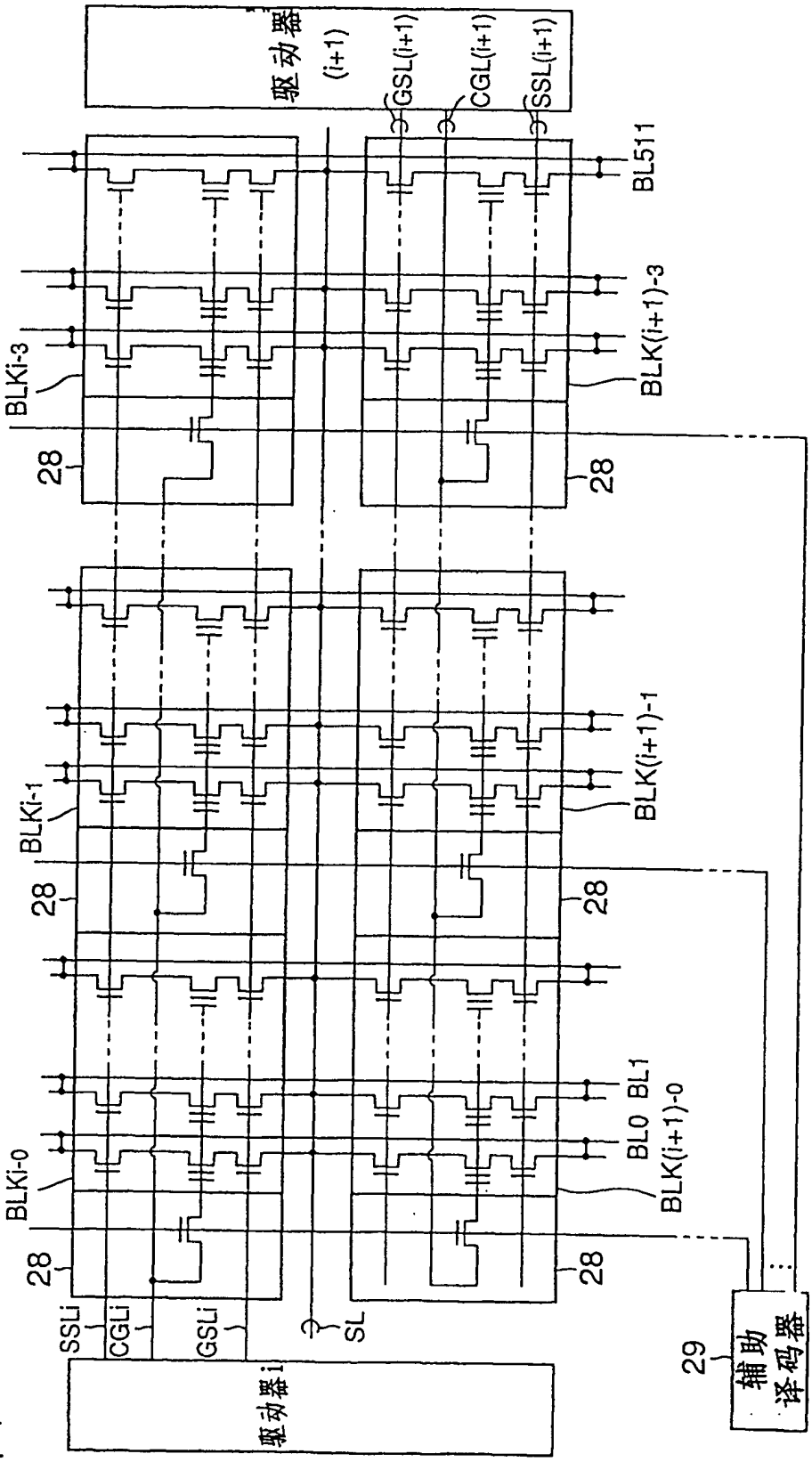

12a
12b
12c
11
28
PD0
RD0
PD1
RD1
PDn
RDn
PD (n-1)
RD (n-1)
驱动器0
驱动器 1
驱动器 n
驱动器 (n-1)
BLK0-0
BLK1-0
BLK(n-1)-0
BLKn-0
BLK0-1
BLK1-1
BLK(n-1)-1
BLKn-1
BLK0-2
BLK1-2
BLK(n-1)-2
BLKn-2
BLK0-3
BLK1-3
BLK(n-1)-3
BLKn-3
13
S/A
15
列选择电路 (列门)
18
数据输入输出缓冲器
列方向
行方向
数据
27
信号生成电路
29
辅助译码器
CD
14
指令寄存器
25
控制电路
17
指令译码器
26
19
地址寄存器
信号地址
CLE,
CE,WE

图 36

图 37


驱动器
(i+1)
GSL(i+1)
CGL(i+1)
SSL(i+1)
BL511
BLKi-3
BLK(i+1)-3
28
BLKi-1
BLK(i+1)-1
BLKi-0
BL0 BL1
BLK(i+1)-0
SSLi
CGLi
GSLi
SL
驱动器i
29
辅助
译码器

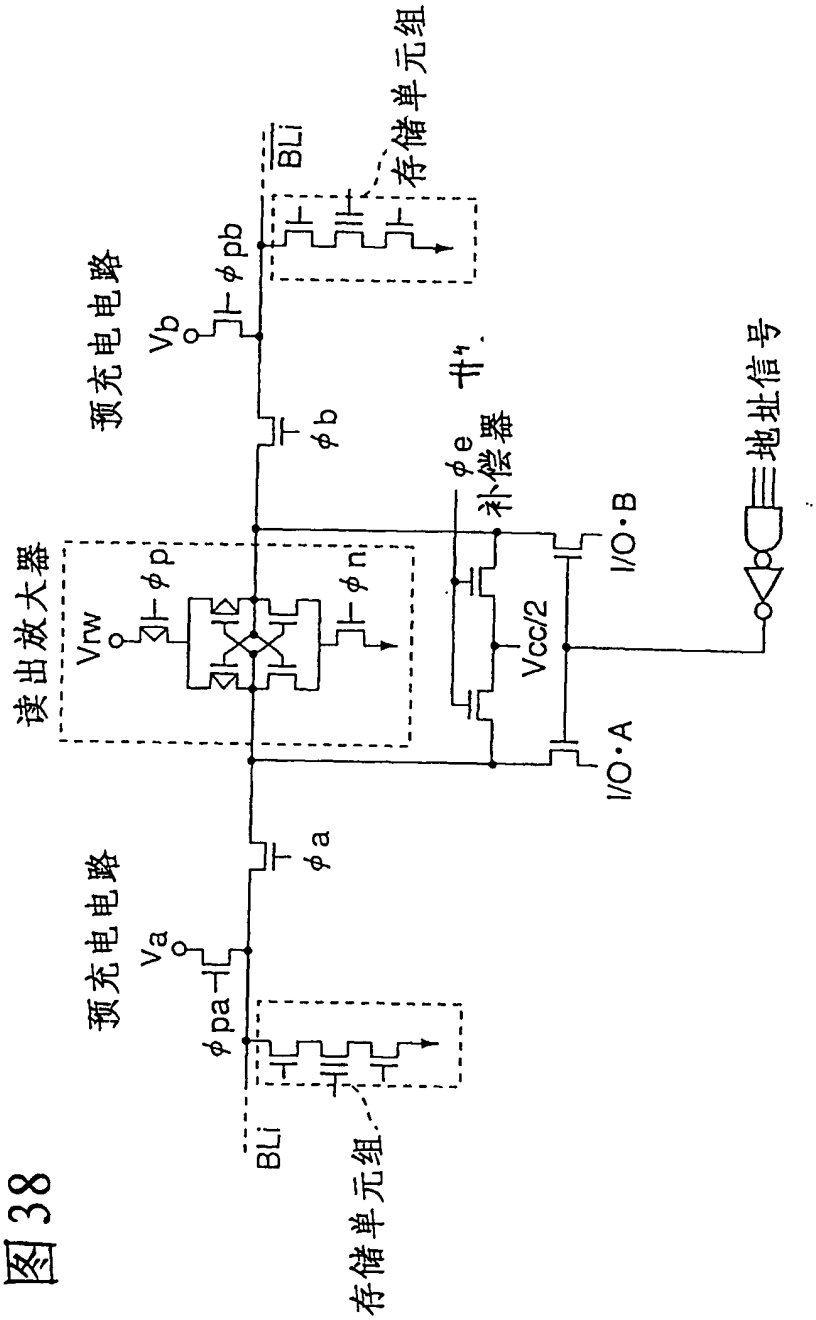
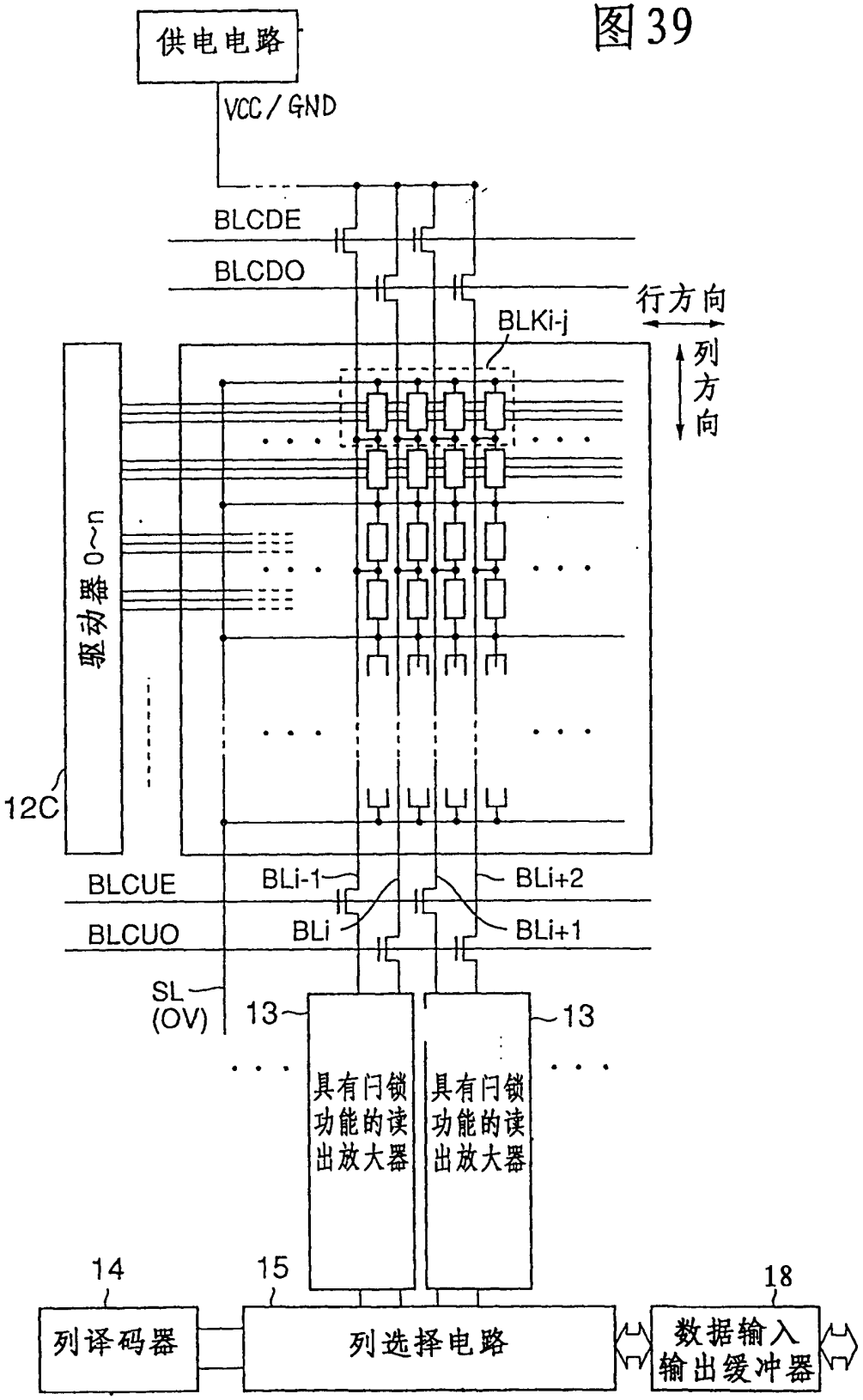

读出放大器
Vrw
φp
φn
预充电电路
Va
φpa
φa
BLi
存储单元组
预充电电路
Vb
φpb
φb
BLi
存储单元组
φe
补偿器
Vcc/2
I/O·B
I/O·A
地址信号

图38

图39


供电电路
VCC / GND
BLCDE
BLCDO
行方向
列方向
BLKi-j
驱动电路 0~n
12C
BLCUE
BLCUO
BLi-1
BLi
BLi+1
BLi+2
SL
(OV)
13
13
具有闩锁功能的读出放大器
具有闩锁功能的读出放大器
14
15
18
列译码器
列选择电路
数据输入输出缓冲器

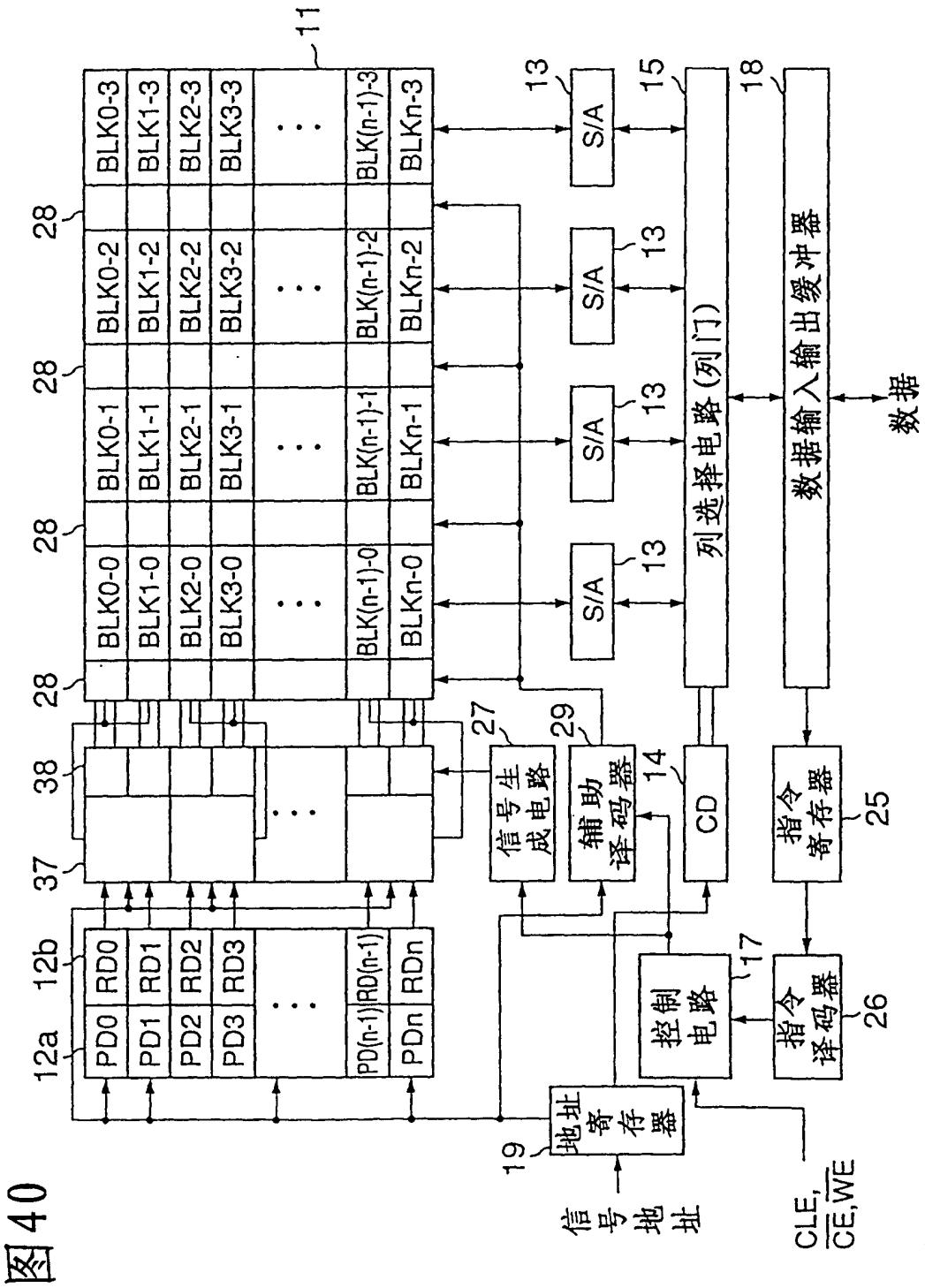

11
28
28
28
28
28
38
37
12a
12b
BLK0-3
BLK1-3
BLK2-3
BLK3-3
BLKn-3
BLK0-2
BLK1-2
BLK2-2
BLK3-2
BLKn-2
BLK0-1
BLK1-1
BLK2-1
BLK3-1
BLKn-1
BLK0-0
BLK1-0
BLK2-0
BLK3-0
BLKn-0
BLK(n-1)-3
BLK(n-1)-2
BLK(n-1)-1
BLK(n-1)-0
PD0
PD1
PD2
PD3
PDn
PD(n-1)
RD0
RD1
RD2
RD3
RDn
RD(n-1)
13
S/A
15
列选择电路(列门)
18
数据输入输出缓冲器
数据
27
信号生成电路
29
辅助译码器
14
CD
25
指令寄存器
17
控制电路
26
指令译码器
19
地址寄存器
信号地址
CLE,
CE,WE

图40

图41

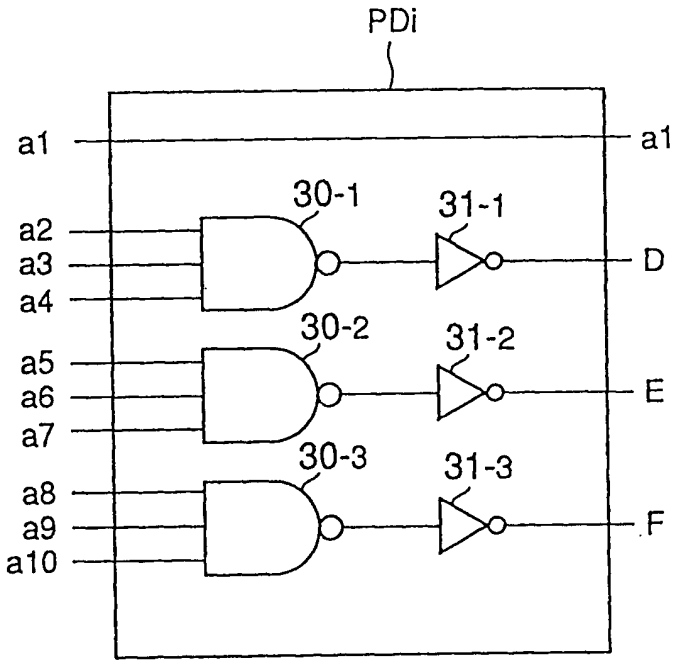


图42

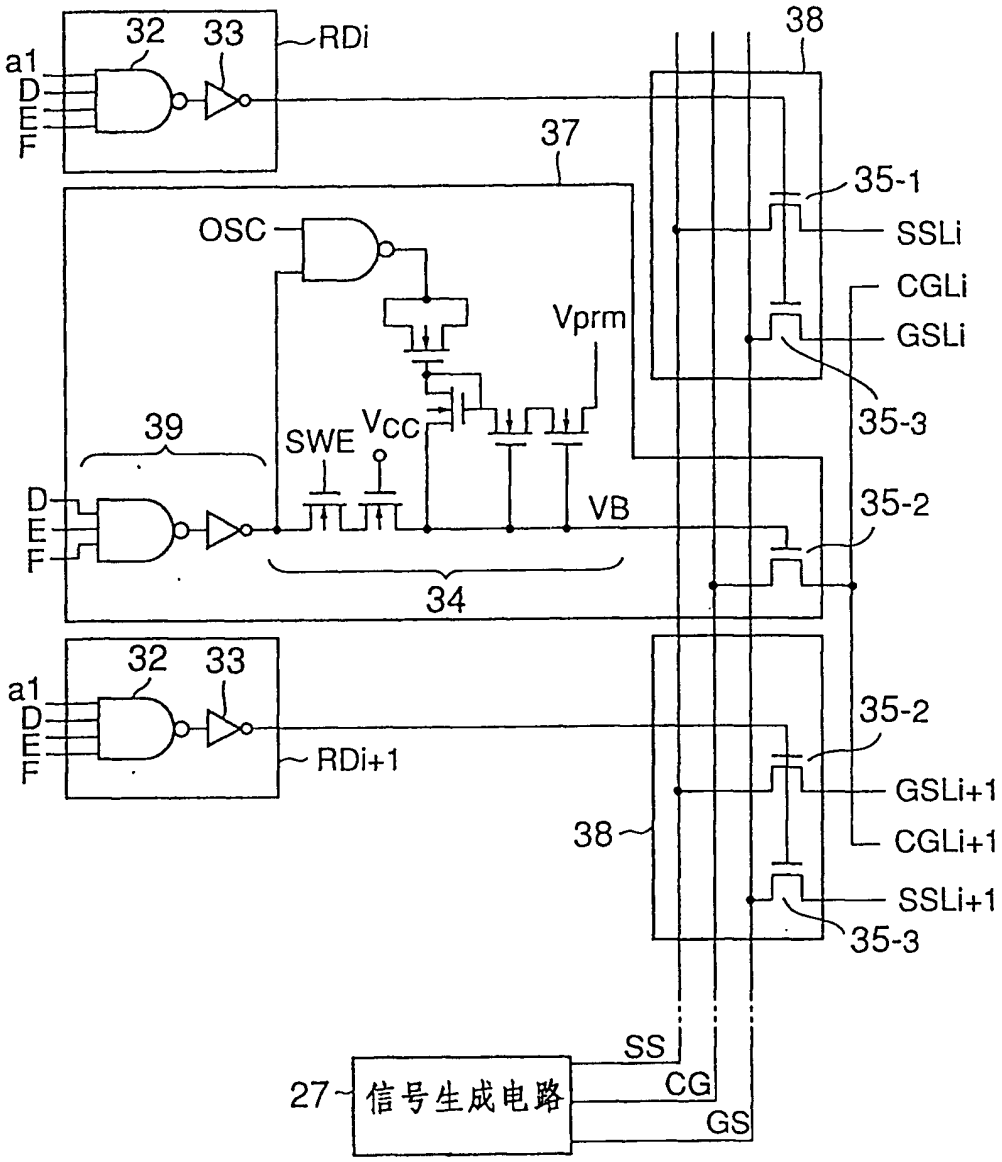
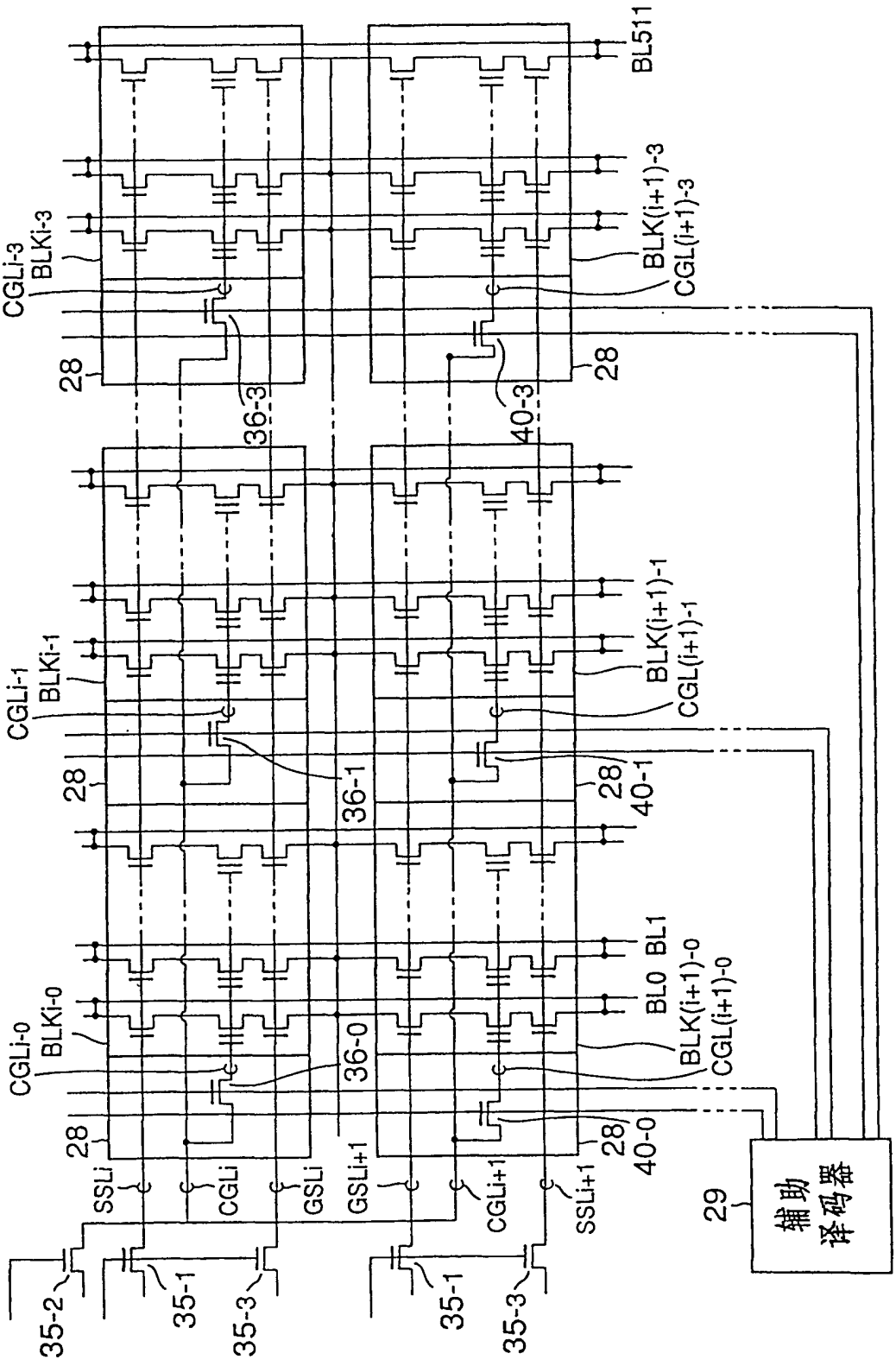

32
33
RDi
a1
D
E
F
38
37
35-1
SSLi
CGLi
GSLi
35-3
OSC
Vprm
39
SWE
Vcc
VB
35-2
34
RDi+1
GSLi+1
CGLi+1
SSLi+1
27
信号生成电路
SS
CG
GS

图43


CGLi-3
BLKi-3
CGLi-1
BLKi-1
CGLi-0
BLKi-0
28
36-3
36-1
36-0
40-3
40-1
40-0
BL511
BL1
BL0
BLK(i+1)-3
CGL(i+1)-3
BLK(i+1)-1
CGL(i+1)-1
BLK(i+1)-0
CGL(i+1)-0
SSLi
CGLi
GSLi
GSLi+1
CGLi+1
SSLi+1
35-2
35-1
35-3
29
辅助译码器

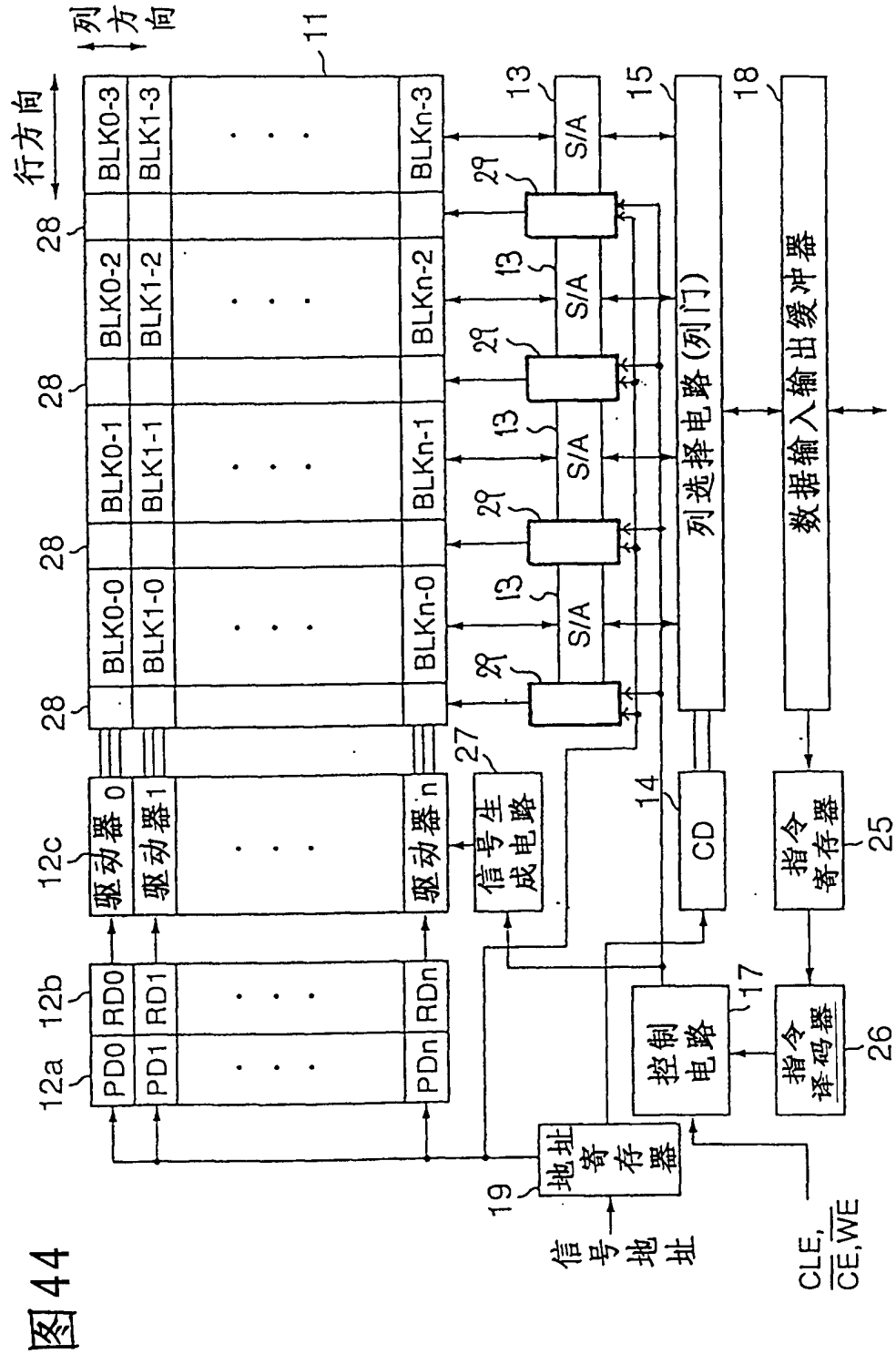
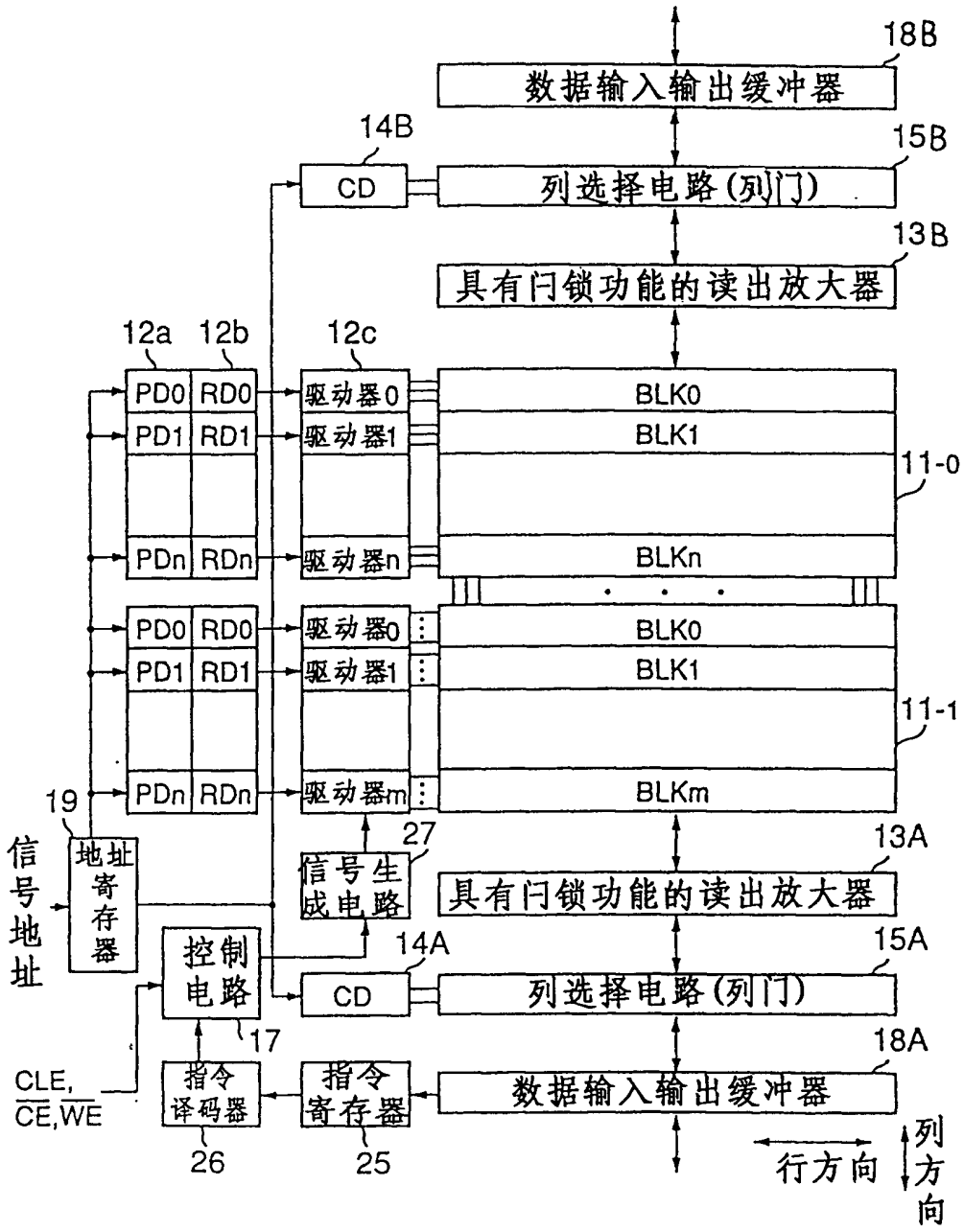

列方向
行方向
11
BLK0-3
BLK1-3
BLK0-2
BLK1-2
BLK0-1
BLK1-1
BLK0-0
BLK1-0
BLKn-3
BLKn-2
BLKn-1
BLKn-0
28
12c
驱动器 0
驱动器 1
驱动器 n
12b
RD0
RD1
RDn
12a
PD0
PD1
PDn
27
信号生成电路
29
13
S/A
15
列选择电路(列门)
14
CD
18
数据输入输出缓冲器
25
指令寄存器
26
指令译码器
17
控制电路
19
地址寄存器
信号地址
CLE,
CE,WE

图 44

图45


18B
数据输入输出缓冲器
14B
15B
CD
列选择电路(列门)
13B
具有闩锁功能的读出放大器
12a
12b
12c
PD0
RD0
驱动器0
BLK0
PD1
RD1
驱动器1
BLK1
11-0
PDn
RDn
驱动器n
BLKn
PD0
RD0
驱动器0
BLK0
PD1
RD1
驱动器1
BLK1
11-1
PDn
RDn
驱动器m
BLKm
19
27
13A
信号地址
地址寄存器
信号生成电路
具有闩锁功能的读出放大器
控制电路
14A
15A
CD
列选择电路(列门)
17
18A
CLE,
CE,WE
指令译码器
指令寄存器
数据输入输出缓冲器
26
25
行方向
列方向

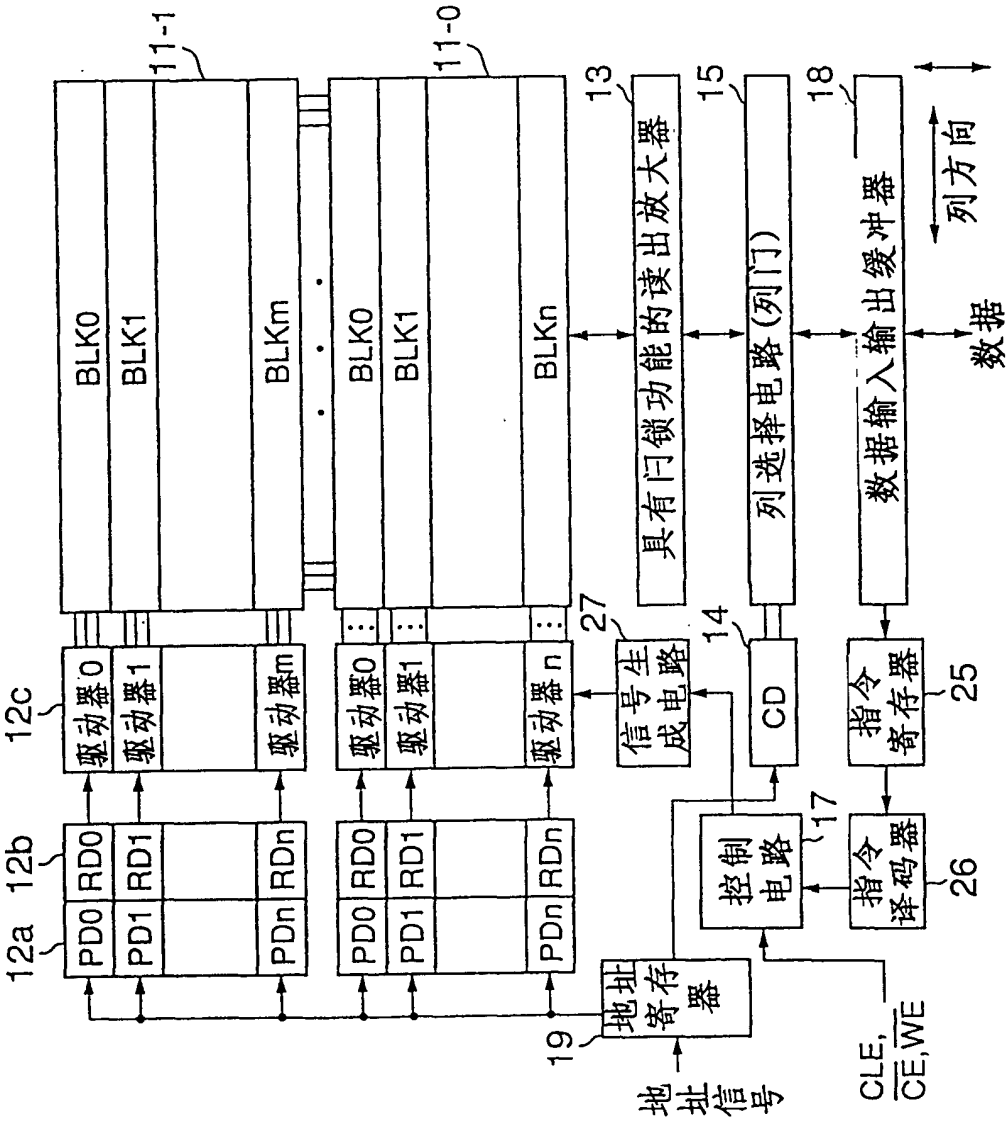

11-1
11-0
BLK0
BLK1
BLKm
BLK0
BLK1
BLKn
13
具有闩锁功能的读出放大器
15
列选择电路(列门)
18
数据输入输出缓冲器
列方向
数据
12c
驱动器0
驱动器1
驱动器m
驱动器0
驱动器1
驱动器n
27
信号生成电路
14
CD
指令寄存器
25
12b
RD0
RD1
RDn
RD0
RD1
RDn
控制电路
17
指令译码器
26
12a
PD0
PD1
PDn
PD0
PD1
PDn
19
地址寄存器
地址信号
CLE,
CE,WE

图46

图47

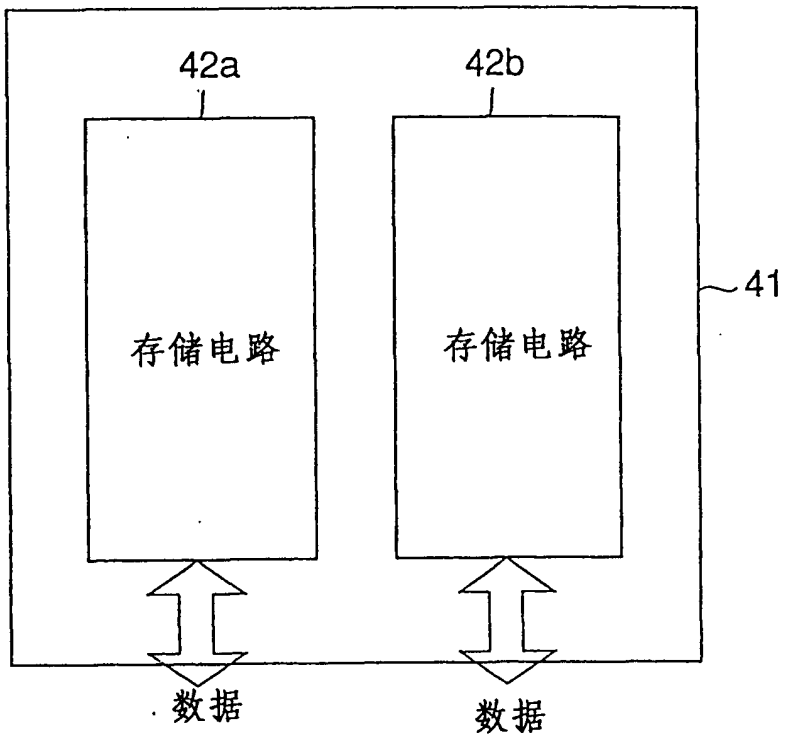


图48

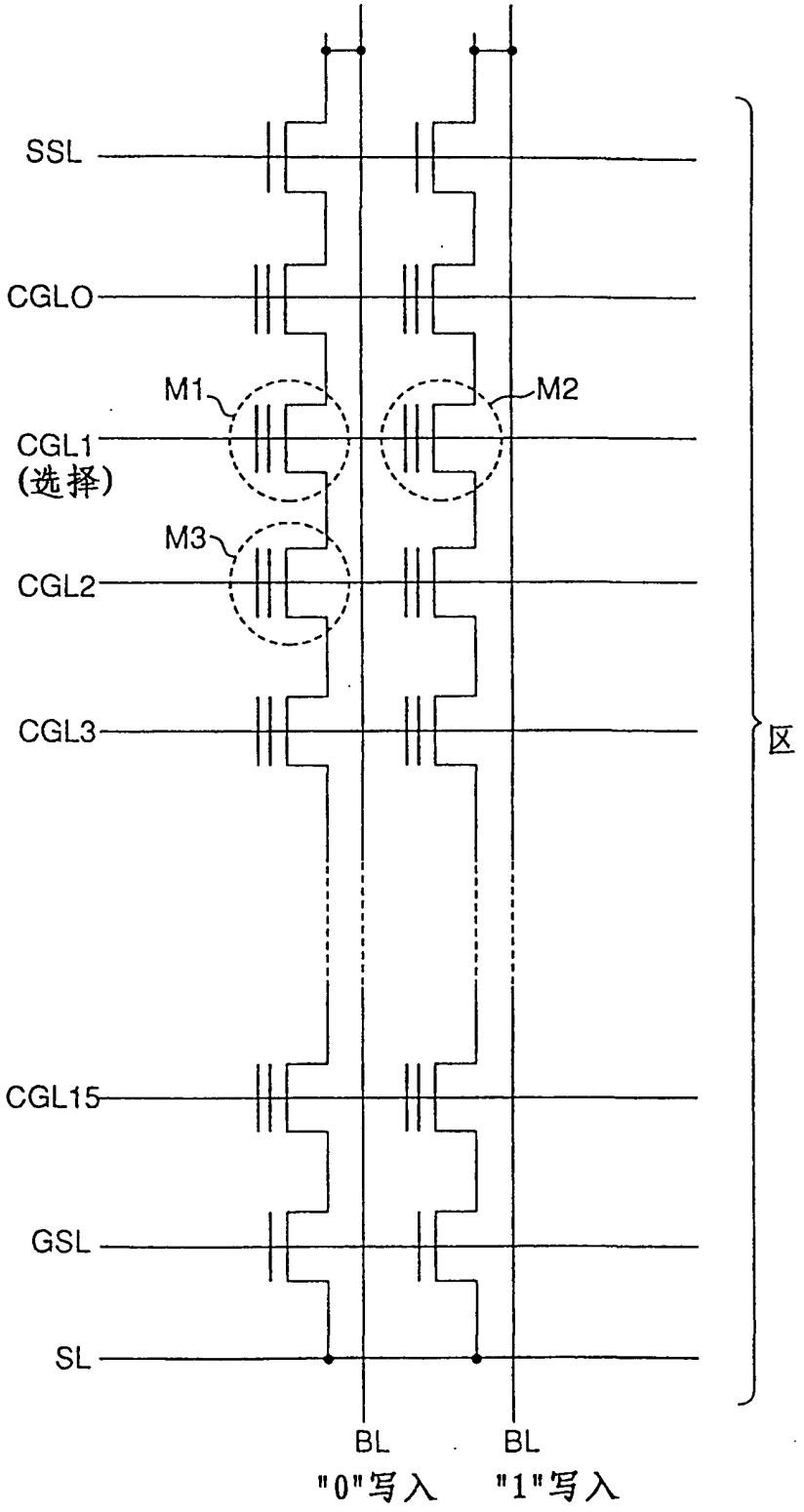


图49

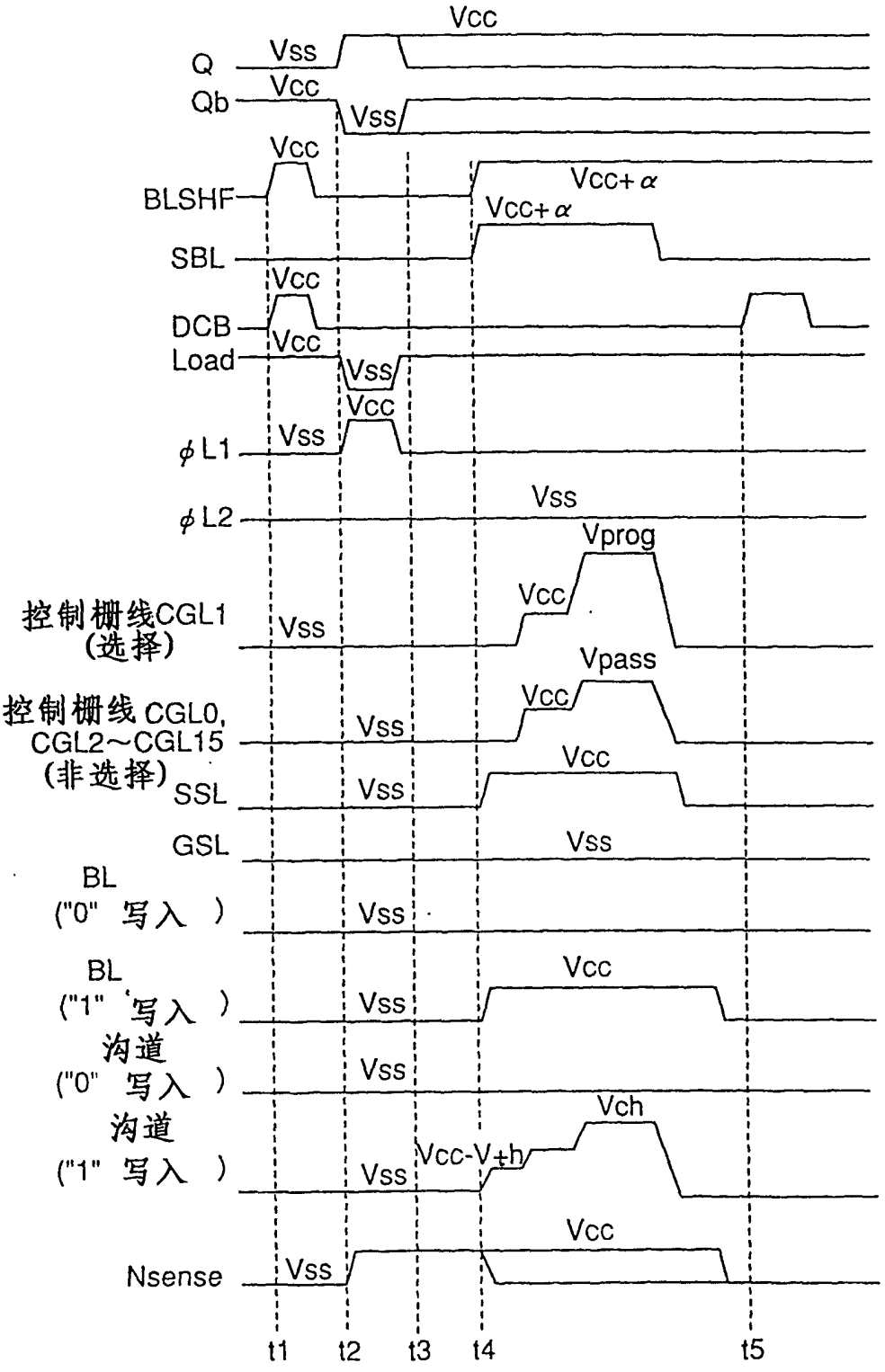

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制栅线CGL1
(选择)
控制栅线 CGL0,
CGL2~CGL15
(非选择)
SSL
GSL
BL
("0" 写入)
BL
("1" 写入)
沟道
("0" 写入)
沟道
("1" 写入)
Nsense
Vcc
Vss
Vcc+α
Vprog
Vpass
Vch
Vcc-Vth
t1
t2
t3
t4
t5

图50

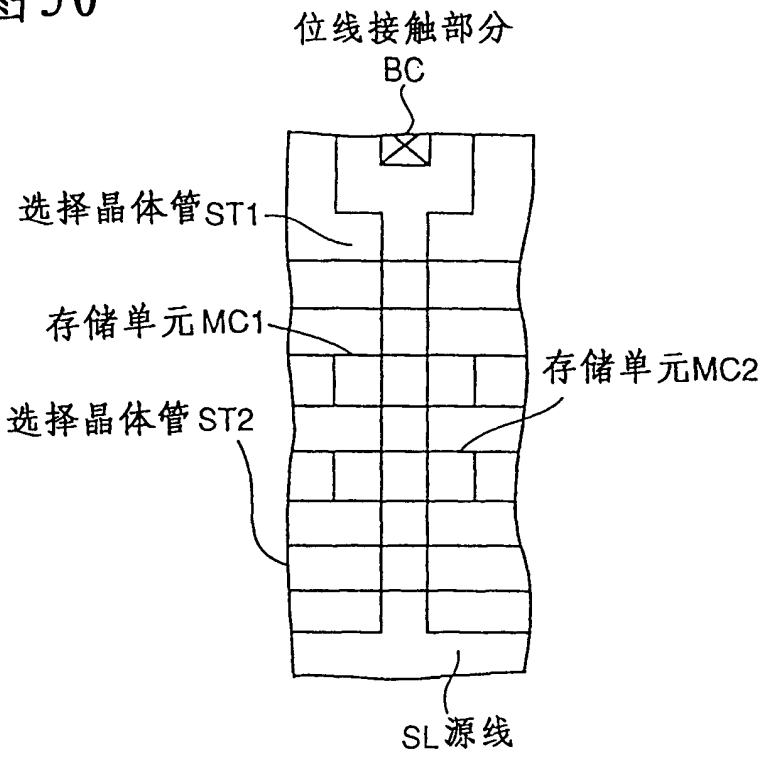

位线接触部分
BC
选择晶体管ST1
存储单元MC1
存储单元MC2
选择晶体管ST2
SL源线

图51

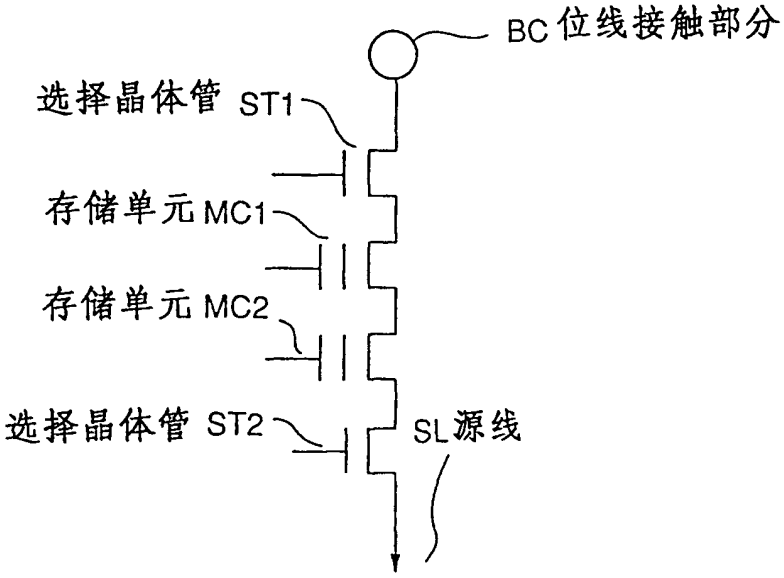
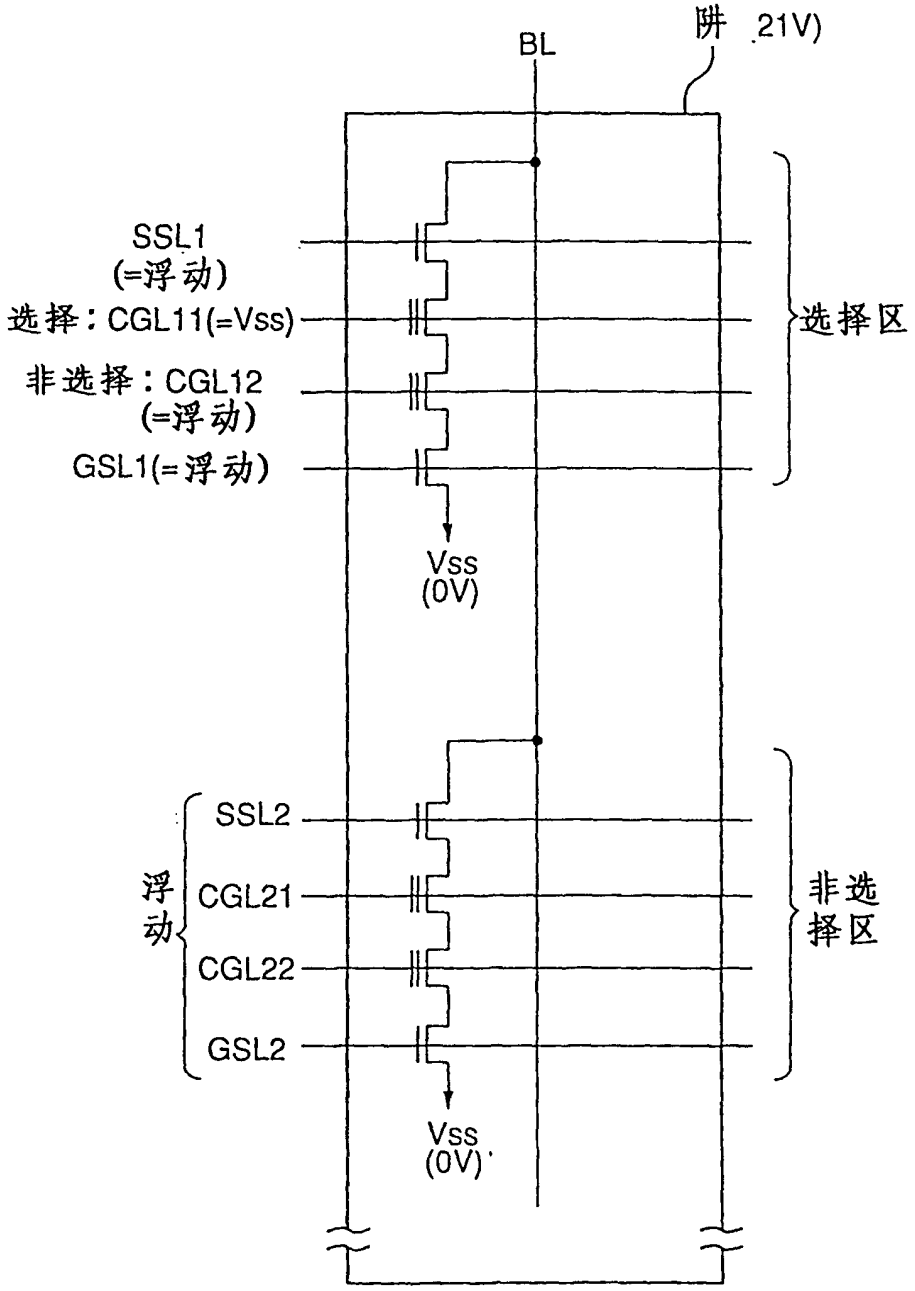

BC位线接触部分
选择晶体管 ST1
存储单元MC1
存储单元 MC2
选择晶体管 ST2
SL源线

图52


BL
阱 .21V)
SSL1
(=浮动)
选择：CGL11(=Vss)
非选择：CGL12
(=浮动)
GSL1(=浮动)
选择区
Vss
(0V)
SSL2
浮动
CGL21
CGL22
GSL2
非选择区
Vss
(0V)

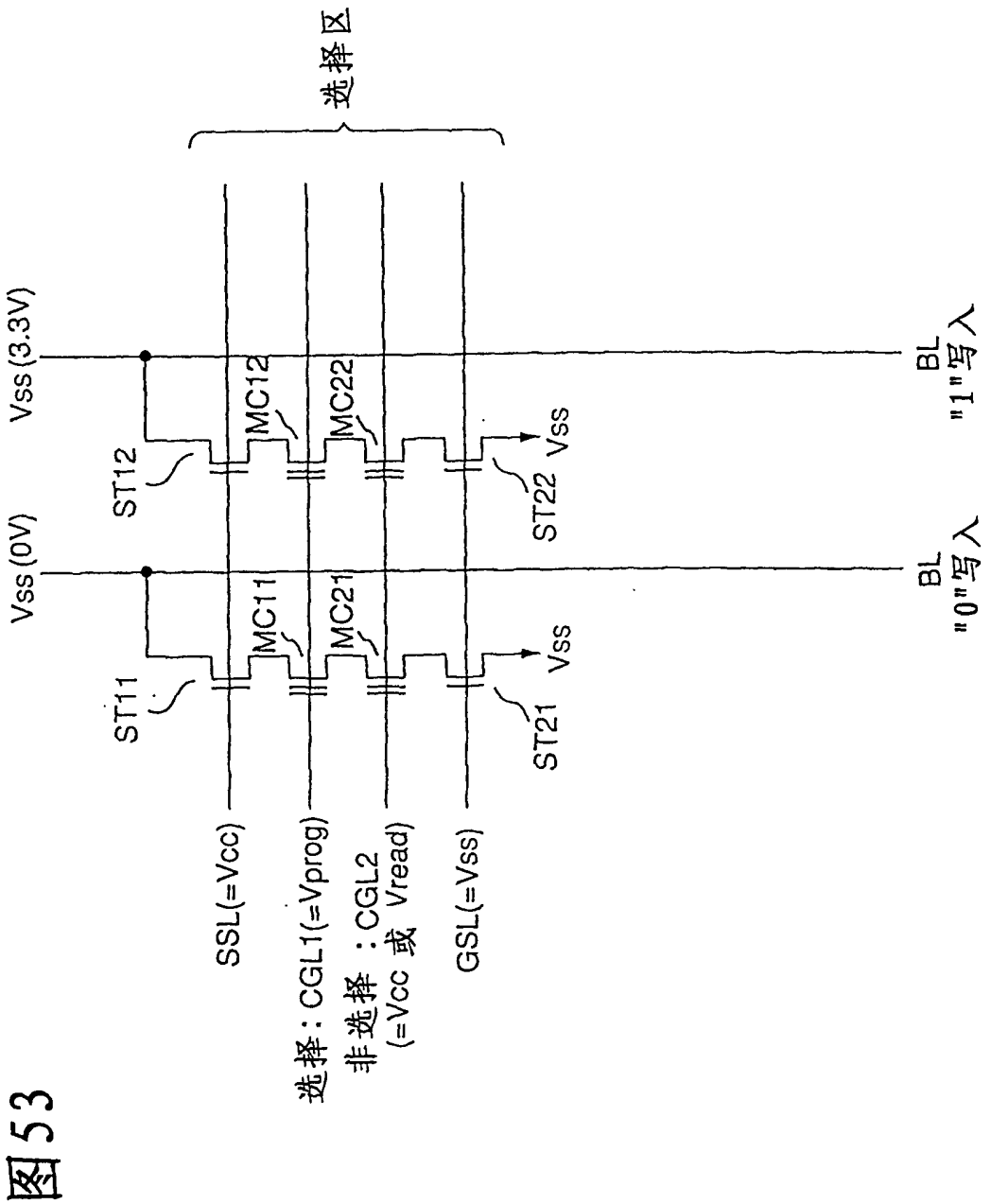

选择区
Vss(3.3V)
Vss(0V)
ST12
ST11
MC12
MC11
MC22
MC21
ST22
ST21
Vss
Vss
BL
"1"写入
BL
"0"写入
SSL(=Vcc)
选择：CGL1(=Vprog)
非选择：CGL2
(=Vcc 或 Vread)
GSL(=Vss)

图53

图54

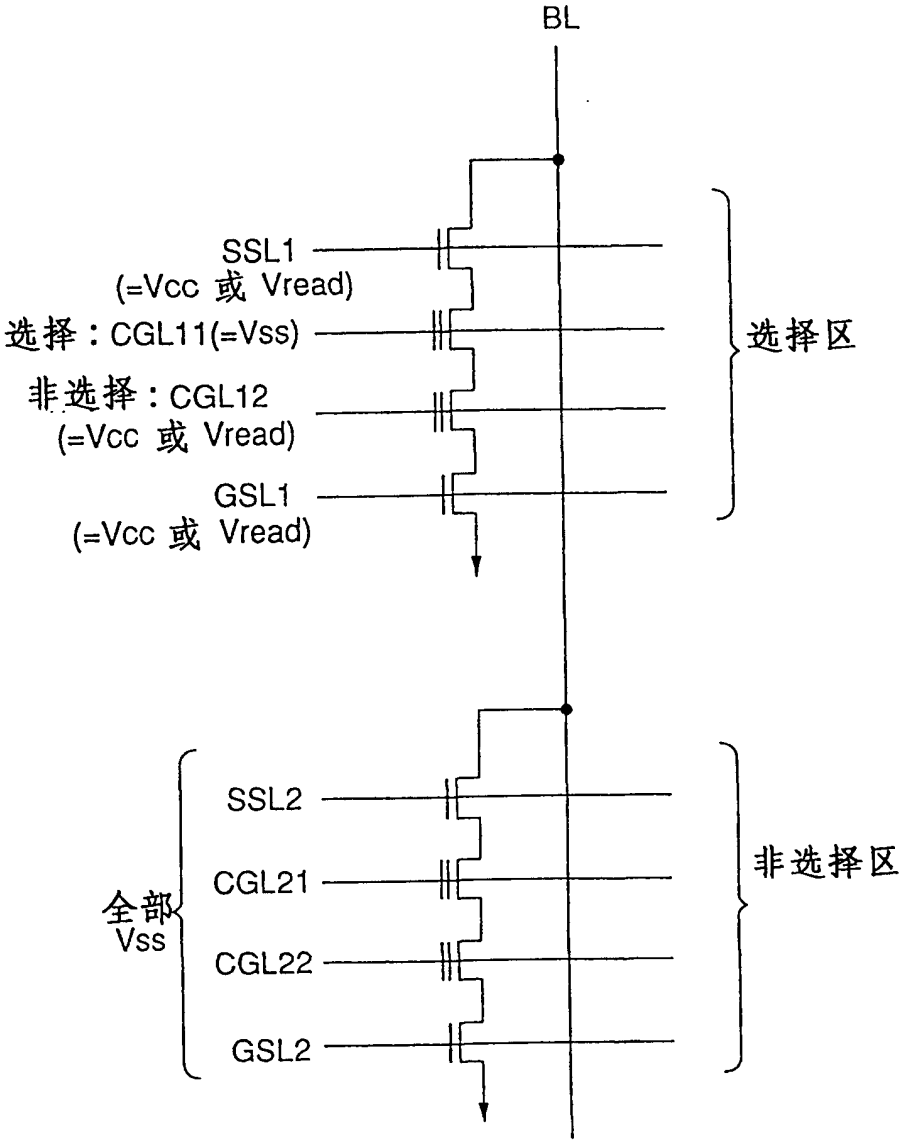

BL
SSL1
(=Vcc 或 Vread)
选择：CGL11(=Vss)
非选择：CGL12
(=Vcc 或 Vread)
GSL1
(=Vcc 或 Vread)
选择区
全部
Vss
SSL2
CGL21
CGL22
GSL2
非选择区

图55

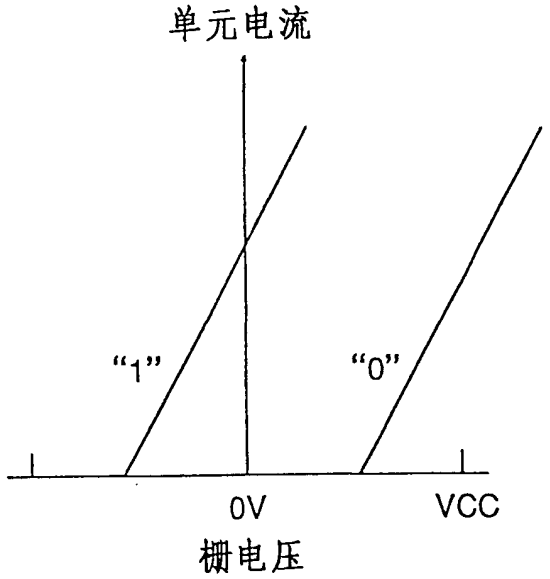

单元电流
"1"
"0"
0V
VCC
栅电压

图56

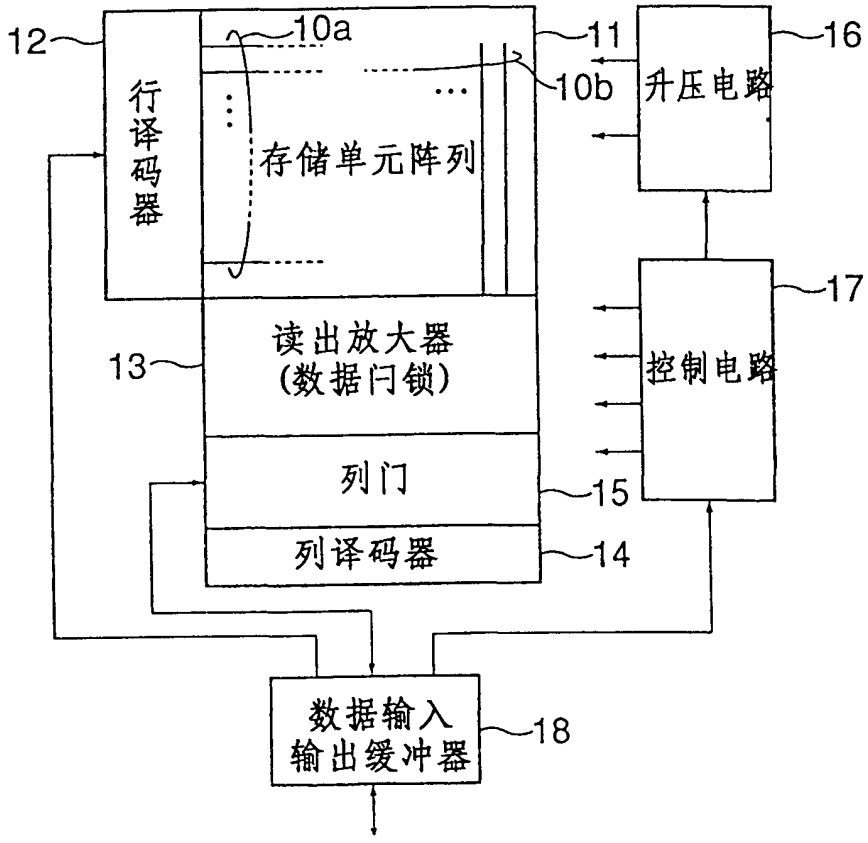
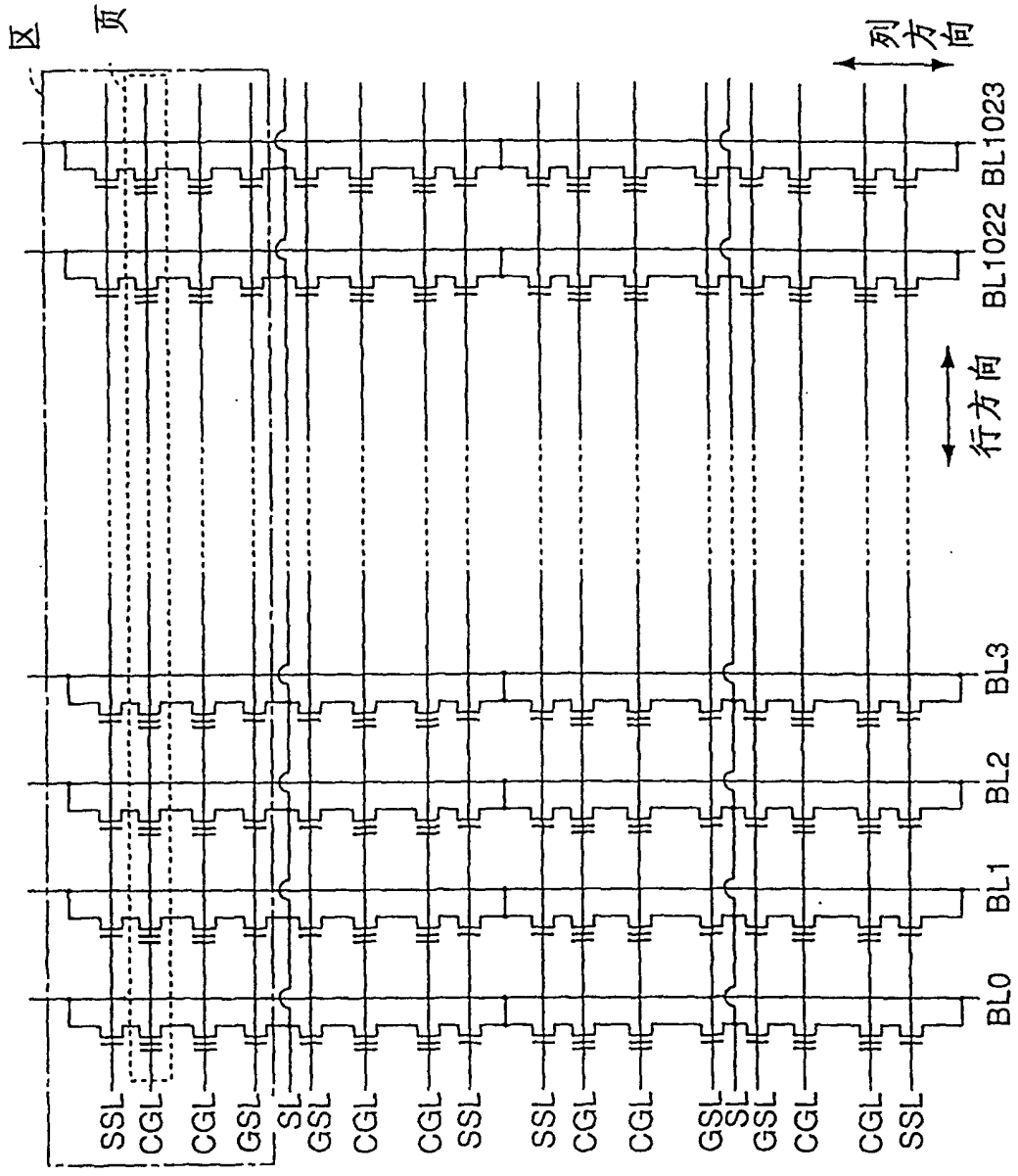

12
行译码器
10a
存储单元阵列
11
10b
16
升压电路
17
控制电路
13
读出放大器
(数据闩锁)
列门
15
列译码器
14
数据输入
输出缓冲器
18

图57



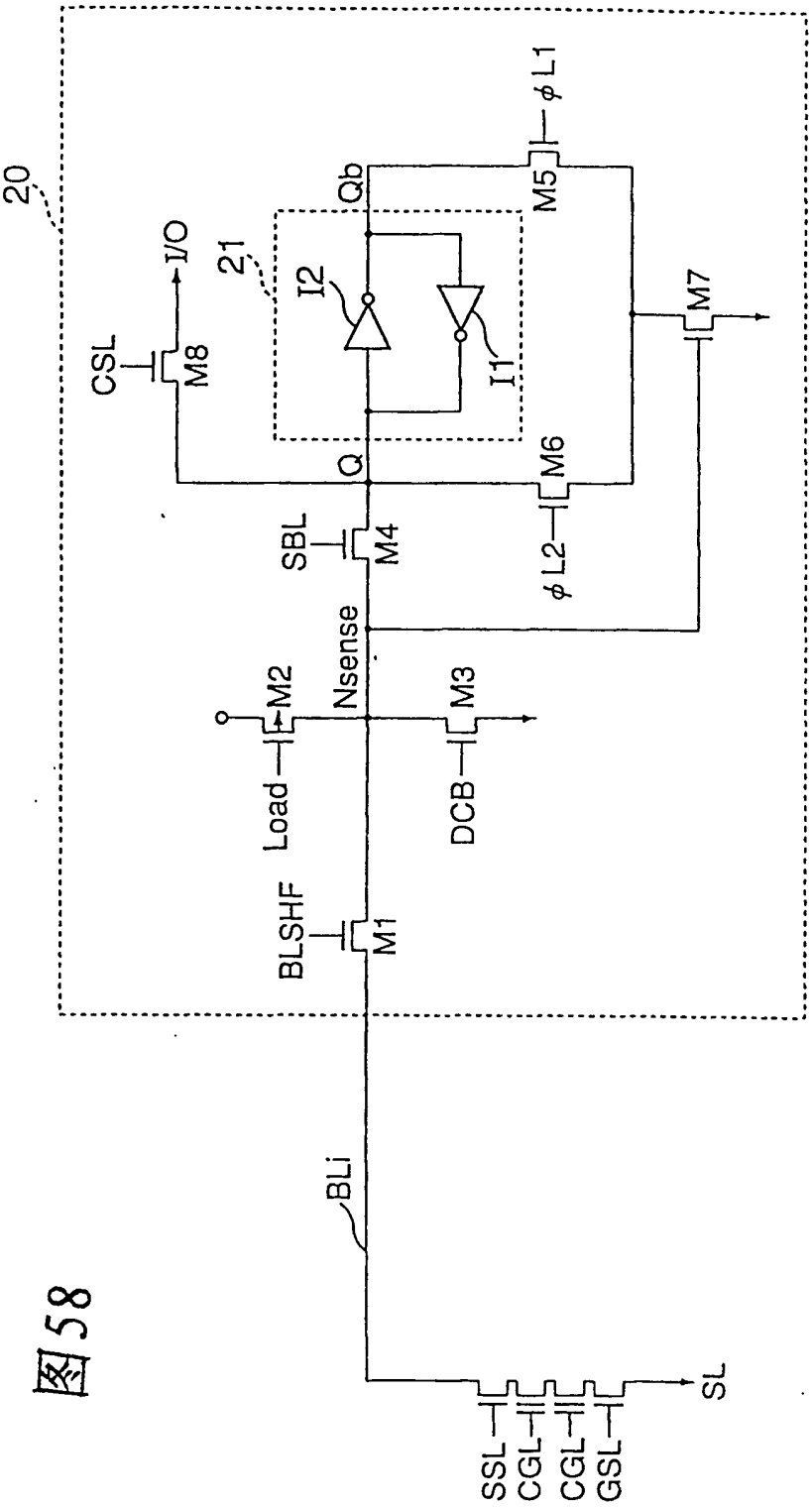

20
21
I/O
CSL
M8
I2
I1
Qb
Q
M5
φL1
M7
M6
φL2
SBL
M4
Nsense
M2
M3
Load
DCB
BLSHF
M1
BLi
SSL
CGL
CGL
GSL
SL

图58

图59

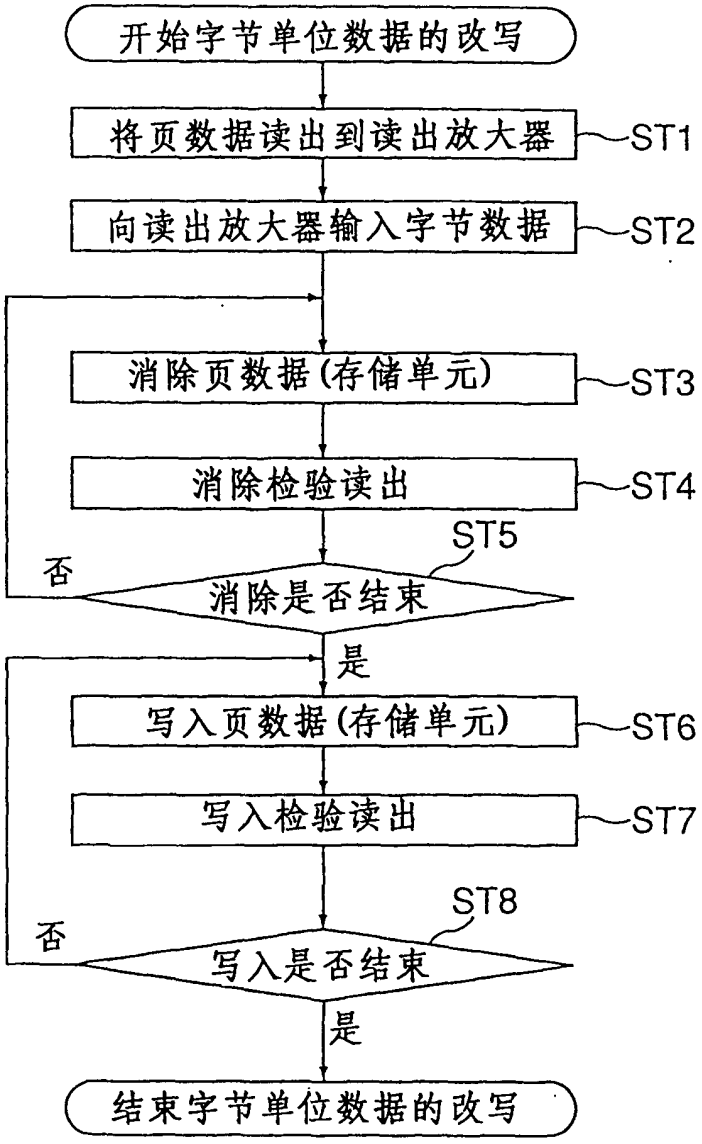

开始字节单位数据的改写
将页数据读出到读出放大器
ST1
向读出放大器输入字节数据
ST2
消除页数据(存储单元)
ST3
消除检验读出
ST4
ST5
否
消除是否结束
是
写入页数据(存储单元)
ST6
写入检验读出
ST7
ST8
否
写入是否结束
是
结束字节单位数据的改写

图60

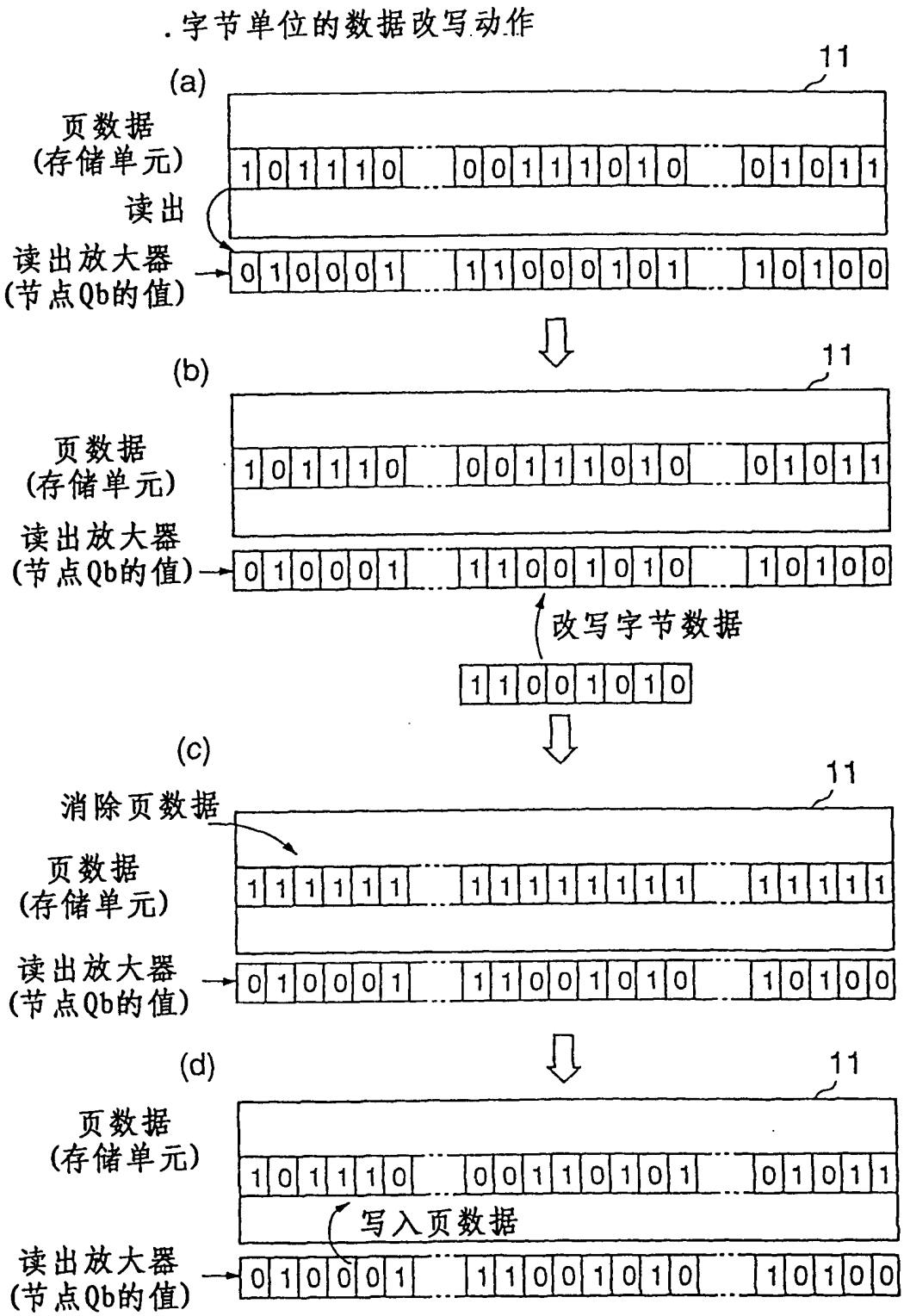

.字节单位的数据改写动作
(a)
11
页数据
(存储单元)
读出
读出放大器
(节点Qb的值)
(b)
11
页数据
(存储单元)
读出放大器
(节点Qb的值)
改写字节数据
(c)
11
消除页数据
页数据
(存储单元)
读出放大器
(节点Qb的值)
(d)
11
页数据
(存储单元)
写入页数据
读出放大器
(节点Qb的值)

图61

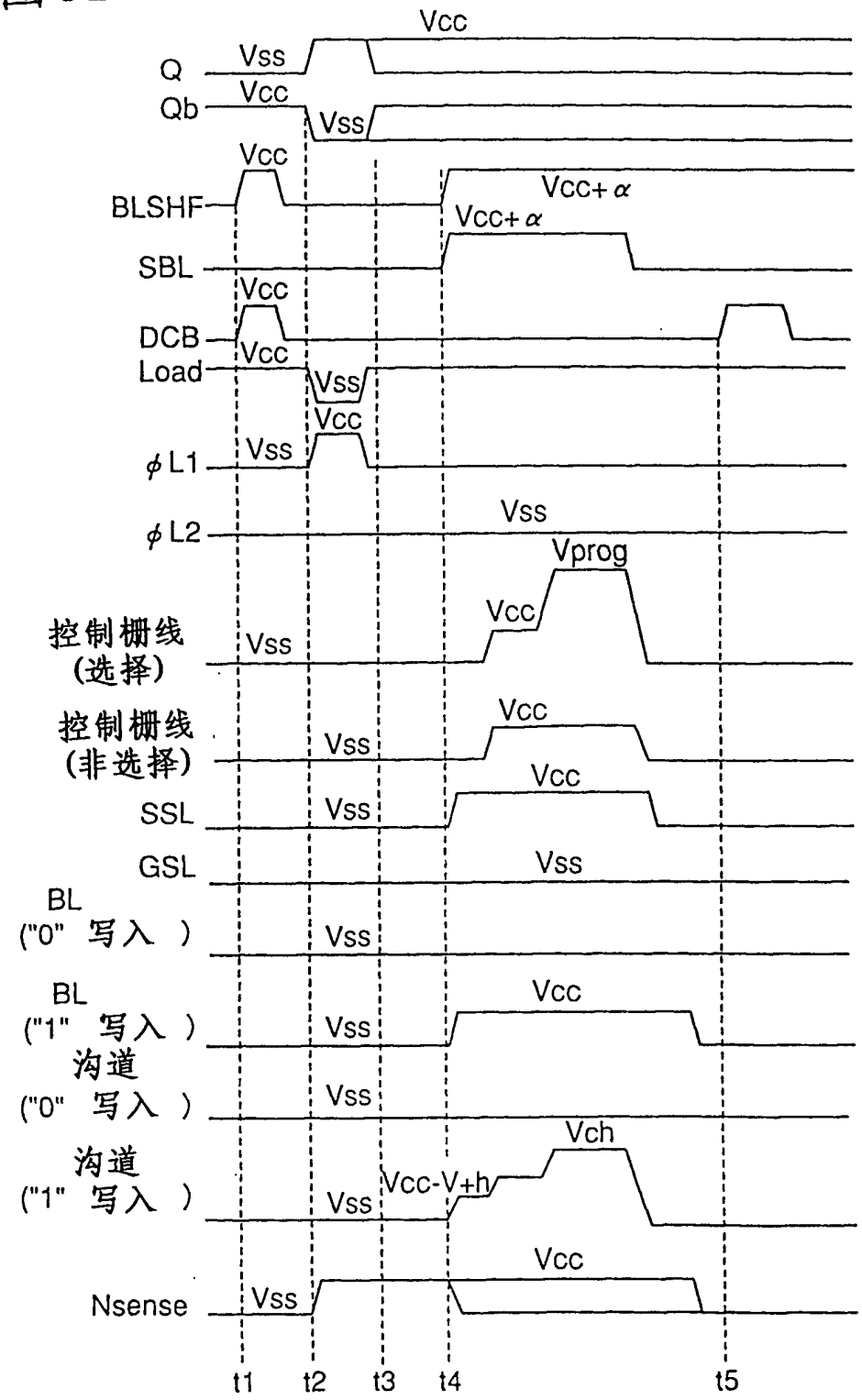

Vcc
Q
Vss
Vcc
Qb
Vss
Vcc
BLSHF
Vcc+α
Vcc+α
SBL
Vcc
DCB
Vcc
Load
Vss
Vcc
φL1
Vss
φL2
Vss
Vprog
Vcc
控制栅线
(选择)
Vss
Vcc
控制栅线
(非选择)
Vss
Vcc
SSL
Vss
GSL
Vss
BL
("0" 写入)
Vss
BL
("1" 写入)
Vss
Vcc
沟道
("0" 写入)
Vss
Vch
沟道
("1" 写入)
Vcc-V+h
Vss
Vcc
Nsense
Vss
t1
t2
t3
t4
t5

图62

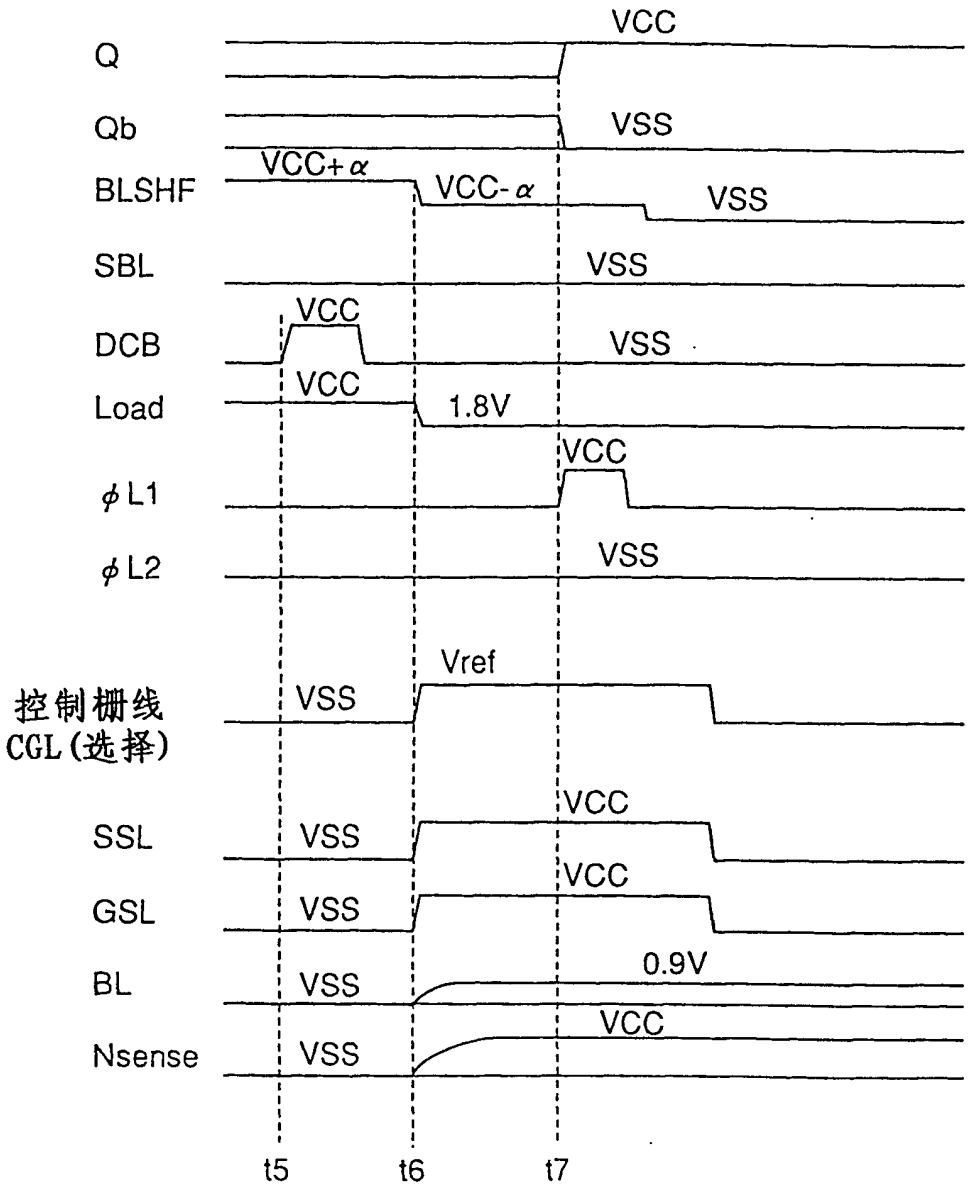
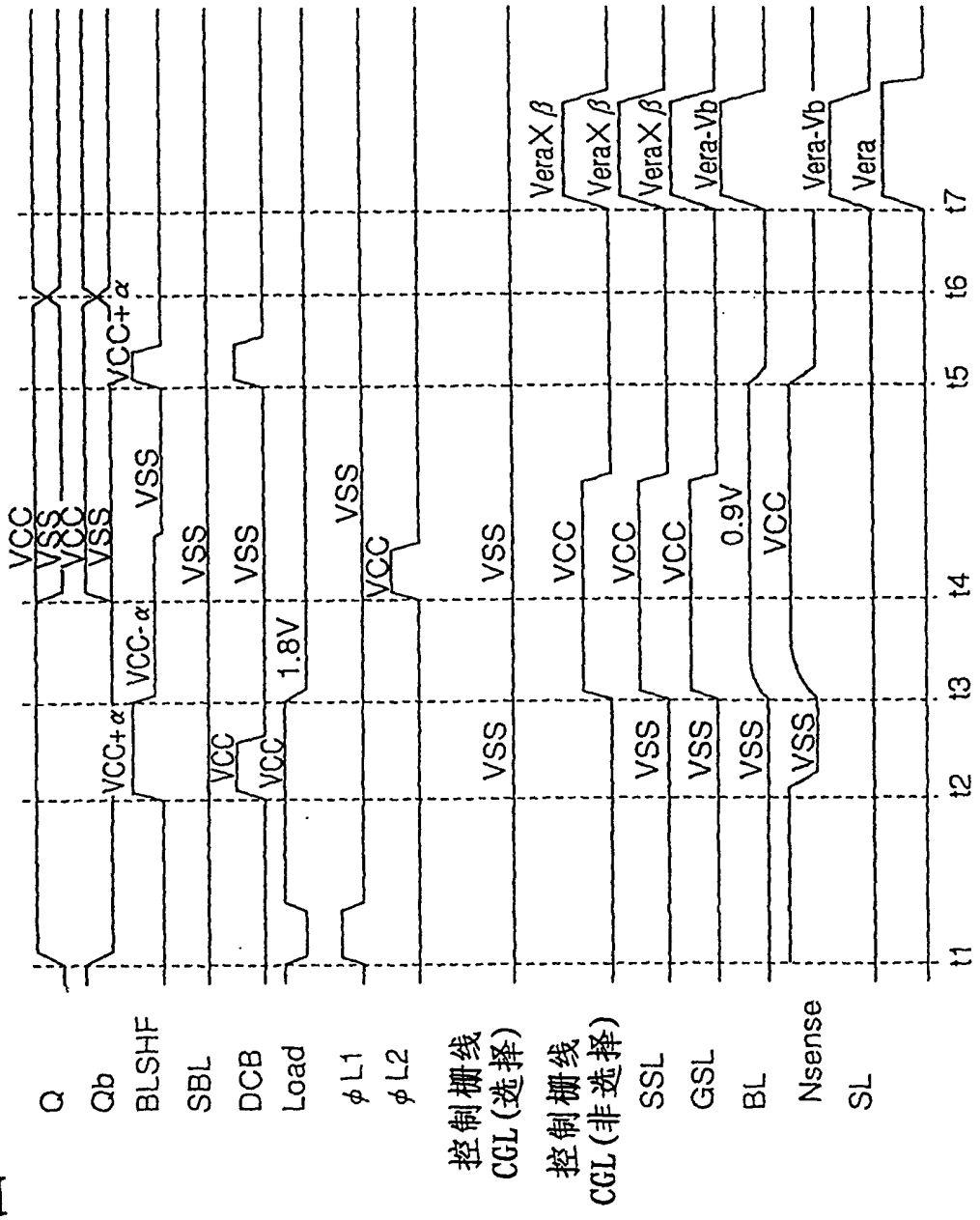

Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制栅线
CGL(选择)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC-α
1.8V
Vref
0.9V
t5
t6
t7

图63


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
控制栅线 CGL(选择)
控制栅线 CGL(非选择)
SSL
GSL
BL
Nsense
SL
VCC
VSS
VCC+α
VCC-α
1.8V
VeraXβ
Vera-Vb
Vera
0.9V
t1
t2
t3
t4
t5
t6
t7

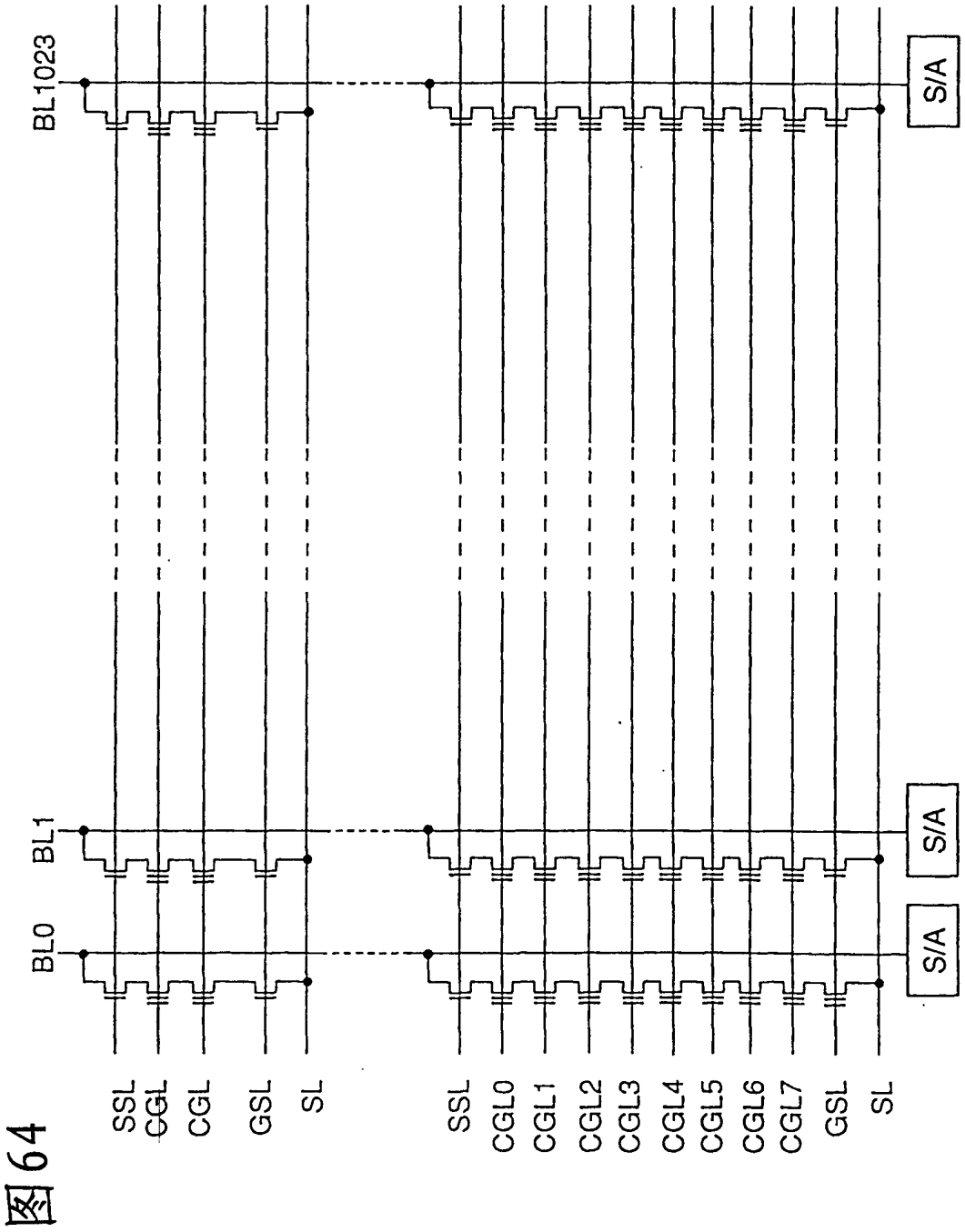

BL1023
BL1
BL0
S/A
S/A
S/A
SSL
CGL
CGL
GSL
SL
SSL
CGL0
CGL1
CGL2
CGL3
CGL4
CGL5
CGL6
CGL7
GSL
SL

图64

图65

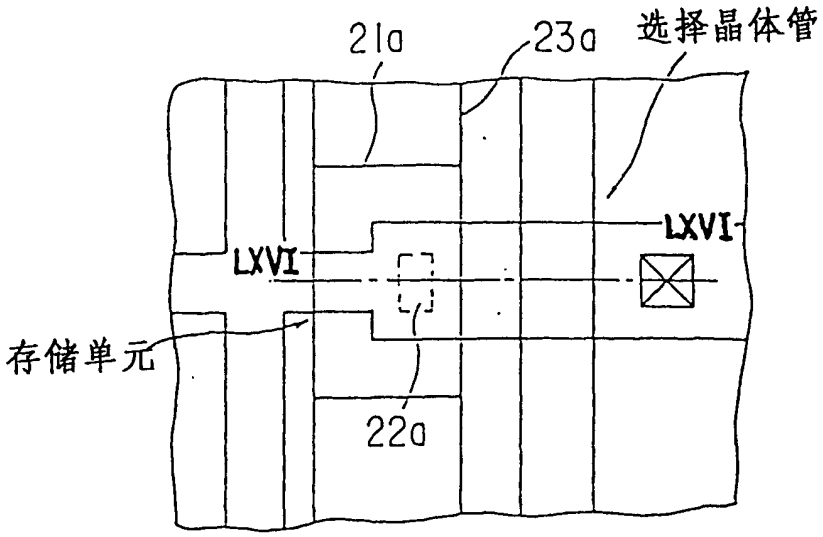

21a
23a
选择晶体管
LXVI
LXVI
存储单元
22a

图66

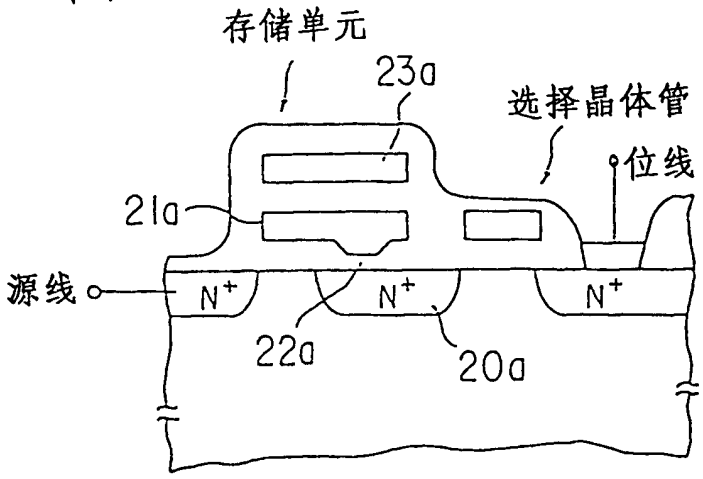

存储单元
23a
选择晶体管
位线
21a
源线
N+
N+
N+
22a
20a

图67

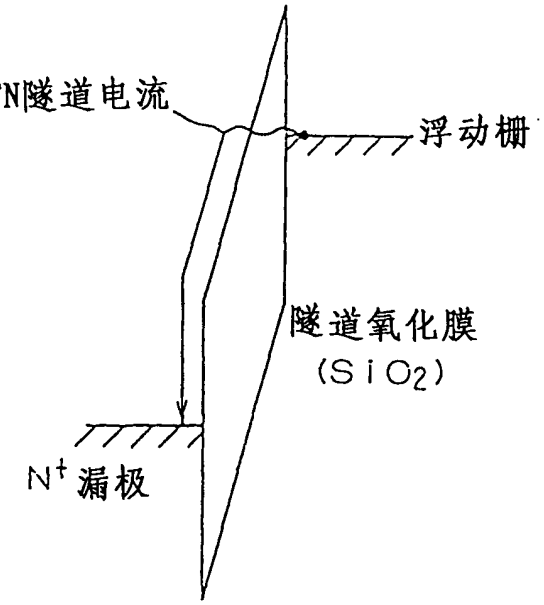


图68

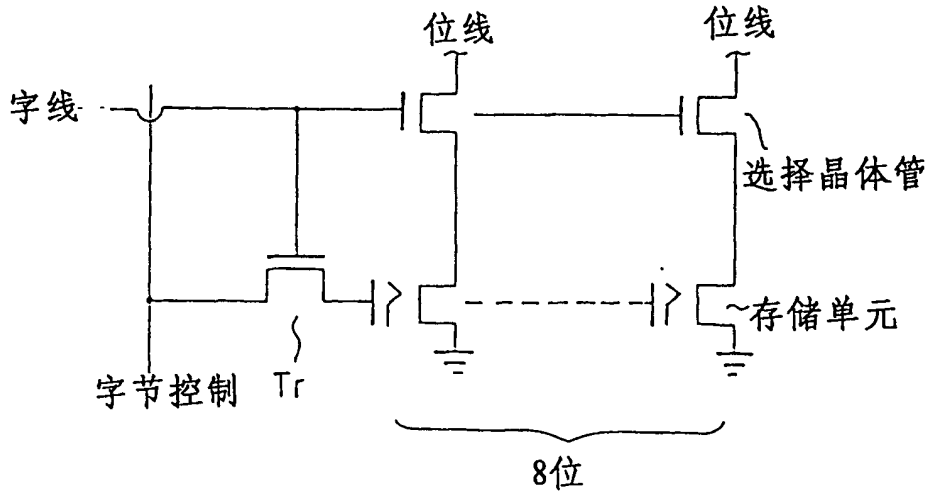


图69

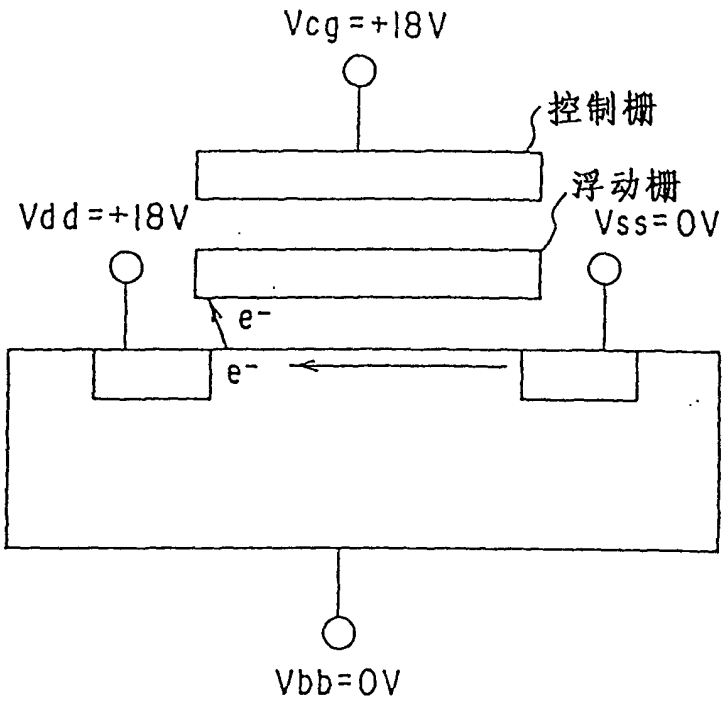


图70

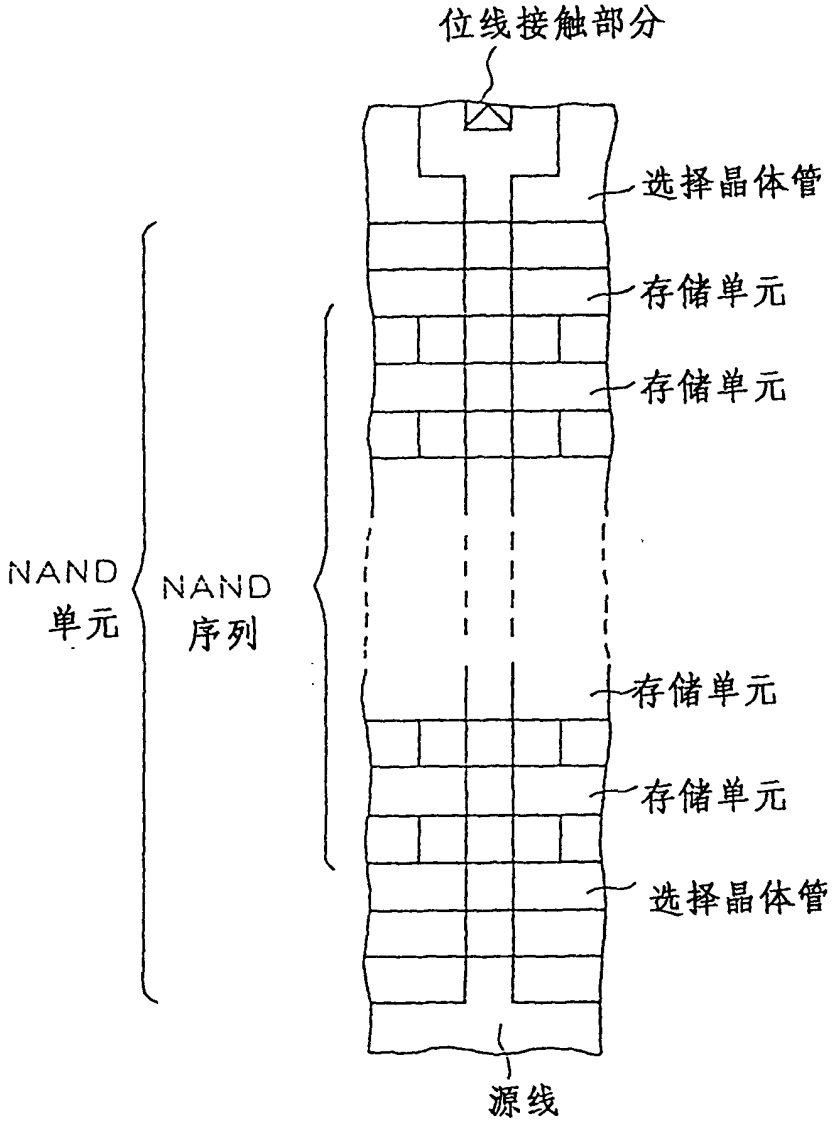
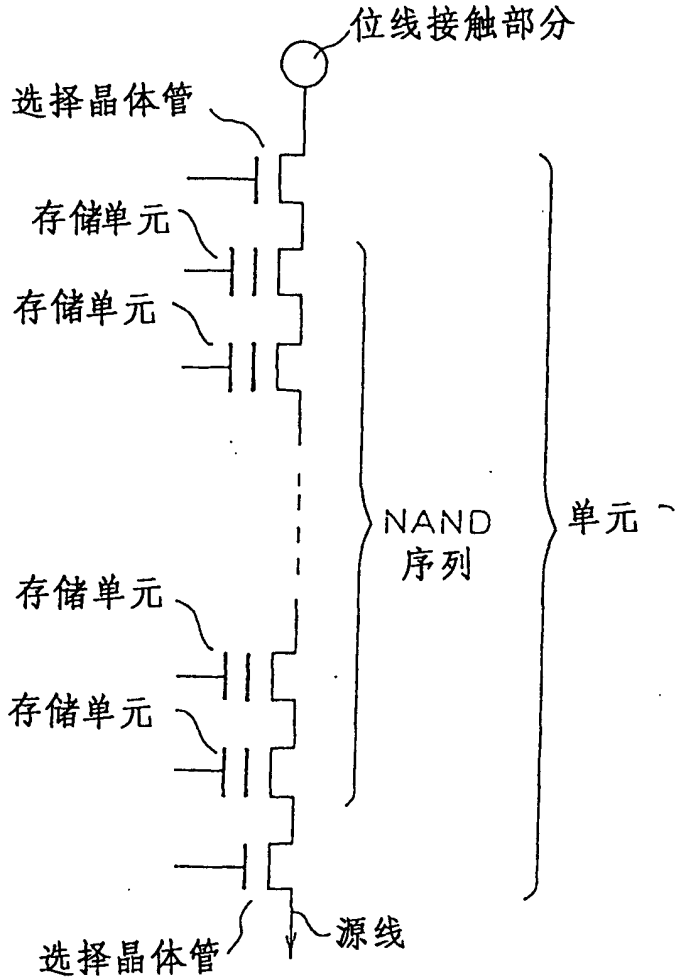


图71



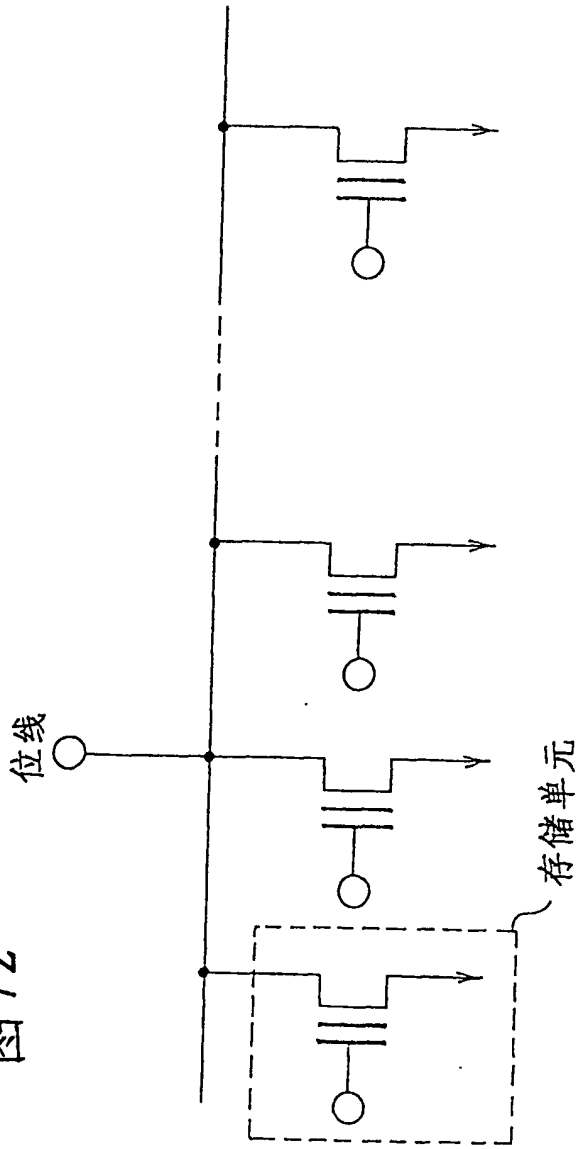


图72