

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92/127176

※申請日期：92.10.1

※IPC 分類：H01L 57/085 21/8228

壹、發明名稱：(中文/日文)

半導體裝置及其製造方法

半導体装置及びその製造方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

岡村 正

TADASHI OKAMURA

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦 1 丁目 1 番 1 號

1-1, SHIBAURA, 1-CHOME MINATO-KU, TOKYO 105-8001,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 1 人)

姓 名：(中文/英文)

田中 正幸

住居所地址：(中文/英文)

日本國神奈川縣橫濱市港北區新吉田町 1265-1-519

國 籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 10 月 15 日；特願 2002-299918
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 10 月 15 日；特願 2002-299918
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明有關於使用氮化矽膜之半導體裝置，特別有關於具備不使作為導電層使用之金屬矽化物之特性劣化之氮化矽膜而實現高性能化之半導體裝置及其製造方法。

【先前技術】

於次世代之半導體裝置，為了減低電極電阻而使用矽化鎳等金屬矽化物。圖8為先前之金屬矽化物使用於電極等導電層之半導體裝置之剖面圖。矽半導體基板101為例如：P型，圖中為形成於此基板之NMOSFET之構造剖面圖。圖所示之MOSFET係使用於例如：於同一晶片內形成NMOS及PMOS兩者之CMOS構造。

於半導體基板101，MOSFET形成於被區劃為STI(Shallow Trench Isolation：淺溝槽隔離)等元件分離區域113之元件區域。半導體基板101之表面區域形成淺擴散區域(Extension區域)102及深擴散區域103所組成之源極/汲極區域。源極/汲極區域間之通道區域上形成氧化矽膜等閘極絕緣膜104，且，閘極絕緣膜104上形成閘極構造。閘極絕緣膜104上形成多晶矽所組成之閘極電極107，其表面施加氧化矽膜等絕緣膜105，閘極電極107之側壁進一步形成氮化矽膜等所組成之側壁絕緣膜106。側壁絕緣膜106被閘極絕緣膜104及絕緣膜105所包圍。又，閘極電極107之上面形成矽化鎳等金屬矽化物之導電層109。此導電層109係為了使閘極電極107之電阻減低而施加。同樣，為了使源極/汲

極區域之電阻減低，其上亦形成導電層109。

氮化矽膜110係覆蓋此閘極構造及源極/汲極區域而形成於半導體基板101上。藉由CVD等形成之氧化矽膜等層間絕緣膜111係覆蓋此而形成於半導體基板101上。層間絕緣膜111之表面被平坦化，並形成接觸孔，其係將為了電氣連接形成於其上之配線(未圖示)及源極/汲極區域之接觸點112埋入者。接觸孔係底面與源極/汲極區域上之導電層109連接，埋入其中之鎢等接觸點112與前述配線及導電層109電氣連接。接觸孔係藉由RIE等異方性蝕刻所形成，氮化矽膜110作為之當時蝕刻終止膜而使用。

前述金屬矽化物，特別是矽化鎳比先前之電極材料不具耐熱性，故矽化鎳形成後之熱處理工序必須降溫至500℃以下。其他構成矽化物之金屬亦有Co、Mo、W、Ti、Ta、Hf、Pt等，然而所有金屬之矽化物均耐熱性低，例如：Co之矽化物之耐熱性為550℃，Mo之矽化物之耐熱性為650℃，W之矽化物之耐熱性為500℃以上程度。

為了形成半導體裝置，使用氮化矽膜(SiN)作為前述加工上之蝕刻終止膜，如前述，因矽化鎳等金屬矽化物之耐熱性的問題，必須於700℃以下，更佳為500℃以下之成膜溫度形成。

於半導體基板形成氮化矽膜(SiN)之情況，由包含矽烷之矽源成膜之方法為習知之例如：記載於專利文獻1之方法。又，於氮化矽膜(SiN)添加碳之成膜方法記載於專利文獻2。

【專利文獻1】

特開平11-172439號公報(於形成氮化矽膜(SiN)之情況，記載由含有碳之矽源成膜之方法)。

【專利文獻2】

特願平11-359463號(記載於氮化矽膜(SiN)添加碳之成膜方法)。

先前，形成低溫氮化矽膜(SiN)之技術可舉例以六氯二矽烷(Si_2Cl_6 :HCD)作為矽源而使用之成膜方法。然而，若於矽化鎳上使用含有氯之矽源形成SiN膜，將發生由於成膜中所發生之鹽酸，矽添加或磷添加電極上之矽化鎳被蝕刻的問題。

本發明係由於此種事由而實現者，並提供不使金屬矽化物所組成之電極等導電層劣化之絕緣膜，特別是具備氮化矽膜之半導體裝置及其製造方法。

【發明內容】

本發明之特徵在於於矽化鎳等金屬矽化物之導電層上，均一地形成以含有碳之氮化矽膜為主成分之絕緣膜之半導體裝置。含有碳之氮化矽膜係藉由氮化種類與矽源之反應而成膜。作為矽源所使用之六甲基二矽烷具備甲基，故藉由反應所形成之氮化矽膜含有碳及氫。且，若含有甲基，膜本身變薄，相對介電常數下降，所謂RC延遲之電晶體速度下降將被抑制。總言之，可達成電晶體的高性能化。又，可於矽源並用先前之低溫氮化矽膜形成技術中所使用之六氯二矽烷。此時，成膜之氮化矽膜中將含有氯。藉由使用此含有碳之氮化矽膜，以不使用於半導體裝置之金屬矽

化物之導電層劣化。如前述係說明為了形成含有碳之氮化矽膜之作為矽源之具有甲基之六甲基二矽烷，然而，本發明中則舉例作為矽源之其他碳基，例如：氨基、於自由基具有碳化物之氨基等。該等例示有乙基(C_2H_5)、丙基(C_3H_7)、丁基(C_4H_9)、t-丁基($C(CH_3)_3$)等。

又，若R=烷基，其他矽源有 $SiCl_2(R)_2$ 、 $SiCl(R)_3$ 、二矽烷($SiCl_x(R)_{6-x}$)($x=6$ 除外)、 $SiCl_xR_{3-x}NHSiCl_yR_{3-y}$ (亦可以其他鹵元素代替Cl)等。

本發明之半導體裝置，其特徵在於具備：半導體基板；源極/汲極區域，其係形成於前述半導體基板者；閘極絕緣膜，其係形成於前述半導體基板之前述源極/汲極區域間之通道區域上者；閘極電極，其係形成於前述閘極絕緣膜上者；金屬矽化物之導電層，其係形成於前述閘極電極上或者前述閘極電極及源極/汲極區域上者；含有碳之絕緣膜，其係至少與前述導電層相接而形成於前述半導體基板上者；及層間絕緣膜，其係覆蓋前述含有碳之絕緣膜而形成於前述半導體基板上者。前述含有碳之絕緣膜亦可以氮化矽膜為主成分。前述碳之含有量亦可為 $1e20\text{ cm}^{-3}$ 以上。電晶體半導體裝置之特性在此範圍內可充分提升。前述金屬矽化物之金屬亦可為鎳。前述金屬矽化物之金屬亦可選自鈹、鈷、鈦、鉬、鉛、鎢、白金、及鈮之至少1種。前述金屬矽化物之金屬亦可為疊層複數層之構造。前述含有碳之絕緣膜亦可氮濃度為 $4e21\text{ cm}^{-3}$ 以下。亦可於矽源並用HCD。前述含有碳之絕緣膜亦可含有氫 $1e20\text{ cm}^{-3}$ 以上。

本發明之半導體裝置之製造方法，其特徵在於具備：於矽半導體基板形成源極/汲極區域之工序；於前述半導體基板之前述源極/汲極區域間之通道區域上形成閘極絕緣膜之工序；於前述閘極絕緣膜上形成多晶矽所組成之閘極電極之工序；覆蓋前述閘極電極及源極/汲極區域而於前述半導體基板上形成金屬所組成之導電層之工序；熱處理前述導電層，於前述源極/汲極區域上及前述閘極電極上，形成前述矽及前述多晶矽與前述金屬反應所組成之金屬矽化物之導電層之工序；除去與前述矽及多晶矽未反應之前述金屬之工序；覆蓋前述金屬矽化物之導電層而於前述半導體基板上形成含有碳之絕緣膜之工序；及覆蓋前述含有碳之絕緣膜而於前述半導體基板上形成層間絕緣膜之工序。前述含有碳之絕緣膜亦可以氮化矽膜為主成分。前述碳之含有量亦可為 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。前述金屬亦可為鎳。前述金屬亦可選自鈦、鈷、鈦、鉬、鉛、鎢、白金、及鈮之至少1種。前述金屬亦可為疊層複數層之構造。

前述含有碳之絕緣膜亦可氮濃度為 $4 \times 10^{21} \text{ cm}^{-3}$ 以下。前述含有碳之絕緣膜亦可含有氫 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。前述以氮化矽膜為主成分之絕緣膜亦可藉由具有甲基或氨基之矽烷及氮之反應而形成。前述以氮化矽膜為主成分之絕緣膜亦可藉由六甲基二矽烷與氮反應而形成。前述以氮化矽膜為主成分之絕緣膜亦可藉由六甲基二矽烷及六氯二矽烷與氮反應而形成。前述反應時之成膜溫度亦可為 700°C 以下。本發明中，前述含有碳之絕緣膜亦可含有氮以外之鹵元素。

【實施方式】

以下，參考圖式說明本發明之實施型態。

首先，參考圖1至圖6說明第一實施例。

圖1為半導體裝置之剖面圖；圖2至圖5為半導體裝置之製程剖面圖；圖6係表示藉由本實施例之方法所形成之氮化矽膜(SiN)之膜中雜質之SIMS分析結果之特性圖。

矽半導體基板1為例如：P型，圖中為形成於此基板之NMOSFET之構造剖面圖。圖1所示之MOSFET係使用於例如：於同一晶片內形成NMOS及PMOS兩者之CMOS構造。於半導體基板1，與圖8相同，MOSFET形成於被區劃為STI等元件分離區域(未圖示)之元件區域。半導體基板1之表面區域形成淺擴散區域(Extension區域)2及深擴散區域3所組成之源極/汲極區域。源極/汲極區域間之通道區域上形成氧化矽膜等閘極絕緣膜4，且，閘極絕緣膜4上形成閘極構造。

閘極絕緣膜4上形成多晶矽所組成之閘極電極7，其表面施加氧化矽膜等絕緣膜5，閘極電極7之側壁進一步形成氮化矽膜等所組成之側壁絕緣膜6。側壁絕緣膜6被閘極絕緣膜4及絕緣膜5所包圍。又，閘極電極7之上面形成矽化鎳等金屬矽化物之導電層9。此導電層9係為了使閘極電極7之電阻減低而施加。同樣，為了使源極/汲極區域之電阻減低，其上亦形成導電層9。含有碳之氮化矽膜10係覆蓋此閘極構造及源極/汲極區域而形成於半導體基板1上。氧化矽膜等層間絕緣膜11係覆蓋此而形成於半導體基板1上。層間絕緣

膜11之表面被平坦化，並形成接觸孔，其係將為了電氣連接形成於其上之鋁或銅等配線14及源極/汲極區域之接觸點12埋入者。接觸孔係底面與源極/汲極區域上之導電層9連接，埋入其中之鎢等接觸點12與前述配線及導電層9電氣連接。接觸孔係藉由RIE等異方性蝕刻所形成，含有碳之氮化矽膜10作為當時之蝕刻終止膜而使用。

此實施例所使用之含有碳之氮化矽膜之相對介電常數降低，稱為RC延遲之電晶體速度下降將被抑制。

其次，參考圖1至圖5，說明本實施例之半導體裝置之製造方法。首先，於半導體基板1形成淺擴散區域2及深擴散區域3所組成之源極/汲極區域，於源極/汲極區域間之上，經由閘極絕緣膜4而形成閘極構造。此狀態下，閘極電極7及源極/汲極區域之矽係露出(圖2)。其次，藉由稀氫氟酸將半導體基板1表面進行前處理，其後，於半導體基板1上，鎳膜8係藉由濺鍍法，覆蓋露出之矽而成膜(圖3)。鎳膜8之膜厚為1~30 nm。其次，藉由高速熱處理RTA(Rapid Thermal Anneal：快速退火)，於例如：250℃~500℃程度之溫度、1秒~10分以內之時間、及氮或稀有氣體氣氛中進行熱處理。於此時點，矽上之鎳膜8變化為矽化鎳膜9，矽以外之處殘留未反應之鎳膜。其次，藉由過氧化氫水及硫酸之混合藥液，除去未反應之鎳膜8(圖4)。

其次，於半導體基板1上，藉由矽源與氮化種類反應，將含有碳之氮化矽膜10成膜1 nm~150 nm程度之膜厚。矽源係採用例如：六甲基二矽烷($\text{Si}_2(\text{CH}_3)_6$ ：HMD)，氮化種類

係採用氮。成膜溫度為 $250^{\circ}\text{C} \sim 550^{\circ}\text{C}$ ，成膜壓力為 $0.01 \text{ Torr} \sim 50 \text{ Torr}$ 。若採用此種成膜條件，添加砷或磷之矽電極7上之矽化鎳膜9可不被蝕刻而形成含有碳之氮化矽膜(SiN)。其次，形成膜厚 $100 \sim 10000 \text{ nm}$ 程度之氧化矽膜等層間絕緣膜11，藉由RIE等通常之加工而形成接觸孔。於此接觸孔埋入鎢(使障壁層(Ti/TiN)介在)等接觸點12。其次，於層間絕緣膜11之表面形成鋁或銅等配線14。接觸點12係與配線14及源極/汲極區域上之矽化鎳膜9電氣連接。

圖6係表示以前述成膜條件所成膜之氮化矽膜(SiN)中之雜質分析之結果。圖6之縱軸表示雜質濃度，橫軸表示距離半導體基板表面之深度(nm)。如圖所示可知，藉由使用HMD為矽源， $1\text{e}21 \text{ cm}^{-3}$ 之碳導入氮化矽膜中。又，膜中之氯(Cl)濃度為 $1\text{e}15 \text{ cm}^{-3}$ 級。由於膜中存在碳，故可達成半導體裝置之性能提升及抑制加工變動。例如：藉由於氮化矽膜中添加碳，可使膜密度變薄，相對介電常數降低。總言之，由於相對介電常數降低，可抑制所謂RC延遲之電晶體速度下降。又，藉由於氮化矽膜中添加碳，對於藥液之耐蝕刻性提升，由於耐蝕刻性提升，例如：可減少接觸孔開口時之前處理時之氮化矽膜的削減量變動。

用於形成本發明之氮化矽膜之矽源，其一例係使用HMD，然而，以其他碳基、氮基甚至於自由基具有碳化物之氮基等代替甲基，可使用眾多之矽源。又，已敘述作為電極材料之矽化鎳，然而，其他金屬有Ta、Co、Ti、Mo、Hf、W、Pt、Pd等，又，該等之單體金屬或該等之疊層構造

之電極亦有相同的效果。

其次，參考圖7說明第二實施例。

圖7為半導體裝置(快閃記憶體)之剖面圖。此實施例係將本發明適用於快閃記憶體之例。此半導體裝置亦以減低電阻為目的，於閘極電極表面及源極/汲極區域表面形成金屬矽化物之導電層，且含有碳之氮化矽膜形成於半導體基板表面。

例如：於p型半導體基板21，MOSFET形成於被區劃為STI等元件分離區域22之元件區域。例如：n型之源極/汲極區域23係形成於半導體基板21之表面區域。氧化矽膜等閘極絕緣膜24形成於源極/汲極區域23間之通道區域上。且，閘極構造形成於閘極絕緣膜24上。亦即，多晶矽所組成之浮動閘極27a形成於閘極絕緣膜24上，於其上，經由絕緣膜(ONO(Oxide-Nitride-Oxide：二氧化矽-氧化矽-二氧化矽))25而疊層控制閘極27b。

矽化鎳等金屬矽化物之導電層26形成於控制閘極27b之上面。此導電層26係為了減低控制閘極27b之電阻而施加。同樣，為了減低源極/汲極區域23之電阻，於其上亦形成導電層26。含有碳之氮化矽膜29係覆蓋此閘極構造及源極/汲極區域上之導電層而形成於半導體基板21上。藉由CVD等所形成之氧化矽膜等層間絕緣膜28係包含含有碳之氮化矽膜29而形成於半導體基板21上。層間絕緣膜28於表面被平坦化後，形成接觸孔，其係將為了電氣連接形成於其上並與位元線連接之鋁或銅等配線31，及源極/汲極區域23

中之汲極區域上之導電層26之接觸點30埋入者。接觸孔係底面與源極/汲極區域上之導電層26連接，埋入其中之鎢等接觸點30電氣連接前述配線31及導電層26。接觸孔係藉由RIE等異方性蝕刻所形成，含有碳之氮化矽膜29成為當時之蝕刻終止膜。

於半導體基板21上，藉由矽源與氮化種類反應，將含有碳之氮化矽膜29成膜1 nm~150 nm程度之膜厚。矽源係採用例如：六甲基二矽烷($\text{Si}_2(\text{CH}_3)_6$: HMD)，氮化種類係採用氨。成膜溫度為250℃~550℃，成膜壓力為0.01 Torr~50 Torr。若採用此種成膜條件，添加砷或磷之控制閘極上之金屬矽化物之導電層可不被蝕刻而形成含有碳之氮化矽膜。

用於此實施例之含有碳之氮化矽膜，其相對介電常數降低，可期待稱為RC延遲之電晶體速度下降被抑制之電晶體特性之提升。

本發明藉由以上之構成，可不使矽化鎳等金屬矽化物劣化，於金屬矽化物上均一地形成含有碳之氮化矽膜。又，藉由於氮化矽膜中添加碳，可達成半導體裝置之高性能化。

【圖式簡單說明】

圖1為本發明之第一實施例之半導體裝置之剖面圖。

圖2為圖1之半導體裝置之製程剖面圖。

圖3為圖1之半導體裝置之製程剖面圖。

圖4為圖1之半導體裝置之製程剖面圖。

圖5為圖1之半導體裝置之製程剖面圖。

伍、中文發明摘要：

本發明提供一種具備包含不使金屬矽化物所組成之導電層劣化之氮化矽膜之絕緣膜之半導體裝置及其製造方法。

本發明於矽化鎳等金屬矽化物之導電層9上形成以均勻含有碳之氮化矽膜為主成分之絕緣膜10。含有碳之氮化矽膜係藉由氮化種與矽源之反應所成膜。作為矽源所使用之六甲基二矽烷具備甲基，故藉由反應所形成之氮化矽膜含有碳及氫。而且，若含有甲基則膜本身變稀薄，相對介電常數降低，所謂RC延遲之電晶體速度下降將被抑制。藉由使用含有碳之氮化矽膜，於工序中不使金屬矽化物之導電層劣化。作為矽源可舉例氨基、於自由基具有碳化物之氮基等。

陸、日文發明摘要：

【課題】 金属珪化物からなる導電層を劣化させることの無いシリコン窒化膜を含む絶縁膜を備えた半導体装置及びその製造方法を提供する。

【解決手段】 珪化ニッケルなどの金属珪化物の導電層9上に均一に炭素を含むシリコン窒化膜を主成分とする絶縁膜10が形成されている。炭素を含むシリコン窒化膜は、窒化種とシリコンソースの反応により成膜される。シリコンソースとして用いられるヘキサメチルジシランは、メチル基を備えているので、反応により形成されるシリコン窒化膜には炭素及び水素が含まれる。そして、メチル基が含まれると膜自体が疎になって比誘電率が下がり、RC遅延というトランジスタの速度低下が抑制される。炭素を含むシリコン窒化膜を用いることにより工程中に金属珪化物の導電層を劣化させない。シリコンソースとして、アミノ基、炭素化合物を遊離基に持つアミノ基などを持つものも挙げられる。

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- 1 半導體基板
- 2 源極/汲極區域之淺擴散區域
- 3 源極/汲極區域之深擴散區域
- 4 閘極絕緣膜
- 6 側壁絕緣膜
- 7 閘極電極
- 9 金屬矽化物之導電層(矽化鎳膜)
- 10 含有碳之氮化矽膜
- 11 層間絕緣膜
- 12 接觸點
- 14 配線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

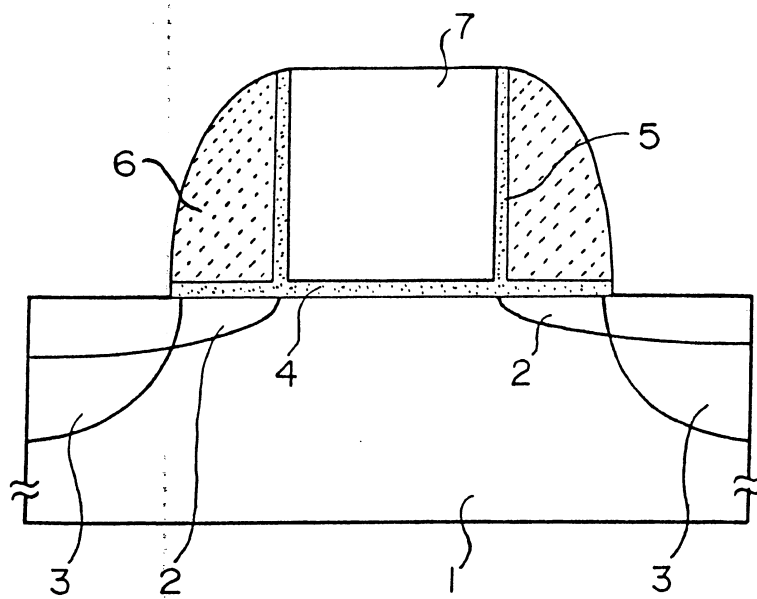


圖 2

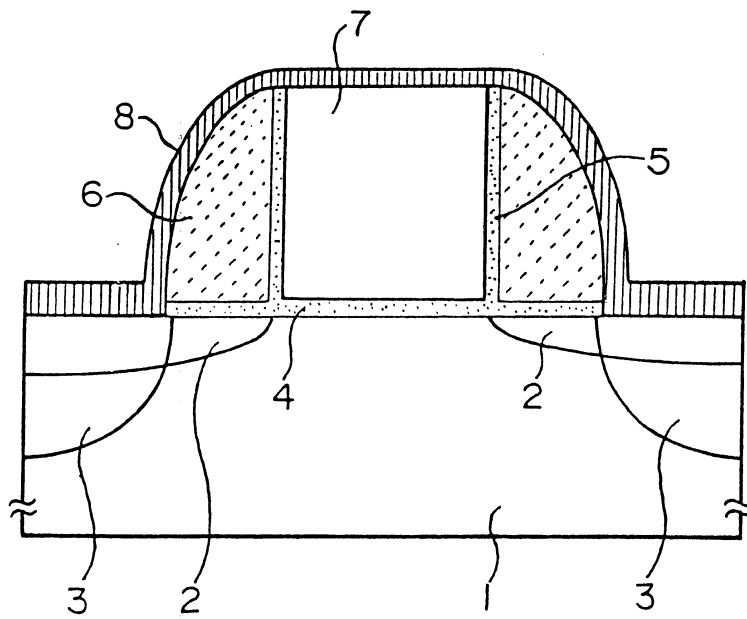


圖 3

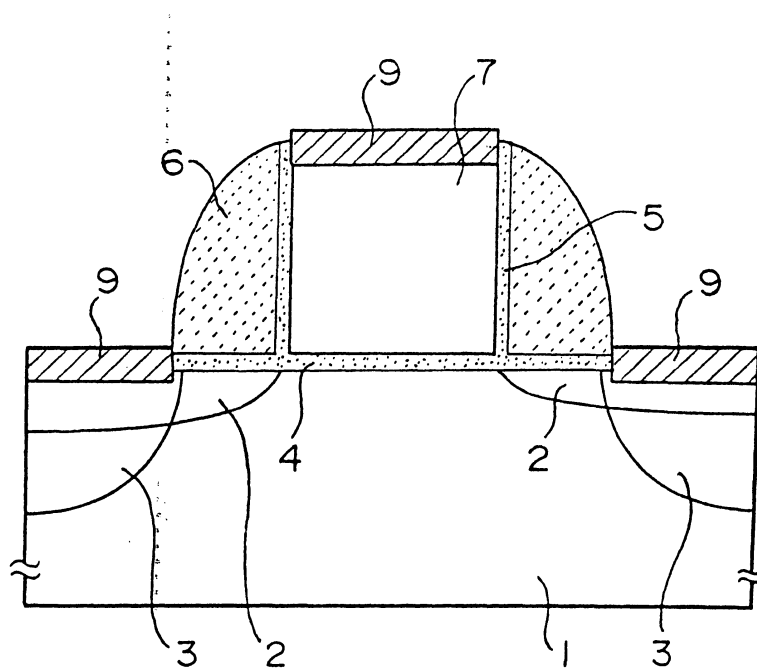


圖 4

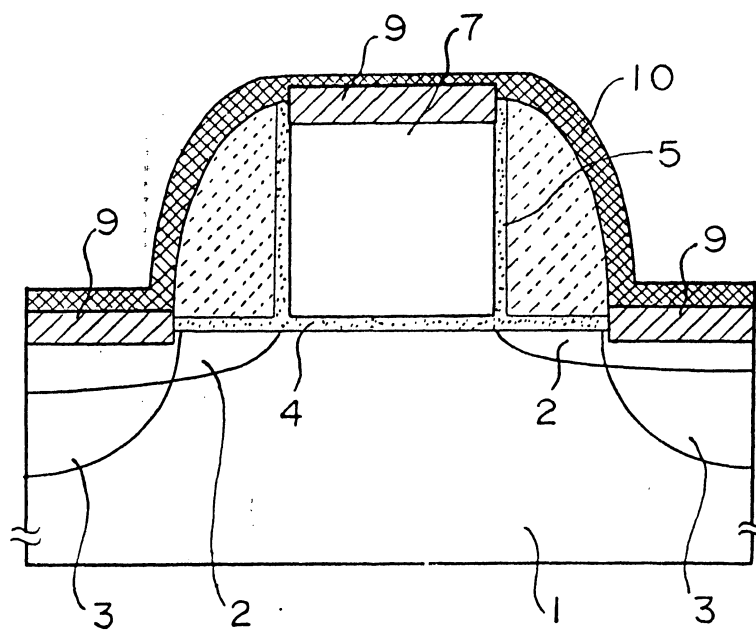


圖 5

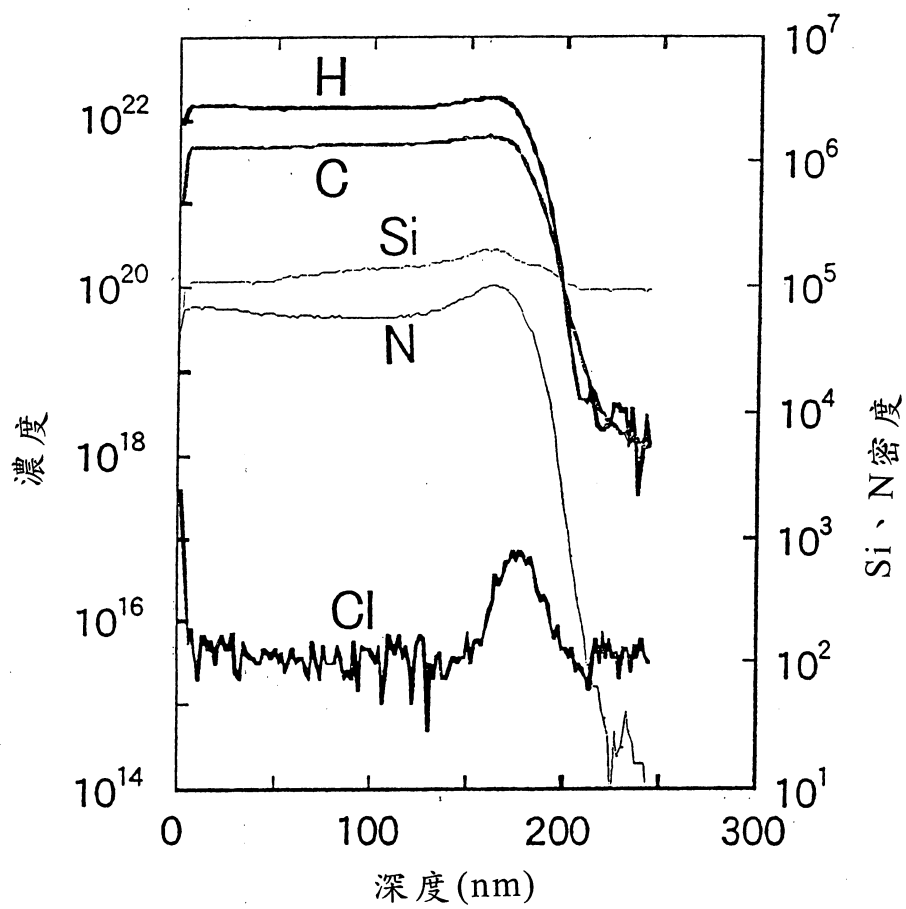


圖 6

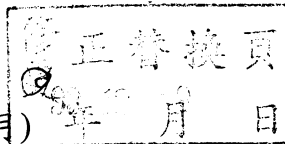
圖 6 係表示藉由本發明之方法所形成之氮化矽膜之膜中雜質之 SIMS 分析結果之特性圖。

圖 7 為本發明之第二實施例之半導體裝置之剖面圖。

圖 8 為先前之半導體裝置之剖面圖。

【圖式代表符號說明】

1、21、101	半導體基板
2、102	源極/汲極區域之淺擴散區域
3、103	源極/汲極區域之深擴散區域
4、24、104	閘極絕緣膜
5、25、105	絕緣膜
6、106	側壁絕緣膜
7、107	閘極電極
8	鎳膜
9	金屬矽化物之導電層(矽化鎳膜)
10、29	含有碳之氮化矽膜
11、28、111	層間絕緣膜
12、30、112	接觸點
14、31	配線
22、113	元件分離區域
23	源極/汲極區域
26、27、109	金屬矽化物之導電層
27a	浮動閘極
27b	控制閘極
110	氮化矽膜



拾、申請專利範圍：

1. 一種半導體裝置，其特徵在於具備：

半導體基板；

源極/汲極區域，其係形成於前述半導體基板者；

閘極絕緣膜，其係形成於前述半導體基板之前述源極/汲極區域間之通道區域上者；

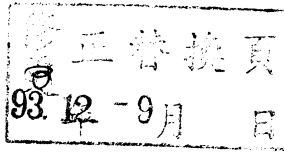
閘極，其係形成於前述閘極絕緣膜上者；

金屬矽化物之導電層，其係形成於前述閘極上或者前述閘極及源極/汲極區域上者；

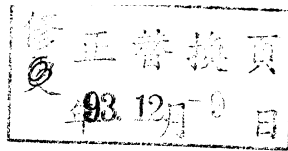
含有碳之絕緣膜，其係至少與前述導電層相接般地形成於前述半導體基板上者；及

層間絕緣膜，其係覆蓋前述含有碳之絕緣膜般地形成於前述半導體基板上者。

2. 如申請專利範圍第1項之半導體裝置，其中前述含有碳之絕緣膜以氮化矽膜為主成分。
3. 如申請專利範圍第1項之半導體裝置，其中前述碳之含量為 $1e20 \text{ cm}^{-3}$ 以上。
4. 如申請專利範圍第1項之半導體裝置，其中前述金屬矽化物之金屬為鎳。
5. 如申請專利範圍第1項之半導體裝置，其中前述金屬矽化物之金屬係選自鈮、鈷、鈦、鉬、鉛、鎢、白金及鈾之至少1種。
6. 如申請專利範圍第5項之半導體裝置，其中前述金屬矽化物之金屬為層疊成複數層之構造。



7. 如申請專利範圍第1項之半導體裝置，其中前述含有碳之絕緣膜係氮濃度為 $4 \times 10^{21} \text{ cm}^{-3}$ 以下。
8. 如申請專利範圍第1至7項中任一項之半導體裝置，其中前述含有碳之絕緣膜含有氮 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。
9. 一種半導體裝置之製造方法，其特徵在於具備：
 - 於矽半導體基板形成源極/汲極區域之工序；
 - 於前述半導體基板之前述源極/汲極區域間之通道區域上形成閘極絕緣膜之工序；
 - 於前述閘極絕緣膜上形成含有多晶矽之閘極之工序；
 - 覆蓋前述閘極及源極/汲極區域般於前述半導體基板上形成含有金屬之導電層之工序；
 - 熱處理前述導電層，於前述源極/汲極區域上及前述閘極上，形成前述矽及前述多晶矽與前述金屬反應而成之金屬矽化物之導電層之工序；
 - 除去與前述矽及多晶矽未反應之前述金屬之工序；
 - 覆蓋前述金屬矽化物之導電層般於前述半導體基板上形成含有碳之絕緣層之工序；及
 - 覆蓋前述含有碳之絕緣膜般於前述半導體基板上形成層間絕緣膜之工序。
10. 如申請專利範圍第9項之半導體裝置之製造方法，其中前述含有碳之絕緣膜以氮化矽膜為主成分。
11. 如申請專利範圍第9項之半導體裝置之製造方法，其中前述碳之含有量為 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。
12. 如申請專利範圍第9項之半導體裝置之製造方法，其中前



述金屬為鎳。

13. 如申請專利範圍第9項之半導體裝置之製造方法，其中前述金屬係選自鈿、鈷、鈦、鉬、鉛、鎢、白金及鉑之至少1種。
14. 如申請專利範圍第13項之半導體裝置之製造方法，其中前述金屬為層疊成複數層之構造。
15. 如申請專利範圍第9項之半導體裝置之製造方法，其中前述含有碳之絕緣膜係氯濃度為 $4e21\text{ cm}^{-3}$ 以下。
16. 如申請專利範圍第9至15項中任一項之半導體裝置之製造方法，其中前述含有碳之絕緣膜含有氮 $1e20\text{ cm}^{-3}$ 以上。
17. 如申請專利範圍第10項之半導體裝置之製造方法，其中前述以氮化矽膜為主成分之絕緣膜係藉由具有甲基或氨基之矽烷及氮之反應所形成者。
18. 如申請專利範圍第17項之半導體裝置之製造方法，其中前述以氮化矽膜為主成分之絕緣膜係藉由六甲基二矽烷與氮反應所形成者。
19. 如申請專利範圍第10項之半導體裝置之製造方法，其中前述以氮化矽膜為主成分之絕緣膜係藉由六甲基二矽烷及六氯二矽烷與氮反應所形成者。
20. 如申請專利範圍第10、17至19項中任一項之半導體裝置之製造方法，其中前述反應時之成膜溫度為 700°C 以下。

拾壹、圖式：

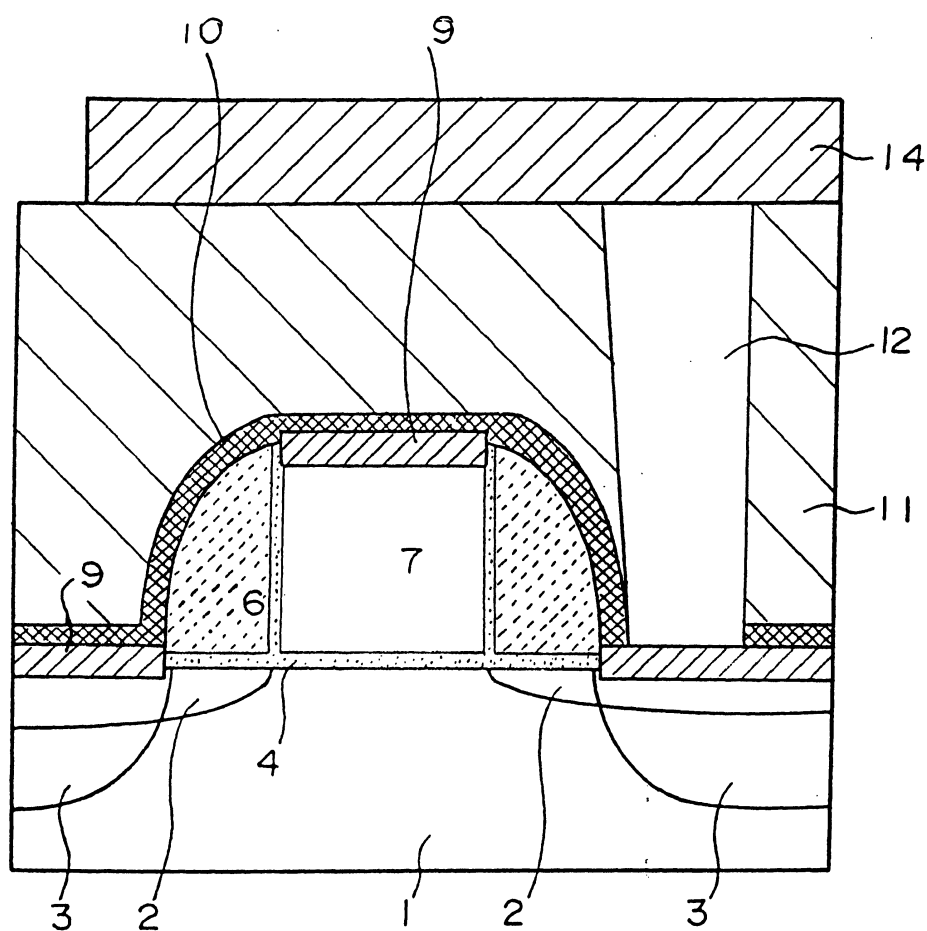


圖 1

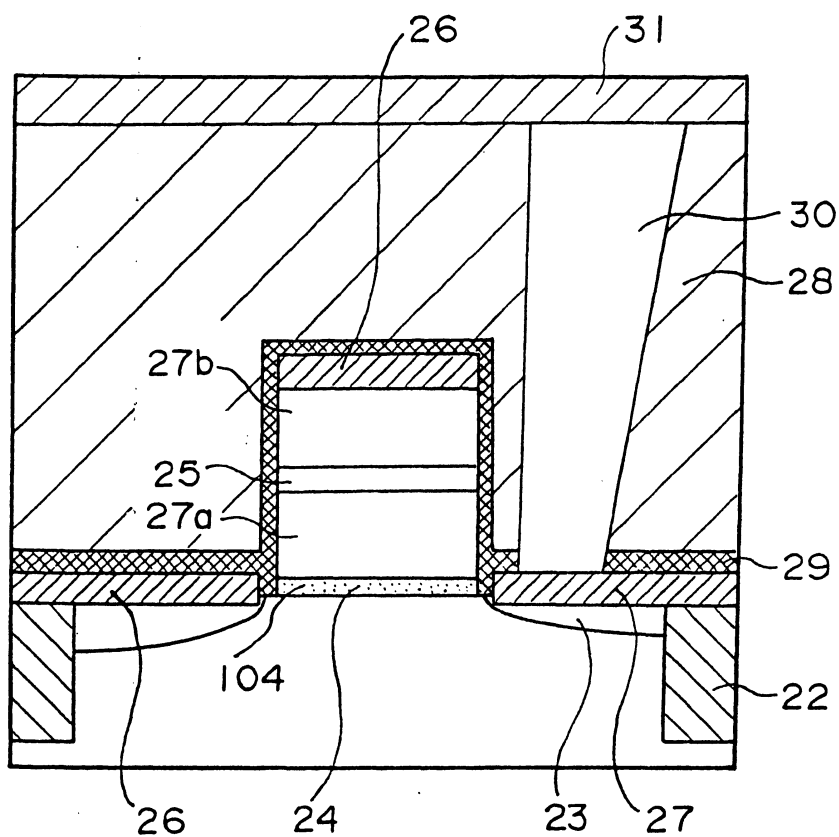


圖 7

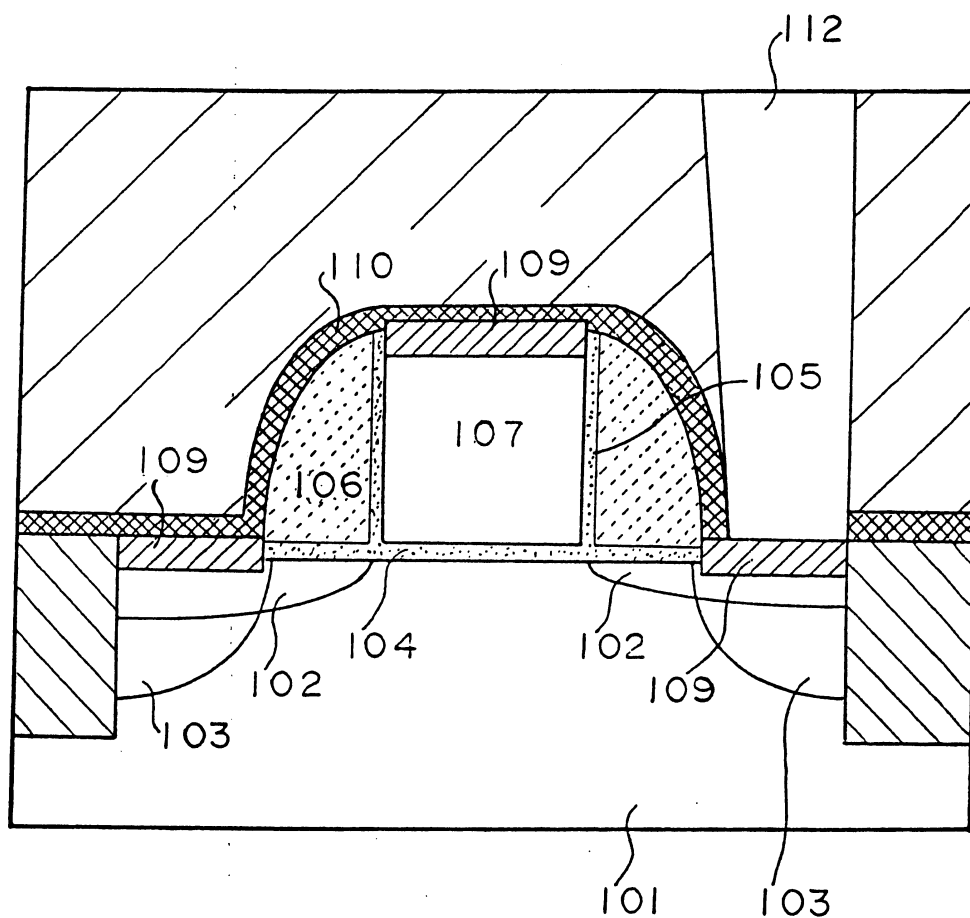


圖 8