



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월08일
(11) 등록번호 10-2274276
(24) 등록일자 2021년07월01일

(51) 국제특허분류(Int. Cl.)
G11C 16/04 (2006.01) G11C 16/10 (2006.01)
G11C 16/26 (2006.01) G11C 16/34 (2006.01)
(52) CPC특허분류
G11C 16/0483 (2013.01)
G11C 16/10 (2013.01)
(21) 출원번호 10-2015-7013333
(22) 출원일자(국제) 2013년10월25일
심사청구일자 2018년10월16일
(85) 번역문제출일자 2015년05월20일
(65) 공개번호 10-2015-0080531
(43) 공개일자 2015년07월09일
(86) 국제출원번호 PCT/US2013/066931
(87) 국제공개번호 WO 2014/066829
국제공개일자 2014년05월01일
(30) 우선권주장
13/661,321 2012년10월26일 미국(US)
(56) 선행기술조사문헌
US20120081957 A1*
(뒷면에 계속)
전체 청구항 수 : 총 26 항

(73) 특허권자
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이
8000
(72) 발명자
아브라함, 마이클
미국 83642 아이다호주 아다 사우스 골드스미스
에이브이이. 1855
다나카, 도모하루
일본 221-0014 가나가와켄 요코하마 가나가와쿠
이리에 1-14-3-403
(뒷면에 계속)
(74) 대리인
양영준, 백만기

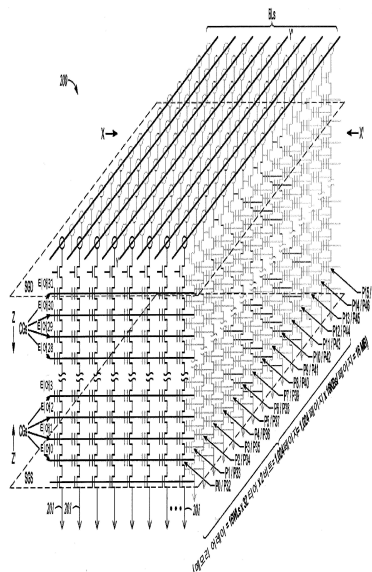
심사관 : 한선경

(54) 발명의 명칭 부분 페이지 메모리 동작

(57) 요약

장치는 복수의 티어로 형성된 메모리 셀의 스트링을 갖는 메모리 블록을 포함할 수 있다. 상기 장치는 스트링에 의해 공유되는 액세스 라인 및 데이터 라인을 더 포함할 수 있으며, 이때, 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결된다. 각자의 티어의 적어도 일부분에 대응하는 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함할 수 있다. 데이터 라인의 서브세트는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상될 수 있다. 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능할 수 있다. 추가 장치 및 방법이 개시된다.

대표도



(52) CPC특허분류

G11C 16/26 (2013.01)

G11C 16/3445 (2013.01)

G11C 2213/75 (2013.01)

(72) 발명자

가와이, 고이찌

일본 231-0801 가나가와켄 요코하마 신야마시타 나
까꾸 2-11-27-610

에이나가, 유이찌

일본 222-0002 가나가와켄 요코하마 고히꾸꾸 무루
까쨌 1173-3

(56) 선행기술조사문헌

KR100624596 B1*

JP2004326864 A

JP2002245786 A

JP2001135100 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

메모리 블록을 포함하는 장치로서, 상기 메모리 블록은

복수의 티어(tier)로 형성된 메모리 셀의 스트링,

상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어의 적어도 일부분에 대응함 - ,

상기 스트링에 의해 공유되는 드레인 선택 라인 및 소스 선택 라인, 및

상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상(map)되며, 각각의 부분 페이지는 각자의 페이지 내 타 부분 페이지에 독립적으로 선택 가능하고, 상기 복수의 페이지 중 특정 페이지는 제1 부분 페이지 및 제2 부분 페이지를 포함하고, 상기 스트링은 스트링 드라이버의 제1 세트를 통해 상기 액세스 라인 중 특정 액세스 라인, 상기 드레인 선택 라인 중 특정 드레인 선택 라인, 및 상기 소스 선택 라인 중 특정 소스 선택 라인에 연결되는 상기 제1 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 스트링은 스트링 드라이버의 제2 세트를 통해 상기 특정 액세스 라인, 상기 특정 드레인 선택 라인, 및 상기 특정 소스 선택 라인에 연결되는 상기 제2 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 제1 부분 페이지 및 상기 제2 부분 페이지는 서로와 독립적으로 프로그래밍, 읽기, 소거 또는 검증될 수 있음 - 을 포함하는, 장치.

청구항 2

제1항에 있어서, 상기 복수의 부분 페이지의 각각의 부분 페이지는 타일(tile)을 포함하는, 장치.

청구항 3

제1항에 있어서, 복수의 부분 페이지의 각각의 부분 페이지는 타일 그룹을 포함하며, 각각의 타일 그룹은 복수의 타일을 포함하는, 장치.

청구항 4

제1항에 있어서, 상기 복수의 부분 페이지의 각각의 부분 페이지는 타일 그룹 모음을 포함하고, 각각의 타일 그룹 모음은 복수의 타일 그룹을 포함하는, 장치.

청구항 5

제4항에 있어서, 타일 그룹 모음에 포함되는 복수의 타일 그룹은 숫자 주소 시퀀스(numerical address sequence)에 따라 인접 관계인, 장치.

청구항 6

제4항에 있어서, 타일 그룹 모음에 포함되는 복수의 타일 그룹 중 적어도 하나의 타일 그룹은 숫자 주소 시퀀스에 따라 인접 관계가 아닌, 장치.

청구항 7

제1항에 있어서,

쓰기 데이터를 쓰라는 명령을 제어 유닛에서 수신하면, 쓰기 데이터의 제 1 부분이 부분 페이지들 중 제 1 부분 페이지로 프로그램되고, 쓰기 데이터의 제 2 부분이 부분 페이지들 중 제 2 부분 페이지로 프로그램되도록, 상기 쓰기 데이터를 각자의 티어의 각자의 페이지로 사상하기 위한 제어 유닛을 더 포함하는, 장치.

청구항 8

제7항에 있어서, 상기 제어 유닛은

블록과 연관된 페이지 버퍼가 채워지기 전에 각자의 티어의 각자의 페이지에 쓰기 데이터를 프로그램하는 것을 트리거(trigger)하도록 구성되는, 장치.

청구항 9

제7항에 있어서, 상기 제어 유닛은

제 1 부분을 제 1 부분 페이지로 프로그램하고,

상기 제 1 부분을 상기 제 1 부분 페이지로 프로그램한 후 메모리 블록을 먼저 소거하지 않고 제 2 부분을 제 2 부분 페이지로 프로그램하도록 구성되는, 장치.

청구항 10

메모리 블록을 포함하는 장치로서, 상기 메모리 블록은

복수의 티어로 형성된 메모리 셀의 스트링,

상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어의 적어도 일부분에 대응함 - ,

상기 스트링에 의해 공유되는 드레인 선택 라인 및 소스 선택 라인, 및

상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 제 1 부분 페이지 및 제 2 부분 페이지를 포함하는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상되며, 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능하여, 단일 메모리 동작이 각자의 페이지 내 제 1 부분 페이지 및 제 2 부분 페이지 상에서 독립적으로 수행될 수 있고, 상기 스트링은 스트링 드라이버의 제1 세트를 통해 상기 액세스 라인 중 특정 액세스 라인, 상기 드레인 선택 라인 중 특정 드레인 선택 라인, 및 상기 소스 선택 라인 중 특정 소스 선택 라인에 연결되는 상기 제1 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 스트링은 스트링 드라이버의 제2 세트를 통해 상기 특정 액세스 라인, 상기 특정 드레인 선택 라인, 및 상기 특정 소스 선택 라인에 연결되는 상기 제2 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 복수의 페이지는 서로와 독립적으로 프로그래밍, 읽기, 소거 또는 검증될 수 있음 -

을 포함하는, 장치.

청구항 11

제10항에 있어서,

단일 메모리 동작에 대한 데이터와 연관된 열 주소를 기초로 제 1 부분 페이지 또는 제 2 부분 페이지 중 적어도 하나를 선택하기 위한 제어 유닛

을 더 포함하는, 장치.

청구항 12

메모리 블록을 포함하는 메모리 소자에 대한 방법으로서,

상기 메모리 블록은:

복수의 티어로 형성된 메모리 셀의 스트링,

상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어의 적어도 일부분에 대응함 - ,

상기 스트링에 의해 공유되는 드레인 선택 라인 및 소스 선택 라인, 및

상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 각각의 페이지의 복수의 부분 페이지 중 각각의 부분 페이지로 사상(map)되며, 각각의 부분 페이지는 각각의 페이지 내 타 부분 페이지에 독립적으로 선택 가능하고, 상기 복수의 페이지 중 특정 페이지는 제1 부분 페이지 및 제2 부분 페이지를 포함하고, 상기 스트링은 스트링 드라이버의 제1 세트를 통해 상기 드레인 선택 라인 중 특정 드레인 선택 라인 및 상기 소스 선택 라인 중 특정 소스 선택 라인에 연결되는 상기 제1 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 스트링은 스트링 드라이버의 제2 세트를 통해 상기 특정 드레인 선택 라인 및 상기 특정 소스 선택 라인에 연결되는 상기 제2 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 제1 부분 페이지 및 상기 제2 부분 페이지는 서로와 독립적으로 프로그래밍, 읽기, 소거 또는 검증될 수 있음 -

를 포함하고,

상기 방법은:

호스트로부터 상기 특정 페이지에 프로그래밍될 데이터를 수신하는 단계,

상기 복수의 페이지로부터 선택된 특정 페이지로 데이터를 사상하는 단계 - 복수의 페이지의 각각의 페이지는 메모리 블록 내 상기 복수의 티어 중 하나씩의 티어에 대응하고, 상기 특정 페이지는 상기 제 1 부분 페이지 및 상기 제 2 부분 페이지를 포함하는 상기 복수의 부분 페이지를 포함하며, 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능하며, 상기 사상하는 단계는 데이터의 제 1 부분을 제 1 부분 페이지로 사상하고, 데이터의 제 2 부분을 제 2 부분 페이지로 사상하는 단계를 포함하고, 상기 복수의 페이지 중 상기 특정 페이지의 상기 제1 부분 페이지에 대응하는 메모리 셀은 제1 스트링 드라이버를 통해 특정 액세스 라인에 연결되고, 상기 특정 페이지의 상기 제2 부분 페이지에 대응하는 메모리 셀은 제2 스트링 드라이버를 통해 상기 특정 액세스 라인에 연결됨 - ,

제 1 부분 페이지로 상기 데이터의 제 1 부분을 프로그래밍하는 단계, 및

상기 제 1 부분 페이지로 프로그래밍되는 데이터의 제 1 부분에 독립적으로 제 2 부분 페이지로 상기 데이터의 제 2 부분을 프로그래밍하는 단계

를 포함하는, 방법.

청구항 13

제12항에 있어서,

제 1 부분 페이지의 프로그래밍이 데이터를 수신하는 페이지 버퍼가 채워지기 전에 개시되는, 방법.

청구항 14

제12항에 있어서, 상기 데이터를 사상하는 단계는

페이지의 크기 및 부분 페이지의 개수를 적어도 부분적으로 기초로 하여 데이터를 부분들로 분할하는 단계를 포함하는, 방법.

청구항 15

제12항에 있어서, 상기 데이터를 사상하는 단계는

제 1 부분 페이지 및 제 2 부분 페이지로서, 숫자 주소 시퀀스에 따라 인접 관계인 복수의 부분 페이지 중 2개의 부분 페이지를 선택하는 단계

를 포함하는, 방법.

청구항 16

제12항에 있어서, 상기 데이터를 사상하는 단계는

제 1 부분 페이지 및 제 2 부분 페이지로서, 숫자 주소 시퀀스에 따라 인접 관계가 아닌 복수의 부분 페이지 중

2개의 부분 페이지를 선택하는 단계
를 포함하는, 방법.

청구항 17

제12항에 있어서, 제 1 부분을 프로그램하는 단계는
상기 제 1 부분 페이지에 대응하는 데이터 라인의 제 1 세트를 활성화하는 단계, 및
제 2 부분 페이지에 대응하는 데이터 라인의 제 2 세트를 포함하는 타 데이터 라인을 비활성화하는 단계
를 포함하는, 방법.

청구항 18

제17항에 있어서, 제 2 부분을 프로그램하는 단계는
데이터 라인의 제 2 세트를 활성화하는 단계, 및
데이터 라인의 제 1 세트를 포함하는 타 데이터 라인을 비활성화하는 단계
를 포함하는, 방법.

청구항 19

제12항에 있어서, 데이터의 제 2 부분을 프로그램하는 단계는 데이터의 제 1 부분을 프로그램한 후 선택된 페이지를 먼저 소거하지 않고 데이터의 제 2 부분을 프로그램하는 단계를 포함하는, 방법.

청구항 20

제12항에 있어서, 제 2 부분을 프로그램하는 단계는 제 1 부분 페이지를 프로그램하지 않는 단계를 포함하는, 방법.

청구항 21

제12항에 있어서,
데이터를 수신하는 단계 전에, 페이지에 대응하는 복수의 부분 페이지로 페이지 내 열 주소를 사상하는 단계를 더 포함하는, 방법.

청구항 22

제21항에 있어서,
열 주소와 복수의 부분 페이지 간 사상 관계를 호스트로 보고하는 단계를 더 포함하는, 방법.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

메모리 소자에서, 호스트로부터 데이터의 제 1 부분 페이지를 수신하는 단계,

데이터의 제 1 부분 페이지를 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램하는 단계,

데이터의 제 1 부분 페이지가 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 후 데이터의 제 2 부분 페이지를 메모리 소자에서 수신하는 단계,

특정 페이지를 먼저 소거하거나 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 데이터의 제 1 부분 페이지를 재프로그램하지 않고, 데이터의 제 2 부분 페이지를 선택된 페이지의 메모리 셀의 제 2 그룹으로 프로그램하는 단계 - 상기 메모리 셀의 제1 그룹은 제1 스트링 드라이버를 통해 상기 메모리 소자의 액세스 라인에 연결되고, 상기 메모리 셀의 제2 그룹은 제2 스트링 드라이버를 통해 상기 액세스 라인에 연결됨 -, 및

프로그래밍 알고리즘을 램프율(ramp rate) 변화에 따라 조정하는 단계

를 포함하는, 방법.

청구항 32

메모리 소자에서, 호스트로부터 데이터의 제 1 부분 페이지를 수신하는 단계,

데이터의 제 1 부분 페이지를 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램하는 단계,

데이터의 제 1 부분 페이지가 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 후 데이터의 제 2 부분 페이지를 메모리 소자에서 수신하는 단계,

특정 페이지를 먼저 소거하거나 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 데이터의 제 1 부분 페이지를 재프로그램하지 않고, 데이터의 제 2 부분 페이지를 선택된 페이지의 메모리 셀의 제 2 그룹으로 프로그램하는 단계 - 상기 메모리 셀의 제1 그룹은 제1 스트링 드라이버를 통해 상기 메모리 소자의 액세스 라인에 연결되고, 상기 메모리 셀의 제2 그룹은 제2 스트링 드라이버를 통해 상기 액세스 라인에 연결됨 -, 및

하부 페이지의 부분만 프로그램된 때 선택된 페이지의 하부 페이지를 읽을 때, 프로그램된 부분 페이지에 대해서만 읽기 데이터를 반환하는 단계

를 포함하는, 방법.

청구항 33

메모리 소자에서, 호스트로부터 데이터의 제 1 부분 페이지를 수신하는 단계,

데이터의 제 1 부분 페이지를 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램하는 단계,

데이터의 제 1 부분 페이지가 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 후 데이터의 제 2 부분 페이지를 메모리 소자에서 수신하는 단계,

특정 페이지를 먼저 소거하거나 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 데이터의 제 1 부분 페이지를 재프로그램하지 않고, 데이터의 제 2 부분 페이지를 선택된 페이지의 메모리 셀의 제 2 그룹으로 프로그

램하는 단계 - 상기 메모리 셀의 제1 그룹은 제1 스트링 드라이버를 통해 상기 메모리 소자의 액세스 라인에 연결되고, 상기 메모리 셀의 제2 그룹은 제2 스트링 드라이버를 통해 상기 액세스 라인에 연결됨 -, 및
 상부 페이지의 부분만 프로그램된 때 선택된 페이지의 하부 페이지를 읽을 때, 상부 페이지가 프로그램되게 하지 않은 선택된 페이지의 메모리 셀을 읽기 위한 읽기 알고리즘을 조정하는 단계
 를 포함하는, 방법.

청구항 34

메모리 소자에서, 호스트로부터 데이터의 제 1 부분 페이지를 수신하는 단계,
 데이터의 제 1 부분 페이지를 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램하는 단계,
 데이터의 제 1 부분 페이지가 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 후 데이터의 제 2 부분 페이지를 메모리 소자에서 수신하는 단계,
 특정 페이지를 먼저 소거하거나 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 데이터의 제 1 부분 페이지를 재프로그램하지 않고, 데이터의 제 2 부분 페이지를 선택된 페이지의 메모리 셀의 제 2 그룹으로 프로그램하는 단계 - 상기 메모리 셀의 제1 그룹은 제1 스트링 드라이버를 통해 상기 메모리 소자의 액세스 라인에 연결되고, 상기 메모리 셀의 제2 그룹은 제2 스트링 드라이버를 통해 상기 액세스 라인에 연결됨 -, 및
 선택된 페이지의 상부 페이지를 읽을 때, 상부 페이지가 프로그램되게 한 부분 페이지에 대해서만 읽기 데이터를 반환하는 단계
 를 포함하는, 방법.

청구항 35

삭제

발명의 설명

기술 분야

우선권 출원

본 출원은 그 전체가 본 명세서에 참조로서 포함되는 2012년 10월 26일에 출원된 미국 출원 13/661,321호를 기초로 우선권을 주장한다.

관련 출원의 상호 참조

본 출원은 2011년 08월 15일에 출원된 미국 특허 출원 13/210,194호 발명의 명칭 "APPARATUS AND METHODS INCLUDING SOURCE GATES"와 관련될 수 있다. 또한 이 출원은 2012년 08월 01일에 출원된 미국 출원 13/564,458호 "PARTIAL BLOCK MEMORY OPERATIONS"와도 관련될 수 있다.

배경 기술

메모리 소자의 메모리 블록, 가령, NOT AND(NAND) 또는 NOT OR(NOR) 메모가 동일한 액세스 라인 세트를 공유하는 메모리 셀들의 스트링들의 그룹을 포함할 수 있다. 상기 메모리 블록은 복수의 페이지로 그룹화될 수 있고, 각각의 페이지는 가령 메모리 셀이 싱글-셀(SLC)인지 또는 멀티-레벨 셀(MLC)인지에 따라, 각각의 스트링 그룹의 각자의 티어(tier)의 적어도 일부분에 대응하는 메모리 셀의 전부 또는 서브세트를 포함할 수 있다.

기존 반도체 메모리 기법 하에서, 메모리 동작이 (가령, 메모리 동작이 소거인 경우) 전체 메모리 블록 상에서, 또는 (가령, 메모리 동작이 프로그램, 읽기 또는 검증인 경우) 메모리 블록 내 전체 (선택된) 페이지 상에서 수행될 수 있다. 따라서 페이지 크기가 커짐에 따라, 데이터 라인 스윙(data line swing) 또는 페이지 버퍼 플립(page buffer flip) 동안 사용되는 전력이 증가할 수 있어, 비교적 작은 양의 데이터, 가령, 4KB(Kilo Byte)가 읽히거나, 프로그램되거나, 소거되거나, 검증될 때 비교적 많은 양의 전력이 소비될 수 있다. 이 경향은 SBL(shielded bit line) 아키텍처와 비교할 때 ABL(all-bit line) 아키텍처가 사용될 때 강화될 수 있다. 따라서 3차원(3D) 메모리 소자의 경우에서처럼 (단일) 메모리 블록 또는 페이지의 크기가 증가함에 따라, 메모리 동작이 동시에 수행되는 메모리 블록 또는 페이지 내 메모리 셀의 개수가 역시 증가하기 때문에 메모리 동작이 수

행될 때의 전류 소비량 또는 기생 전류 누설량도 증가한다. 이 때문에 광범위한 전류 소비 또는 기생 누설을 지원하기 위해 메모리 소자에 추가 또는 대안적 전원을 제공할 필요가 있을 수 있다.

[0007] 덧붙여, 기존 기법에 따라 형성된 메모리 소자와 가령, 메모리 제어기를 통해 작동 가능하게 통신하는 호스트가 메모리 소자의 페이지 크기보다 작은 단위로 데이터를 프로세싱할 수 있다. 따라서 종래의 메모리 소자는 프로그래밍 전에 모든 페이지 데이터가 페이지 버퍼에 채워질 것을 필요로 할 수 있다.

[0008] 예를 들어, 메모리 소자가 NAND 메모리를 포함할 때, 호스트는 4KB 단위로 데이터를 프로세싱할 수 있고, NAND 메모리의 페이지 크기가 16KB이다. 이 경우, 호스트는 페이지 버퍼를 통해 4KB 단위로 NAND 메모리를 제어하는 메모리 제어기로 데이터를 송신하거나 이로부터 데이터를 수신할 수 있으며, 반면에 메모리 제어기는 16KB 단위로 데이터를 NAND 메모리로 데이터를 송신하거나 이로부터 데이터를 수신한다. 따라서 메모리 제어기는 (수신되는) 데이터의 총 크기가 16KB가 될 때까지 호스트로부터 수신되는 데이터를 NAND 메모리에 프로그래밍하기 전에 대기하고 패킹(pack)할 필요가 있을 수 있다. 관련 페이지의 일부가 채워지지 않은 경우, 우선 블록에 프로그래밍된 데이터 전부를 제거하기 위해 전체 블록을 소거하지 않고서는, 채워지지 않은 부분이 차후에 프로그래밍되지 않을 수 있다. 이는 바람직하지 않은 성능, 가령, 더 느린 프로그래밍 속도 및 앞서 기재된 바와 같은 더 높은 전류 소비 또는 기생 전류 누설 등을 초래할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 다양한 실시예에 따르는 메모리 셀을 포함하는 메모리 어레이를 갖는 메모리 소자의 블록도이다.
- 도 2는 다양한 실시예에 따르는 3D NAND 메모리 소자의 형태로 된 도 1의 메모리 어레이의 개략도이다.
- 도 3은 다양한 실시예에 따르는 X-X' 방향으로의 도 2의 3D NAND 메모리 소자의 횡단면도이다.
- 도 4는 다양한 실시예에 따르는 Y-Y' 방향으로의 도 2의 3D NAND 메모리 소자의 횡단면도이다.
- 도 5는 다양한 실시예에 따르는 도 2의 3D NAND 메모리 소자의 평면도이다.
- 도 6은 다양한 실시예에 따르는, 열 주소와 타일 그룹의 형태로 된 부분 페이지 간 사상을 위한 예시적 회로를 도시한다.
- 도 7은 다양한 실시예에 따르는, 열 주소와 타일 그룹 모음의 형태로 된 부분 페이지 간 사상을 위한 예시적 스킴을 도시한다.
- 도 8은 다양한 실시예에 따르는, 페이지 상에서의 프로그램 동작을 수행하기 위한 방법을 도시하는 흐름도이다.
- 도 9는 다양한 실시예에 따르는, 페이지 상에서의 메모리 동작을 수행하는 방법을 도시하는 흐름도이다.
- 도 10은 다양한 실시예에 따르는, 페이지 상에서의 메모리 동작을 수행하는 방법을 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하의 기재는 본 발명의 주제 사항을 구현하는 예시적 장치(회로, 소자, 구조물, 시스템 등) 및 방법(가령, 프로세스, 프로토콜, 시퀀스, 기법, 및 기술)을 포함한다. 이하의 기재에서, 설명 목적으로, 본 발명의 주제 사항의 다양한 실시예의 이해를 제공하기 위해 여러 구체적 상세사항이 제공된다. 그러나 이들 구체적 상세사항 없이, 본 발명의 주제 사항의 다양한 실시예가 실시될 수 있음이 해당 분야의 통상의 기술자에게 자명할 것이다. 덧붙여, 다양한 실시예의 기재를 모호하게 하지 않도록 잘 알려진 장치 및 방법은 나타내지 않았다.

[0011] 본 명세서에서 사용될 때, 용어 "또는"은 포괄적 또는 배타적 관점으로 해석될 수 있다. 덧붙여, 이하에서 기재되는 다양한 실시예가 우선 멀티-레벨 셀 메모리 소자에 초점을 맞출 수 있지만, 실시예는 기재의 명확성을 위해 제공된 것에 불과하며, 따라서 특정 형태의 NAND 또는 NOR 메모리 소자로 또는 심지어 일반적으로 메모리 소자로도 장치를 한정하지 않는다. 주제에 대한 소개로서, 이하의 문단에서 몇몇 실시예가 간략하고 일반적으로 기재될 것이며, 그 후 더 상세한 기재가 도면을 참조하여 뒤 따를 것이다.

[0012] 앞서 기재된 문제들 중 일부뿐 아니라 그 밖의 다른 문제를 해결하기 위해, 본 명세서에 기재된 다양한 실시예가 메모리 블록 내 각각의 페이지를 복수의 부분 페이지(partial page)로 분할하는 것(가령, 쪼개기, 나누기 등)을 제안한다. 단일 페이지 내 부분 페이지가 타 부분 페이지에 독립적으로 선택(가령, 제어)되어, 비-선택된 부분 페이지에 대응하는 메모리 셀 상에서의 메모리 동작을 수행하지 않으면서, 선택된 부분 페이지에 대응하는 메모리 셀 상에서의 메모리 동작을 수행할 수 있다.

- [0013] 다양한 실시예에서, 예를 들어, 본 명세서에 기재된 장치는 메모리 셀의 복수의 스트링을 포함하는 메모리 블록을 포함할 수 있으며, 이때 스트링에 의해 액세스 라인 및 데이터 라인이 공유된다. 스트링 각각은 복수의 티어(tier)로 형성된 메모리 셀을 포함할 수 있다.
- [0014] 액세스 라인 각각은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀로 연결될 수 있다. 각자의 티어의 적어도 일부분에 대응하는 메모리 셀은 메모리 블록의 복수의 페이지 중 각자의 페이지를 포함할 수 있다.
- [0015] 데이터 라인은 복수의 데이터 라인 서브세트를 포함할 수 있다. 각각의 데이터 라인 서브세트는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상될 수 있다. 각각의 부분 페이지는 가령, 자신의 메모리 셀과 관련된 메모리 동작을 수행하기 위해, 타 부분 페이지에 독립적으로 선택 가능할 수 있다. 이들 메커니즘을 포함하는 다양한 실시예와 관련된 더 많은 정보가 지금부터 도 1-9와 관련하여 기재될 것이다.
- [0016] 도 1은 메모리 소자(100)의 형태로 된 장치의 블록도를 나타낸다. 상기 메모리 소자(100)는 하나의 실시예에 따라 복수의 메모리 셀(103)을 갖는 메모리 어레이(102)를 포함한다. 상기 메모리 셀(103)은 액세스 라인(104)(가령, 신호(WL0 내지 WLn)를 전달하기 위한 워드 라인(word line)) 및 제 1 데이터 라인(106)(가령, 신호(BL0 내지 BLn)를 전달하기 위한 비트 라인(bit line))과 함께, 행 및 열로 배열될 수 있다. 상기 메모리 소자(100)는 액세스 라인(104) 및 제 1 데이터 라인(106)을 사용하여 데이터를 메모리 셀(103)로 그리고 메모리 셀로부터 전송할 수 있다. 행 디코더(107) 및 열 디코더(108)가 주소 라인(109) 상에서 주소 신호(A0 내지 AX)를 디코딩하여 메모리 셀(103) 중 어느 메모리 셀이 액세스될 것인지를 결정할 수 있다.
- [0017] 감지 회로, 가령, 감지 증폭기 회로(sense amplifier circuit)(115)가 제 1 데이터 라인(106) 상에서 신호의 형태로 메모리 셀(103)로부터 읽힌 데이터의 값을 결정하도록 동작한다. 또한 상기 감지 증폭기 회로(115)는 제 1 데이터 라인(106) 상의 신호를 이용하여 메모리 셀(103)로 써질 데이터의 값을 결정할 수 있다.
- [0018] 메모리 소자(100)는 메모리 어레이(102)와 I/O 라인(105) 간에 데이터의 값을 전송하기 위해 회로, 가령, 입/출력(I/O) 회로(117)를 포함하는 것으로 더 도시되어 있다. I/O 라인(105) 상의 신호(DQ0 내지 DQn)가 메모리 셀(103)로부터 읽히거나 메모리 셀로 써질 데이터의 값을 나타낼 수 있다. 상기 I/O 라인(105)은 메모리 소자(100)가 위치하는 패키지 상에 메모리 소자(100) 내 노드 (또는 대안적으로, 핀(pin), 솔더 볼(solder ball), 또는 그 밖의 다른 인터커넥트 기법, 가령, 제어된 콜랩스 칩 연결(controlled collapse chip connection)(C4) 또는 플립 칩 부착(FCA))을 포함할 수 있다. 메모리 소자(100) 외부의 그 밖의 다른 소자(가령, 도 1에 도시되어 있지 않은 메모리 제어기 또는 프로세서)가 I/O 라인(105), 주소 라인(109), 또는 제어 라인(120)을 통해 메모리 소자(100)와 통신할 수 있다.
- [0019] 메모리 소자(100)는 메모리 동작, 가령, 읽기 동작을 수행하여, 메모리 셀(103) 중 선택된 메모리 셀로부터 데이터의 값을 읽을 수 있으며 프로그래밍 동작(쓰기 동작이라고도 지칭됨)을 수행하여 메모리 셀(103) 중 선택된 메모리 셀로 데이터를 프로그램(가령, 쓰기)할 수 있다. 상기 메모리 소자(100)는 또한 메모리 소거 동작을 수행하여 메모리 셀(103) 중 일부 또는 전부로부터 데이터를 비울 수 있다.
- [0020] 메모리 제어 유닛(118)은 제어 라인(120) 상의 신호의 전기적 상태에 대한 신호를 기초로 하여 메모리 셀(103) 상에서 수행될 메모리 동작을 제어한다. 제어 라인(120) 상의 신호의 예시는 하나 이상의 클럭 신호(clock signal) 및 메모리 소자(100)가 수행할 수 있는 또는 수행해야 할 동작이 무엇인지(가령, 프로그래밍 또는 읽기 동작)를 지시하기 위한 그 밖의 다른 신호를 포함할 수 있다. 메모리 소자(100) 외부의 그 밖의 다른 소자(가령, 프로세서 또는 외부 메모리 제어기)가 제어 라인(120) 상의 제어 신호의 값을 제어할 수 있다. 제어 라인(120) 상의 신호의 값들의 특정 조합이 메모리 소자(100)가 대응하는 메모리 동작(가령, 프로그램, 읽기, 또는 소거 동작)을 수행할 수 있게 할 수 있는 명령어(command)(가령, 프로그래밍 또는 읽기 명령어)를 생성할 수 있다.
- [0021] 본 명세서에 기재된 다양한 실시예가 이해의 편의를 위해 단일-비트 메모리 저장 개념과 관련된 예시를 사용하더라도, 본 발명의 주제 사항은 다양한 다중-비트 스킴에도 적용될 수 있다. 예를 들어, 메모리 셀(103) 각각은 적어도 2개의 데이터 상태 중 서로 다른 상태로 프로그램되어, 예를 들어, 분수 비트(fractional bit)의 값, 단일 비트의 값 또는 다중 비트의 값, 가령, 2, 3, 4, 또는 그 이상의 비트 수를 나타낼 수 있다.
- [0022] 예를 들어, 메모리 셀(103) 각각은 "0" 또는 "1"의 이진 값(binary value)을 단일 비트로 나타내도록 2개의 데이터 상태 중 하나로 프로그램될 수 있다. 이러한 셀은 종종 싱글-레벨 셀(SLC)이라고 지칭된다.
- [0023] 또 다른 예시에서, 메모리 셀(103) 각각은 셋 이상의 데이터 상태 중 하나로 프로그램되어, 예를 들어, 다중 비

트에 대한 값, 가령, 2비트의 경우 4개의 가능한 값 "00", "01", "10", 및 "11" 중 하나, 3비트의 경우 8개의 가능한 값 "000", "001", "010", "011", "100", "101", "110", 및 "111" 중 하나, 또는 더 큰 수의 다중 비트의 경우 값들의 또 다른 세트 중 하나를 나타낼 수 있다. 셋 이상의 데이터 상태 중 하나로 프로그램될 수 있는 셀이 종종 멀티-레벨 셀(MLC)이라고 지칭된다. 이들 유형의 셀에 대한 다양한 동작이 이하에서 더 상세히 언급된다.

- [0024] 메모리 소자(100)는 제 1 공급 라인(130) 및 제 2 공급 라인(132) 상의 각각의 공급 전압, 가령, 공급 전압 신호 Vcc 및 Vss을 수신할 수 있다. 공급 전압 신호 Vss는, 예를 들어, (가령, 대략 0볼트의 값을 갖는) 접지 전위일 수 있다. 공급 전압 신호 Vcc는 외부 전원, 가령, 배터리 또는 교류-직류(AC-DC) 변환기 회로(도 1에 도시되지 않음)로부터 메모리 소자(100)로 공급되는 외부 전압을 포함할 수 있다.
- [0025] 메모리 소자(100)는 선택기(가령, 선택 회로)(140), 페이지 버퍼(142), 및 입/출력(I/O) 회로(117)를 포함하는 것으로 더 나타난다. 상기 선택기(140)는, I/O 회로(117)를 통해, 신호(CSEL1 내지 CSELn)에 응답하여, 메모리 셀(103)로부터 읽히거나 메모리 셀로 프로그램될 데이터의 값을 나타낼 수 있는 제 1 데이터 라인(106) 및 제 2 데이터 라인(113) 상의 신호를 선택할 수 있다. 열 디코더(108)는 주소 라인(109) 상의 A0 내지 AX 주소 신호를 기초로 CSEL1 내지 CSELn 신호를 선택적으로 활성화시킬 수 있다. 선택기(140)는 제 1 데이터 라인(106) 및 제 2 데이터 라인(113) 상의 신호를 선택하여 읽기 및 프로그래밍 동작 동안 메모리 어레이(102)와 I/O 회로(117) 간 통신을 제공할 수 있다. 페이지 버퍼(142)는 외부 소자, 가령, 호스트로부터 수신된 데이터를, 상기 데이터가 메모리 어레이(102)의 관련 부분(가령, 메모리 셀(103))에 프로그램되기 전에, 저장하거나, 메모리 어레이(102)로부터 읽힌 데이터를, 상기 데이터가 외부 소자(가령, 호스트)로 전송되기 전에, 저장할 수 있다.
- [0026] 상기 메모리 소자(100)는 비휘발성 메모리 소자를 포함할 수 있고 메모리 셀(103)은 비휘발성 메모리 셀을 포함하여, 전력(가령, Vcc(130), Vss(132), 또는 둘 모두)이 메모리 소자(100)로부터 단절될 때 상기 메모리 셀(103)이 여기에 저장된 데이터를 유지하도록 할 수 있다.
- [0027] 메모리 셀(103) 각각은 메모리 요소를 포함할 수 있으며, 상기 메모리 요소는 (가령, 전하 저장 구조물, 가령, 부동 게이트(floating gate) 또는 전하 트랩(charge trap) 상에 대응하는 양의 전하를 저장함으로써, 또는 대응하는 저항 값으로 프로그래밍됨으로써) 적어도 일부분이 원하는 데이터 상태로 프로그램될 수 있는 물질을 가진다. 따라서 서로 다른 데이터 상태는 각각의 메모리 셀(103)로 프로그래밍되는 데이터의 서로 다른 값을 나타낼 수 있다.
- [0028] 메모리 소자(100)는 프로그래밍 명령어 및 메모리 셀(103) 중 하나 이상의 선택된 메모리 셀로 프로그램될 데이터의 값을 (가령, 외부 프로세서 또는 메모리 제어기로부터) 수신할 때 프로그래밍 동작을 수행할 수 있다. 데이터의 값을 기초로 하여, 메모리 소자(100)는 선택된 메모리 셀을 여기에 저장될 데이터의 값을 나타내기 적절한 데이터 상태로 프로그램할 수 있다.
- [0029] 해당 분야의 통상의 기술자라면 메모리 소자(100)가 그 밖의 다른 구성요소를 포함할 수 있음을 알 수 있으며, 이들 중 적어도 일부는 본 명세서에 기재된다. 그러나 이들 구성요소 중 몇몇은 기재된 다양한 실시예를 모호하게 하지 않도록 도면에 반드시 도시되지 않는다. 상기 메모리 소자(100)는 소자 및 메모리 셀을 포함할 수 있고 다양한 다른 도면 및 본 명세서에 언급된 실시예를 참조하여 이하에서 기재될 것과 유사하거나 동일하게 메모리 동작(가령, 프로그래밍 및 소거 동작)을 이용해 동작할 수 있다.
- [0030] 도 2는 다양한 실시예에 따라, 3D NAND 메모리 소자(200)의 형태로 된 메모리 어레이(가령, 메모리 어레이(102))의 블록도를 도시한다. 도 2를 참조하면, 3D NAND 메모리 소자(200)는 메모리 셀의 복수의 스트링을 포함할 수 있다. 다양한 실시예에서, 제 1 (가령, Z-Z') 방향에서, 메모리 셀의 각각의 스트링은, 예를 들어, 서로 상하로 적층된 32개의 메모리 셀을 포함할 수 있고, 이때 각각의 메모리 셀이 예를 들어, 32개의 티어(가령, 티어0-티어31) 중 하나씩에 대응한다. 각각의 스트링의 메모리 셀들은 하나의 공통 채널 영역, 가령, 메모리 셀의 스트링이 형성되는 반도체 물질(가령, 폴리실리콘)의 각각의 필러(pillar) 내에 형성되는 공통 채널 영역을 공유할 수 있다.
- [0031] 다양한 실시예에서, 제 2 (가령, X-X') 방향에서, 예를 들어, 복수의 스트링의 16개의 제 1 그룹 중 각각의 제 1 그룹이, 예를 들어, 복수의(가령, 32개의) 액세스 라인(WL)을 공유하는 8개의 스트링을 포함할 수 있다. 복수의 액세스 라인(본 명세서에서 "글로벌 제어 게이트(CG) 라인"이라고 상호 교환 가능하게 사용됨)의 각각의 액세스 라인이 제 1 그룹 중 대응하는 것의 각각의 스트링의 복수의 티어 중 각각의 티어에 대응하는 메모리 셀을 연결할 수 있다. 각각의 메모리 셀인 데이터의 2개의 비트를 저장할 수 있는 MLC를 포함할 때, 동일한 액세스

라인에 연결되는(따라서 동일한 티어에 대응하는) 메모리 셀들이, 예를 들어, 2개의 페이지P0/P32, P1/P33, P2/P34 등으로 논리적으로 그룹화될 수 있다.

[0032] 다양한 실시예에서, 제 3 (가령, Y-Y') 방향에서, 예를 들어, 복수의 스트링의 8개의 제 2 그룹의 각각의 그룹이, 8개의 데이터 라인(BL) 중 대응하는 데이터 라인에 연결된 16개의 스트링을 포함할 수 있다. 하나의 실시예에서, CG 드라이버 레이아웃 한계 때문에, 도 2에서 상부(점선) 사각형으로 지시되는 바와 같이, 각각의 제 2 스트링 그룹의 (가령, 16개의) 스트링의 각각의 티어에 대응하는 (가령, 16개의) 메모리 셀의 CG가 각각의 플레이트로서 물리적으로 연결될 수 있다. 마찬가지로, 도 2의 하부(점선) 사각형으로 지시되는 바와 같이, 각각의 제 2 스트링 그룹의 (가령, 16개의) 스트링의 소스 선택 게이트(source select gate)(SGS)가 각각의 플레이트로서 물리적으로 연결될 수 있다. 이러한 시나리오에서, 예를 들어, 3D NAND 메모리 소자(200)의 메모리 어레이의 크기는, 예를 들어, 16개의 메모리 블록을 포함하고, 1,024개의 페이지를 포함할 수 있으며 총 약 16MB(가령, 16개의 WL x 32개의 티어 x 2비트 = 1,024 페이지/블록, 블록 크기 = 1,024개의 페이지 x 16KB/페이지 = 16MB)를 포함할 수 있다. 설명 및 명료성을 위해 특정 숫자가 사용되었지만, 해당 분야의 통상의 기술자라면 알다시피, 스트링, 티어, 액세스 라인, 데이터 라인, 제 1 그룹, 제 2 그룹 또는 페이지의 수는 도 2에 도시된 것보다 크거나 작을 수 있다. 다양한 실시예에서, 도 2에 개략적으로 나타난 메모리 셀의 각각의 스트링은 제 2(가령, X-X') 또는 제 3(가령, Y-Y') 방향으로 복수의 스트링을 나타낼 수 있다.

[0033] 도 3은 X-X' 방향에서 도 2의 3D NAND 메모리 소자(200)의 (선택된) 메모리 블록(300)의 횡단면도를 나타내지만, 이 실시예에서, 도 2와 관련하여 기재된 16개의 제 1 스트링 그룹 중 하나의 스트링 그룹 내 메모리 셀의 15개의 스트링을 포함한다. 메모리 블록(300)의 복수의 스트링이 복수의(가령, 3개의) "서브세트"(310, 320, 330)로 분할될 수 있고, 각각의 서브세트는 메모리 블록(300)의 "부분 블록"을 포함한다. 복수의(가령, 32개의) 티어 중 각각의 티어에 대응하는 메모리 셀은 (적어도) 하나의 페이지(가령, 페이지(390))를 포함할 수 있다. 각각의 페이지(가령, 페이지(390))는 복수의(가령, 3개의) 부분 페이지(가령, 부분 페이지(392-396))를 포함할 수 있으며, 이때 각각의 부분 페이지는 복수의 부분 블록 중 각각의 블록에 대응하고 복수의 티어 중 각각의 티어에 대응하는 메모리 셀을 포함한다.

[0034] 다양한 실시예에서, 각각의 부분 페이지(가령, 부분 페이지(392, 394 또는 396))가 하나씩의 타일을 포함할 수 있고, 타 페이지(가령, 타일)에 독립적으로 선택 가능할 수 있다(가령, 바이어스됨). 이러한 경우, 예를 들어, 부분 블록(310-330) 각각이 타일 열, 가령, 타일 열_i, 타일 열_j 및 타일 열_k를 포함할 수 있으며, 이때 각각의 타일 열은 복수의 티어(가령, 티어0-티어31)에 대응하는 타일들의 모음(가령, 세트)을 포함한다. 다양한 실시예에서, 부분 블록(가령, 타일 열) 또는 부분 페이지(가령, 단일 타일) 상에서 메모리(가령, 프로그램, 읽기, 읽기 또는 검증) 동작이 수행될 수 있다. 도 3이 메모리 블록(300)에서 단 3개의 부분 블록(그리고 주어진 페이지 내 3개의 부분 페이지)만 갖는 것으로 나타나지만, 다양한 실시예에서, 더 많은(가령, 16개 이상의) 또는 더 적은(가령, 1개 또는 2개의) 부분 블록(및 주어진 페이지 내 부분 페이지)이 사용될 수 있다.

[0035] 다양한 실시예에서, (도 3에서 도시되지 않지만) 각각의 메모리 블록(가령, 메모리 블록(300)), 부분 블록(가령, 부분 블록(310, 320 또는 330)), 페이지(가령, 페이지(390)), 또는 부분 페이지(가령, 부분 페이지(392, 394 또는 396))이 제 3 (가령, Y-Y') 방향에서 메모리 셀의 복수의 스트링(의 적어도 일부분)을 포함할 수 있다.

[0036] 다양한 실시예에서, 메모리 블록(300)(또는 3D NAND 메모리 소자(200)의 그 밖의 다른 임의의 메모리 블록)은 복수의 더 작은 단위, 가령, 부분 페이지로 전기적으로 분할될 수 있다.

[0037] 예를 들어, 하나의 실시예에서, 복수의 스트링의 SGD로 연결될 수 있는 글로벌 드레인 선택 게이트(SGD) 라인(340)이 복수의(가령, 3개의) 로컬 SGD 라인(342, 344, 346)으로 연결될 수 있으며, 이때 각각의 로컬 SGD 라인은, 복수의(가령, 3개의) 로컬 SGD 드라이버(332, 334, 336) 중 대응하는 드라이버를 통해 각각의 부분 블록에 대응한다. 로컬 SGD 드라이버(332-336) 각각은 대응하는 부분 블록(가령, 타일 열)의 스트링의 SGD를, 예를 들어, 대응하는 부분 블록이 타 부분 블록으로부터 고립되어야 할 때, 타 부분 블록의 스트링의 SGD에 독립적으로 동시에 연결 또는 차단할 수 있다.

[0038] 마찬가지로, 복수의 스트링의 SGS로 연결될 수 있는 글로벌 SGS 라인(360)이 복수의(가령, 3개의) 로컬 SGS 라인(362, 364, 366)으로 연결될 수 있으며, 이때 각각의 로컬 SGS 라인은, 복수의(가령, 3개의) 로컬 SGS 드라이버(322, 324, 326) 중 대응하는 로컬 SGS 드라이버를 통해, 각각의 서브세트(가령, 타일 열)에 대응한다. 로컬 SGS 드라이버(322-326) 각각은 대응하는 부분 블록(가령, 타일 열)의 스트링의 SGS를, 타 부분 블록의 스트링의 SGS에 독립적으로, 동시에 연결 또는 차단하여, 예를 들어, 상기 대응하는 부분 블록을 상기 타 부분 블록으로

부터 전기적으로 고립시킬 수 있다.

- [0039] 다양한 실시예에서, 도 2에 도시된 바와 같이, 메모리 블록(300)의 스트링의 복수의 티어 중 각자의 티어에 대해, 글로벌 액세스 라인(가령, 글로벌 CG 라인)(350)이 복수의 스트링이 각각의 스트링의 각자의 티어에 대응하는 메모리 셀로 연결될 수 있다. 각각의 글로벌 CG 라인(가령, 글로벌 CG 라인(350))은, 복수의(가령, 3개의) 로컬 스트링 드라이버(312, 314 및 316) 중 대응하는 로컬 스트링 드라이버를 통해 복수의(가령, 3개의) 로컬 액세스 라인(가령, 로컬 CG 라인)(352, 354, 356)으로 연결될 수 있다. 각각의 로컬 스트링 드라이버는 각자의 부분 블록 또는 티어에 대응하는 메모리 셀을, 타 부분 블록 및/또는 타 티어의 메모리 셀에 독립적으로, 동시에 연결 또는 차단하여, 예를 들어, 상기 대응하는 부분 블록 및/또는 티어를 상기 타 부분 블록 및/또는 티어로부터 고립시킬 수 있다.
- [0040] 다양한 실시예에서, 각각의 로컬 스트링 드라이버(312-316)는 전압 범위, 가령, 최대 약 20V를 지원하기 위해 전압 트랜지스터를 포함할 수 있으며, 이의 채널 길이는 약 2 μ m일 수 있고, 메모리 셀(가령, 전하 저장 소자)의 길이는 약 20nm일 수 있다. 다양한 실시예에서, 로컬 스트링 드라이버(312-316)는 행 디코더 내에 위치할 수 있고, 가령, CUA 기법을 이용해, 상기 행 디코더는 메모리 어레이(가령, 메모리 어레이(102)) 아래에 위치할 수 있다. 이로 인해 회로에 대해 요구되는 면적의 감소가 가능하다.
- [0041] 다양한 실시예에서, 각자의 부분 블록에 대응하는 스트링은 로컬 소스(372, 374 및 376)(가령, "타일 소스") 중 대응하는 로컬 소스로 연결될 수 있으며, 이때 각각의 로컬 소스는 각자의 전력 소스, 가령, 로컬 소스 드라이버(도시되지 않음)로 연결된다. 다양한 실시예에서, 부분 블록 소스 디코더(가령, 타일 열 소스 디코더) 및/또는 부분 블록 드레인 디코더(가령, 타일 열 드레인 디코더)가 열 주소(가령, 스트링을 위한 주소)를 예를 들어 외부 프로세서로부터 수신하고, 열 주소를 이용해 로컬 소스(가령, 타일 소스), 로컬 SGS 라인, 및/또는 부분 블록의 로컬 SGD 라인을 선택하기 위해 사용될 수 있다. 각각의 로컬 소스 드라이버는, 대응하는 부분 블록이 타 부분 블록으로부터 고립되어야 할 때, 상기 대응하는 부분 블록의 스트링의 소스를 상기 타 부분 블록의 스트링의 소스에 독립적으로 동시에 연결 또는 차단할 수 있다.
- [0042] 도 4는 다양한 실시예에 따르는, Y-Y' 방향에서의 도 2의 3D NAND 메모리 소자(200)의 메모리 블록(400)의 횡단 면도를 도시한다. 도 4를 참조하면, 전용 메모리 블록 횡단면도(400)는 동일한 데이터 라인(라인 YY'로 나타남)으로 연결되고 도 2와 관련하여 기재되는 예를 들어 8개의 제 2 스트링 그룹 중 하나의 스트링 그룹에 대응하는 메모리 셀의 복수의(가령, 16개의) 스트링을 포함할 수 있다. 도 2와 관련하여 언급된 바와 같이, 다양한 실시예에서, 각자의 티어의 각각의 메모리 셀이 동일한 플레이트(가령, 플레이트(CG0-CG31) 중 하나)로 연결될 수 있다. 마찬가지로, 복수의 스트링의 (가령, 16개의) SGG가 동일한 SGS 플레이트로 연결될 수 있다. 다양한 실시예에서, 복수의 스트링의 SGD(가령, SGD0-SGD15) 각각이 서로 분리될 수 있다. 다양한 실시예에서, 복수의 스트링은 (공유) 소스(410)로 연결될 수 있다.
- [0043] 도 5는 이 실시예에서, 2,049개의 블록(가령, 각각의 블록은 메모리 블록, 메모리 블록(300)에 대응)을 포함하고, 블록0-블록2,047 및 예약 블록 "RSV"을 포함하며, 각각의 페이지(가령, 페이지(510))가 16개의 부분 페이지(가령, 부분 페이지 512-542)를 포함한다는 것을 제외하고, 도 2의 3D NAND 메모리 소자(200)의 평면도(500)를 도시한다. 각각의 페이지는 예를 들어 약 16,384 바이트(가령, 약 16KB)에 대응하는 메모리 셀을 포함할 수 있다. 앞서 기재된 바와 같이, 예를 들어, 도 3과 관련하여, 각각의 부분 페이지는 (단일) 타일에 대응할 수 있고, 각각의 타일은 메모리 동작을 위해 타 타일에 독립적으로 선택 가능할 수 있다.
- [0044] 다양한 실시예에서, 복수의(가령, 2개 또는 4개의) 타일이 조합되어 하나의 타일 그룹을 형성할 수 있다. 타일 그룹 구조물은, 예를 들어, 메모리 동작을 위해 일부 타일 그룹을 선택하고, 메모리 블록 또는 메모리 블록 내 페이지 내 타 타일 그룹 상에서의 메모리 동작의 수행을 막음으로써 메모리 블록(가령, 메모리 블록(300))의 일 부분 상에서 메모리 동작을 수행하기 위해 사용될 수 있다. 이러한 시나리오에서, 각각의 페이지(가령, 페이지(510))가 복수의 부분 페이지, 가령, 도 5에서 (점선 수직선에 의해 분리되는 2개의 작은 사각형을 각각 둘러싸는 큰 사각형에 의해 표현되는) 부분 페이지(510-542)를 포함할 수 있도록 페이지 메모리 어레이가 구현(가령, 설계)될 수 있고, 각각의 부분 페이지는 복수의(가령, 2개의) 타일을 포함하는 타일 그룹에 대응할 수 있다. 따라서 도 5의 점선에 의해 나타나는 바와 같이, 설계 선택에 따라, 예를 들어 블록(가령, 블록0-블록 2,047 또는 블록 "RSV") 중 하나에 대응하고 복수의(가령, 32개의) 티어 중 주어진 티어에 대응하는 각각의 페이지(가령, 페이지(510))가 총 32개의 타일을 갖는 16개의 타일 그룹을 포함할 수 있다.
- [0045] 도 6은 다양한 실시예에 따라, 부분 페이지(가령, 타일 그룹)와 메모리(가령, 열) 주소를 사상하기 위한 예시적 회로(600)를 도시한다. 예를 들어, 메모리 어레이(610)(가령, 3D NAND 메모리 소자(200))의 복수의 타일 그룹

TG0-TG7의 각각의 타일 그룹에 특정된 범위의 열 주소가 사전할당(가령, 사전사상(premap))될 수 있다. 관련 메모리 제어기(가령, 메모리 제어 유닛(118))에 메모리 동작(가령, 프로그램)에 대한 요청이 수신될 때, 타일 그룹 TG0-TG7 중 대응하는 하나 이상이 복수의 선택/제어 회로(620)(가령, 행 디코더(107), 열 디코더(108), 및/또는 선택기(140)) 중 대응하는 하나 이상으로부터의 활성화 신호(enabling signal)의 함수로서 선택될 수 있다.

[0046] 도 6이 메모리 어레이(610)의 열 주소가 8개의 타일 그룹(TG0-TG7)으로 사상될 수 있는 실시예와 관련하여 설명되더라도, 그 밖의 다른 실시예도 가능할 수 있다. 예를 들어, 도 5를 참조하면, 각각의 블록(및 블록의 각각의 페이지)이 16개의 타일 그룹(가령, 부분 페이지(512-542))으로 분할되는 메모리 어레이의 경우, 메모리 어레이의 전체 열 주소가 16개의 범위로 사상될 수 있다.

[0047] 다양한 실시예에서, 예를 들어 메모리 동작(가령, 프로그램)과 연관된 (가령, 쓰기) 데이터가 타일 그룹 크기(가령, 경계)를 기초로 복수의 부분으로 분할될 수 있다. 복수의 데이터 부분의 각각의 데이터 부분은 복수의 타일 그룹(TG0-TG7) 중 대응하는 타일 그룹으로 사상될 수 있다. 사상이 적어도 부분적으로 이뤄짐에 따라, 대응하는 타일 그룹이 순차적으로 또는 동시에 선택되어, 데이터의 각각의(사상된) 부분과 관련하여 메모리 동작을 수행할 수 있다. 각각의 타일 그룹이 타 타일 그룹에 독립적으로 선택되기 때문에, 타(선택되지 않은) 타일 그룹에 저장된 데이터의 무결성(integrity)에 영향을 미치지 않으면서, 각각의 타일 그룹 상에서의 메모리 동작이 독립적으로 수행될 수 있다. 메모리 소자가 설계될 때 메모리 소자(가령, 메모리 어레이(200))의 각각의 타일의 크기가 물리적으로 결정될 수 있다. 따라서 복수의(가령, 2개, 4개 또는 8개 등의) 타일을 (단일) 타일 그룹으로 그룹화할 수 있는 능력, 및 각각의 타일 그룹을 타 타일 그룹에 독립적으로 선택할 수 있는 능력이 메모리 소자와 다른 소자(가령, 메모리 제어 유닛(118) 또는 외부 프로세서) 간 다양한 (가령, 데이터 전송) 규격에 적응하기 위한 메모리 소자 유연성을 가능하게 한다. 도 6이 각각의 타일 그룹이 약 1KB(가령, 1,024 바이트)를 포함하는 예시를 도시하더라도, 상기 회로(600)는 더 크거나 더 작은 타일 그룹 크기를 사상하기 위해 사용될 수 있다.

[0048] 다양한 실시예에서, 타일 또는 타일 그룹 크기가 메모리 동작에 대한 가장 작은 페이지 입도(page granularity)를 결정할 수 있다. 타일 또는 타일 그룹 크기는 페이지 크기, 타일 그룹의 개수, 각각의 타일 그룹 내 타일의 개수, 예비 영역 크기(spare area size) 등을 적어도 부분적으로 기초로 하여 결정될 수 있다. (가령, NAND) 페이지 크기가 대략 (정규 페이지 영역에 대한) X 바이트 더하기 (예비 페이지 영역에 대한) Y 바이트인 경우, 타일 그룹 크기는 약 $(X + Y) / (\text{하나의 페이지 내 타일 그룹의 개수})$ 일 수 있다. 예를 들어, X의 값이 약 16,384 바이트(가령, 약 16KB)인 경우, Y의 값은 약 2,208 바이트이며 페이지 당 타일 그룹의 수는 16이라면, 타일 그룹 크기가 약 $(16,384 + 2,208) / 16 = \text{약 } 1,162$ 바이트로 계산될 수 있다. 이러한 경우, 타일 크기는 타일 그룹 크기를 각각의 타일 그룹으로 조합되는 타일의 개수로 나눔으로써 계산될 수 있다. 따라서 상기의 예시를 계속하면, 2개의 타일이 각각의 타일 그룹으로 조합되는 경우, 타일 크기는 약 $1,162 / 2 = \text{약 } 581$ 바이트일 수 있다. 이 예시에서, 각각의 타일 그룹이 타 타일 그룹에 독립적으로 프로그램, 읽기, 소거 또는 검증될 수 있기 때문에, (가령, NAND) 페이지는 최소한 한 번에 한 그룹으로, 최대 16번의 단계로 프로그램될 수 있다. 매번 타일 그룹을 프로그램하는 것은 타(가령, 선택되지 않거나 활성화되지 않은) 타일 그룹에 저장된 데이터를 영향받지 않게 유지할 수 있다.

[0049] 따라서, 다양한 실시예에 따르는 3D NAND 메모리 하에서, (가령, MLC) 페이지 내 열 주소(가령, 바이트 위치)가 타 타일 그룹에 독립적으로 선택 가능한 페이지에 대응하는 복수의 타일 그룹으로 사상되기 때문에, 페이지가 프로그램될 수 있는 횟수는 1회보다 많을 수 있다. 이는 기존 NAND 메모리 설계에는 지원되지 않는데, 가령, 기존 메모리에 어떠한 타일 또는 타일 그룹 구조물도 없기 때문이다. 기존 NAND 메모리의 페이지는 단 한 번만 프로그램될 수 있고, 이전 프로그램 동작에서 프로그램되지 않은 페이지의 부분을 프로그램하는 것은 상기 페이지를 포함하는 전체 메모리 블록을 소거하는 것을 필요로 한다.

[0050] 다양한 실시예에서, 타일 그룹이 모아져서(gather)(가령, 집성 또는 함께 조합), 가령, 타일 그룹 당 대역폭을 조절할 수 있다. 이러한 경우, 열 주소 범위가 함께 모아진 타일 그룹의 수만큼 분할될 수 있다. 타일 그룹 모음의 복수의 예시가 표 1을 참조하여 이하에서 제공된다. 이들 예시의 경우, 주어진 페이지 내에 16개의 타일 그룹이 존재하며, 페이지 크기는 약 N 바이트(가령, 약 18,592 바이트, 가령 약 16KB의 페이지 영역 더하기 약 2,208 바이트의 예비 영역)라고 가정된다. 또한 타일 그룹당 대역폭이 약 = X MT/s (가령, 400 MT/s)이라고 가정된다.

[0051] 표 1: 타일 그룹 모음의 예시

	페이지당 1 개의 타일 그룹 모음	페이지당 2 개의 타일 그룹 모음	페이지당 4 개의 타일 그룹 모음	페이지당 8 개의 타일 그룹 모음	페이지당 16 개의 타일 그룹 모음
타일 그룹 모음당 타일 그룹의 개수	16	8	4	2	1
페이지당 프로그램 동작의 횟수(NOP)	1	2	4	8	16
타일 그룹당 대역폭	X/16 (가령, 25 MT/s)	X/8 (가령, 50 MT/s)	X/4 (가령, 100 MT/s)	X/2 (가령, 200 MT/s)	X/1 (가령, 400 MT/s)
Y 번째 타일 그룹 모음에 대한 주소 범위	0 내지 N-1 (2D NAND와 동일)	1번째-2번째 범위: Y*N/2 내지 [(Y+1)*N/2 - 1] (여기서 0 ≤ Y ≤ 1)	1 번째-4 번째 범위: Y*N/4 내지 [(Y+1)*N/4 - 1] (여기서 0 ≤ Y ≤ 3)	1번째-8번째 범위: Y*N/8 내지 [(Y+1)*N/8 - 1] (여기서 0 ≤ Y ≤ 7)	1 번째-6 번째 범위: Y*N/16 내지 [(Y+1)*N/16 - 1] (여기서 0 ≤ Y ≤ 15)

[0052]

[0053]

다양한 실시예에서, 특정 시점에서의 3D NAND 메모리 내 구현을 위해 설계 선호로서 상기에서 나열된 또는 그 밖의 다른 모음 구성들 중 하나가 선택될 수 있다. 이러한 선택은 타일 그룹당 대역폭과 타일 그룹 모음의 개수의 보증된 상관관계를 적어도 부분적으로 기초로 할 수 있다. 표 1에 도시된 바와 같이, 페이지당 더 많은 타일 그룹 모음(가령, 타일 그룹 모음당 타일 그룹의 개수가 더 적음)이 있을수록 타일 그룹당 더 높은 액세스 대역폭이 도출될 수 있다. 타일 그룹당 액세스 대역폭을 증가시키는 것이 내부 데이터 버스 폭, 내부 버스 속도, 다 이 크기, 또는 전력 소비량 또는 기생 누설량을 증가시킬 수 있다.

[0054]

도 7은 다양한 실시예에 따라, 타일 그룹 모음의 형태로 열 주소와 부분 페이지 간 사상을 위한 예시적 스킵(700)을 도시한다. 주어진 타일 그룹 모음 내 임의의 타일 그룹에 걸쳐 데이터가 스크램블(scramble)(가령, 액세스), 가령, 프로그램, 읽기, 소거, 또는 검증되어, 예를 들어, 각각의 타일 그룹을 액세스하기 위해 사용되는 대역폭이 감소될 수 있다. 가령, 표 1과 관련하여 앞서 기재된 바와 같이 페이지 크기 및 페이지당 타일 그룹 모음의 개수에 의해 열 주소 경계가 결정될 수 있다. 도 7에서 도시된 바와 같이, 예를 들어, 페이지 크기가 약 18,592 바이트인 경우, 페이지당 하나의 타일 그룹 모음에 대한 제 1 (가령, 상부) 사상 스킵(710)이 바이트 0 내지 바이트 18,591를 커버하는 하나의 열 주소 범위(712)를 가질 수 있다. 페이지당 2개의 타일 그룹 모음에 대한 제 2 (가령, 중앙) 사상 스킵(720)이 2개의 열 주소 범위(722, 724)를 가질 수 있으며, 각각의 범위는 바이트 0 내지 바이트 9,295와, 바이트 9,296 내지 바이트 18,591를 커버한다. 페이지당 4개의 타일 그룹 모음에 대한 제 3 (가령, 하부) 사상 스킵(730)이 4개의 열 주소 범위(722, 734, 736, 738)를 가질 수 있으며, 각각의 범위는 바이트 0 내지 바이트 4,647, 바이트 4,648 내지 바이트 9,295, 바이트 9,296 내지 바이트 13,943, 및 바이트 13,944 내지 바이트 18,591를 커버한다.

[0055]

도 7이 각각의 타일 그룹 모음이, 타 타일 그룹의 메모리 주소와 연속인(가령, 순차적인) 메모리 (가령, 열) 주소로 각각 사상되는 복수의 타일 그룹을 포함하는 것을 도시하지만, 그 밖의 다른 배열도 가능하다. 예를 들어, 제 2 사상 스킵(720)에서 제 1 (가령, 좌측) 타일 그룹 모음은 타일 그룹 "0", "2", "4", "6", "8", "A", "C", 및 "E"를 포함할 수 있고, 제 2 사상 스킵(720)에서의 제 2 (가령, 우측) 타일 그룹 모음은 타일 그룹 "1", "3", "5", "7", "9", "B", "D", 및 "F"를 포함할 수 있다. 또한, (연속 주소 범위 내의) 입력(가령, 쓰기) 데이터가 복수의 데이터 부분으로 분할되거나(가령, 나뉘거나), 각각의 데이터 부분이 대응하는 타일 그룹 모음으로 사상될 때, 입력 데이터의 데이터 부분이 (사상된) 타일 그룹 모음 내 모든 타일 그룹에 걸쳐 위치할 수 있다. (사상된) 타일 그룹 모음 내 타일 그룹은 이들의 연관된 열 주소에 대해 순차적으로 또는 비순차적으로 선택될 수 있다. 또 다른 실시예에서, (사상된) 타일 그룹 모음 내 타일 그룹의 선택이 비-주소 관련 양태, 가령, 각각의 타일 그룹 또는 그 밖의 다른 임의의 특정된 규칙의 사용 빈도를 적어도 부분적으로 기초로 하여 결

정될 수 있다.

- [0056] 다양한 실시예에서, 데이터 스캔배열에서 데이터 경로 속도(data path speed)가 고려될 수 있다. 예를 들어, 약 1,162 순차 바이트를 하나의 타일 또는 하나의 타일 그룹으로 사상하는 것이 더 빠른 데이터율을 유지하기 위해 필요한 회로의 양을 증가시킬 수 있다. 가령, 타일 또는 타일 그룹을 완전히 독립적으로 유지하는 대신, 메모리 주소 내 위치를 기초로 하여 몇몇 타일 또는 타일 그룹이 함께 그룹화될 수 있다.
- [0057] 프로그래밍을 위해, 다양한 실시예에서, 주어진 3D NAND 메모리의 어느 타일 또는 타일 그룹에 데이터가 쓰일지와 관련된 정보가 고려될 수 있고, 일부 실시예에서, 이들 타일 또는 타일 그룹만 프로그램될 수 있다. 일부 실시예에서, 호스트가 특정 페이지의 어느 부분(가령, 부분 페이지)이 프로그램되었는지, 그리고 페이지의 어느 부분이 프로그램되지 않았는지를 알아야 할 수 있다. 호스트가 쓰기 데이터를 3D NAND 메모리로 전송하여 쓰기 데이터를 이들 경계에 정렬시킬 수 있도록 3D NAND 메모리는 프로그램 동작에 대해 자신의 부분 페이지 크기(가령, 경계)를 보고하도록 동작할 수 있다.
- [0058] 일부 실시예에서, 예를 들어, 더 적은 타일 또는 타일 그룹이 활성화됨으로써, 빠르게 또는 일정한 속도(가령, 램프 속도(ramp rate))로 증가 또는 감소하는 프로그램 동작에 대해 인가되는 전압의 율을 변화시킴으로써 프로그램 동작을 위한 알고리즘이 조정될 수 있다. 이는 드라이버로 제공되는 저항 또는 용량의 변화를 야기할 수 있다. 이 유형의 동작은 예를 들어 프로그램 동작을 구현하는 데 사용되는 명령어 세트의 변경을 피할 수 있다.
- [0059] 일부 실시예에서, 이전에 프로그램된 부분을 갖는 하부 페이지(lower page)를 읽을 때, 3D NAND 메모리는 어느 타일 또는 타일 그룹이 상기 하부 페이지 부분을 이미 프로그램되게 했었는지를 체크하도록 동작할 수 있고, 이전에 프로그램됐던 타일 또는 타일 그룹에 대해서만 유효한 데이터를 반환할 수 있다. 연관된 상부 페이지의 일부 부분이 이전에 프로그램된 하부 페이지를 읽을 때, 3D NAND 메모리는 상부 페이지를 프로그램되게 하지 않은 타일 또는 타일 그룹에 대해 자신의 읽기 알고리즘을 조정할 수 있다. 상부 페이지를 읽을 때, 3D NAND 메모리는 어느 타일이 상부 페이지를 이전에 프로그램되게 했는지를 모니터링하고 상부 페이지를 이미 프로그램되게 한 타일 또는 타일 그룹에 대해서만 유효한 데이터를 반환하도록 동작할 수 있다. 이들 유형의 동작이 사용될 때 또한 읽기 알고리즘의 변경이 피해질 수 있어서, 유효한, 이전에 프로그램된 타일이 읽힐 때만 데이터가 호스트로 반환되더라도 모든 타일 또는 타일 그룹이 여전히 읽힐 수 있다.
- [0060] 도 1-7에 도시되고 이전에 기재된 다양한 실시예를 고려하면, 장치는 메모리 블록을 포함할 수 있고, 상기 메모리 블록은, 메모리 셀의 스트링 - 각각의 스트링은 복수의 티어로 형성된 메모리 셀을 포함함 -, 상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각각의 티어에 대응하는 메모리 셀로 연결되고, 상기 메모리 셀은 복수의 페이지 중 각각의 페이지를 포함하는 각각의 티어의 적어도 일부분에 대응함 -, 및 상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 각각의 페이지의 복수의 부분 페이지 중 각각의 부분 페이지로 사상되며, 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능함 - 을 포함한다.
- [0061] 다양한 실시예에서, 복수의 부분 페이지의 각각의 부분 페이지는 타일을 포함할 수 있다.
- [0062] 다양한 실시예에서, 복수의 부분 페이지의 각각의 부분 페이지는 타일 그룹을 포함할 수 있다. 각각의 타일 그룹은 복수의 타일을 포함할 수 있다.
- [0063] 다양한 실시예에서, 복수의 부분 페이지의 각각의 부분 페이지는 타일 그룹 모음을 포함할 수 있다. 각각의 타일 그룹 모음은 복수의 타일 그룹을 포함할 수 있다.
- [0064] 다양한 실시예에서, 타일 그룹 모음에 포함되는 복수의 타일 그룹은 숫자 주소 시퀀스(numerical address sequence)에 따라 인접 관계(proximately related)일 수 있다.
- [0065] 다양한 실시예에서, 타일 그룹 모음에 포함되는 복수의 타일 그룹 중 적어도 하나의 타일 그룹은 숫자 주소 시퀀스에 따라 인접 관계가 아닐 수 있다.
- [0066] 다양한 실시예에서, 장치는 제어 유닛에서 쓰기 데이터를 쓰라는 명령어를 수신하면, 쓰기 데이터의 제 1 부분이 부분 페이지들 중 제 1 부분 페이지로 프로그램되고 쓰기 데이터의 제 2 부분이 부분 페이지들 중 제 2 부분 페이지로 프로그램되도록, 쓰기 데이터를 복수의 티어 중 각각의 티어의 각각의 페이지로 사상하도록 구성되는 제어 유닛을 더 포함할 수 있다.
- [0067] 다양한 실시예에서, 제어 유닛은 블록과 연관된 페이지 버퍼(가령, 도 1의 페이지 버퍼(142))가 채워지기 전에

각자의 페이지에 쓰기 데이터를 프로그램하는 것을 트리거하도록 구성될 수 있다.

- [0068] 다양한 실시예에서, 제어 유닛은 쓰기 데이터의 제 1 부분을 제 1 부분 페이지로 프로그램하고, 쓰기 데이터의 제 2 부분을 제 2 부분 페이지로 프로그램하도록 구성될 수 있다. 상기 쓰기 데이터의 제 2 부분의 프로그램은, 제 1 부분을 제 1 부분 페이지로 프로그램한 후 먼저 메모리 블록의 소거하지 않고 제 2 부분을 제 2 부분 페이지로 프로그램하는 것을 포함할 수 있다.
- [0069] 다양한 실시예에서, 장치가 메모리 블록을 포함할 수 있으며, 상기 메모리 블록은, 메모리 셀의 스트링 - 각각의 스트링은 복수의 티어로 형성된 메모리 셀을 포함함 - , 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀로 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어에 대응함 - , 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하며, 데이터 라인의 각각의 서브세트는 제 1 부분 페이지 및 제 2 부분 페이지를 포함하는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상되며, 단일 메모리 동작이 제 1 부분 페이지 및 제 2 부분 페이지 상에서 독립적으로 수행될 수 있도록 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능함 - 을 포함한다.
- [0070] 다양한 실시예에서, 장치는 데이터 라인의 서브세트와 복수의 부분 페이지 간 사상을 구현하기 위해 하드와이어링된 회로(가령, 회로(600))또는 라우팅 로직(가령, 메모리 제어 유닛(118))으로 구현된 로직(을 더 포함할 수 있다. 라우팅 로직이 사용될 때, 장치는 예를 들어 라우팅 로직에 의해 차후에(가령, 메모리 동작에 대한 요청이 수신될 때) 사용될 사상 정보를 저장하기 위해 레지스터를 더 포함할 수 있다.
- [0071] 다양한 실시예에서, 상기 장치는 단일 메모리 동작에 대한 데이터와 연관된 열 주소를 기초로 하여 제 1 부분 페이지 또는 제 2 부분 페이지 중 적어도 하나를 선택하도록 구성된 제어 유닛을 더 포함할 수 있다. 예를 들어, 일부 실시예에서, 제 1 또는 제 2 부분 페이지 중 적어도 하나는 열(가령, 페이지) 주소 범위 내 특정 열 주소로 입력되는 데이터를 기초로 하는 데이터 라인의 서브세트와 복수의 부분 페이지 간 지정된 사상 정보(가령, 관계)의 함수로서 선택될 수 있다. 이러한 경우, 하나의 실시예에서, (가령, 호스트에 의해) 데이터를 상기 부분 페이지의 주소 범위 내 하나 이상의 열 주소 위치로 입력함으로써 부분 페이지가 선택될 수 있다. 마찬가지로, 복수의 부분 페이지가, 이들(복수의) 부분 페이지에 대응하는(가령, 사전사상(premap)되는) 하나 이상의 열 주소 범위로 입력되는 데이터를 기초로 선택될 수 있다.
- [0072] 다양한 실시예에서, 상기 장치는 제 1 부분 페이지 및 제 2 부분 페이지로서, 숫자 주소 시퀀스에 따라 인접 관계가 아닌 2개의 부분 페이지를 선택하기 위해 제어 유닛을 더 포함할 수 있다.
- [0073] 도 8은 다양한 실시예에 따라, 페이지 상에서의 프로그램 동작을 수행하는 방법(800)을 도시하는 흐름도이다. 상기 방법(800)은 도 1-6에서 도시된 장치를 이용해 구현될 수 있다. 다양한 실시예에서, 상기 방법(800)은 블록(805)에서 시작될 수 있으며, 여기서, 호스트(가령, 도 2의 메모리 블록(300))을 포함하는 메모리 소자와 작동 가능하게 통신하는 컴퓨터 또는 사용자 장치)로부터 데이터를 수신한다. 블록(810)에서, (수신된) 데이터가 복수의 페이지로부터 선택된 페이지(가령, 도 3의 페이지(380))로 사상될 수 있다. 복수의 페이지의 각각의 페이지가 메모리 블록(가령, 메모리 블록(300))에서 복수의(가령, 32개의) 티어 중 하나씩의 티어에 대응할 수 있다. (선택된) 페이지는 제 1 부분 페이지(가령, 부분 페이지(394)) 및 제 2 부분 페이지(가령, 부분 페이지(392))를 포함하는 복수의 부분 페이지(가령, 부분 페이지(392-396))를 포함할 수 있다. (수신된) 데이터의 (선택된) 페이지로의 사상은 데이터의 제 1 부분의 제 1 부분 페이지로의 사상 및 데이터의 제 2 부분의 제 2 부분 페이지로의 사상을 포함할 수 있다. 블록(815)에서, 데이터의 제 1 부분은 제 1 부분 페이지로 프로그램될 수 있다. 블록(820)에서, 데이터의 제 2 부분은 제 1 부분 페이지에서 프로그램되는 데이터의 제 1 부분에 독립적으로 제 2 부분 페이지로 프로그램될 수 있다. 다양한 실시예에서, (수신된) 데이터가 전체 페이지(가령, 페이지(380))에 대응하는 메모리(가령, 열) 주소로 사상된다고 결정된 경우, 제 1 및 제 2 부분 페이지를 포함하여, 페이지의 모든 부분 페이지가 동시에 선택되고 프로그램될 수 있다.
- [0074] 다양한 실시예에서, 호스트로부터 데이터를 수신하는 단계는 데이터를 수신하는 페이지 버퍼가 채워지기 전에 제 1 부분 페이지의 프로그래밍을 포함하여 페이지 프로그램을 개시하는 단계를 포함할 수 있다.
- [0075] 다양한 실시예에서, 데이터를 페이지로 사상하는 단계는 페이지의 크기 및 부분 페이지의 개수를 적어도 부분적으로 기초로 하여 데이터를 부분들로 분할하는 단계를 포함할 수 있다.
- [0076] 다양한 실시예에서, 데이터를 페이지로 사상하는 단계는, 제 1 및 제 2 부분 페이지로서, 페이지에 대응하는 복수의 부분 페이지 중 2개의 부분 페이지를 선택하는 단계를 포함할 수 있으며, 이때 상기 2개의 부분 페이지는

숫자 주소 시퀀스에 따라 인접 관계이다.

- [0077] 다양한 실시예에서, 데이터를 페이지로 사상하는 단계는, 제 1 및 제 2 부분 페이지로서, 페이지에 대응하는 복수의 부분 페이지 중 2개의 부분 페이지를 선택하는 단계를 포함하며, 이때 상기 2개의 부분 페이지는 숫자 주소 시퀀스에 따라 인접 관계가 아니다. 예를 들어, 하나의 실시예에서, 페이지의 주소 범위의 끝에 더 가까운 (가령, 제 2) 부분 페이지가 우선 선택될 수 있고, 그 후 페이지의 주소 범위의 시작에 (제 2 부분 페이지보다) 더 가까운 다른(가령, 제 1) 부분 페이지가 선택될 수 있으며, 그 반대도 가능하다.
- [0078] 다양한 실시예에서, 데이터의 제 1 부분을 프로그램하는 단계는 제 1 부분 페이지에 대응하는 데이터 라인의 제 1 세트를 활성화시키는 단계 및 제 2 부분 페이지에 대응하는 데이터 라인의 제 2 세트를 포함하는 타 데이터 라인을 비활성화시키는 단계를 포함할 수 있다.
- [0079] 다양한 실시예에서, 데이터의 제 2 부분을 프로그램하는 단계는 데이터 라인의 제 2 세트를 활성화시키는 단계, 및 데이터 라인의 제 1 세트를 포함하는 타 데이터 라인을 비활성화시키는 단계를 포함할 수 있다.
- [0080] 다양한 실시예에서, 데이터의 제 2 부분을 프로그램하는 단계는 데이터의 제 1 부분을 프로그램한 후 선택된 페이지를 우선 소거하지 않고 데이터의 제 2 부분을 프로그램하는 단계를 포함할 수 있다.
- [0081] 다양한 실시예에서, 데이터의 제 2 부분을 프로그램하는 단계는 제 1 부분 페이지를 프로그램하지 않는 단계를 포함할 수 있다.
- [0082] 다양한 실시예에서, 방법(800)은 데이터를 수신하기 전에 페이지 내 열 주소를 페이지에 대응하는 복수의 부분 페이지로 사상하는 단계를 더 포함할 수 있다.
- [0083] 다양한 실시예에서, 상기 방법(800)은 페이지 내 열 주소와 상기 페이지에 대응하는 복수의 부분 페이지 간 사상 관계를 호스트로 보고하는 단계를 더 포함할 수 있다.
- [0084] 도 9는 다양한 실시예에 따라 부분 페이지 상에서 메모리 동작을 수행하는 방법(900)을 도시하는 흐름도를 도시한다. 상기 방법(900)은 도 1-6에서 도시된 장치, 가령, 메모리 블록(가령, 메모리 블록(300))을 포함하는 장치를 이용해 구현될 수 있으며, 이때 상기 메모리 블록은 복수의 페이지를 포함한다. 복수의 페이지의 각각의 페이지는 복수의(가령, 32개의) 티어 중 하나씩의 티어에 대응하고, 각각의 페이지(가령, 페이지(380))는 제 1 부분 페이지(가령, 부분 페이지(394)) 및 제 2 부분 페이지(가령, 부분 페이지(392))를 포함하는 복수의 부분 페이지(가령, 부분 페이지(392-396))를 포함할 수 있다. 다양한 실시예에서, 상기 방법(900)은 블록(905)에서 시작할 수 있으며, 가령, 메모리 블록(가령, 메모리 블록(300))을 포함하는 메모리 소자로 작동 가능하게 연결된 호스트로부터, 메모리 동작에 대한 요청을 수신한다. 블록(910)에서, 페이지는 복수의 페이지로부터 타깃 페이지(가령, 페이지(380))로서 선택될 수 있다. 블록(915)에서, 타깃 페이지의, 제 1 부분 페이지(가령, 부분 페이지(394))를 포함하는 하나 이상의 부분 페이지가 선택되어 메모리 동작을 수행할 수 있다. 블록(920)에서, 타깃 페이지의, 제 2 부분 페이지(가령, 부분 페이지(392))를 포함하는 하나 이상의 추가 부분 페이지가 선택되어, 이전에 메모리 동작이 수행됐던 제 1 부분 페이지(가령, 부분 페이지(394))를 포함하는 하나 이상의 부분 페이지에 독립적으로 메모리 동작을 수행하도록 선택될 수 있다.
- [0085] 도 10은 다양한 실시예에 따르는, 페이지 상에서의 프로그램 동작을 수행하는 방법(1,000)을 도시하는 흐름도이다. 상기 방법(1,000)은 도 1-6 등에서 도시된 장치를 이용해 구현될 수 있다. 다양한 실시예에서, 상기 방법(1,000)은 블록(1,005)에서 시작될 수 있으며, 여기서, 메모리 소자(가령, 3D NAND 메모리 소자(200))에서 호스트(가령, 상기 3D NAND 메모리 소자(200)와 작동 가능하게 통신하는 컴퓨터 또는 사용자 소자)로부터 데이터의 제 1 부분 페이지를 수신한다. 블록(1,010)에서, 데이터의 (수신된) 제 1 부분 페이지가 복수의 페이지 중에서 선택된 선택 페이지(가령, 도 3의 페이지(380))의 메모리 셀의 제 1 그룹으로 프로그램될 수 있다. 블록(1,015)에서, 데이터의 제 1 부분 페이지가 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 후 데이터의 제 2 부분 페이지가 메모리 소자에서 수신될 수 있다. 블록(1,020)에서, 우선 특정 페이지를 소거하거나 선택된 페이지의 메모리 셀의 제 1 그룹으로 프로그램된 데이터의 제 1 부분 페이지를 재프로그래밍하지 않고 데이터의 (수신된) 제 2 부분 페이지가 선택된 페이지의 메모리 셀의 제 2 그룹으로 프로그램될 수 있다.
- [0086] 다양한 실시예에서, 데이터의 제 1 및 제 2 부분 페이지는 동일한 데이터올로 수신될 수 있다. 즉, 데이터올이 호스트와 메모리 소자 간 특정 데이터 세트의 전송 전체 동안 유지될 수 있다.
- [0087] 다양한 실시예에서, 호스트는 선택된 페이지 중 어느 부분 페이지가 이미 프로그램되었는지를 추적할 수 있다.
- [0088] 다양한 실시예에서, 상기 메모리 소자는 선택된 페이지 중 어느 부분 페이지가 이미 프로그램되었는지를 추적하

지 않을 수 있다.

- [0089] 다양한 실시예에서, 선택된 페이지 중 써질 필요가 있는 데이터를 갖는 부분 페이지만 프로그램될 수 있다. 선택된 페이지 중 어떠한 써질 데이터도 사상되지 않은 부분 페이지는 프로그램되지 않을 수 있다.
- [0090] 다양한 실시예에서, 부분 페이지 프로그래밍 크기가, 예를 들어, 메모리 소자로부터 호스트로 보고될 수 있다.
- [0091] 다양한 실시예에서, 가령, 데이터의 제 1 또는 제 2 부분 페이지의 프로그래밍 동안 램프율(ramp rate) 변화에 따라 프로그래밍 알고리즘이 조정될 수 있다.
- [0092] 다양한 실시예에서, 하부 페이지의 부분만 프로그램된 때 선택된 페이지의 하부 페이지를 읽을 때, 읽기 데이터는 프로그램된 부분 페이지에 대해서만 반환될 수 있다.
- [0093] 다양한 실시예에서, 상부 부분의 부분만 프로그램된 때 선택된 페이지의 하부 부분을 읽을 때, 상기 선택된 페이지 중 상부 페이지가 프로그램되게 하지 않은 메모리 셀을 읽기 위해 읽기 알고리즘이 조정될 수 있다.
- [0094] 다양한 실시예에서, 선택된 페이지의 상부 페이지를 읽을 때, 상부 페이지가 프로그램되게 한 부분 페이지에 대해서만 읽기 데이터는 반환될 수 있다.
- [0095] 다양한 실시예에서, 선택된 페이지의 모든 메모리 셀이 읽힐 수 있고, 유효하고 프로그램된 부분 페이지에 대해서만 데이터가 호스트로 반환될 수 있다.
- [0096] 다양한 실시예에서, 본 명세서에 개시된 각각의 메모리 동작은 프로그램 동작, 읽기 동작, 검증 동작, 또는 소거 동작을 포함할 수 있다. 복수의 부분 페이지의 각각의 부분 페이지는 적어도 하나의 타일을 포함할 수 있다.
- [0097] 요컨대, 본 명세서에 부분 페이지 메모리 동작을 위한 장치 및 방법이 개시된다. 본 명세서에 개시된 다양한 실시예에 따르면, 부분 페이지 메모리 동작이 셀당 1비트 보다 많이 저장하는 멀티-레벨 셀을 포함하는 NAND 메모리 소자 내에서 구현될 수 있다. 큰 NAND 페이지 크기(가령, 16KB)가 몇 개의(가령, 2개의) 평면에 의해 지원될 수 있다. 이들 동작은 NAND 메모리가 페이지 중 어느 부분(들)이 이미 프로그램되었는지를 추적할 필요 없도록 구현될 수 있는데, 왜냐하면 페이지 사용의 추적이 호스트에 의해 모니터링될 수 있기 때문이다. 프로그래밍 동작이, 예를 들어, 페이지의 더 작은 부분(가령, 부분 페이지, 가령, 타일, 타일 그룹 또는 타일 그룹 모음)을 프로그래밍할 때 전력을 덜 소비할 수 있다. 명령어 중 일부가 변형되어 유사한 메커니즘이 부분 페이지 읽기 또는 검증, 또는 부분 블록 소거에 적용될 수 있다. 따라서 쓰기 증폭(Write amplification)이 감소될 수 있으며, 시스템 블록 관리 알고리즘, 가령, 가비지 수집(garbage collection)이 단순화될 수 있다.
- [0098] 도 1-10과 관련하여 기재된 장치, 방법 및 신호에 대한 설명이 다양한 실시예의 구조 및 기능의 일반적인 이해를 제공하기 위함이며 본 명세서에 기재된 구조 및 기능을 사용할 수 있는 장치, 신호, 또는 방법의 모든 요소 및 특징에 대한 완전한 기재로서 제공된 것이 아니다.
- [0099] 다양한 실시예의 신규한 장치 및 방법이 컴퓨터, 통신 및 신호 처리 회로, 단일 또는 멀티-프로세서 모듈, 단일 또는 복수의 임베디드 프로세서, 멀티-코어 프로세서, 데이터 스위치, 및 멀티레이어, 멀티-칩 모듈을 포함하는 주문형 모듈(application-specific module)에서 사용되는 전자 회로를 포함하거나, 및/또는 여기에 포함될 수 있다. 이러한 장치 및 방법은 다양한 전자 시스템, 가령, 텔레비전, 셀룰러 전화기(가령, 스마트폰), 개인 컴퓨터(가령, 랩톱 컴퓨터, 데스크톱 컴퓨터, 핸드헬드 컴퓨터, 태블릿 컴퓨터 등), 워크스테이션, 라디오, 비디오 플레이어, 오디오 플레이어(가령, MP3(Motion Picture Experts Group, Audio Layer 3) 플레이어), 차량, 의료 장치(가령, 심장 모니터, 혈압 모니터 등), 셋 톱 박스, 등 내의 하위-구성요소로서 더 포함될 수 있다.
- [0100] 본 명세서의 일부를 형성하는 첨부된 도면은, 비제한적인 예시로서, 본 발명이 실시되는 특정 실시예를 나타낸다. 도시된 실시예는 해당 분야의 통상의 기술자가 본 명세서에 개시된 설명을 실시하기에 충분히 상세하게 기재된다. 구조적 및 논리적 치환 및 변경이 본 명세서의 범위 내에 있도록, 이로부터 또 다른 실시예가 사용되고 유래될 수 있다. 따라서 이 상세한 설명은 한정하려 제공된 것이 아니며 다양한 실시예의 범위는 첨부된 특허청구범위 및 이러한 청구항의 균등물의 완전한 범위에 의해서만 규정된다.
- [0101] 둘 이상이 실제로 개시되는 경우, 본 출원을 임의의 단일 발명 또는 발명 개념으로 자발적으로 제한하려는 의도가 아닌 단지 편의상 본 발명의 이러한 실시예는 본 명세서에서 개별적으로 또는 집합적으로 "발명"이라고 지칭될 수 있다. 따라서 특정 실시예가 본 명세서에 도시되고 기재되지만, 동일한 목적을 달성하기 위해 계산되는 어떠한 배열도 도시된 특정 실시예를 치환할 수 있다. 본 명세서는 다양한 실시예의 임의의 모든 적용에 또는 변형예를 커버하려 의도된다. 본 명세서에 특정하게 기재되지 않은 상기의 실시예 및 그 밖의 다른 실시예의 조

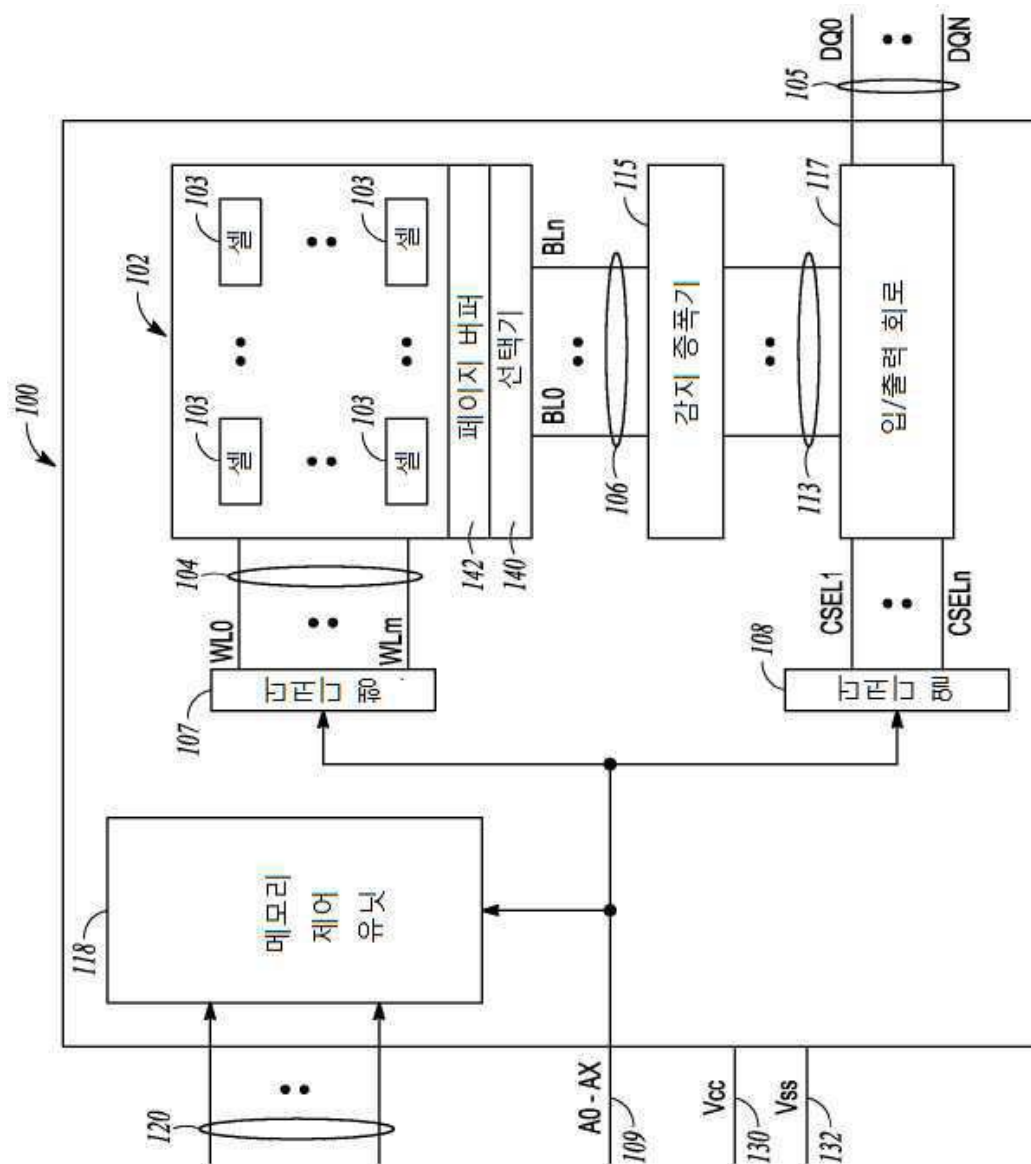
합이 상기 기재를 검토하면 해당 분야의 통상의 기술자에게 자명할 것이다.

[0102]

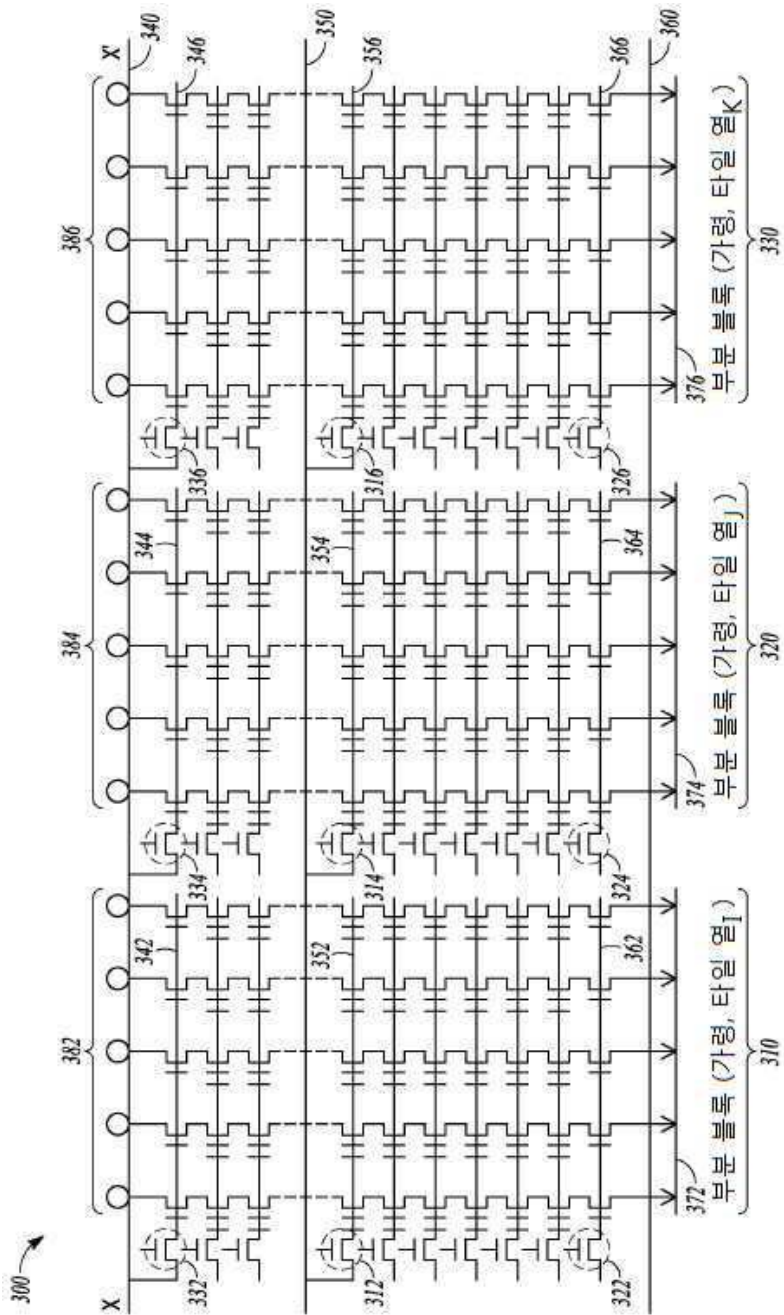
본 명세서의 요약서가 읽는 이가 기술적 개시 내용의 속성을 빠르게 확인하도록 할 요약서를 요구하는 37 C.F.R. § 1.72(b)에 따르면 제공된다. 이 요약서는 청구항의 범위 또는 의미를 해석하거나 제한하도록 사용되지 않을 것이라는 이해 하에 제출된다. 상기의 상세한 설명에서, 본 발명을 명료화하기 위한 목적으로 다양한 특징들이 하나의 단일 실시예로 그룹화된다. 이러한 개시 방법은 각각의 청구항에 명시적으로 언급된 것보다 더 많은 특징부를 필요로 한다고 해석될 것이다. 오히려, 본 발명은 단일 개시된 실시예의 모든 특징보다 적은 것으로 발견될 수 있다. 따라서 다음의 특허청구범위가 상세한 설명에 포함되며, 이때 각각의 청구항은 하나의 개별 실시예를 나타낸다.

도면

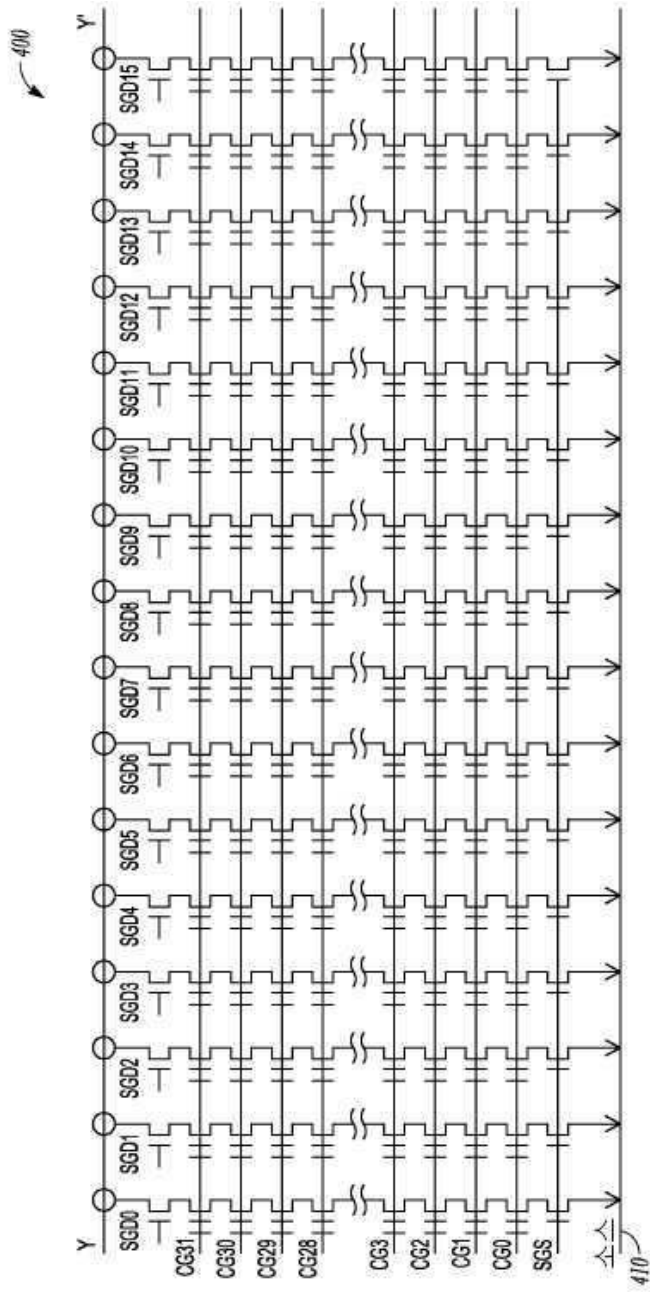
도면1



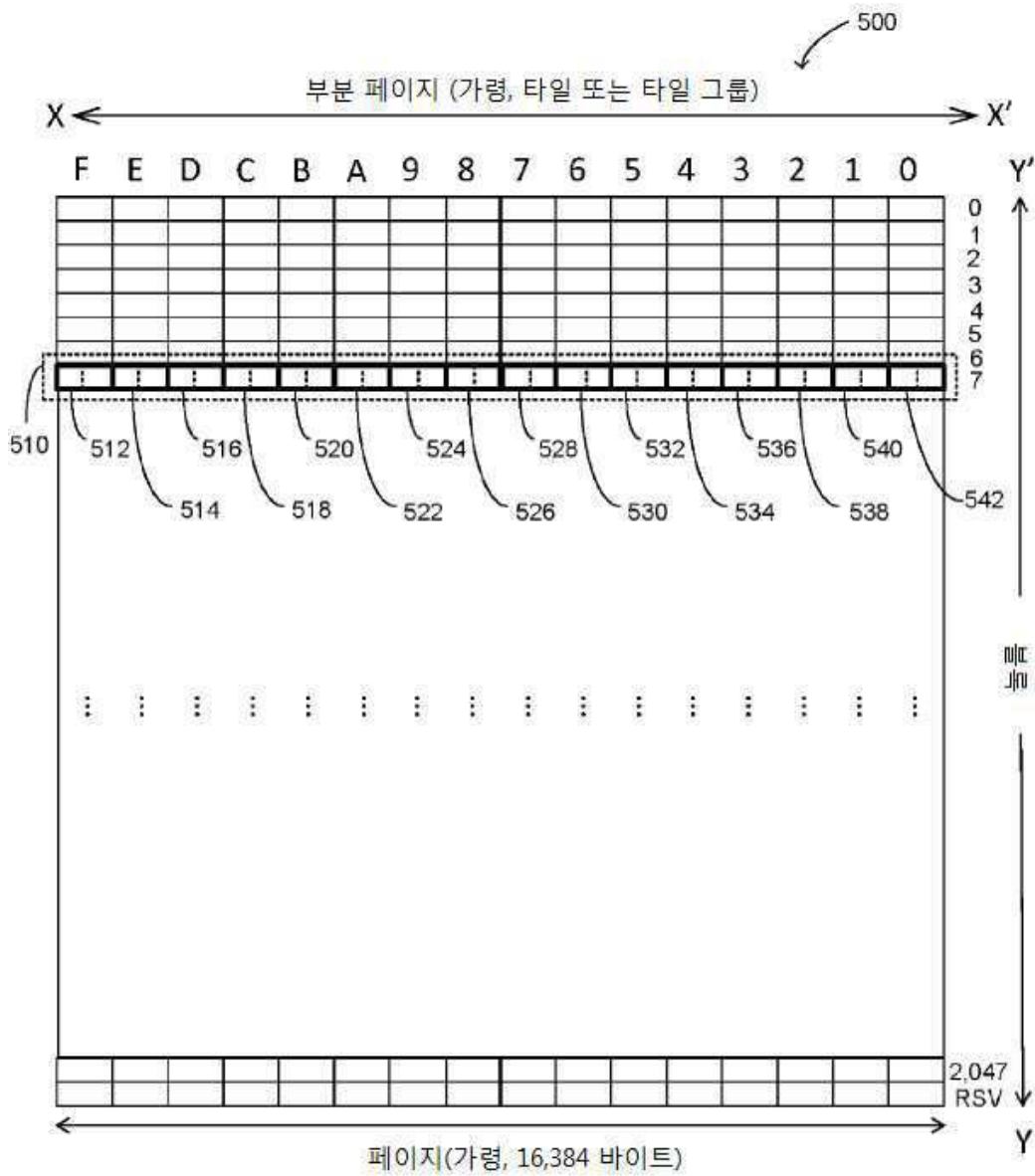
도면3



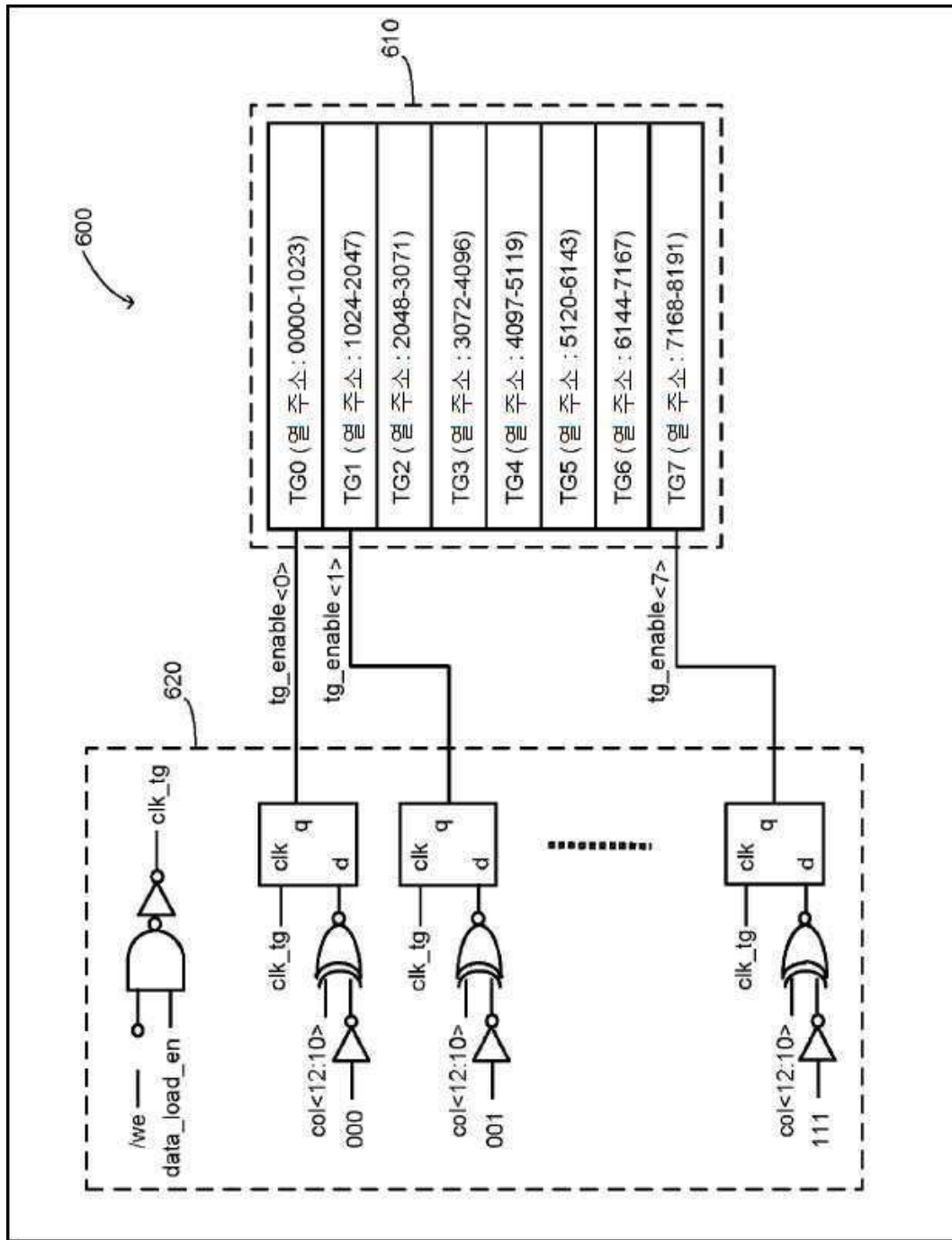
도면4



도면5

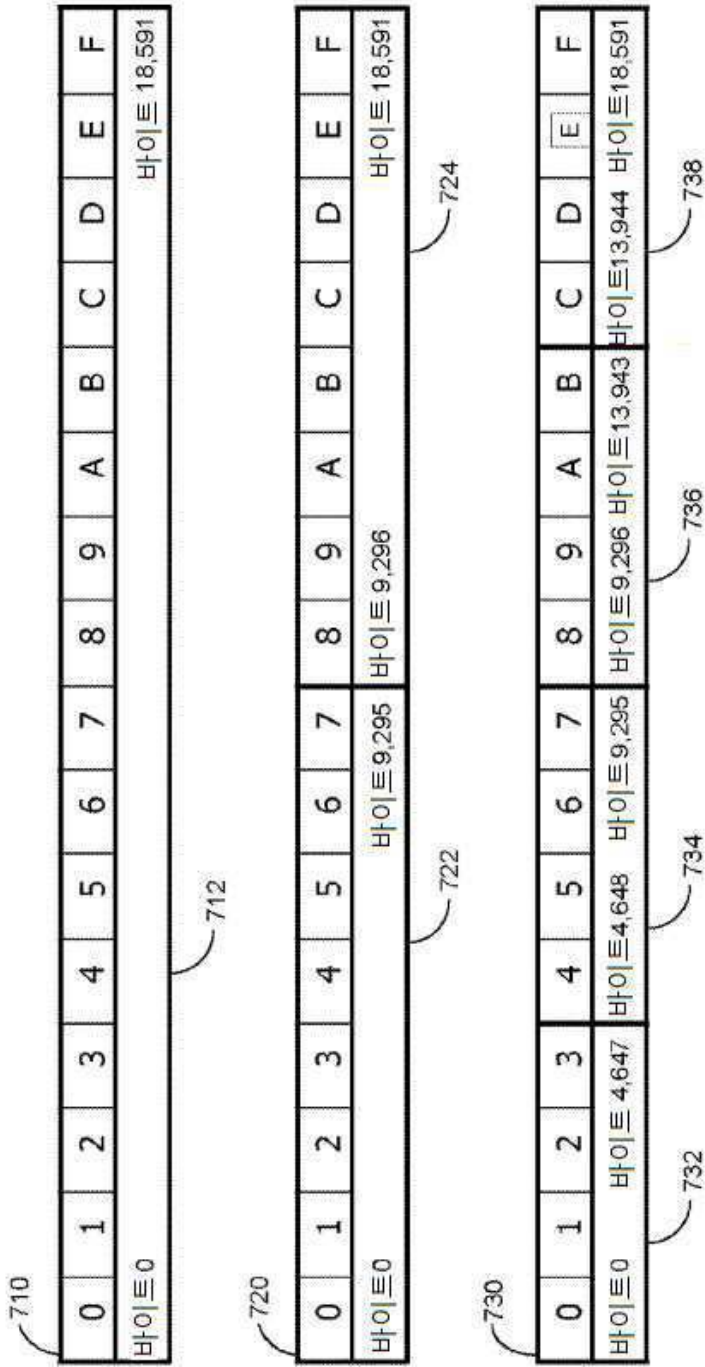


도면6

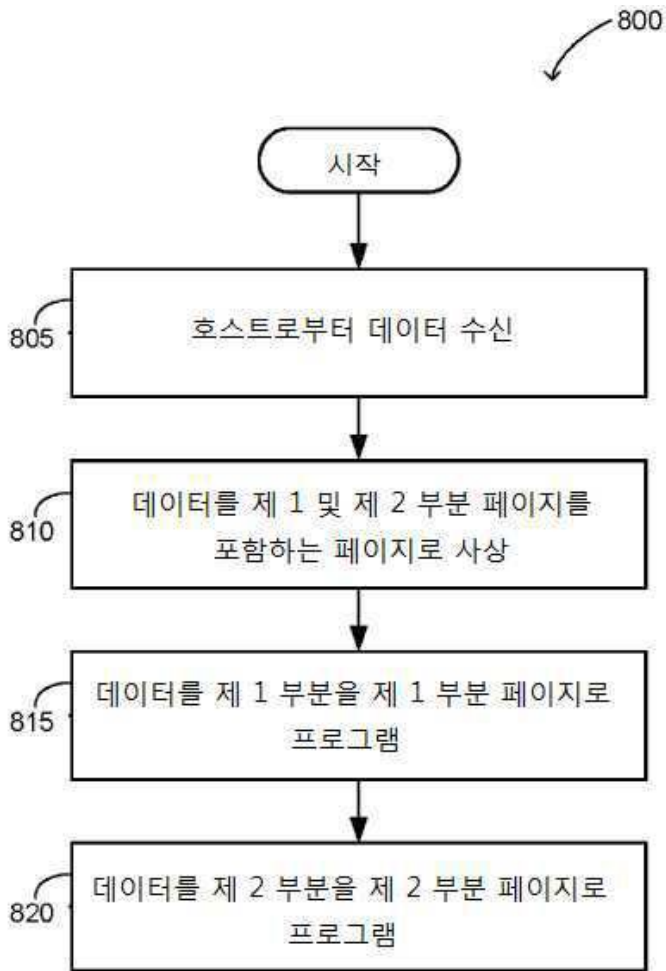


도면7

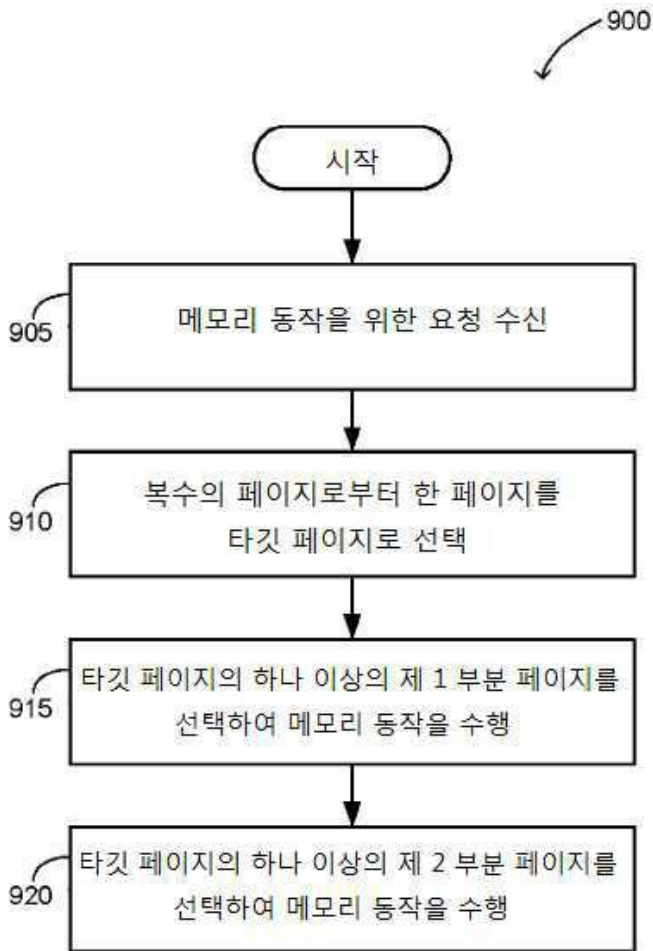
700



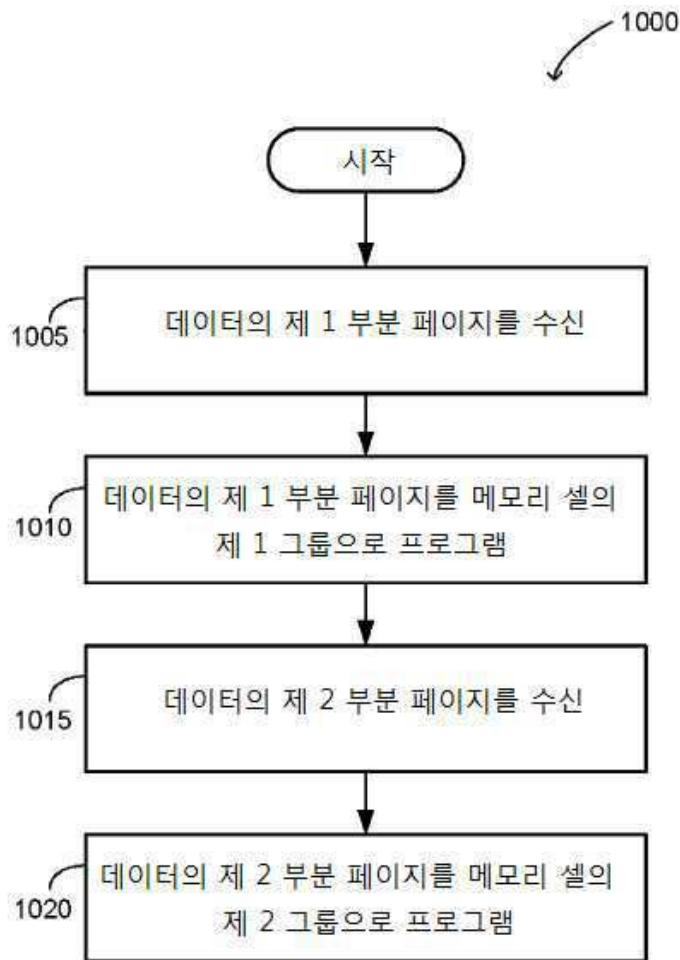
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 12

【변경전】

메모리 블록을 포함하는 메모리 소자에 대한 방법으로서,

상기 메모리 블록은:

복수의 티어로 형성된 메모리 셀의 스트링,

상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어의 적어도 일부에 대응함 - ,

상기 스트링에 의해 공유되는 드레인 선택 라인 및 소스 선택 라인, 및

상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상(map)되며, 각각의 부분 페이지는 각자의 페이지 내 타 부분 페이지에 독립적으로 선택 가능하고, 상기 복수의 페이지 중 특정 페이지는 제1 부분 페이지 및 제2 부분 페이지를 포함하고, 상기 스트링은 스트링 드라이버의 제1 세트를 통해 상기 드레인 선택 라인 중 특정 드레인 선택 라인 및 상기 소스 선택 라인 중 특정 소스 선택 라인에 연결되는 상기 제1 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 스트링은 스트링 드라이버의 제2 세트를 통해 상기 특정 드레인 선택 라인 및 상기 특정 소스 선택 라인에 연결되는 상기 제2 부분 페이

지에 대응하는 메모리 셀을 포함하고, 상기 제1 부분 페이지 및 상기 제2 부분 페이지는 서로와 독립적으로 프로그래밍, 읽기, 소거 또는 검증될 수 있음 -

를 포함하고,

상기 방법은:

호스트로부터 상기 특정 페이지에 프로그래밍될 데이터를 수신하는 단계,

상기 복수의 페이지로부터 선택된 특정 페이지로 데이터를 사상하는 단계 - 복수의 페이지의 각각의 페이지는 메모리 블록 내 상기 복수의 티어 중 하나씩의 티어에 대응하고, 상기 특정 페이지는 상기 제 1 부분 페이지 및 상기 제 2 부분 페이지를 포함하는 상기 복수의 부분 페이지를 포함하며, 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능하며, 상기 사상하는 단계는 데이터의 제 1 부분을 제 1 부분 페이지로 사상하고, 데이터의 제 2 부분을 제 2 부분 페이지로 사상하는 단계를 포함하고, 상기 복수의 페이지 중 상기 특정 페이지의 상기 제1 부분 페이지에 대응하는 메모리 셀은 제1 스트링 드라이버를 통해 상기 특정 액세스 라인에 연결되고, 상기 특정 페이지의 상기 제2 부분 페이지에 대응하는 메모리 셀은 제2 스트링 드라이버를 통해 상기 특정 액세스 라인에 연결됨 - ,

제 1 부분 페이지로 상기 데이터의 제 1 부분을 프로그램하는 단계, 및

상기 제 1 부분 페이지로 프로그램되는 데이터의 제 1 부분에 독립적으로 제 2 부분 페이지로 상기 데이터의 제 2 부분을 프로그램하는 단계

를 포함하는, 방법.

【변경후】

메모리 블록을 포함하는 메모리 소자에 대한 방법으로서,

상기 메모리 블록은:

복수의 티어로 형성된 메모리 셀의 스트링,

상기 스트링에 의해 공유되는 액세스 라인 - 각각의 액세스 라인은 복수의 티어 중 각자의 티어에 대응하는 메모리 셀에 연결되고, 상기 메모리 셀은 복수의 페이지 중 각자의 페이지를 포함하는 각자의 티어의 적어도 일부에 대응함 - ,

상기 스트링에 의해 공유되는 드레인 선택 라인 및 소스 선택 라인, 및

상기 스트링에 의해 공유되는 데이터 라인 - 상기 데이터 라인은 데이터 라인의 복수의 서브세트를 포함하고, 데이터 라인의 각각의 서브세트는 각자의 페이지의 복수의 부분 페이지 중 각자의 부분 페이지로 사상(map)되며, 각각의 부분 페이지는 각자의 페이지 내 타 부분 페이지에 독립적으로 선택 가능하고, 상기 복수의 페이지 중 특정 페이지는 제1 부분 페이지 및 제2 부분 페이지를 포함하고, 상기 스트링은 스트링 드라이버의 제1 세트를 통해 상기 드레인 선택 라인 중 특정 드레인 선택 라인 및 상기 소스 선택 라인 중 특정 소스 선택 라인에 연결되는 상기 제1 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 스트링은 스트링 드라이버의 제2 세트를 통해 상기 특정 드레인 선택 라인 및 상기 특정 소스 선택 라인에 연결되는 상기 제2 부분 페이지에 대응하는 메모리 셀을 포함하고, 상기 제1 부분 페이지 및 상기 제2 부분 페이지는 서로와 독립적으로 프로그래밍, 읽기, 소거 또는 검증될 수 있음 -

를 포함하고,

상기 방법은:

호스트로부터 상기 특정 페이지에 프로그래밍될 데이터를 수신하는 단계,

상기 복수의 페이지로부터 선택된 특정 페이지로 데이터를 사상하는 단계 - 복수의 페이지의 각각의 페이지는 메모리 블록 내 상기 복수의 티어 중 하나씩의 티어에 대응하고, 상기 특정 페이지는 상기 제 1 부분 페이지 및 상기 제 2 부분 페이지를 포함하는 상기 복수의 부분 페이지를 포함하며, 각각의 부분 페이지는 타 부분 페이지에 독립적으로 선택 가능하며, 상기 사상하는 단계는 데이터의 제 1 부분을 제 1 부분 페이지로 사상하고, 데이터의 제 2 부분을 제 2 부분 페이지로 사상하는 단계를 포함하고, 상기 복수의 페이지 중 상기 특정 페이지의 상기 제1 부분 페이지에 대응하는 메모리 셀은 제1 스트링 드라이버를 통해 특정 액세스 라인에 연결되고, 상기 특정 페이지의 상기 제2 부분 페이지에 대응하는 메모리 셀은 제2 스트링 드라이버를 통해 상기 특정 액세스 라

인에 연결됨 - ,

제 1 부분 페이지로 상기 데이터의 제 1 부분을 프로그램하는 단계, 및

상기 제 1 부분 페이지로 프로그램되는 데이터의 제 1 부분에 독립적으로 제 2 부분 페이지로 상기 데이터의 제 2 부분을 프로그램하는 단계

를 포함하는, 방법.