(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월11일
(11) 등록번호 10-0941849
(24) 등록일자 2010년02월03일

(51) Int. Cl.
H01L 23/48 (2009.01)
(21) 출원번호 10-2003-0021552
(22) 출원일자 2003년04월07일
심사청구일자 2008년04월04일
(65) 공개번호 10-2003-0082382
(43) 공개일자 2003년10월22일
(30) 우선권주장
JP-P-2002-00114408 2002년04월17일 일본(JP)
(56) 선행기술조사문헌
JP12244084 A*
JP13298051 A*
JP11224887 A
KR100306842 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고
가부시키가이샤 히타치초에루.에스.아이.시스테무즈
일본국도오쿄오토코다이라시조우쓰이혼죠오5죠오메22반1고오
(72) 발명자
야마모토켄이치
일본국도쿄토치요다쿠마루노우치1초메5반찌1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이
모리타토시아키
일본국도쿄토치요다쿠마루노우치1초메5반찌1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이
(뒷면에 계속)
(74) 대리인
특허법인 원전

전체 청구항 수 : 총 4 항 심사관 : 김건형

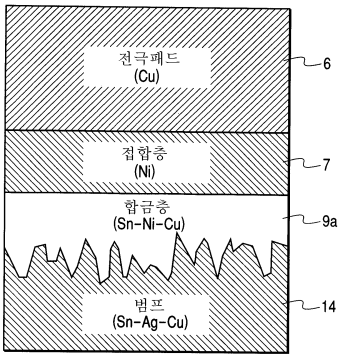
(54) 반도체장치 및 그 제조방법, 전자장치 및 그 제조방법

(57) 요 약

본 발명은 땜납 접합부의 내(耐)충격강도의 향상을 도모한다.

본 발명에 있어서, 반도체장치는 베이스(下地) 도체층과 납프리(Pb free) 땜납층과의 사이에, 실질적으로 유황을 포함하지 않은 접합층이 설치되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

대 표 도 - 도4



(72) 발명자

야마다무네히로

일본국도쿄토치요다쿠마루노우치1초메5반찌1고신마루비루가부시키가이샤히타치세이사쿠쇼치테키쇼유켄혼부나이

기모토료수케

일본국도오쿄오토코다이라시조우쓰이혼죠오5죠오메22반1고오가부시키가이샤히타치초에루.에스.아이.시스테무즈나이

특허청구의 범위

청구항 1

(a) 배선기판과,

(b) 상기 배선기판의 주면 상에 탑재된 반도체 칩과,

(c) 상기 배선기판의 이면 상에 형성된 복수의 전극패드와,

(d) 상기 복수의 전극패드 상에 각각 형성된, 니켈(Ni)을 포함하는 접합층과,

(e) 상기 접합층 상에 형성된 주석-은-구리(Sn-Ag-Cu) 조성의 땜납 범프와,

(f) 상기 접합층과 상기 땜납 범프와의 사이에 형성된 주석-니켈-구리(Sn-Ni-Cu) 조성의 합금층을 포함하며,

상기 접합층 중의 유황농도는, 2차 이온질량분석에 있어서의 접합층 이온 카운트 수에 대한 비율로 1% 이하인 것을 특징으로 하는 반도체장치.

청구항 2

(a) 배선기판과,

(b) 상기 배선기판의 주면 상에 탑재된 반도체 칩과,

(c) 상기 배선기판의 이면 상에 형성된 복수의 전극패드와,

(d) 상기 복수의 전극패드 상에 각각 형성된, 니켈(Ni)을 포함하는 접합층과,

(e) 상기 접합층 상에 형성된 납 프리 땜납 범프와,

(f) 상기 접합층과 상기 땜납범프와의 사이에 형성된, 상기 땜납범프 중의 원소와 니켈(Ni)을 포함하는 합금층을 포함하며,

상기 접합층 중의 유황농도는, 2차 이온질량분석에 있어서의 접합층 이온 카운트 수에 대한 비율로 1% 이하인 것을 특징으로 하는 반도체장치.

청구항 3

제 1 항 또는 제2항에 있어서,

상기 복수의 전극패드는, 구리(Cu)를 포함하는 것을 특징으로 하는 반도체장치.

청구항 4

제 1 항 또는 제2항에 있어서,

상기 접합층은, 도금법에 의해 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0085] 본 발명은, 반도체장치 및 그 제조기술, 그리고 전자장치 및 그 제조기술에 관한 것으로, 특히, 휴대기기에 조립되는 반도체장치 및 전자장치에 적용하는 유용한 기술에 관한 것이다.

[0086] 반도체장치로서, 예컨대 BGA(Ball Grid Array)형이라 불리는 반도체장치가 알려져 있다. 이 BGA형 반도체장치는 인터포우저(interposer)라 불리는 배선기판의 주면측에 반도체칩을 탑재하고, 배선기판의 주면과 대향하는 이면측에 외부 접속용 단자로서 복수의 땜납범프를 배치한 패키지 구조로 되어 있다.

[0087] BGA형 반도체장치에 있어서는, 여러가지 구조의 것이 개발되어, 제품화되고 있지만, 크게 분류하면 와이어 본딩 구조와 페이스 다운(face down) 본딩구조로 분류된다. 와이어 본딩구조에서는, 반도체칩의 주면에 배치된 전극패드와, 인터포우저의 주면에 배치된 전극패드와의 전기적인 접속을 본딩 와이어로 행하고 있다. 페이스 다운 본딩구조에서는, 반도체칩의 주면에 배치된 전극패드와, 인터포우저의 주면에 배치된 전극패드와의 전기적인 접속을 이들 전극패드 사이에 개재된 땜납범프로 행하고 있다.

[0088] 또한, 와이어 본딩구조의 BGA형 반도체장치에 관해서는, 예컨대 일본특허공개 2001-144214호 공보에 개시되어 있다.

[0089] 또, 페이스 다운 본딩구조의 BGA형 반도체장치에 관해서는, 예컨대 일본특허공개 평6-34983호 공보에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

[0090] 최근, Pb(납)에 의한 환경의 악영향이 문제시 되고 있으며, 반도체 제품에서도 납프리(Pb free)화(化)가 활발하게 이루어지고 있다. BGA형 반도체장치에서는, 외부 접속용 단자로서 일반적으로, 용융온도가 낮은 Pb-Sn(주석) 공정조성(63[wt%]Pb-37[wt%]Sn)의 땜납범프가 사용되고 있지만, 납(Pb)프리 조성의 땜납범프, 예컨대 Sn-Ag(은)-Cu(동) 조성의 땜납범프가 사용되고 있다.

[0091] 그러나, 납(Pb)프리 조성의 땜납범프는 Pb-Sn 공정조성의 땜납범프와 비교하여 단단하므로, 실장기판에 BGA형 반도체장치를 실장한 후의 땜납 접합부에서의 내(耐)충격강도의 향상이 요구된다. BGA형 반도체장치는 실장기판에 실장되어 여러가지 전자기기에 조립되지만, 특히, 휴대전화 등의 휴대형 전자기기에서는 사용자의 부주의에 의한 낙하의 위험성이 높기 때문에, 낙하에 의한 충격이 가해져도 땜납 접합부에 크랙(crack) 등의 불합리가 일어나지 않는 내(耐)충격강도가 요구된다. 또, BGA형 반도체에 있어서도 소형화 및 협(狹) 피치(pitch)화가 진행되어, 땜납 접합부의 면적이 작게 되어 가고 있기 때문에, 땜납 접합부의 충격강도의 향상이 요구된다.

[0092] 그래서, 외부 접속용 단자로서 납(Pb)프리 조성의 땜납범프를 이용한 경우의 땜납 접합부의 내(耐)충격강도에 관해서 검토한 결과, 땜납 접합부의 내(耐)충격강도가 낮다는 것이 판명되었다. 또, 인터포우저와 실장기판의 전극패드 상에는, 땜납범프와의 본더빌리티(bondability)를 높이기 위해, 예컨대 Ni(니켈)을 주성분으로 하는 도금층으로 이루어지는 접합층이 설치되어 있지만, 이 접합층 중에 포함되는 유황(S), 탄소(C), 불소(F), 산소(O_2), 염소(Cl) 등의 불순물에 의한 영향으로 땜납 접합부의 내(耐)충격강도가 낮게 된다는 것도 판명되었다.

이들 불순물에 의한 땜납 접합부의 내(耐)충격강도에 관해서, 본 발명의 시시형태에서 상세하게 설명한다.

[0093] 또한, 제11회 마이크로 일렉트로닉 심포지움 논문집(MES2001, 2001년 10월, 「BGA 부품의 납프리 땜납 접합 신뢰성 검증」, 제4페이지 ~ 제50페이지)에서는, BGA형 반도체장치의 외부 접속용 단자로서 납(Pb)프리 조성의 땜납범프를 이용한 경우의 땜납 접합부의 전단(剪斷)응력에 의한 파단에 관해서 서술하고 있지만, 내(耐)충격강도에 관해서는 서술하고 있지 않다.

[0094] 본 발명의 목적은, 땜납 접합부의 내(耐)충격강도의 향상을 도모하는 것이 가능한 기술을 제공하는데 있다.

[0095] 본 발명의 상기 및 그 이외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면에 의해서 명백하게 될 것이다.

발명의 구성 및 작용

[0096] 본원에서 개시되는 발명중, 대표적인 것의 개요를 간단하게 설명하면, 하기와 같다.

[0097] (1) 본 발명의 반도체장치는 베이스(下地) 도체층과 납프리 땜납층과의 사이에, 실질적으로 유황을 포함하지 않은 접합층이 설치되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다. 상기 접합층은 니켈을 주성분으로 하는 도금층, 혹은 니켈과 인을 주성분으로 하는 도금층이며, 상기 땜납층은 주석계의 합금재로 이루어지는 범프이다. 상기 베이스 도체층은 배선기판의 전극패드이며, 상기 접합층은 상기 전극패드의 표면에 형성된 도금층이고, 상기 땜납층은 상기 접합층에 접합된 범프이다.

[0098] (2) 본 발명의 반도체장치의 제조는 주면과 대향하는 이면에 전극패드가 형성되고, 또 상기 전극패드의 표면에, 실질적으로 유황을 포함하지 않은 접합층이 형성된 배선기판을 준비하는 공정과, 상기 배선기판의 주면에 반도체칩을 실장하는 공정과, 상기 접합층 상에 납프리 땜납재를 용융하여 범프를 형성하는 공정을 가진다.

[0099] (3) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 전자부품의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 유황을 포함하지 않는 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0100] (4) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 배선기판의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 유황을 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0101] (5) 본 발명의 전자장치의 제조는 표면상에 실질적으로 유황을 포함하지 않은 접합층이 형성된 전극패드를 가지는 전자부품을 준비하는 공정과, 배선기판의 전극패드와 상기 전자부품의 접합층과의 사이에 개재된 납프리 땜납층을 용융하여, 상기 접합층과 상기 배선기판의 전극패드를 접합하는 공정을 가진다.

[0102] (6) 본 발명의 전자장치의 제조는 전극패드를 가지는 전자부품과, 표면상에 실질적으로 유황을 포함하지 않은 접합층이 형성된 전극패드를 가지는 배선기판을 준비하는 공정과, 상기 배선기판의 접합층과 상기 전자부품의 전극패드와의 사이에 개재된 납프리 땜납층을 용융하여, 상기 접합층과 상기 전자부품의 전극패드를 접합하는 공정을 가진다.

[0103] (7) 상기 수단 (1) 내지 (6)에 있어서, 상기 접합층 중의 유황농도는 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 1% 이하이다.

[0104] (8) 본 발명의 반도체장치는, 베이스 도체층과 납프리 땜납층과의 사이에, 실질적으로 탄소를 포함하지 않은 접합층이 형성되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

[0105] (9) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 전자부품의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 탄소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0106] (10) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 배선기판의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 탄소를 포함하지 않은 접합층이 개재

되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0107] (11) 상기 수단 (8) 내지 (10)에 있어서, 상기 접합층 중의 탄소농도는 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 1% 이하이다.

[0108] (12) 본 발명의 반도체장치는 베이스 도체층과 납프리 땜납층과의 사이에, 실질적으로 불소를 포함하지 않은 접합층이 형성되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

[0109] (13) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 전자부품의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 불소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0110] (14) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 배선기판의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 불소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0111] (15) 상기 수단 (12) 내지 (14)에 있어서, 상기 접합층 중의 불소농도는 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 0.2% 이하이다.

[0112] (16) 본 발명의 반도체장치는 베이스 도체층과 납프리 땜납층과의 사이에, 실질적으로 산소를 포함하지 않은 접합층이 형성되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

[0113] (17) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 전자부품의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 산소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

[0114] (18) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 배선기판의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 산소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0115] (19) 수단 (16) 내지 (18)에 있어서, 상기 접합층 중의 산소농도는 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 10% 이하이다.

[0116] (20) 본 발명의 반도체장치는 베이스 도체층과 납프리 땜납층과의 사이에, 실질적으로 염소를 포함하지 않은 접합층이 형성되고, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 형성된 접합구조를 가진다.

[0117] (21) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 전자부품의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 염소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0118] (22) 본 발명의 전자장치는 전자부품의 전극패드와 배선기판의 전극패드와의 사이에 납프리 땜납층이 개재되고, 상기 배선기판의 전극패드와 상기 납프리 땜납층과의 사이에, 실질적으로 염소를 포함하지 않은 접합층이 개재되며, 또 상기 접합층과 상기 납프리 땜납층과의 사이에, 이들 원소를 포함하는 합금층이 개재된 접합구조를 가진다.

[0119] (23) 상기 수단 (20) 내지 (22)에 있어서, 상기 접합층 중의 염소농도는 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 10% 이하인다.

[0120] 이하, 도면을 참조하여 본 발명의 실시형태를 상세하게 설명한다. 또한, 발명의 실시형태를 설명하기 위한 전 도면에 있어서, 동일 기능을 가지는 것은 동일 부호를 붙여, 그 반복의 설명은 생략한다. 또, 설명을 용이하게

하기 위해 각부의 치수비가 실제와는 다르게 바꾸었다. 또, 도면을 보기 쉽게 하기 위해, 단면을 나타내는 헤칭은 일부 생략하고 있다.

[0121] (실시형태 1)

[0122] 본 실시형태 1에서는, 와이어 본딩구조의 BGA형 반도체장치 및 그것을 조립한 모듈에 본 발명을 적용한 예에 관해서 설명한다.

[0123] 도1은 본 발명의 실시형태 1인 BGA형 반도체장치의 개략 구성을 나타내는 평면도이며,

[0124] 도2는 도1의 A-A선에 따른 단면도이고,

[0125] 도3은 도2의 일부를 확대한 요부 단면도이며,

[0126] 도4는 도3의 일부를 확대한 요부 단면도이고,

[0127] 도5는 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에서 사용되는 인터포우저(배선기판)의 개략 구성을 나타내는 도((a)는 저면도, (b)는 단면도)이며,

[0128] 도6은 본 발명의 실시형태 1인 반도체장치의 제조를 설명하기 위한 도((a) ~ (d)는 각 공정에서의 단면도)이고,

[0129] 도7은 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에 있어서, 제1의 범프형성공정을 설명하기 위한 도((a) ~ (c)는 각 공정에서의 단면도)이며,

[0130] 도8은, 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에 있어서, 제2의 범프형성공정을 설명하기 위한 도((a) ~ (b)는 각 공정에서의 단면도)이다.

[0131] 도1 및 도2에 나타내는 바와 같이, 본 실시형태 1의 BGA형 반도체장치(1a)는 인터포우저(배선기판)(4)의 주면(4x)측에 반도체칩(2)을 탑재하고, 인터포우저(4)의 주면(4x)과 대향하는 이면(4y)(인터포우저의 주면(4x)과 반대측에 위치하는 면)측에 외부 접속용 단자로서 복수의 땜납범프(14)를 배치한 패키지 구조로 되어 있다.

[0132] 반도체칩(2)은 그 두께방향과 교차하는 평면형상이 사각형 모양으로 형성되며, 본 실시형태에서는 예컨대 6.0㎜×6.0㎜의 정사각형으로 형성되어 있다. 반도체칩(2)은 이것에 한정되지 않지만, 주로, 반도체기판과, 이 반도체기판의 주면에 형성된 복수의 트랜지스터소자와, 상기 반도체기판의 주면상에서 절연층, 배선층의 각각을 복수단 적층한 다층배선층과, 이 다층배선층을 덮도록 하여 형성된 표면 보호막(최종 보호막)을 가지는 구성으로 되어 있다. 반도체기판은, 예컨대 단결정 실리콘으로 형성되어 있다. 절연층은, 예컨대 산화실리콘막으로 형성되어 있다. 배선층은, 예컨대 알루미늄(Al), 또는 알루미늄 합금, 또는 동(Cu), 또는 동합금 등의 금속막으로 형성되어 있다. 표면 보호막은, 예컨대 산화실리콘막 또는 질화실리콘막 등의 무기절연막 및 유기절연막을 적층한 다층막으로 형성되어 있다.

[0133] 반도체칩(2)에는 집적회로로서 예컨대 제어회로가 내장되어 있다. 이 제어회로는 주로, 반도체기판의 주면에 형성된 트랜지스터소자 및 다층배선층에 형성된 배선에 의해 구성되어 있다.

[0134] 반도체칩(2)의 주면(2x)에는 복수의 전극패드(3)가 형성되어 있다. 복수의 전극패드(3)는 반도체칩(2)의 다층배선층 중 최상층의 배선층에 형성되며, 반도체칩(2)의 표면 보호막에 형성된 본딩 개구에 의해 노출되어 있다. 복수의 전극패드(3)는 반도체칩(2)의 주면(2x)의 각 변에 따라 배치되어 있다.

[0135] 반도체칩(2)은 그 이면(2y)과 인터포우저(4)의 주면(4x)과의 사이에 접착재(11)를 개재한 상태에서 인터포우져(4)의 주면(4x)에 접착 고정되어 있다.

[0136] 인터포우저(4)는 그 두께방향과 교차하는 평면형상이 사각형 모양으로 형성되며, 본 실시형태에서는 예컨대 13.0㎜×13.0㎜의 정사각형으로 형성되어 있다. 인터포우저(4)는 이것에 한정되지 않지만, 주로, 코아재(core材)와, 이 코아재의 주면을 덮도록 하여 형성된 보호막과, 이 코아재의 주면과 대향하는 이면(코아재의 주면과 반대측에 위치하는 면)을 덮도록 하여 형성된 보호막(도3에 나타내는 부호(10))을 가지는 구성으로 되어 있다. 코아재는, 예컨대 그 앞뒤의 양면에 배선을 가지는 다층배선구조로 되어 있다. 코아재의 각 절연막은, 예컨대 유리섬유에 에폭시계 혹은 폴리이미드계의 수지를 스며들게한(含浸)(impregnate)고탄성 수지기판으로 형성되어 있다. 코아재의 각 배선층은, 예컨대 Cu를 주성분으로 하는 금속막으로 형성되어 있다. 코아재의 주면상의 보호막은, 주로 코아재의 최상층의 배선층에 형성된 배선(5)을 보호하는 목적으로 형성되며, 코아재의 이면 상의 보호막은 주로 코아재의 최하층의 배선층에 형성된 배선을 보호하는 목적으로 형성되어 있다. 코아재의 주면상 및 이면상의 보호막은, 예컨대 이액성(二液性) 알카리 현상액형 솔더 레지스트 잉크, 혹은 열경화형

일액성(一液性) 솔더 레지스트 잉크로 형성되어 있다.

[0137] 인터포우저(4)의 주면(4x)에는 복수의 전극패드(5a)가 형성되며, 인터포우저(4)의 이면(4y)에는 복수의 전극패드(6)가 형성되어 있다. 복수의 전극패드(5a)는 코아재의 최상층의 배선층에 형성된 복수의 배선(5)의 각각의 일부분에서 구성되며, 코아재의 주면상의 보호막에 형성된 개구에 의해 노출되어 있다. 복수의 전극패드(6)는 코아재의 최하층의 배선층에 형성된 복수의 배선의 각각의 일부에서 구성되며, 코아재의 이면상의 보호막에 형성된 개구에 의해 노출되어 있다. 복수의 전극패드(5a)는 반도체칩(2)의 복수의 전극패드(3)와 대응하여 반도체칩(2)의 외측에 배치되며, 복수의 전극패드(6)는 도5(a)에 나타내는 바와 같이 예컨대 어레이 모양으로 배치되어 있다.

[0138] 반도체칩(2)의 주면(2x)에 형성된 복수의 전극패드(3)는 본딩 와이어(12)를 통해서 인터포우저(4)의 주면(4x)에 형성된 복수의 전극패드(5a)와 각각 전기적으로 접속되어 있다. 본딩 와이어(12)로서는, 예컨대 금(Au) 와이어를 이용하고 있다. 본딩 와이어(12)의 접속방법으로서는, 예컨대 열압착에 초음파 진동을 병용한 볼 본딩(네일헤드(nail head) 본딩)법을 이용하고 있다.

[0139] 반도체칩(2), 복수의 본딩 와이어(12) 등은 인터포우저(4)의 주면(4x)상에 형성된 수지밀봉체(14)에 의해 밀봉되어 있다. 수지밀봉체(13)는 저응력화를 도모하는 목적으로서, 예컨대 페놀계 경화제, 실리콘 고무 및 다수의 필러(filler)(예컨대 실리카) 등이 첨가된 에폭시계의 열경화성 절연막 수지로 형성되어 있다. 수지밀봉체(13)의 형성방법으로서는, 예컨대 대량생산에 알맞은 트랜스퍼·몰딩법을 이용하고 있다.

[0140] 복수의 땜납범프(14)는 인터포우저(4)의 이면(4y)에 형성된 복수의 전극패드(6)에 각각 고착되며, 전기적으로 또 기계적으로 접속되어 있다. 땜납범프(14)로서는 Pb를 실질적으로 포함하지 않은 납(Pb)프리 조성의 땜납범프, 예컨대 Sn-1[wt%]Ag-0.5[wt%]Cu 조성의 땜납범프를 이용하고 있다.

[0141] 도3에 나타내는 바와 같이, 인터포우저(4)의 이면(4y)측의 전극패드(6)의 표면에는 땜납범프(14)와의 본더빌리티를 높이는 목적으로서 접합층(7)이 설치되어 있다. 본 실시형태에 있어서, 접합층(7)은 Ni을 주성분으로 하고, 실질적으로 유황을 포함하지 않은 Ni 도금층으로 형성되어 있다.

[0142] 도4에 나타내는 바와 같이, 접합층(7)과 땜납범프(14)와의 사이에는 이들 원소를 포함하는 Sn-Ni-Cu 조성의 합금층(금속간 화합물층)(9a)이 형성되어 있으며, 이 합금층(9a)에 의한 접합층(7)과 땜납범프(14)와의 접합에 의해 전극패드(6)와 땜납범프(14)와의 고착이 행해진다. 즉, 본 실시형태의 BGA형 반도체장치(1a)는 인터포우저(4)의 전극패드(베이스 도체층)(6)와 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)와의 사이에, 실질적으로 유황을 포함하지 않은 접합층(7)이 설치되고, 또 접합층(7)과 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)와의 사이에, 이들 원소를 포함하는 합금층(9a)이 형성된 접합구조를 가지고 있다.

[0143] 또한, 전극패드(6) 상에 땜납범프(14)를 형성하는 전 단계에서, 접합층(7)의 표면에는 도5(b)에 나타내는 바와 같이, 산화방지막으로서 예컨대 도금층으로 이루어지는 Au(금)막(8)이 설치되어 있다. 이 Au막(8)은 일반적으로 1㎛ 정도의 얇은 막두께로 형성되어 있으므로, 땜납범프(14)의 형성시에 확산에 의해 소멸한다.

[0144] 다음에, BGA형 반도체장치(1a)의 제조에 관해서, 도6 내지 도8을 이용하여 설명한다.

[0145] 먼저, 도6(a)에 나타내는 바와 같이, 인터포우저(4)를 준비하고, 그후, 도6(b)에 나타내는 바와 같이, 접착재(11)를 개재하여 인터포우저(4)의 주면(4x)에 반도체칩(2)을 접착 고정한다.

[0146] 다음에, 도6(c)에 나타내는 바와 같이, 반도체칩(2)의 주면(2x)에 형성된 전극패드(3)와 인터포우저(4)의 주면(4x)에 형성된 전극패드(5a)를 본딩 와이어(12)로 전기적으로 접속하고, 그후, 도6(d)에 나타내는 바와 같이, 반도체칩(2) 및 본딩 와이어(12) 등을 밀봉하는 수지밀봉체(13)를 트랜스퍼·몰딩법으로 형성한다.

[0147] 다음에, 인터포우저(4)의 이면(4y)측의 전극패드(6) 상에 땜납범프(14)를 형성함으로써, 본 실시형태의 BGA형 반도체장치(1a)가 거의 완성된다. 땜납범프(14)의 형성에는 여러가지 방법이 있다. 예컨대 땜납볼에 의한 형성방법이나 땜납 페이스트(paste)재에 의한 형성방법이 있다.

[0148] 땜납볼에 의한 형성방법은, 먼저 도7(a)에 나타내는 바와 같이, 전극패드(6) 상에 플럭스(flux)층(15)을 스크린 인쇄로 형성하고, 그후 도7(b)에 나타내는 바와 같이, 전극패드(6) 상에 Sn-Ag-Cu 조성의 땜납볼(14a)을 흡입치구로 공급하며, 그후 땜납볼(14a)을 용융하고, 그후 경화시킨다. 이것에 의해, 도7(c)에 나타내는 바와 같이, 전극패드(6) 상에 땜납범프(14)가 형성된다. 땜납볼(14a)의 용융은, 예컨대 적외선 리플로우 가마(爐)(infrared ray reflow furnace)에 인터포우저(4)를 반송하여 행한다. 땜납볼(14a)의 용융공정에 있어서, 접합층(7) 중의 원소와 땜납볼(14a) 중의 원소가 반응하여, 이들 원소를 포함하는 합금층(9a)이 형성된다. 또, 땜납볼(14a)의

용융공정에 있어서, Au막(8)은 확산에 의해 소멸한다.

[0149] 땜납 페이스트재에 의한 형성방법은 먼저, 도8(a)에 나타내는 바와 같이, 전극패드(6) 상에, Sn-Ag-Cu 조성의 땜납 입자가 다수 반죽된(混練) 땜납 페이스트층(14b)을 스크린 인쇄로 형성하고, 그후 땜납 페이스트층(14b)을 용융하며, 그후 경화시킨다. 이것에 의해, 도8(b)에 나타내는 바와 같이, 용융한 땜납의 표면장력에 의해 전극패드(6) 상에 땜납범프(14)가 형성된다. 땜납 페이스트층(14b)의 용융은, 예컨대 적외선 리플로우 가마에 인터포우저(4)를 반송하여 행한다. 땜납 페이스트층(14b)의 용융공정에 있어서, 접합층(7) 중의 원소와 땜납 페이스트층(14b) 중의 원소가 반응하여, 이들 원소를 포함하는 합금층(9a)이 형성된다. 또, 땜납 페이스트층(14b)의 용융공정에 있어서, Au막(8)은 확산에 의해 소멸한다.

[0150] 또한, 땜납범프(14)의 형성에는, 상술한 방법 외에, 땜납볼 및 땜납 페이스트층을 이용하는 방법도 있다. 이 방법은 도시하지 않지만, 먼저 전극패드(6) 상에 땜납 페이스트층을 스크린 인쇄로 형성하고, 그후 전극패드(6) 상에 땜납볼을 흡인치구로 공급하며, 그후 땜납 페이스트층을 용융하고, 그후 경화시킨다. 이것에 의해 전극패드(6) 상에 땜납범프(14)가 형성된다.

[0151] 도9는, BGA형 반도체장치(1a)를 조립한 모듈(전자장치)의 개략 구성을 나타내는 평면도이며,

[0152] 도10은, 도9의 B-B선에 따른 단면도이고,

[0153] 도11은, 도10의 일부를 확대한 요부 단면도이며,

[0154] 도12는, 도11의 일부를 확대한 요부 단면도이고,

[0155] 도13은, 도9의 모듈의 제조에서 사용되는 실장기판의 개략 구성을 나타태는 도((a)는 평면도, (b)는 단면도)이며,

[0156] 도14는, 도13의 실장기판을 포함하는 다면형성패널의 개략 구성을 나타내는 평면도이고,

[0157] 도15는, 도9의 모듈의 제조를 설명하기 위한 도((a) 및 (b)는 각 공정에서의 단면도)이다.

[0158] 도9에 나타내는 바와 같이, 모듈(20)은 실장기판(21)의 주면(21x)측에, 전자부품으로서, BGA형 반도체장치(1a), BGA형 반도체장치(25) 및 QFP(Quad Flatpack Package)형 반도체장치(26)를 탑재한 구성으로 되어 있다.

[0159] 실장기판(21)은 이것에 한정되지 않지만, 주로 코아재와, 이 코아재의 주면을 덮도록 하여 형성된 보호막(도11에 나타내는 부호(23))과, 이 코아재의 주면과 대향하는 이면(코아재의 주면과 반대측에 위치하는 면)을 덮도록 하여 형성된 보호막을 가지는 구성으로 되어 있다. 코아재는, 예컨대 그 앞뒤의 양면에 배선을 가지는 다층배선 구조로 되어 있다. 코아재의 각 절연막은, 예컨대 유리섬유에 에폭시계 혹은 폴리이미드계의 수지를 스며들게한 고탄성 수지기판으로 형성되어 있다. 코아재의 각 배선층은, 예컨대 Cu를 주성분으로 하는 금속막으로 형성되어 있다. 코아재의 주면상의 보호막(23)은, 주로 코아재의 최상층의 배선층에 형성된 배선을 보호하는 목적으로 형성되며, 코아재의 이면상의 보호막은 주로 코아재의 최하층의 배선층에 형성된 배선을 보호하는 목적으로 형성되어 있다. 코아재의 주면상의 보호막 및 이면상의 보호막은, 예컨대 이액성 알카리 현상액형 솔더 레지스트 잉크, 혹은 열경화형 일액성 솔더 레지스트 잉크로 형성되어 있다.

[0160] 실장기판(21)의 주면(21x)에 있어서, 도13(a)에 나타내는 바와 같이, BGA형 반도체장치(1a)가 탑재되는 부품탑재영역(24)에는 복수의 전극패드(22)가 형성되어 있다. 이 복수의 전극패드(22)는 BGA형 반도체장치(1a)의 복수의 외부 접속용 단자(땜납범프(14))와 대응하여 어레이 모양으로 배치되어 있다. 또, 도시하고 있지 않지만, BGA형 반도체장치(25)가 탑재되는 부품탑재영역에도 BGA형 반도체장치(25)의 복수의 외부 접속용 단자(땜납범프)와 대응하여 복수의 전극패드가 배치되고, 또 QFP형 반도체장치(26)가 탑재되는 부품탑재영역에도 QFP형 반도체장치(26)의 복수의 외부 접속용 단자(밀봉체의 측면에서 돌출한 리드의 선단부분)와 대응하여 복수의 전극패드가 배치되어 있다. 이들 전극패드는 코아재의 최상층의 배선층에 형성된 복수의 배선의 각각의 일부분에서 구성되며, 코아재의 주면상의 보호막(23)에 형성된 개구에 의해 노출되어 있다.

[0161] 복수의 땜납범프(14)는 도11에 나타내는 바와 같이, BGA형 반도체장치(1a)의 복수의 전극패드(6)와 실장기판(21)의 복수의 전극패드(22)와의 사이에 각각 개재되며, 전극패드(6, 22)에 고착되어 전기적으로 또 기계적으로 접속되어 있다.

[0162] 실장기판(21)의 전극패드(22)의 표면에는 땜납범프(14)와의 본더빌리티를 높이는 목적으로서 접합층(7)이 설치되어 있다. 본 실시형태에 있어서, 접합층(7)은 Ni을 주성분으로 하고, 실질적으로 유황을 포함하지 않은 Ni 도금층으로 형성되어 있다.

[0163] 도12에 나타내는 바와 같이, 전극패드(22) 상의 접합층(7)과 땜납범프(14)와의 사이에는 이들 원소를 포함하는 Sn-Ni-Cu 조성의 합금층(금속간 화합물층)(9a)이 형성되어 있으며, 이 합금층(9a)에 의한 접합층(7)과 땜납범프(14)와의 접합에 의해 전극패드(22)와 땜납범프(14)와의 고착이 행해져 있다.

[0164] 즉, 본 실시형태의 모듈(20)은 BGA형 반도체장치(전자부품)(1a)의 전극패드(베이스 도체층)(6)와 실장기판(배선기판)(21)의 전극패드(베이스 도체층)(22)와의 사이에 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)가 개재되며, 실장기판(21)의 전극패드(베이스 도체층)(22)와 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)와의 사이에, 실질적으로 유황을 포함하지 않은 접합층(7)이 개재되고, 또 접합층(7)과 납(Pb)프리 땜납범프(납프리 땜납층)(14)와의 사이에, 이들 원소를 포함하는 합금층(9a)이 형성된 접합구조를 가지고 있다.

[0165] 또, 본 실시형태의 모듈(20)은 BGA형 반도체장치(전자부품)(1a)의 전극패드(베이스 도체층)(6)와 실장기판(배선기판)(21)의 전극패드(베이스 도체층)(22)와의 사이에 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)가 개재되며, BGA형 반도체장치(1a)의 전극패드(베이스 도체층)(6)와 납프리 땜납층(땜납범프(14))과의 사이에, 실질적으로 유황을 포함하지 않은 접합층(7)이 재재되고, 또 접합층(7)과 납(Pb)프리 조성의 땜납범프(납프리 땜납층)(14)와의 사이에, 이들 원소를 포함하는 합금층(9a)이 형성된 접합구조를 가지고 있다.

[0166] 또한, 전극패드(22)에 땜납범프(14)를 접합하는 전 단계에 있어서, 전극패드(22)와의 접합층(7)의 표면에는 도13(b)에 나타내는 바와 같이, 산화방지막으로서 예컨대 도금층으로 이루어지는 Au막(8)이 형성되어 있다. 이 Au막(8)은 일반적으로 1㎛ 정도의 얇은 막두께로 형성되어 있으므로, 땜납범프(14)의 접합시(BGA형 반도체장치(1a)의 실장시)에 확산에 의해 소멸한다.

[0167] 모듈(20)은 생산성을 높이기 위해, 도14에 나타내는 다면형성패널(다수개 형성패널)(30)을 이용하여 제조된다. 다면형성패널(multiboard-yielding panel)(30)은 도14에 나타내는 바와 같이, 프레임(31)에서 규정된 복수의 제품형성영역(32)을 일방향으로 배치한 구성으로 되어 있다. 각 제품형성영역(32)에는 실장기판(21)이 배치되며, 실장기판(21)은 연결부(33)를 통해서 프레임(31)과 일체화되어 있다.

[0168] 다음에, 모듈(20)의 제조에 관해서, 도14 및 도15를 이용하여 설명한다.

[0169] 먼저, 도14에 나타내는 다면형성패널(30)을 준비하고, 그후 각 실장기판(21)의 주면(21x)에, BGA형 반도체장치(1a, 25), 그리고 QFP형 반도체장치(26)를 포함하는 전자부품을 리플로우법으로 일괄하여 실장한다. BGA형 반도체장치(1a)의 실장은 먼저, 실장기판(21)의 주면(21x)의 부품탑재영역(24)에 배치된 전극패드(22) 상에 플럭스층을 스크린 인쇄로 형성하고, 그후 도15(a)에 나타내는 바와 같이, 전극패드(22) 상에 땜납범프(14)가 위치하도록 부품탑재영역(24) 상에 BGA형 반도체장치(1a)를 배치하며, 그후 다면형성패널(30)을 예컨대 적외선 리플로우 가마에 반송하여, 도15(b)에 나타내는 바와 같이 땜납범프(14)를 용융하고, 그후 용융한 땜납범프(14)를 경화시킴으로써 행해진다. 이 BGA형 반도체장치(1a)의 실장공정에 있어서, 실장기판(21)에서의 접합층(7) 중의 원소와, 용융한 땜납 중의 원소가 반응하여, 도12에 나타내는 바와 같이, 이들 원소를 포함하는 합금층(9a)이 형성된다. 또, 이 BGA형 반도체장치(1a)의 실장공정에 있어서, Au막(8)은 확산에 의해 소멸한다.

[0170] 다음에, 도14에 나타내는 다면형성패널(30)의 연결부(33)를 절단하여, 프레임(31)에서 실장기판(21)을 분리함으로써, 도9에 나타내는 모듈(20)이 거의 완성한다. 연결부(33)의 절단에 있어서는, 다면형성패널(30)의 주면상에서 다면형성패널(30)을 향해 상부 칼을 이동시키고, 다면형성패널(30)의 주면과 마주하는 이면상에서 다면형성패널(30)을 향해 하부 칼을 이동시켜 연결부(33)를 전단(剪斷)작용에 의해 절단하는 방법과, 다면형성패널(30)의 주면, 이면 중 어느 한쪽의 면 위에서 다면형성패널(30)을 향해 칼을 이동시켜 연결부(33)를 전단작용에 의해 절단하는 방법 등이 있다. 또, 실장기판(21)을 분리하는 방법으로서는 절단칼의 이동에 의한 전단작용으로 연결부(33)를 절단하는 방법 외에, 절삭공구로 연결부(33)를 절삭하는 방법 등이 있다.

[0171] 도16은 모듈(20)을 조립한 휴대전화(휴대형 전자기기)의 개략 구성을 나타내는 평면도이다.

[0172] 도16에 나타내는 바와 같이, 휴대전화(40)는 케이스(게이스 본체)(41), 표시부(42), 키조작부(43) 및 안테나(44) 등을 가지고, 케이스(41)는 전면 케이스 및 배면 케이스로 구성되어 있다. 이 케이스(41)의 내부에는 액정표시장치 및 모듈(20) 등이 조립되어 있다.

[0173] 다음에, 땜납 접합부의 내(耐)충격강도에 관해서 설명한다. 도17은 접합층 중의 유황농도와 내(耐)충격강도와의 관계를 나타내는 도면이며, 도18은 접합층 중의 유황농도가 높은 경우의 땜납 접합부의 요부 단면도이고, 도19 및 도20은 내(耐)충격강도의 평가방법을 설명하기 위한 도면이다.

[0174] 도19 및 도20에 나타내는 바와 같이, BGA형 반도체장치(1a)를 실장기판(50)의 주면측에 실장한 샘플을

작성하여, 이 샘플에 충격을 가하여 땜납접합의 내(耐)충격강도을 평가했다. 땜납 접합부의 평가 대상부로서는, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부를 평가 대상부로 했다. 샘플에 충격을 가하는 방법으로서는, 프레임 모양의 장착대(51)에 샘플을 올려놓은 상태에서 실장기판(50)의 주면과 대향하는 이면상에서 프로브(probe)(52)를 실장기판(50)의 이면에 낙하시켜 평가했다. 충격의 정량화에는 프로브(52)의 낙하에 의해 실장기판(50)에 발생한 충격굽힘응력(impact bending strain)을 실장기판(50)의 주면측에 첩부한 휨(튀틀림) 게이지(53)로 측정하여 행했다.

[0175] 도17에 있어서, 접합층 중의 유황농도는 2차 이온 질량분석(SIMS : Secondary I on Mass Spectrometry)에서의 접합층 이온 카운트수에 대한 비율로 나타내고 있으며, 도면 중의 데이터는 땜납 접합부에 파단(破斷)이 발생했을 때의 데이터이다. 2차 이온 질량분석은 1차 이온으로서 Cs+, 가속전압 14kV, 진공도 5×10^{-7}Pa로 행했다. 또, 측정 에리어가 300㎛ 이상의 경우는, 전류 25nA, 빔 지름 60㎛, 에칭면적 200㎛×200㎛, 데이터 집적영역 70㎛×70㎛로 행하고 있다. 측정 에리어가 300㎛ 미만인 경우는, 전류 5nA, 빔 지름 20㎛, 에칭면적 200㎛×200㎛, 데이터 집적영역 40㎛×40㎛로 행하고 있다.

[0176] 도17에 나타내는 바와 같이, 접합층 중의 유황농도가 낮게 됨에 따라 접합부의 내(耐)충격강도는 높게 된다. 따라서, 실질적으로 유황을 포함하지 않은 접합층(7)으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0177] 도18에 나타내는 바와 같이, 접합층 중의 유황농도가 높은 경우, 땜납범프(14)와 접합층(7)과의 사이에는 2개의 합금층(9a, 9b)이 형성되어 있으며, 합금층(9a)과 합금층(9b)과의 계면에 파단(크랙)(S1)이 발생하고 있다. 합금층(9a, 9b)은 같은 합금 조성(Sn-Ni-Cu)이지만, 결정상태가 다르며, 접합층(7)측에 형성된 합금층(9b)은 입상(粒狀)결정으로 되어 있다. 이와 같이 입상결정으로 이루어지는 합금층(9b)과 합금층(9a)과의 계면에서 파단(S1)이 발생하고 있는 점에서, 이 계면의 밀착강도는 낮은 것으로 추정한다.

[0178] 입상결정으로 이루어지는 합금층(9b)은 유황농도가 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 1%를 초과하는 부근부터 생성된다. 따라서, 유황농도가 1% 이하이면 입상결정으로 이루어지는 합금층(9b)이 생성되지 않으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용해도 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0179] 땜납 접합부의 파단은 도17에 나타내는 바와 같이, 유황농도가 1%를 초과하는 부근부터 2000[ppm] 이하에서 발생하게 된다. 휴대전화를 귀에 대어 사용하는 높이(약 1.5m)에서 휴대전화를 떨어뜨렸을 때의 실장기판에 생기는 충격굽힘응력량은 최대 2000[ppm]정도이다. 따라서, 접합층(7) 중의 유황농도가 1% 이하이면, 통상의 사용환경에서 휴대전화를 떨어뜨렸다 하더라도 땜납 접합부에 파단이 생기는 일은 없으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판에 BGA형 반도체장치(1a)가 실장된 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0180] Ni 도금층으로 이루어지는 접합층(7)은 도금액을 이용한 전계도금법으로 형성된다. 도금액으로서는, 일반적으로 염화니켈(NiCl)액과 유산니켈(NiSO4)액을 혼합한 도금액이 사용된다. 이 도금액에 있어서는, 접합층(7)의 표면을 매끄럽게 하여 접합층(7) 상에 형성되는 Au막의 광택을 내기 위해 광택제로서 유황을 첨가하는 경우가 있다. 따라서, 접합층(7) 중의 유황농도를 낮추기 위해서는 도금액 중에 광택제로서 유황을 첨가하지 않도록 하는 것이 바람직하다.

[0181] 인터포우저(4)는 앞뒷면이 수지재로 이루어지는 보호막으로 덮여져 있다. 이 보호막에 포함되어 있는 유황이 접합층(7)의 형성시에 도금액 중에 용출한다. 따라서, 접합층(7) 중의 유황농도를 낮추기 위해서는 도금액의 관리가 중요하다.

[0182] 모듈(20)의 제조에서는, 실장기판(21)에 BGA형 반도체장치(1a)를 실장한 후, 다면형성패널(30)의 연결부(30)를 절단하여, 프레임(31)에서 실장기판(21)을 분리하는 공정이다. 이때, 절단칼의 이동에 의한 전단작용으로 연결부(33)를 절단하는 경우, 실장기판(21)에 충격굽힘응력이 가해지기 때문에, 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도가 낮은 경우에는 땜납 접합부에 파단이 발생하여 버린다. 그러나, 전극패드(6) 상의 접합층(7)을 실질적으로 유황을 포함하지 않은 층으로 함으로써, 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 프레임(31)에서 실장기판(21)을 분리하는 공정에 있어서, 전극패드(6)에서의 땜납 접합부의 파단을 제어할 수 있다. 이 결과, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다.

[0183] 또한, BGA형 반도체장치(1a)를 실장하는 모듈(20)에 있어서는, 실장기판(21)의 전극패드(22) 상에도 접합층(7)

이 설치되어 있다. 따라서, 실장기판(21)에서의 전극패드(22) 상의 접합층(7)을 실질적으로 유황을 포함하지 않는 층으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다. 또 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다. 또, 이와 같은 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0184] 도21은 접합층 중의 탄소농도와 내(耐)충격강도와의 관계를 나타내는 도면이며, 도22는 접합층 중의 탄소농도가 높은 경우의 땜납 접합부의 요부 단면도이다. 이 탄소농도에 관한 평가는 전술의 유황농도의 평가와 같은 조건으로 행했다.

[0185] 도21에 나타내는 바와 같이, 접합층(7) 중의 탄소농도가 낮게 됨에 따라 땜납 접합부의 내(耐)충격강도는 높게 된다. 따라서, 실질적으로 탄소를 포함하지 않은 접합층(7)으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 때납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0186] 도22에 나타내는 바와 같이, 접합층 중의 탄소농도가 높은 경우, 땜납범프(14)와 접합층(7)과의 사이에는 2개의 합금층(9a, 9b)이 형성되어 있으며, 합금층(9a)과 합금층(9b)과의 계면에 파단(크랙)(S1)이 발생하고 있다. 합금층(9a, 9b)은 같은 합금조성(Sn-Ni-Cu)이지만, 결정상태가 다르다. 단, 접합층(7)측에 형성된 합금층(9b)은 유황의 경우와 달리 입상결정으로는 되어 있지 않다. 이와 같이 합금층(9b)과 합금층(9a)과의 계면에서 파단(S1)이 발생되어 있는 점에서, 이 계면의 밀착강도는 낮다고 추정한다.

[0187] 합금층(9b)은 탄소농도가 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 1%를 초과하는 부근부터 생성된다. 따라서, 탄소농도가 1% 이하이면 합금층(9b)이 생성되지 않으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0188] 또, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다.

[0189] 땜납 접합부의 파단은 도21에 나타내는 바와 같이, 탄소농도가 1%를 초과하는 부근부터 2000[ppm] 이하에서 발생하게 된다. 따라서, 접합층 중의 탄소농도가 1% 이하이면, 통상의 사용환경에서 휴대전화를 떨어뜨렸다 하더라도 전극패드(6)에서의 땜납 접합부에 파단이 생기는 일은 없으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)가 실장된 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0190] 또한, BGA형 반도체장치(1a)를 실장하는 모듈(20)에 있어서는, 실장기판(21)의 전극패드(22) 상에도 접합층(7)이 설치되어 있다. 따라서, 전극패드(22) 상의 접합층(7)을 실질적으로 탄소를 포함하지 않은 층으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0191] 또, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다. 또, 이와 같은 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0192] 도23은 접합층 중의 불소농도와 내(耐)충격강도와의 관계를 나타내는 도이며, 도24는 접합층 중의 불소농도가 높은 경우의 땜납 접합부의 요부 단면도이다. 이 불소농도에 관한 평가는 전술의 유황농도의 평가와 같은 조건으로 행했다.

[0193] 도23에 나타내는 바와 같이, 접합층(7) 중의 불소농도가 낮게 됨에 따라 땜납 접합부의 내(耐)충격강도는 높게 된다. 따라서, 실질적으로 불소를 포함하지 않은 접합층(7)으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0194] 도24에 나타내는 바와 같이, 접합층 중의 불소농도가 높은 경우, 땜납범프(14)와 접합층(7)과의 사이에는 2개의 합금층(9a, 9b)이 형성되어 있으며, 합금층(9a)과 합금층(9b)과의 계면에 파단(크랙)(S1)이 발생되어 있다. 합금층(9a, 9b)은 같은 합금조성(Sn-Ni-Cu)이지만, 결정상태가 다르다. 단, 접합층(7)측에 형성된 합금층(9b)은 유황의 경우와 달리 입상결정으로는 되어 있지 않다. 이와 같이 합금층(9b)과 합금층(9a)과의 계면에서 파단

(S1)이 발생되어 있는 점에서, 이 계면의 밀착강도는 낮다고 추정된다.

[0195] 합금층(9b)은 불소농도가 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 0.2%를 초과하는 부근부터 생성된다. 따라서, 불소농도가 1% 이하이면 합금층(9b)이 생성되지 않으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0196] 또, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다.

[0197] 땜납 접합부의 파단은 도23에 나타내는 바와 같이, 불소농도가 0.2%를 초과하는 부근부터 2000[ppm] 이하에서 발생하게 된다. 따라서, 접합층 중의 불소농도가 1% 이하이면, 통상의 사용환경에서 휴대전화를 떨어뜨렸다 하더라도 땜납 접합부에 파단이 생기는 일은 없으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판에 BGA형 반도체장치(1a)가 실장된 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0198] 또한, BGA형 반도체장치(1a)를 실장하는 모듈(20)에 있어서는, 실장기판(21)의 전극패드(22) 상에도 접합층(7)이 설치되어 있다. 따라서, 전극패드(22) 상의 접합층(7)을 실질적으로 불소를 포함하지 않은 층으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0199] 또, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)가 실장된 모듈(20)의 제조수율의 향상을 도모할 수 있다. 또, 이와 같은 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0200] 도25는 접합층 중의 산소농도와 내(耐)충격강도와의 관계를 나타내는 도면이며, 도26은 접합층 중의 산소농도가 높은 경우의 땜납 접합부의 요부 단면도이다. 이 산소농도에 관한 평가는 전술의 유황농도의 평가와 같은 조건으로 행했다.

[0201] 도25에 나타내는 바와 같이, 접합층(7) 중의 산소농도가 낮게 됨에 따라서 땜납 접합부의 내(耐)충격강도는 높게 된다. 따라서, 실질적으로 산소를 포함하지 않은 접합층(7)으로 함으로써, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0202] 도26에 나타내는 바와 같이, 접합층 중의 산소농도가 높은 경우, 땜납범프(14)와 접합층(7)과의 사이에는 2개의 합금층(9a, 9b)이 형성되어 있으며, 합금층(9a)과 합금층(9b)과의 계면에 파단(크랙)(S1)이 발생하고 있다. 합금층(9a, 9b)은 같은 합금조성(Sn-Ni-Cu)이지만, 결정상태가 다르다. 단, 접합층(7)측에 형성된 합금층(9b)은 유황의 경우와 달리 입상결정으로는 되어 있지 않다. 이와 같이 합금층(9b)과 합금층(9a)과의 계면에서 파단(S1)이 발생되어 있는 점에서, 이 계면에서의 밀착강도는 낮다고 추정한다.

[0203] 합금층(9b)은 산소농도가 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 0.2%를 초과하는 부근부터 생성된다. 따라서, 산소농도가 1% 이하이면 합금층(9b)이 생성되지 않으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0204] 또, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다.

[0205] 땜납 접합부의 파단은 도25에 나타내는 바와 같이, 산소농도가 10%를 초과하는 부근부터 2000[ppm] 이하에서 발생하게 된다. 따라서, 접합층 중의 산소농도가 10% 이하이면, 통상의 사용환경에서 휴대전화를 떨어뜨렸다 하더라도 땜납 접합부에 파단이 생기는 일은 없으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)가 실장하는 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0206] 또한, BGA형 반도체장치(1a)를 실장하는 모듈(20)에 있어서는, 실장기판(21)의 전극패드(22) 상에도 접합층(7)이 설치되어 있다. 따라서, 전극패드(22) 상의 접합층(7)을 실질적으로 산소를 포함하지 않은 층으로 함으로써, 납(Pb)프리 조성 땜납범프(14)를 이용해도, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0207] 또, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납

(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다. 또, 이와 같은 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0208] 도27은 접합층 중의 염소농도와 내(耐)충격강도와의 관계를 나타내는 도이며, 도28은 접합층 중의 염소농도가 높은 경우의 땜납 접합부의 요부 단면도이다. 이 염소농도에 관한 평가는 전술의 유황농도의 평가와 같은 조건으로 행했다.

[0209] 도27에 나타내는 바와 같이, 접합층(7) 중의 산소농도가 낮게 됨에 따라 땜납 접합부의 내(耐)충격강도는 높게 된다. 따라서, 실질적으로 염소를 포함하지 않은 접합층(7)으로 함으로써, 납프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0210] 도28에 나타내는 바와 같이, 접합층 중의 염소농도가 높은 경우, 땜납범프(14)와 접합층(7)과의 사이에는 2개의 합금층(9a, 9b)이 형성되어 있으며, 합금층(9a)과 합금층(9b)과의 계면에 파단(크랙)(S1)이 발생되어 있다. 합금층(9a, 9b)은 같은 합금조성(Sn-Ni-Cu)이지만, 결정상태가 다르다. 단, 접합층(7)측에 형성된 합급층(9b)은 유황의 경우와 달리 입상결정으로는 되어 있지 않다. 이와 같은 합금층(9b)과 합금층(9a)과의 계면에서 파단(S1)이 발생되어 있는 점에서, 이 계면의 밀착강도는 낮다고 추정된다.

[0211] 합금층(9b)은 염소농도가 2차 이온 질량분석에서의 접합층 이온 카운트수에 대한 비율로 0.2%를 초과하는 부근부터 생성된다. 따라서, 산소농도가 1% 이하이면 합금층(9b)이 생성되지 않으므로, 납프리 조성의 땜납범프(14)를 이용해도, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0212] 또, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다.

[0213] 땜납 접합부의 파단은 도27에 나타내는 바와 같이, 염소농도가 10%를 초과하는 부근부터 2000[ppm] 이하에서 발생하게 된다. 따라서, 접합층 중의 염소농도가 10% 이하이면, 통상의 사용환경에서 휴대전화를 떨어뜨렸다 하더라도 땜납 접합부에 파단이 생기는 일은 없으므로, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)가 실장하는 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0214] 또한, BGA형 반도체장치(1a)를 실장하는 모듈(20)에 있어서는, 실장기판(21)의 전극패드(22) 상에도 접합층(7)이 설치되어 있다. 따라서, 전극패드(22) 상의 접합층(7)을 실질적으로 염소를 포함하지 않은 층으로 함으로써, 납(Pb)프리 조성 땜납범프(14)를 이용해도, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0215] 또, 실장기판(21)의 전극패드(22)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납범프(14)를 이용하여 실장기판(21)에 BGA형 반도체장치(1a)를 실장하는 모듈(20)의 제조수율의 향상을 도모할 수 있다. 또, 이와 같은 모듈(20)을 조립한 휴대전화(40)의 충격에 대한 신뢰성을 확보할 수 있다.

[0216] (실시형태 2)

[0217] 본 실시형태 2에서는, LGA형 반도체장치에 본 발명을 적용한 예에 관해서 설명한다.

[0218] 도29는 본 실시형태 2인 반도체장치의 개략 구성을 나타내는 단면도이며,

[0219] 도30은 도29의 일부를 확대한 요부 단면도이다.

[0220] 도29에 나타내는 바와 같이, LGA형 반도체장치(1b)는 인터포우저(4)의 주면(4x)측에 반도체칩(2)을 탑재하고, 인터포우저(4)의 이면(4y)측에 외부 접속용 단자로서 복수의 전극패드(6)를 배치한 구성으로 되어 있다.

[0221] 도30에 나타내는 바와 같이, 전극패드(6)의 표면상에는 Ni 도금층으로 이루어지는 접합층(7)이 설치되고, 접합층(7)의 표면상에는 산화방지막으로서 예컨대 도금층으로 이루어지는 Au막(8)이 설치되어 있다.

[0222] LGA형 반도체장치(1b)는 그 인터포우저(4)의 전극패드(6)와 실장기판의 전극패드와의 사이에 땜납층을 개재하여 실장기판에 실장된다. 이때의 땜납층으로서는 납(Pb)프리 조성의 땜납층이 사용된다. 따라서, 땜납범프를 지니지 않은 LGA형 반도체장치(1b)에 있어서도, 전술의 실시형태 1과 마찬가지로, 전극패드(6) 상의 접합층(7)을 실질적으로 유황, 탄소, 질소, 산소, 염소를 포함하지 않은 층으로 함으로써, 실장기판에 BGA형 반도체장치(1b)를

실장한 후의 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0223] 또, 인터포우저(4)의 전극패드(6)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있기 때문에, 납(Pb)프리 조성의 땜납층을 이용하여 실장기판에 LGA형 반도체장치(1b)를 실장하는 모듈의 제조수율의 향상을 도모할 수 있다. 또 이와 같은 모듈을 조립한 휴대전화의 충격에 대한 신뢰성을 확보할 수 있다.

[0224] 또한, 본 실시형태에서는 도시하고 있지 않지만, 전자부품인 LGA형 반도체장치(1b)를 실장기판에 납(Pb)프리 조성의 땜납층을 이용하여 실장하는 모듈에 있어서, 전술의 실시형태 1과 마찬가지로, 실장기판의 전극패드 상의 접합층을 실질적으로 유황, 탄소, 질소, 산소, 염소를 포함하지 않은 층으로 함으로서, LGA형 반도체장치(1b)를 실장한 후의 실장기판의 전극패드에서의 때납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0225] (실시형태 3)

[0226] 실시형태 3에서는, 페이스 다운 본딩구조의 BGA형 반도체장치에 본 발명을 적용한 예에 관해서 설명한다.

[0227] 도31은 본 발명의 실시형태 3인 BGA형 반도체장치의 개략 구성을 나타내는 단면도이며, 도32는 도31의 일부를 확대한 요부 단면도이다.

[0228] 도31에 나타내는 바와 같이, BGA형 반도체장치(1c)는 인터포우저(64)의 주면(64x)측에 반도체칩(60)을 탑재하고, 인터포우저(64)의 이면(64y)측에 외부 접속용 단자로서 복수의 땜납범프(14)를 배치한 구성으로 되어 있다.

[0229] 반도체칩(60)의 주면(60x)에는 복수의 전극패드(62)가 형성되어 있다. 인터포우저(64)의 주면(64)에는 반도체칩(64)의 복수의 전극패드(62)와 대응하여 복수의 전극패드(65)가 형성되며, 인터포우저(64)의 이면(64y)에는 복수의 전극패드(6)가 형성되어 있다. 전극패드(6)에는 땜납범프(14)가 고착되어 있다.

[0230] 반도체칩(60)은 그 주면(64x)이 인터포우저(64)의 주면(64x)과 마주하는 상태에서 인터포우저(64)의 주면(64x)에 실장되어 있다. 반도체칩(60)의 전극패드(62)와 인터포우저(64)의 전극패드(65)와는 이들 사이에 개재된 땜납범프(63)에 의해 전기적으로 또 기계적으로 접속되어 있다. 땜납범프(63)는 전극패드(62, 65)에 고착되어 있다.

[0231] 도32에 나타내는 바와 같이, 전극패드(62)의 표면상에는 Ni 도금층으로 이루어지는 접합층(7)이 설치되며, 전극패드(65)의 표면상에는 Ni 도금층으로 이루어지는 접합층(7)이 설치되어 있다. 땜납범프(63)로서는 납(Pb)프리 조성의 땜납범프가 이용되고 있다. 즉, 전극패드(62)와 땜납범프(63)와의 사이에는 접합층(7)이 설치되며, 전극패드(65)와 땜납범프(63)와의 사이에는 접합층(7)이 설치되어 있다. 땜납범프(63)로서는 납(Pb)프리 조성의 땜납범프가 이용되고 있다. 반도체칩(60)과 인터포우저(64)와의 사이에는 언더필(under-fill)이라는 불리는 수지(66)가 충전되어 있다.

[0232] 반도체칩(60)은 전극패드(62)와 전극패드(65)와의 사이에 납(Pb)프리 조성의 땜납범프(63)를 개재하여 인터포우저(64)에 실장되어 있다. 따라서, 전술의 실시형태 1과 마찬가지로, 전극패드(62) 상의 접합층(7) 및 전극패드(65) 상의 접합층(7)을 실질적으로 유황, 탄소, 질소, 산소, 염소를 포함하지 않은 층으로 형성함으로써, 인터포우저(64)에 반도체칩(60)을 실장한 후의 전극패드(62, 65)에서의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0233] (실시형태 4)

[0234] 본 실시형태 4에서는, CSP(Chip Size Package)형 반도체장치에 본 발명을 적용한 예에 관해서 설명한다.

[0235] 도33은 본 발명의 실시형태 4인 반도체장치의 개략 구성을 나타내는 단면도이며,

[0236] 도34는 도33의 일부를 확대한 요부 단면도이다.

[0237] 도33 및 도34에 나타내는 바와 같이, 본 실시형태 4의 CSP형 반도체장치(1d)는 주로, 반도체칩층(70)과, 이 반도체칩층(70)의 주면 상에 형성된 재배선층(패드 재배치층)(75)과, 이 재배선층(75) 상에 배치된 복수의 땜납범프(14)를 가지는 구성으로 되어 있다.

[0238] 반도체칩층(70)은 주로, 반도체기판(71)과, 이 반도체기판(71)의 주면상에서 절연층, 배선층의 각각을 복수단 적층한 다층배선층(72)과, 이 다층배선층(72)을 덮도록 하여 형성된 표면 보호막(74)을 가지는 구성으로 되어 있다. 반도체기판(71)은 예컨대 단결정 실리콘으로 형성되며, 다층배선층(72)의 절연층은 예컨대 산화실리콘막으로 형성되고, 다층배선층(72)의 배선층은 예컨대 알루미늄(Al)막 또는 알루미늄 합금막으로 형성되며, 표면

보호막(74)은 예컨대 질화실리콘막으로 형성되어 있다.

[0239] 반도체칩층(70)의 주면에는 복수의 전극패드(73)가 형성되며, 이 복수의 전극패드(73)는 CSP형 반도체장치(1d)의 서로 마주하는 2개의 변에 따라 배치되어 있다. 복수의 전극패드(73)의 각각은 다층배선층(72)의 최상층의 배선층에 형성되어 있다. 다층배선층(72)의 최상층의 배선층은 그 상층에 형성된 표면 보호막(74)으로 덮이고, 이 표면 보호막(74)에는 전극패드(73)의 표면을 노출하는 개구가 형성되어 있다.

[0240] 재배선층(75)은 주로, 표면 보호막(74) 상에 형성된 절연층(도시하지 않음)과, 이 절연층상을 연장하는 복수의 배선(76)과, 이 복수의 배선(76)을 덮도록 하여 절연층상에 형성된 절연층(77)과, 절연층(77)의 상층에 형성된 복수의 전극패드(78)를 가지는 구성으로 되어 있다.

[0241] 복수의 배선(76)의 각각의 일단측은, 그 하층의 절연층에 형성된 개구 및 표면 보호막(74)에 형성된 개구를 통해, 복수의 전극패드(73)에 각각 전기적으로 또 기계적으로 접속되어 있다.

[0242] 복수의 전극패드(78)의 각각에는, 재배선층(75) 상에 배치된 복수의 땜납범프(14)가 전기적으로 또 기계적으로 접속되어 있다. 땜납범프(14)로서는, Pb를 실질적으로 포함하지 않은 납(Pb)프리 조성의 땜납범프, 예컨대 Sn-3[wt%]Ag-0.5[wt%] Cu조성의 땜납범프를 이용하고 있다.

[0243] 재배선층(75)은 반도체칩층(70)의 전극패드(73)에 대해 배열 피치가 넓은 전극패드(78)를 재배치하기 위한 층이며, 재배선층(75)의 전극패드(78)는 CSP형 반도체장치(1d)가 실장되는 실장기판의 전극패드의 배열 피치와 동일한 배열 피치로 배치된다.

[0244] 전극패드(78)의 표면에는 도34에 나타내는 바와 같이, 땜납범프(14)와의 본더빌리티를 높이는 목적으로서 접합층(7)이 설치되어 있다. 본 실시형태에 있어서, 접합층(7)은 Ni을 주성분으로 하며, 실질적으로 유황을 포함하지 않은 Ni 도금층으로 형성되어 있다.

[0245] CSP형 반도체장치(1d)는 전극패드(78)와 실장기판의 전극패드와의 사이에 땜납범프(14)를 개재하여 실장기판에 실장된다. 따라서, 전술의 실시형태 1과 마찬가지로, 전극패드(78) 상의 접합층(7)을 실질적으로 유황, 탄소, 질소, 산소, 염소를 포함하지 않은 층으로 함으로써, 실장기판에 실장한 후의 땜납 접합부의 내(耐)충격강도의 향상을 도모할 수 있다.

[0246] 또한, 전술 실시형태 1 ~ 4에서는, 접합층(7)을 니켈을 주성분으로 하는 Ni 도금층으로 형성한 예에 관해서 설명했으나, 접합층(7)으로서는 니켈·인을 주성분으로 하는 도금층으로 형성해도 좋다. 이 도금층은 무전계 도금법으로 형성된다.

[0247] 이상, 본 발명자에 의해 행해진 발명을 상기 실시형태에 의거하여 구체적으로 설명했으나, 본 발명은 상기 실시형태에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

[0248] 예컨대, 본 발명은 실장기판에 납(Pb)프리 조성의 땜납범프를 이용하여 복수의 반도체칩을 실장하는 MCM(Multi Chip Module)이라 불리는 전자장치에 적용할 수 있다.

[0249] 또, 본 발명은 납(Pb)프리 조성의 땜납범프를 이용하여 실장기판에 반도체장치가 실장된 모듈을 조립하는 IC(Integrated Circuit)카드, PDA(Personal Digital Assistants) 등의 휴대형 전자기기에 적용할 수 있다.

발명의 효과

[0250] 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 하기와 같다.

[0251] 본 발명에 의하면, 땜납 접속부의 내(耐)충격강도의 향상을 도모하는 것이 가능하게 된다.

도면의 간단한 설명

[0001] 도1은 본 발명의 실시형태 1인 BGA형 반도체장치의 개략 구성을 나타내는 평면도,

[0002] 도2는 도1의 A-A선에 따른 단면도,

[0003] 도3은 도2의 일부를 확대한 요부 단면도,

[0004] 도4는 도3의 일부를 확대한 요부 단면도,

[0005] 도5는 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에서 사용되는 인터포우저(배선기판)의 개략 구성을 나

타내는 도((a)는 저면도, (b)는 단면도),

[0006] 도6은 본 발명의 실시형태 1인 반도체장치의 제조를 설명하기 위한 도((a) ~ (d)는 각 공정에서의 단면도),

[0007] 도7은 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에 있어서, 제1의 범프형성공정을 설명하기 위한 도((a) ~ (c)는 각 공정에서의 단면도),

[0008] 도8은 본 발명의 실시형태 1인 BGA형 반도체장치의 제조에 있어서, 제2의 범프형성공정을 설명하기 위한 도((a) ~ (b)는 각 공정에서의 단면도),

[0009] 도9는 본 발명의 실시형태 1인 BGA형 반도체장치를 조립한 모듈(전자장치)의 개략 구성을 나타내는 평면도,

[0010] 도10은 도9의 B-B선에 따른 단면도,

[0011] 도11은 도10의 일부를 확대한 요부 단면도,

[0012] 도12는 도11의 일부를 확대한 요부 단면도,

[0013] 도13은 도9의 모듈의 제조에서 사용되는 실장기판의 개략 구성을 나타내는 도((a)는 평면도, (b)는 단면도),

[0014] 도14는 도13의 실장기판을 포함하는 다면형성패널의 개략 구성을 나타내는 평면도,

[0015] 도15는 도9의 모듈의 제조를 설명하기 위한 도((a) 및 (b)는 각 공정에서의 단면도),

[0016] 도16은 도9의 모듈을 조립한 휴대전화(휴대형 전자기기)의 개략 구성을 나타내는 평면도,

[0017] 도17은 접합층 중의 유황농도와 땜납 접합부의 내(耐)충격강도와의 관계를 나타내는 특성도,

[0018] 도18은 접합층 중의 유황농도가 높은 경우의 땜납 접합부의 요부 단면도,

[0019] 도19는 내충격 평가를 설명하기 위한 도,

[0020] 도20은 내충격 평가를 설명하기 위한 도,

[0021] 도21은 접합층 중의 탄소농도와 땜납 접합부의 내(耐)충격강도와의 관계를 나타내는 특성도,

[0022] 도22는 접합층 중의 탄소농도가 높은 경우의 땜납 접합부의 요부 단면도,

[0023] 도23은 접합층 중의 불소농도와 땜납 접합부의 내(耐)충격강도와의 관계를 나타내는 특성도,

[0024] 도24는 접합층 중의 불소농도가 높은 경우의 땜납 접합부의 요부 단면도,

[0025] 도25는 접합층 중의 산소도와 땜납 접합부의 내(耐)충격강도와의 관계를 나타내는 특성도,

[0026] 도26은 접합층 중의 산소농도가 높은 경우의 땜납 접합부의 요부 단면도,

[0027] 도27은 접합층 중의 염소농도와 충격굽힘응력과의 관계를 나타내는 도,

[0028] 도28은 접합층 중의 염소농도가 높은 경우에서의 접합부의 요부 단면도,

[0029] 도29는 본 발명의 실시형태 2인 LGA형 반도체장치의 개략 구성을 나타내는 단면도,

[0030] 도30은 도29의 일부를 확대한 요부 단면도,

[0031] 도31은 본 발명의 실시형태 3인 페이스 다운 본딩구조의 BGA형 반도체장치의 개략 구성을 나타내는 단면도,

[0032] 도32는 도31의 일부를 확대한 요부 단면도,

[0033] 도33은 본 발명의 실시형태 4인 CSP형 반도체장치의 개략 구성을 나타내는 단면도,

[0034] 도34는 도33의 일부를 확대한 요부 단면도이다.

[0035] (부호의 설명)

[0036] 1a,1b,1c,1d 반도체장치

[0037] 2 반도체칩

[0038] 3 전극패드

[0039]	4	인터포우저(배선기판)
[0040]	5	배선
[0041]	5a	전극패드
[0042]	6	전극패드
[0043]	7	접합층
[0044]	8	Au막
[0045]	9a,9b	합금층
[0046]	10	보호막
[0047]	11	접착재
[0048]	12	본딩 와이어
[0049]	13	수지밀봉체
[0050]	14	땜납범프
[0051]	14a	땜납볼
[0052]	14b	땜납 페이스트층
[0053]	15	플럭스
[0054]	20	모듈
[0055]	21	실장기판
[0056]	22	전극패드
[0057]	23	보호막
[0058]	24	탑재영역
[0059]	25	BGA형 반도체장치
[0060]	26	QFP형 반도체장치
[0061]	30	다면형성패널
[0062]	31	프레임
[0063]	32	제품형성영역
[0064]	33	연결부
[0065]	40	휴대전화
[0066]	41	케이스
[0067]	42	표시부
[0068]	43	키 조작부
[0069]	44	안테나
[0070]	60	반도체칩
[0071]	62	전극패드
[0072]	63	땜납범프
[0073]	64	인터포우저
[0074]	65	전극패드

[0075] 66 언더필 수지

[0076] 70 반도체칩층

[0077] 71 반도체기판

[0078] 72 다층배선층

[0079] 73 전극패드

[0080] 74 표면 보호막

[0081] 75 재배선층(패드 재배치층)

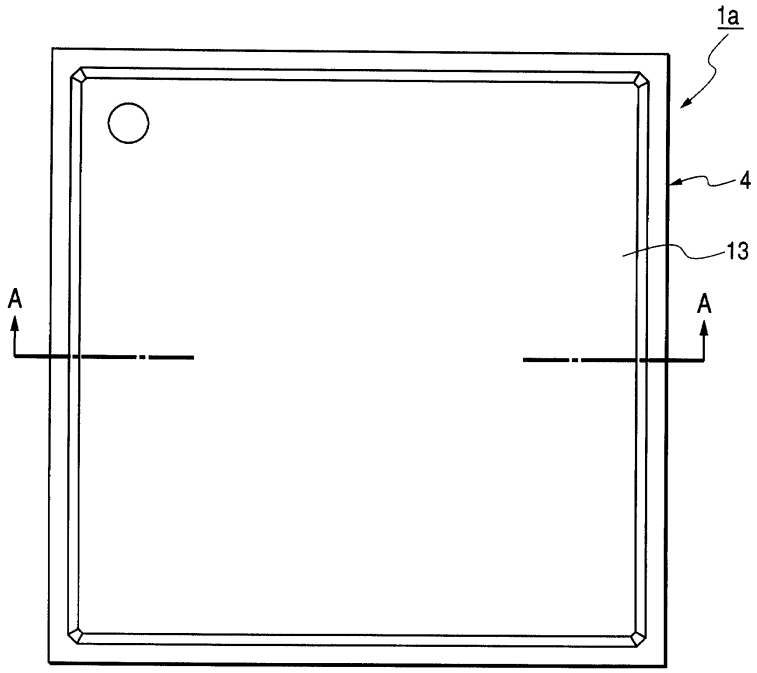
[0082] 76 배선

[0083] 77 절연층

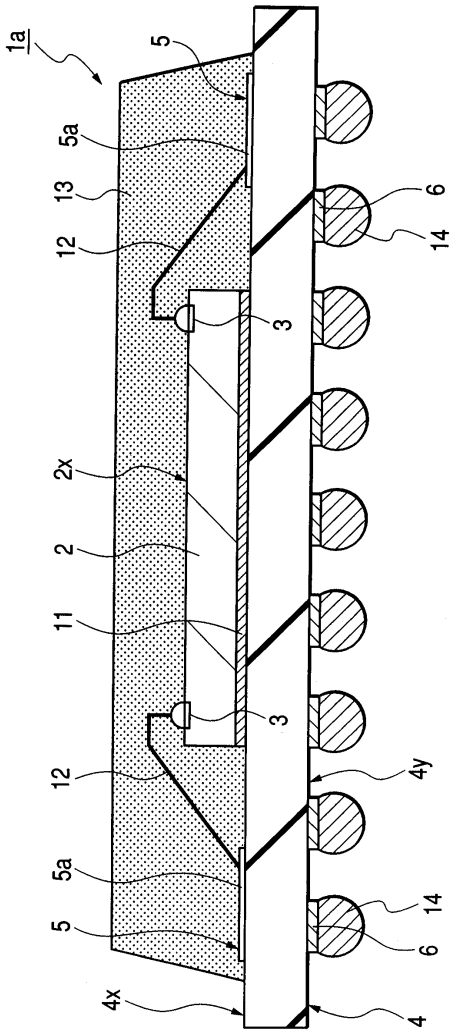
[0084] 78 전극패드

도면

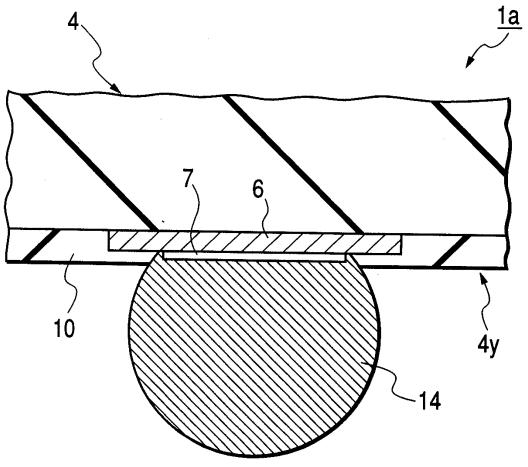
도면1



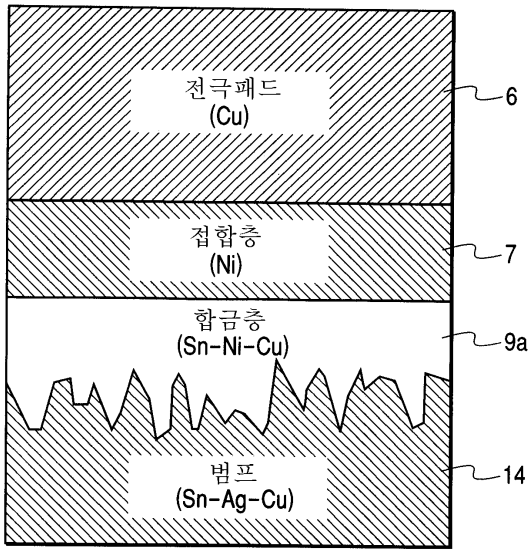
도면2



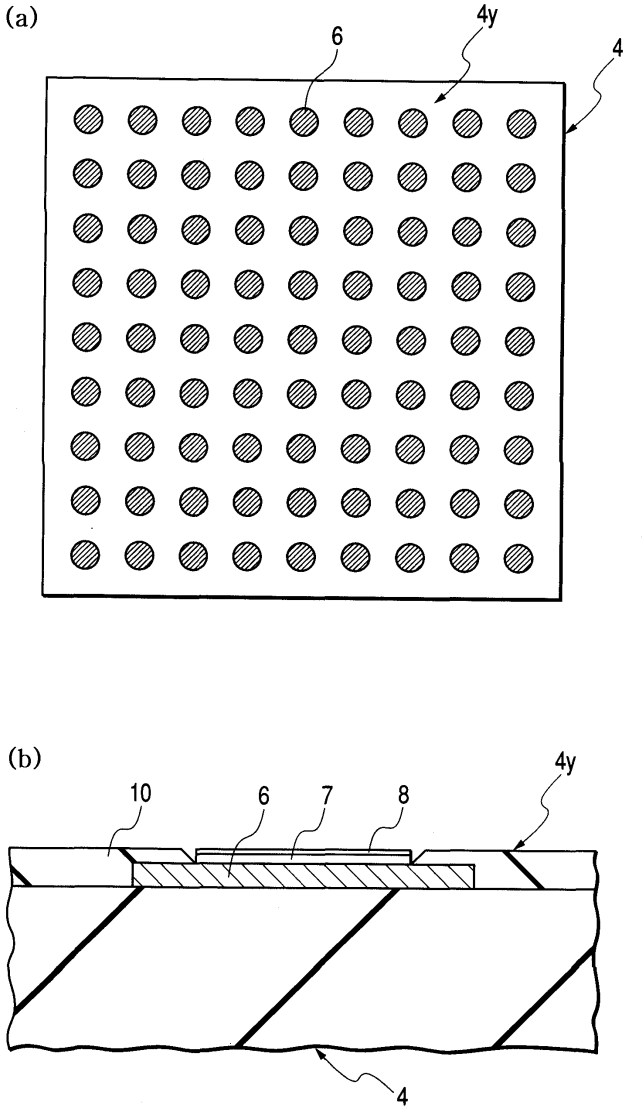
도면3



도면4

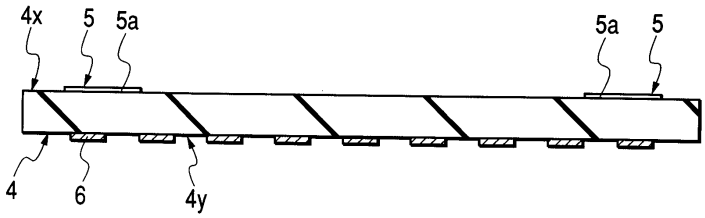


도면5

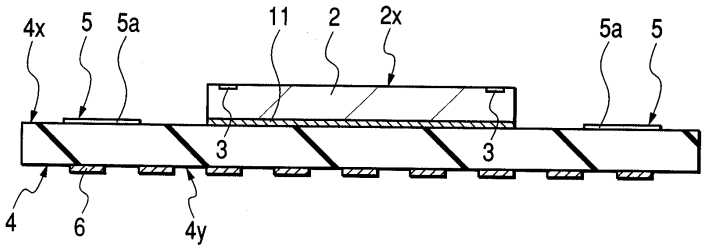


도면6

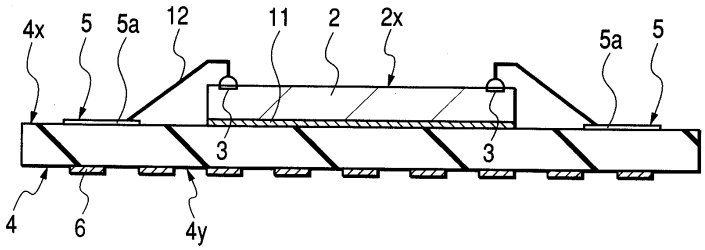
(a)


4x
5
5a
5a
5
4
6
4y

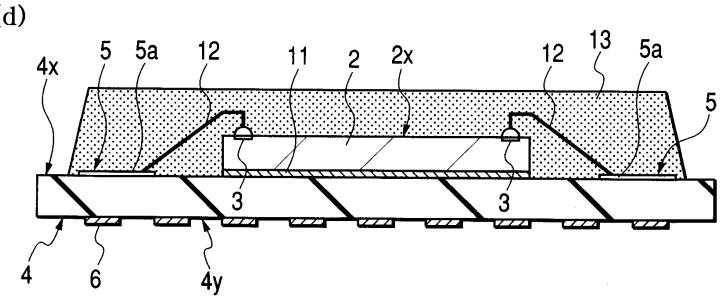
(b)


4x
5
5a
11
2
2x
5a
5
3
3
4
6
4y

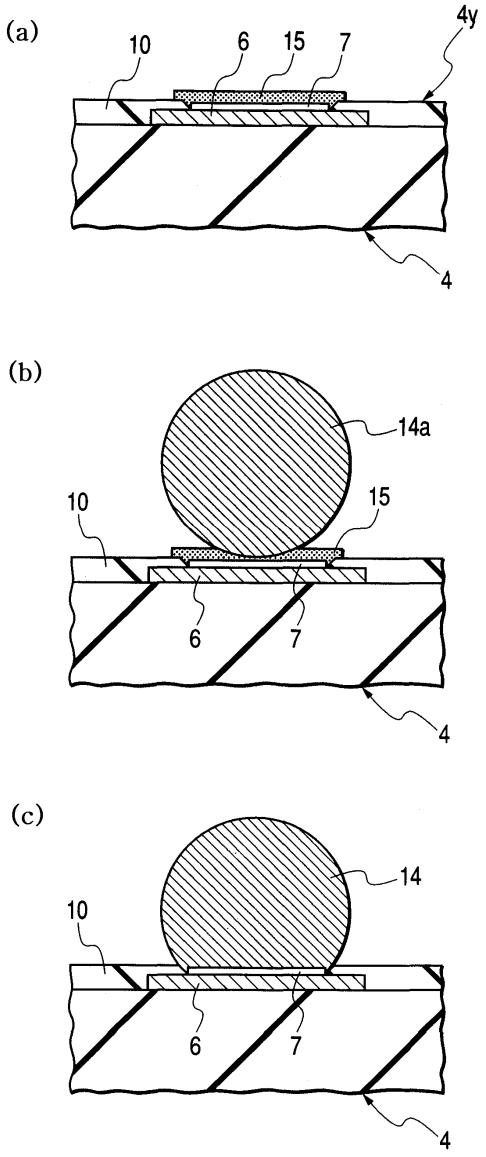
(c)


4x
5
5a
12
11
2
2x
5a
5
3
3
4
6
4y

(d)

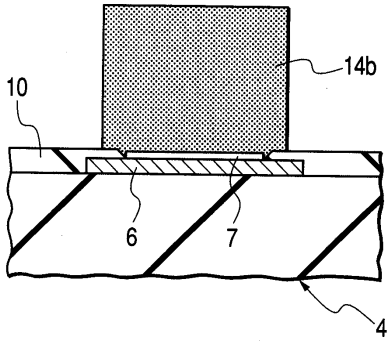

4x
5
5a
12
11
2
2x
12
13
5a
5
3
3
4
6
4y

도면7

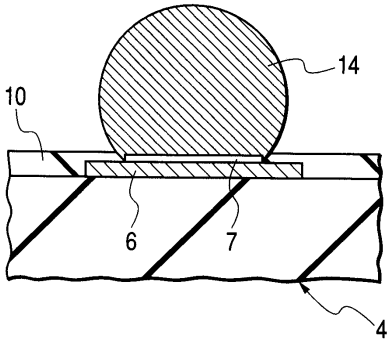


도면8

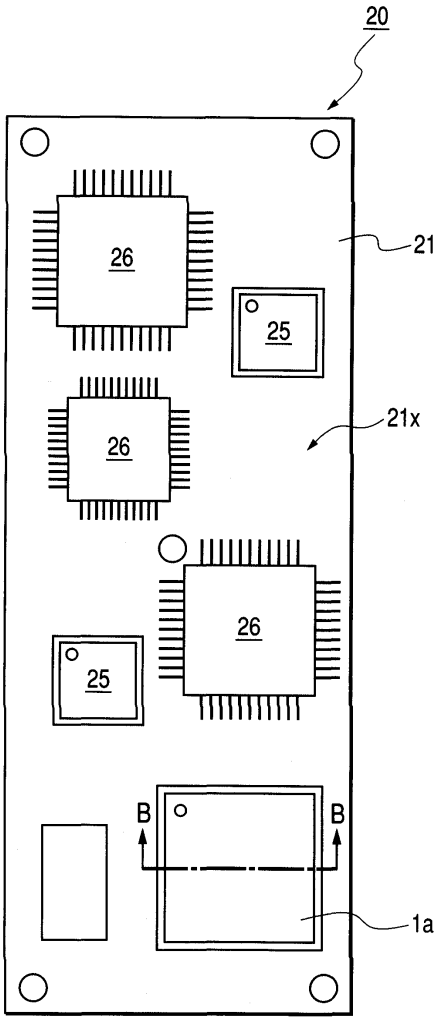
(a)



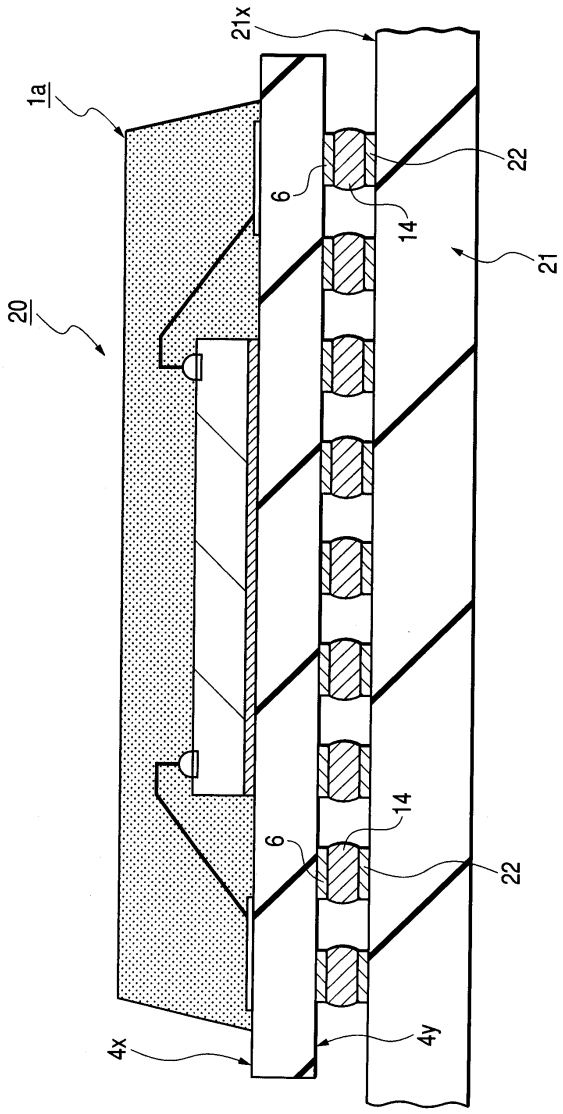
(b)



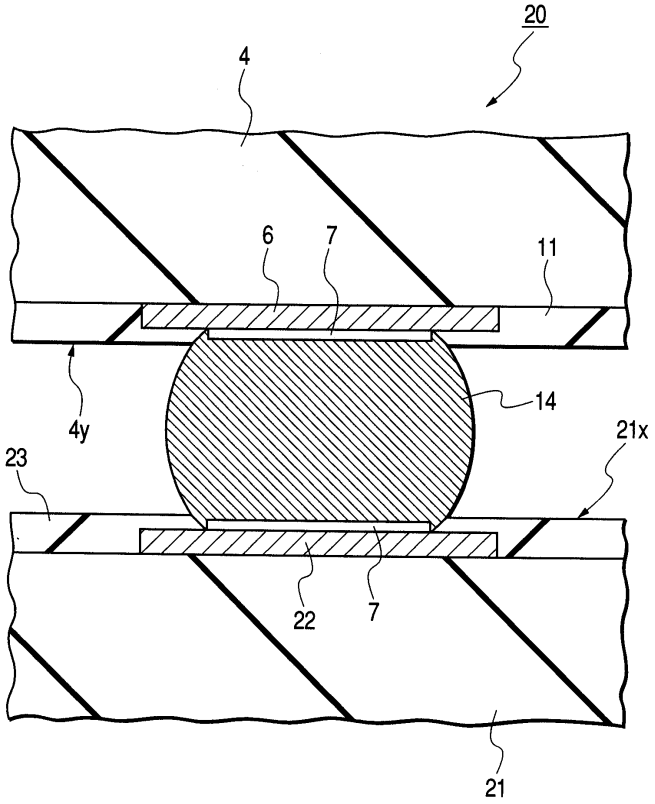
도면9



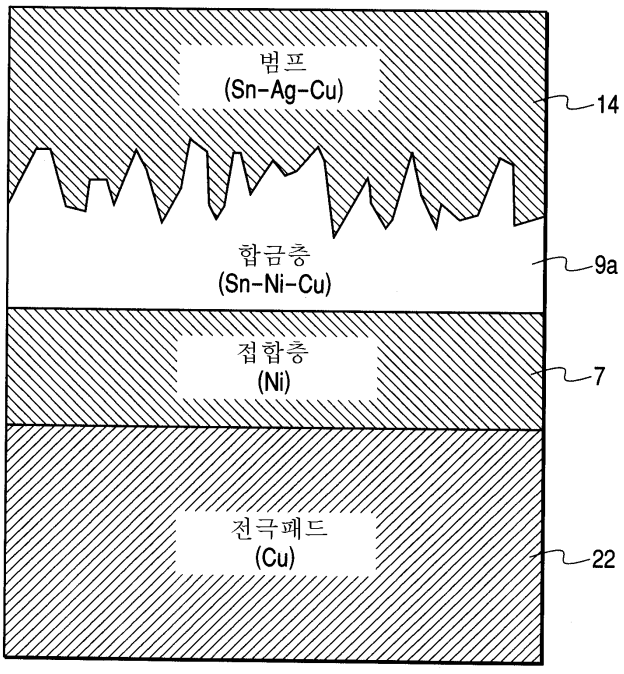
도면10



도면11

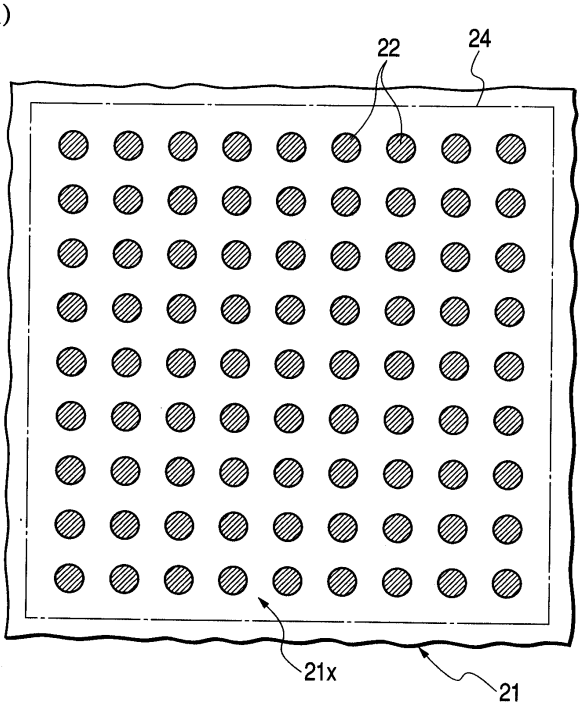

20
4
6
7
11
14
4y
21x
23
22
7
21

도면12

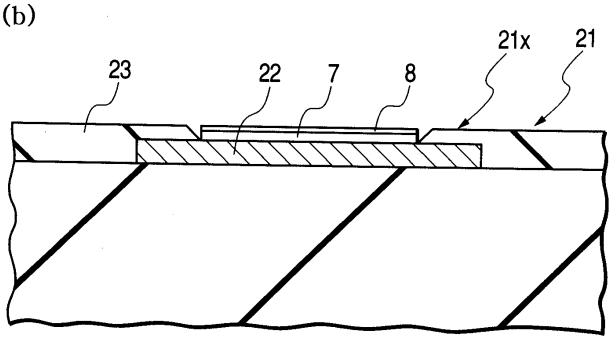

범프
(Sn-Ag-Cu)
14
합금층
(Sn-Ni-Cu)
9a
접합층
(Ni)
7
전극패드
(Cu)
22

도면13

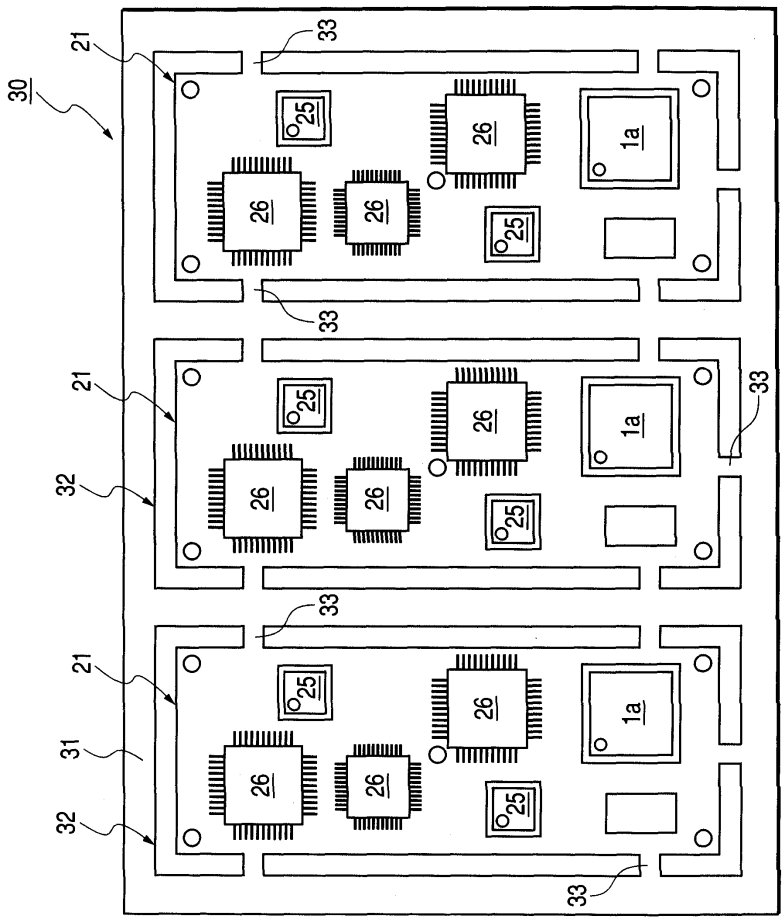
(a)



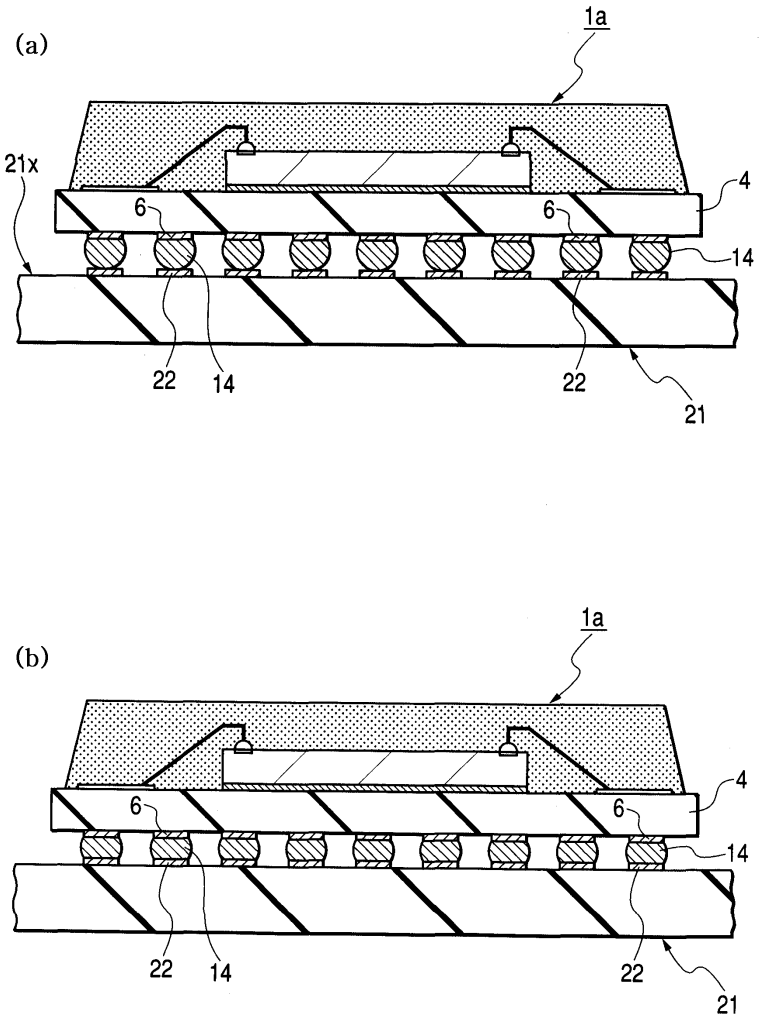
(b)



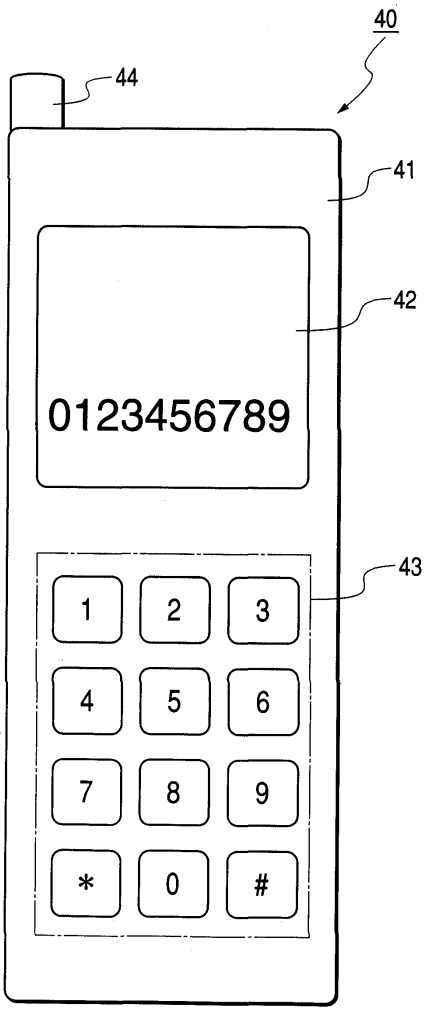
도면14



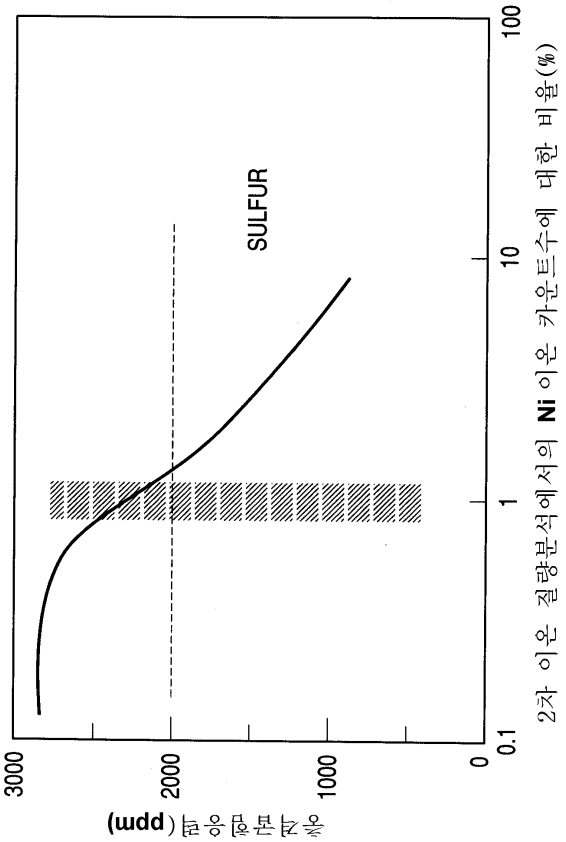
도면15



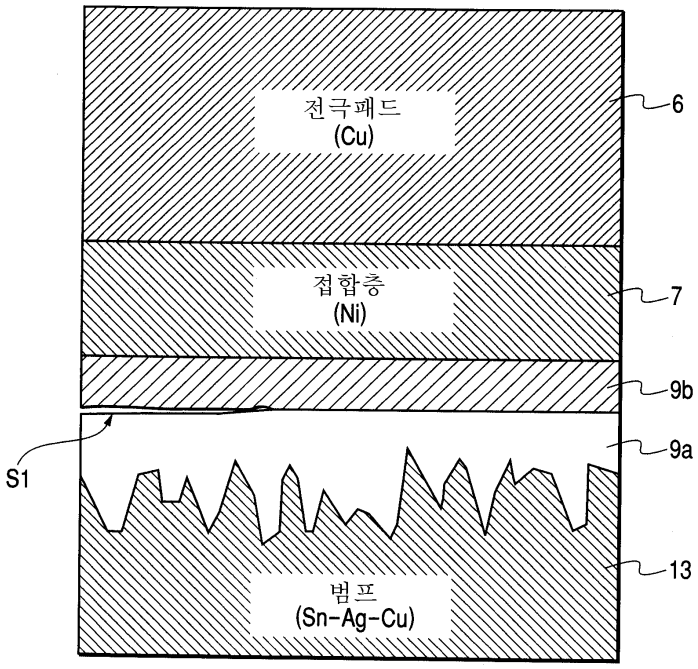
도면16



도면17

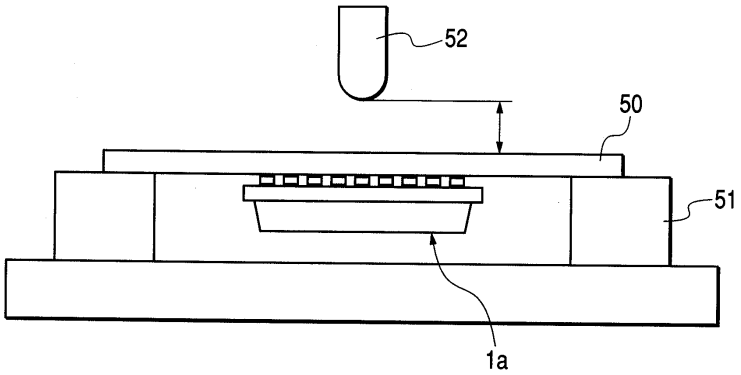

SULFUR
충격균열응력(ppm)
3000
2000
1000
0
0.1
1
10
100
2차 이온 질량분석에서의 Ni 이온 카운트수에 대한 비율(%)

도면18

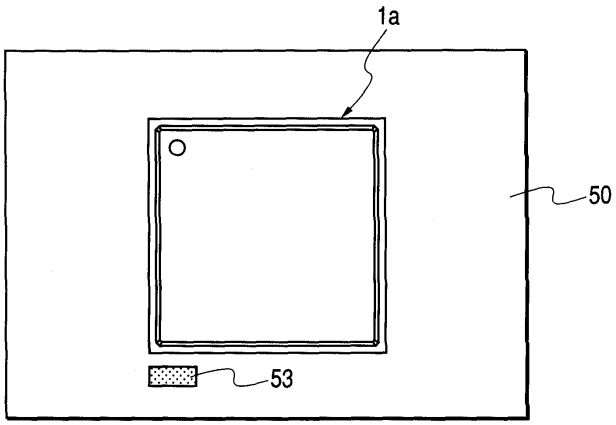


9b (B: Sn-Ni-Cu)
9a (A: Sn-Ni-Cu)
A층 조성 ≠ **B**층 조성

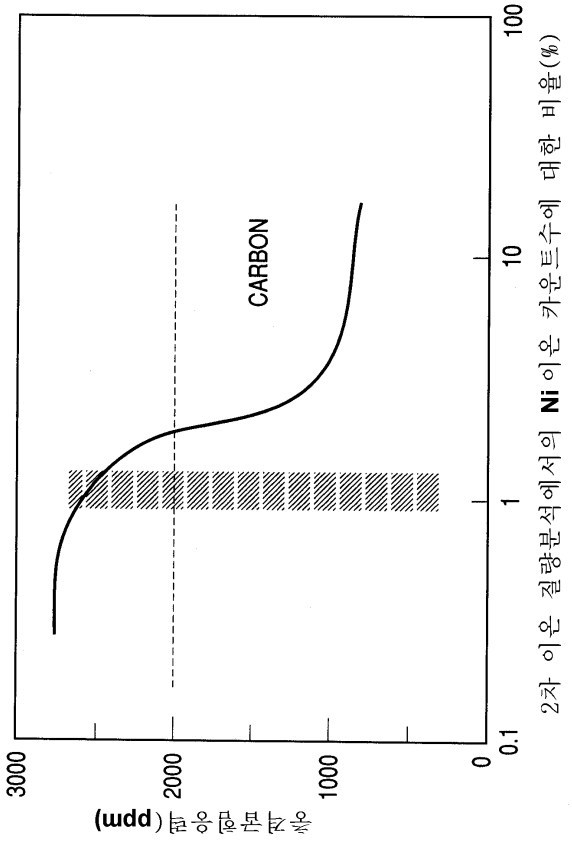
도면19



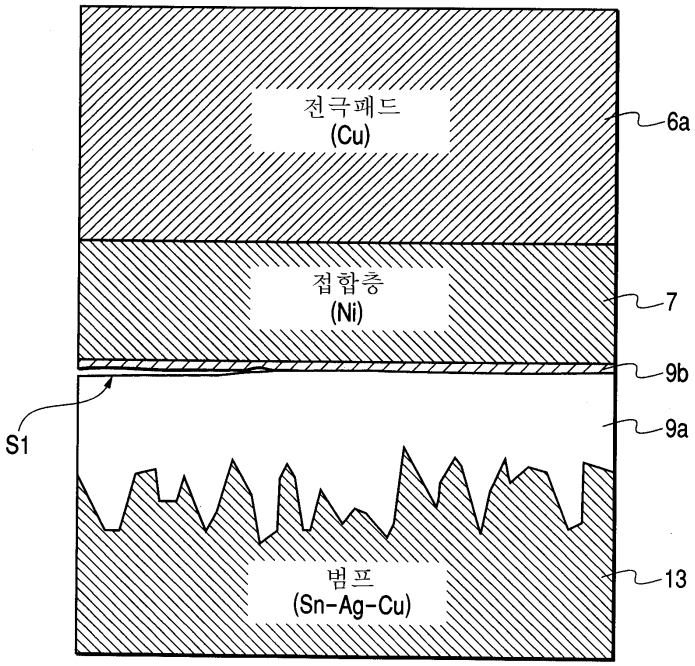
도면20


1a
50
53

도면21

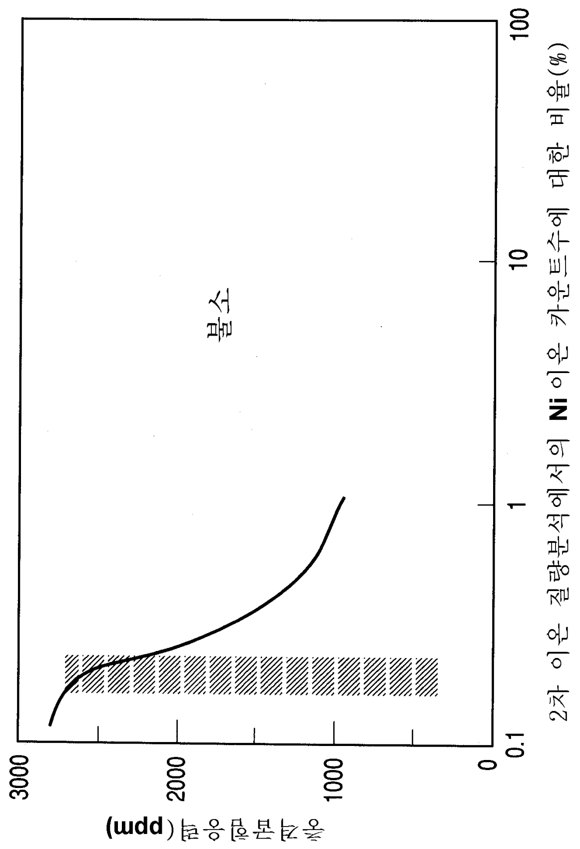

CARBON
3000
2000
1000
0
충격굽힘응력(ppm)
100
10
1
0.1
2차 이온 질량분석에서의 Ni 이온 카운트수에 대한 비율(%)

도면22

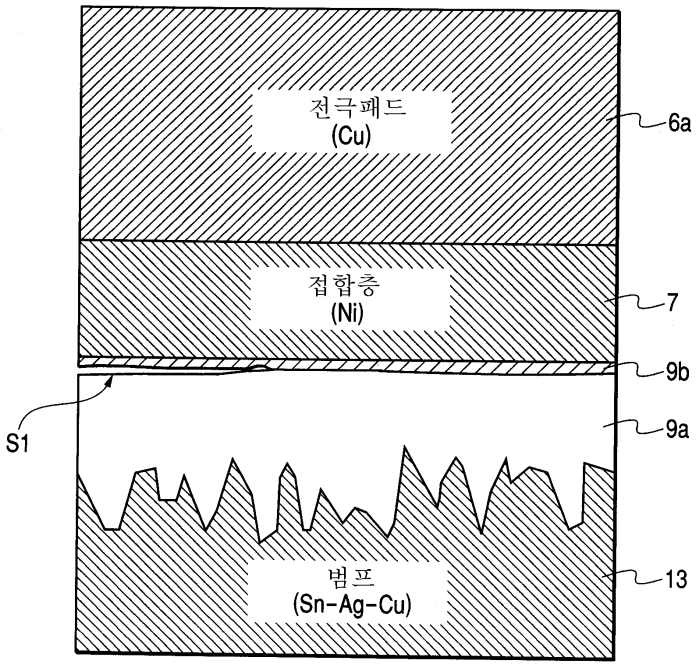


9b (B: Sn-Ni-Cu)
9a (A: Sn-Ni-Cu)
A층 조성 ≠ **B**층 조성

도면23

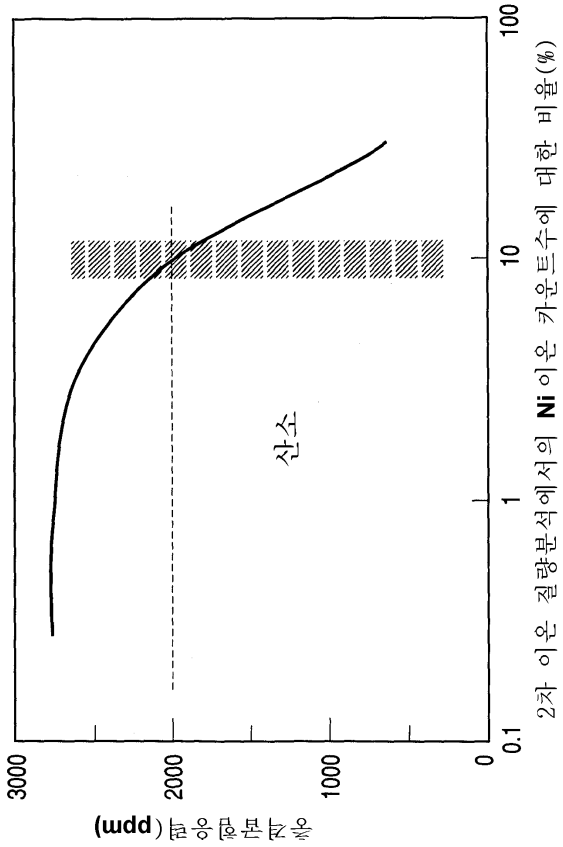


도면24

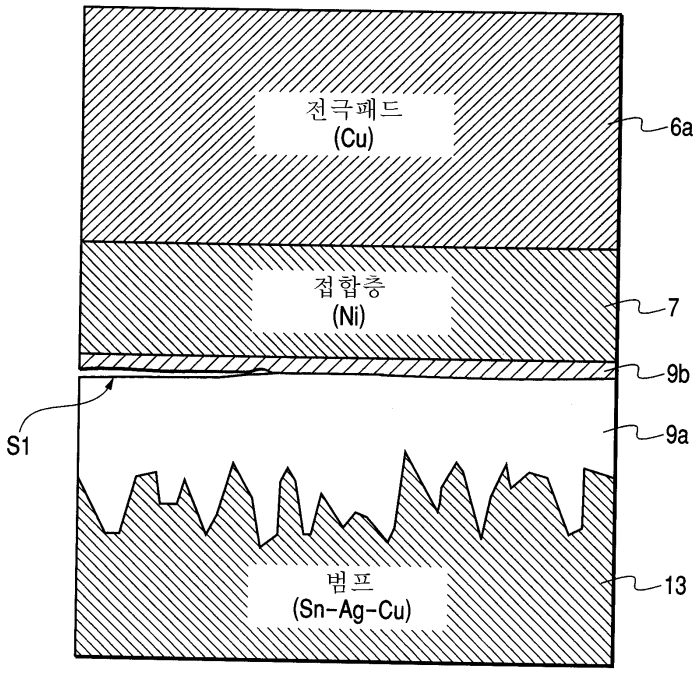


9b (B: Sn-Ni-Cu)
9a (A: Sn-Ni-Cu)
A층 조성 ≠ **B**층 조성

도면25

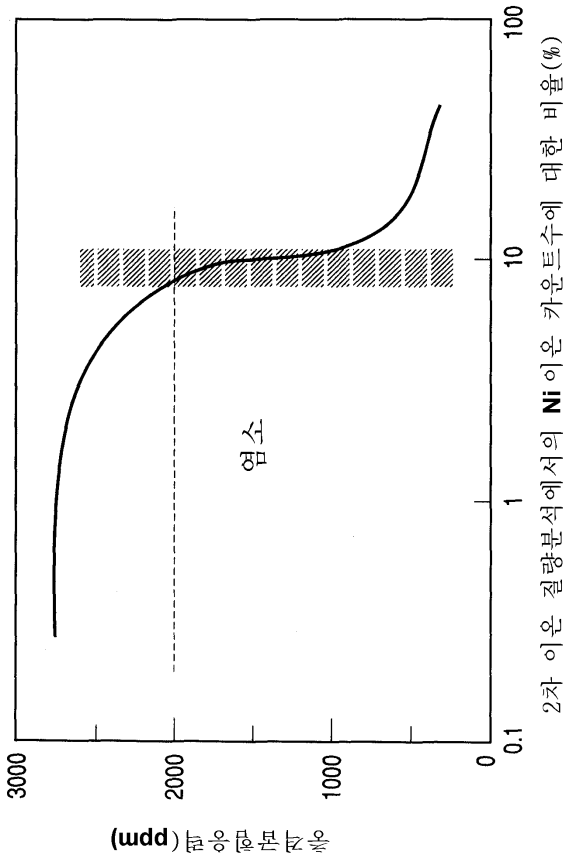

충격굽힘응력(ppm)
3000
2000
1000
0
0.1
1
10
100
2차 이온 질량분석에서의 Ni 이온 카운트수에 대한 비율(%)
산소

도면26

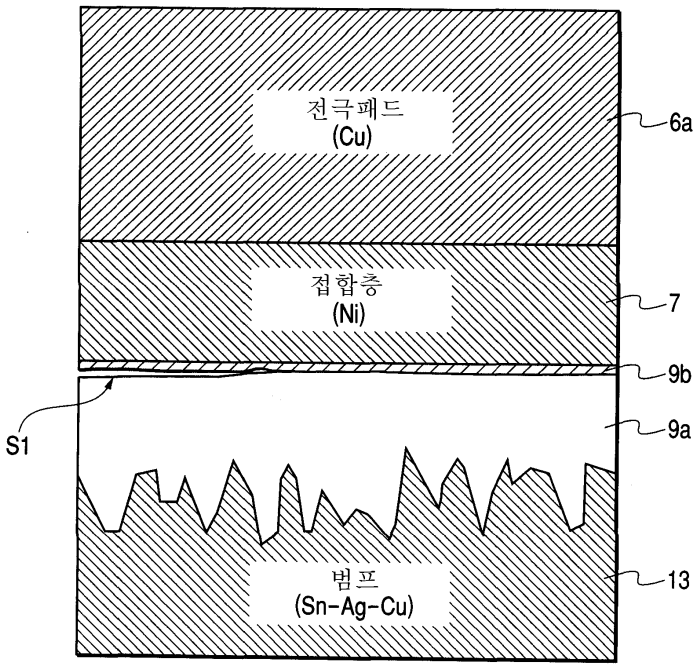


9b (B: Sn-Ni-Cu)
9a (A: Sn-Ni-Cu)
A층 조성 ≠ **B**층 조성

도면27

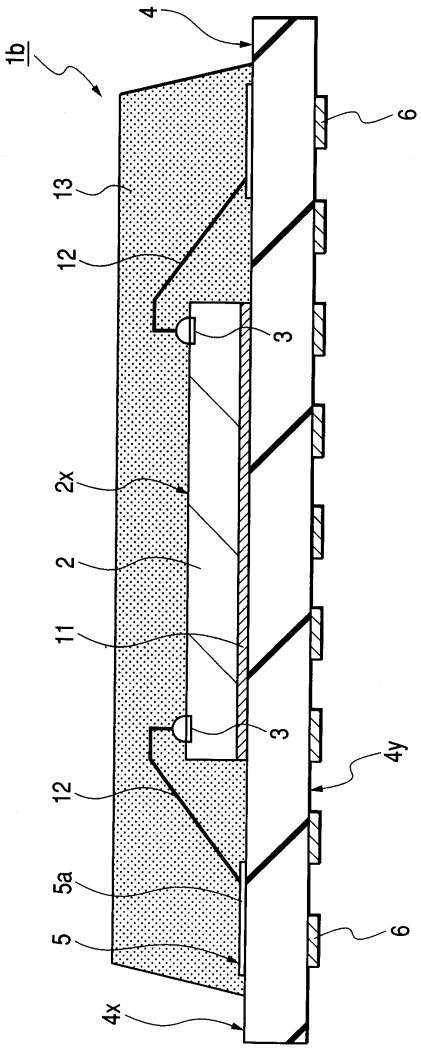

충격굴절응력 (ppm)
3000
2000
1000
0
염소
0.1
1
10
100
2차 이온 질량분석에서의 Ni 이온 카운트수에 대한 비율(%)

도면28

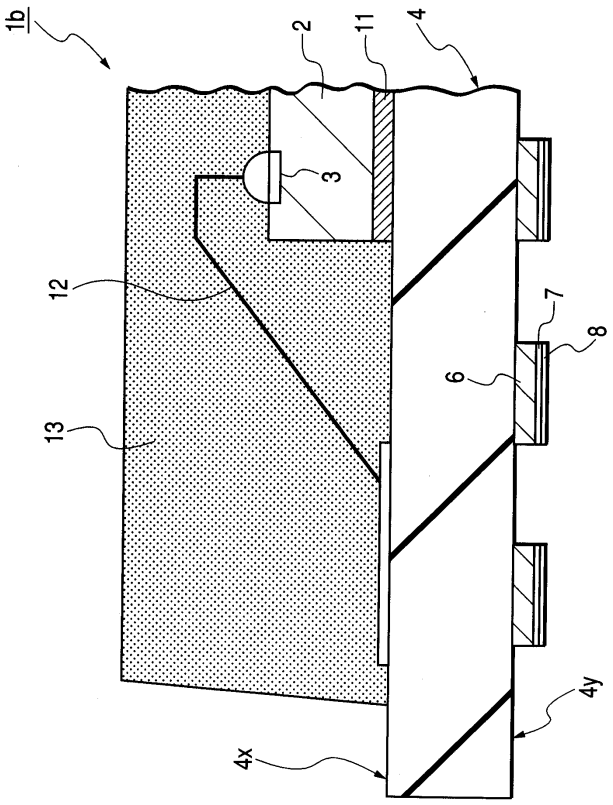


9b (B: Sn-Ni-Cu)
9a (A: Sn-Ni-Cu)
A층 조성 ≠ **B**층 조성

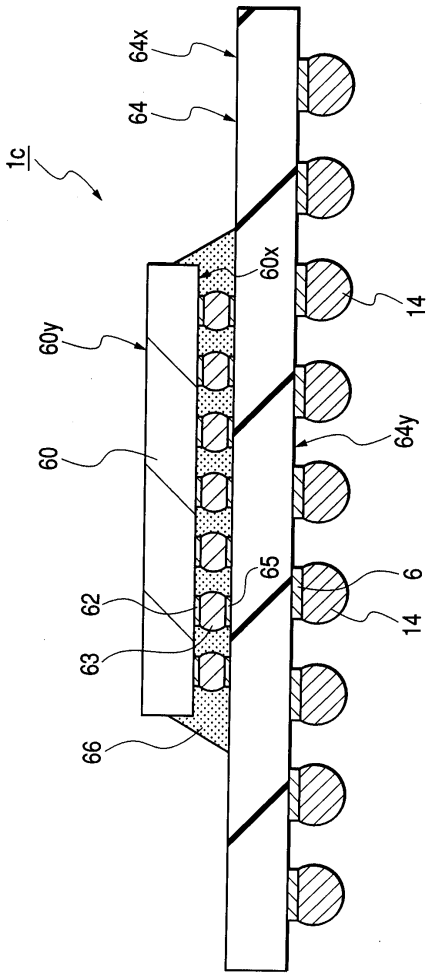
도면29



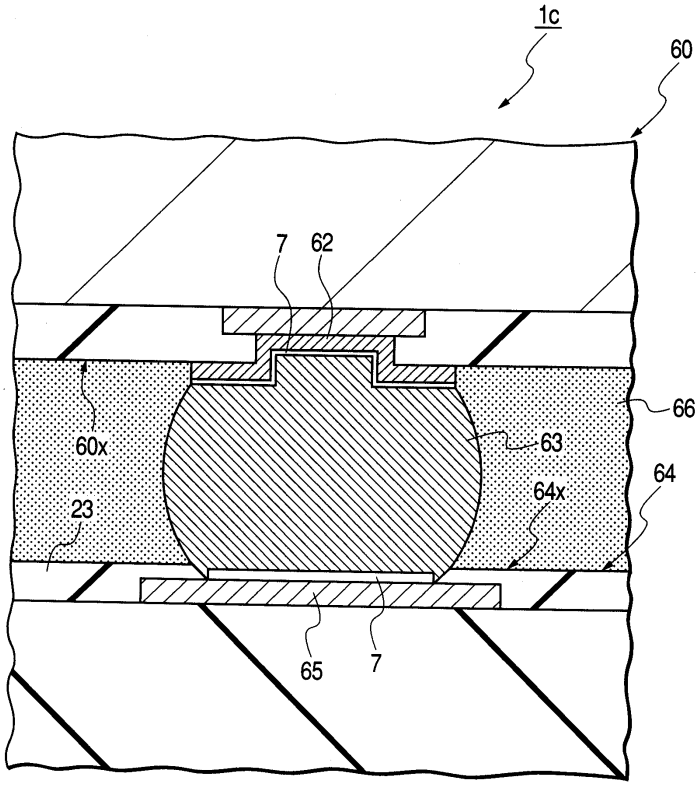
도면30



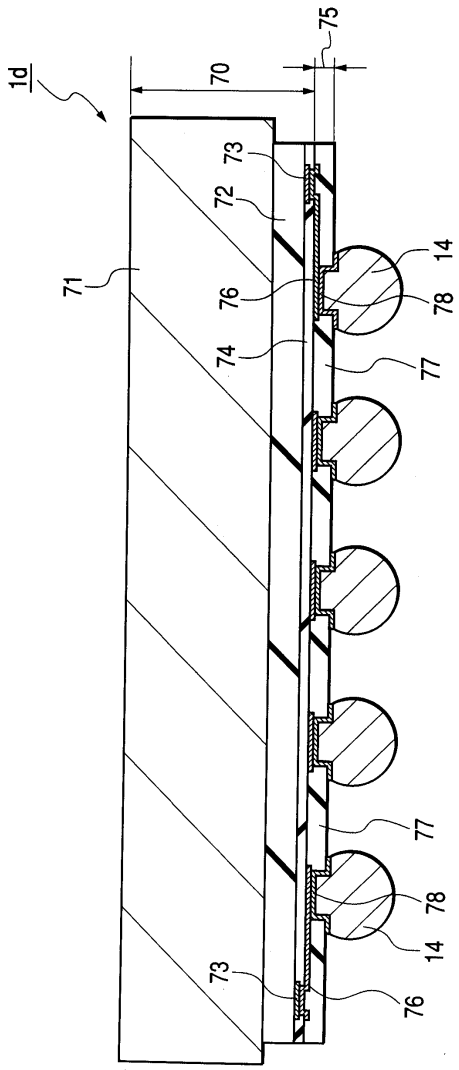
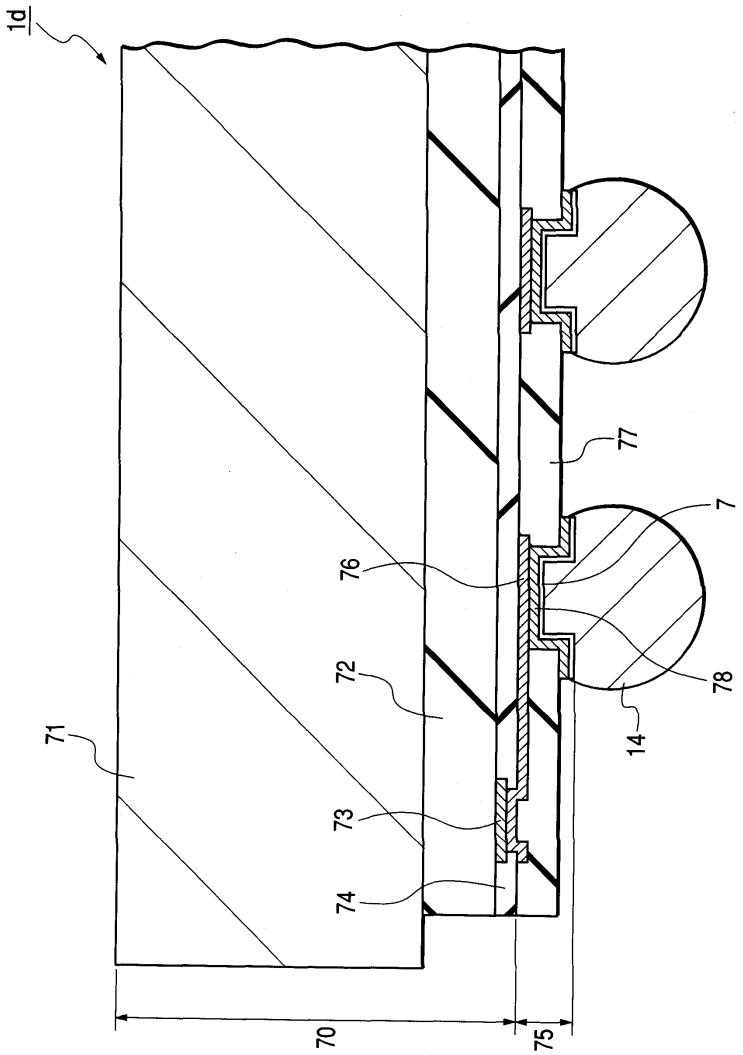
도면31



도면32



도면33



도면34