(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월01일
(11) 등록번호 10-2027205
(24) 등록일자 2019년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 21/324 (2017.01) *H01L 21/302* (2006.01)
H01L 21/3065 (2006.01) *H01L 21/322* (2006.01)
H01L 21/762 (2006.01)
(52) CPC특허분류
H01L 21/3247 (2013.01)
H01L 21/302 (2013.01)
(21) 출원번호 10-2015-7029121
(22) 출원일자(국제) 2014년03월14일
심사청구일자 2019년03월13일
(85) 번역문제출일자 2015년10월13일
(65) 공개번호 10-2015-0132383
(43) 공개일자 2015년11월25일
(86) 국제출원번호 PCT/US2014/027418
(87) 국제공개번호 WO 2014/152510
국제공개일자 2014년09월25일
(30) 우선권주장
61/783,928 2013년03월14일 미국(US)
(56) 선행기술조사문헌
KR1020000011406 A*
KR1020080086898 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
글로벌웨이퍼스 씨오., 엘티디.
중화민국, 타이완, 신주, 사이언스-베이스드 인더스트리얼 파크, 인더스트리얼 이스트 로드 2, 넘버 8
(72) 발명자
류, 칭민
미국 63376 미주리주 에스티. 피터스 펄 드라이브 501
리버트, 제프리 루이스
미국 63376 미주리주 에스티. 피터스 펄 드라이브 501
(74) 대리인
양영준, 백만기

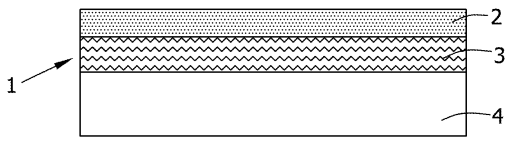
전체 청구항 수 : 총 16 항 심사관 : 이석주

(54) 발명의 명칭 **광점 결함들 및 표면 거칠기를 감소시키기 위한 반도체-온-인슐레이터 웨이퍼 제조 방법**

(57) 요 약

반도체-온-인슐레이터 구조의 광점 결함들을 감소시키기 위한 방법 및 반도체-온-인슐레이터 구조의 표면 거칠기를 감소시키기 위한 방법이 개시된다. 방법들은 비-접촉 스무딩 프로세스에 선행하는 구조의 열적 어닐링의 조합을 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/3065 (2013.01)
H01L 21/3226 (2013.01)
H01L 21/76254 (2013.01)

명 세 서

청구범위

청구항 1

핸들 웨이퍼(handle wafer), 실리콘 층, 및 상기 핸들 웨이퍼와 상기 실리콘 층 사이의 유전체층을 포함하는 실리콘-온-인슐레이터(SOI) 구조를 프로세싱하기 위한 방법으로서 - 상기 실리콘 층은 상기 구조의 외부 표면을 정의하는 절개된 표면(cleaved surface)을 가짐 - ,

적어도 950℃의 온도에서 아르곤 및 수소를 포함하는 환경에서 15분 내지 10 시간의 기간 동안 상기 실리콘-온-인슐레이터 구조를 열적으로 어닐링하는 단계 — 상기 환경은 10 ppm 미만의 산소를 포함함 — ; 및

상기 절개된 표면 상에 에피-스무딩(epi-smoothing) 프로세스를 포함하는 비-접촉 스무딩(smoothing) 프로세스를 수행하는 단계 - 상기 에피-스무딩 프로세스는 900℃ 내지 1050℃ 사이의 온도에서 HCl, 염소(chlorine), H_2, 또는 이들의 혼합물을 포함하는 기체 에칭제에서 상기 절개된 표면을 에칭하는 것을 포함함 -

를 포함하고, 상기 방법은 상기 절개된 표면 상의 표면 거칠기 및 광점 결함들을 감소시키고, 상기 유전체층의 밀도를 높이고(densify), 상기 실리콘층과 상기 유전체층 사이의 본드를 강화시키는 기능을 하는, 방법.

청구항 2

제1항에 있어서,

상기 구조는 1050℃ 내지 1200℃의 온도에서 어닐링되는 방법.

청구항 3

제1항에 있어서,

상기 환경은 1ppm 미만의 수증기를 포함하는 방법.

청구항 4

핸들 웨이퍼, 실리콘 층, 및 상기 핸들 웨이퍼와 상기 실리콘 층 사이의 유전체층을 포함하는 실리콘-온-인슐레이터 구조를 프로세싱하는 방법으로서 - 상기 실리콘 층은 상기 구조의 외부 표면을 정의하는 절개된 표면을 가짐 - ,

적어도 950℃의 온도에서 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 2시간의 기간 동안 상기 실리콘-온 인슐레이터 구조를 열적으로 어닐링하는 단계 — 상기 환경은 10 ppm 미만의 산소를 포함함 — ; 및

상기 절개된 표면 상에 에피-스무딩(epi-smoothing) 프로세스를 포함하는 비-접촉 스무딩(smoothing) 프로세스를 수행하는 단계 - 상기 에피-스무딩 프로세스는 900℃ 내지 1050℃ 사이의 온도에서 HCl, 염소(chlorine), H_2, 또는 이들의 혼합물을 포함하는 기체 에칭제에서 상기 절개된 표면을 에칭하는 것을 포함함-

를 포함하고, 상기 방법은 상기 절개된 표면 상의 표면 거칠기 및 광점 결함들을 감소시키고, 상기 유전체층의 밀도를 높이고(densify), 상기 실리콘층과 상기 유전체층 사이의 본드를 강화시키는 기능을 하는, 방법.

청구항 5

제4항에 있어서,

상기 구조는 순수 아르곤 환경에서 어닐링되는 방법.

청구항 6

제4항에 있어서,

상기 구조는 1050℃ 내지 1200℃의 온도에서 어닐링되는 방법.

청구항 7

제4항에 있어서,

상기 환경은 1ppm 미만의 수증기를 포함하는 방법.

청구항 8

핸들 웨이퍼, 실리콘 층, 및 상기 핸들 웨이퍼와 상기 실리콘 층 사이의 유전체층을 포함하는 실리콘-온-인슐레이터 구조를 프로세싱하는 방법으로서 - 상기 실리콘 층은 상기 구조의 외부 표면을 정의하는 절개된 표면을 가짐 - ,

적어도 950℃의 온도에서 95-97% 부피의 아르곤 및 3-5% 부피의 수소를 포함하는 환경에서 상기 실리콘-온-인슐레이터 구조를 열적으로 어닐링하는 단계 - 상기 환경은 10 ppm 미만의 산소를 포함함 — ; 및

상기 절개된 표면 상에 에피-스무딩(epi-smoothing) 프로세스를 포함하는 비-접촉 스무딩(smoothing) 프로세스를 수행하는 단계 - 상기 에피-스무딩 프로세스는 900℃ 내지 1050℃ 사이의 온도에서 HCl, 염소(chlorine), H_2, 또는 이들의 혼합물을 포함하는 기체 에칭제에서 상기 절개된 표면을 에칭하는 것을 포함함 -

를 포함하고, 상기 방법은 상기 절개된 표면 상의 표면 거칠기 및 광점 결함들 을 감소시키고, 상기 유전체층의 밀도를 높이고(densify), 상기 실리콘층과 상기 유전체층 사이의 본드를 강화시키는 기능을 하는, 방법.

청구항 9

제8항에 있어서,

상기 구조는 1050℃ 내지 1200℃의 온도에서 어닐링되는 방법.

청구항 10

제8항에 있어서,

상기 구조는 15분 내지 10시간의 기간 동안 어닐링되는 방법.

청구항 11

제8항에 있어서,

상기 환경은 1ppm 미만의 수증기를 포함하는 방법.

청구항 12

제8항에 있어서,

상기 방법은 1㎛ x 1㎛ 내지 30㎛ x 30㎛의 스캔 사이즈들을 가지고 측정될 시에 상기 구조의 표면의 거칠기 측정 시스템(Roughness Measurement System) 거칠기를 0.2nm 미만으로 감소시키는 방법.

청구항 13

핸들 웨이퍼, 실리콘 층, 및 상기 핸들 웨이퍼와 상기 실리콘 층 사이의 유전체층을 포함하는 실리콘-온-인슐레이터 구조를 프로세싱하기 위한 방법으로서 - 상기 실리콘 층은 상기 구조의 외부 표면을 정의하는 절개된 표면을 가짐 - ,

적어도 950℃의 온도에서 15분 내지 10 시간의 기간 동안 순수 아르곤 환경에서 상기 실리콘-온-인슐레이터 구조를 열적으로 어닐링하는 단계 — 상기 환경은 1ppm 미만의 산소를 포함함 -; 및

상기 절개된 표면 상에 에피-스무딩(epi-smoothing) 프로세스를 포함하는 비-접촉 스무딩(smoothing) 프로세스를 수행하는 단계 - 상기 에피-스무딩 프로세스는 900℃ 내지 1050℃ 사이의 온도에서 HCl, 염소(chlorine), H_2, 또는 이들의 혼합물을 포함하는 기체 에칭제에서 상기 절개된 표면을 에칭하는 것을 포함함-

를 포함하고, 상기 방법은 상기 절개된 표면 상의 표면 거칠기 및 광점 결함들을 감소시키고, 상기 유전체층의

밀도를 높이고(densify), 상기 실리콘층과 상기 유전체층 사이의 본드를 강화시키는 기능을 하는, 방법.

청구항 14

제1항에 있어서,

상기 방법은 1㎛ x 1㎛ 내지 30㎛ x 30㎛의 스캔 사이즈들을 가지고 측정될 시에 상기 구조의 표면의 거칠기 측정 시스템(Roughness Measurement System) 거칠기를 0.2nm 미만으로 감소시키는 방법.

청구항 15

제4항에 있어서,

상기 방법은 1㎛ x 1㎛ 내지 30㎛ x 30㎛의 스캔 사이즈들을 가지고 측정될 시에 상기 구조의 표면의 거칠기 측정 시스템(Roughness Measurement System) 거칠기를 0.2nm 미만으로 감소시키는 방법.

청구항 16

제13항에 있어서,

상기 방법은 1㎛ x 1㎛ 내지 30㎛ x 30㎛의 스캔 사이즈들을 가지고 측정될 시에 상기 구조의 표면의 거칠기 측정 시스템(Roughness Measurement System) 거칠기를 0.2nm 미만으로 감소시키는 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 교차-참조

[0002] 이 출원은 2013년 3월 14일에 출원된 미국 가출원 번호 제61/783,928호에 대한 우선권을 주장하며, 그 전체 내용은 본원에 참조로서 포함된다.

[0003] 이 개시내용은 일반적으로는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 광점 결함들(light point defects)을 감소시키기 위한 방법 및 반도체-온-인슐레이터 구조의 표면 거칠기를 감소시키기 위한 방법에 관한 것이다. 방법은 비-접촉 스무딩(non-contact smoothing) 프로세스에 선행하는 구조의 열적 어닐링의 조합을 포함한다.

배 경 기 술

[0004] 반도체 웨이퍼들은 일반적으로 단일 결정 잉곳(ingot)(예를 들어, 실리콘 잉곳)으로부터 준비되며, 이는 이후 개별 웨이퍼들로 슬라이스된다. 일부 응용예들에서, 다층 구조(때때로 포괄적으로 단순히 웨이퍼의 다층 구조로 지칭됨)가 사용될 수 있다. 다층 구조의 공통 형태는 반도체 온 인슐레이터 구조이고, 그것의 가장 일반적인 형태 중 하나는 실리콘-온-인슐레이터(silicon-on-insulator)(SOI) 웨이퍼이다. SOI 웨이퍼는 통상적으로 유전체층(즉, 절연층)의 최상부의 실리콘 박막을 포함하고 이는 결국 기판(즉, 핸들 웨이퍼(handle wafer)상에 배치된다. 통상적으로, 기판 또는 핸들 웨이퍼는 실리콘이다.

[0005] 일부 방식들에서, 반도체 온 인슐레이터 웨이퍼를 만드는 프로세스는 도너 웨이퍼의 앞면 아래의 특정된 깊이에 입자(예를 들어, 수소 원자 또는 수소와 헬륨 원자들의 결합)들을 주입하는 것을 포함할 수 있다. 주입된 입자들은 이들이 주입되는 깊이에서의 특정 깊이 또는 그 근처의 특정 깊이에 있는 도너 웨이퍼(donor wafer) 내의 절개 평면(cleave plane)일 수 있거나 절개 평면이 될 수 있는 손상층(damage layer)을 형성한다. 도너 웨이퍼의 표면은 주입 프로세스 동안 웨이퍼에 퇴적된(deposited) 물질을 제거하기 위해 세정될 수 있다. 도너는 이후 핸들 웨이퍼 및 본딩 구조에 본딩될 수 있다. 일부 방식들에서, 도너 웨이퍼 및/또는 핸들 웨이퍼는 주입 이전 또는 이후에, 그러나 본딩 이전에 표면에 퇴적된 유전체층을 가질 수 있다. 도너 및 핸들은 이후 유전체층이 도너와 핸들 사이에 끼게 되도록 본딩될 수 있다. 도너는 이후 절개되어 반도체-온-인슐레이터 구조를 형성할 수 있다. 어떠한 유전체층도 존재하지 않는 경우, 형성된 구조는 실리콘 게르마늄 온 실리콘(silicon germanium on silicon) 또는 심지어 실리콘 온 실리콘과 같은 반도체-온-기판(semiconductor-on-substrate)일 것이다. 도너가 실리콘 웨이퍼이고 유전체층이 실리콘 이산화물과 같은 절연체인 경우, 형성된 구조는 SOI 웨이퍼일 것이다.

[0006] 통상적으로, 이러한 구조들의 어셈블리는 표면 형태(surface morphology)를 크게 개선하지 않는 환경들(예컨대, 질소 또는 산소)에서 수행된 어닐링 프로세스를 포함할 수 있다. 예를 들어, 실리콘 표면의 산화 및/또는 질화는 어닐링 프로세스 동안 표면이 더 매끄러워지는 것을 막는다. 또한, 어닐링 동안 표면이 손상되기 때문에, SOI층 내의 2차 결함들의 생성을 회피하기 위해 낮은 산화율이 사용되어야 한다. 낮은 산화율의 하나의 결과는 SOI 막의 최상부 표면에 존재하는 손상층이 어닐링 동안 제거되지 않는다는 점이다. SOI를 타겟 두께로 스무딩하고 얇게 하기 위해 사용되는 최종 열적 단계 동안, 잔여 손상은 완성된 표면 상에 작은 피쳐(feature)들을 형성하기 위해 우선적으로 에칭될 수 있다. 표면 피쳐들은 표준 레이저 기반 표면 검사 도구를 이용하여 검사 동안 광을 산란시켜 높은 배경 잡음 레벨을 초래할 수 있다.

[0007] 그 결과, 현재 제조 프로세스들은 최종 제품의 검사 시 헤이즈(haze)-관련 패턴들을 초래할 수 있다. 헤이즈-관련 패턴의 한가지 타입은 "모래시계" 패턴인데, 이는 표면 거칠기로부터 초래할 수 있다(예를 들어, 도 2 참조). 또다른 잡음 소스는 SOI 막에서의 매우 작은, 양성의, 벌크 불균질성을 가지는 최종 스무딩 프로세스의 상호작용으로부터 초래되는데, 이는 레이저 산란 방법들을 사용하는 자동화된 표면 검사 동안 매우 얕지만 검출 가능한 피쳐들을 형성한다. 이러한 타입들의 헤이즈-관련 패턴들은 통상적으로, 도 3에서 보여지는 것과 같은 링(ring) 또는 중심 광점 결함 패턴들에서 발생한다.

[0008] 이러한 헤이즈-관련 패턴들은 주입 손상, 표면 거칠기 및 광점 결함(LPD)들을 통해 최종 웨이퍼 제품의 성능 감소를 초래한다. 따라서, 헤이즈-관련 패턴들을 회피하기 위해 임의의 결과적인 LPD 결함들을 감소시키고 임의의 표면 거칠기를 감소시키도록 SOI 구조들을 프로세싱하는 것에 대한 만족되지 않은 요망사항이 존재한다.

[0009] 이 섹션은 하기에 기술되고 그리고/또는 청구되는, 개시내용의 다양한 양태들에 관련될 수 있는 다양한 기술 양태들을 독자에게 소개하도록 의도된다. 이러한 논의는 본 개시내용의 다양한 양태들의 더 양호한 이해를 용이하게 하기 위해 독자에게 배경 정보를 제공하는 것에 있어서 유용한 것으로 간주된다. 따라서, 이러한 언급들은 종래 기술을 받아들이는 것이 아니라, 이러한 견지에서 읽혀야 한다는 점이 이해되어야 한다.

발명의 내용

[0010] 일 양태에서, 층화(layered) 구조를 프로세싱하기 위한 방법이 개시된다. 층화 구조의 표면은 통상적으로 실리콘 및/또는 실리콘 게르마늄을 포함한다. 층화 구조의 표면은 적어도 약 950℃의 온도에서 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 구조를 열적으로 어닐링하고 — 환경은 약 10 ppm 미만의 산소를 포함함 —, 이후 절개된 표면 상에서 비-접촉 스무딩 프로세싱을 수행함으로써 프로세싱된다.

[0011] 또다른 양태에서, 실리콘-온-인슐레이터 구조를 프로세싱하기 위한 방법이 개시된다. SOI 구조는 핸들 웨이퍼, 실리콘 층, 및 핸들 웨이퍼와 실리콘 층 사이의 유전체층을 포함한다. 실리콘 층은 구조의 외부 표면을 정의하는 절개된 표면을 가진다. 방법은 적어도 약 950℃의 온도에서 아르곤(argon), 수소(hydrogen), 헬륨(helium) 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 구조를 열적으로 어닐링하는 단계 — 환경은 약 10 ppm 미만의 산소를 포함함 —, 및 이후 절개된 표면 상에서 비-접촉 스무딩 프로세스를 수행하는 단계를 포함한다.

[0012] 또다른 양태에서, SOI 구조의 광점 결함들을 감소시키기 위한 방법이 개시된다. SOI 구조는 핸들 웨이퍼, 실리콘 층, 및 핸들 웨이퍼와 실리콘 층 사이의 유전체층을 포함한다. 실리콘 층은 구조의 외부 표면을 정의하는

절개된 표면을 가진다. 방법은 적어도 약 950℃의 온도에서 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 구조를 열적으로 어닐링하는 단계 - 환경은 약 10 ppm 미만의 산소를 포함함 -, 및 이후 절개된 표면 상에서 비-접촉 스무딩 프로세스를 수행하는 단계를 포함한다.

[0013] 또다른 양태에서, SOI 구조의 표면 거칠기를 감소시키기 위한 방법이 개시된다. SOI 구조는 핸들 웨이퍼, 실리콘 층, 및 핸들 웨이퍼와 실리콘 층 사이의 유전체층을 포함한다. 실리콘 층은 구조의 외부 표면을 정의하는 절개된 표면을 가진다. 방법은 적어도 약 950℃의 온도에서 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 구조를 열적으로 어닐링하는 단계 - 환경은 약 10 ppm 미만의 산소를 포함함 -, 및 이후 절개된 표면 상에서 비-접촉 스무딩 프로세스를 수행하는 단계를 포함한다.

[0014] 또다른 양태에서, SOI 구조를 프로세싱하기 위한 방법이 개시된다. SOI 구조는 핸들 웨이퍼, 실리콘 층, 및 핸들 웨이퍼와 실리콘 층 사이의 유전체층을 포함한다. 실리콘 층은 구조의 외부 표면을 정의하는 절개된 표면을 가진다. 방법은 적어도 약 950℃의 온도에서 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 구조를 열적으로 어닐링하는 단계 - 환경은 약 10 ppm 미만의 산소를 포함함 -, 및 이후 절개된 표면 상에서 비-접촉 스무딩 프로세스를 수행하는 단계를 포함한다.

[0015] 위에서 언급된 양태들에 관해 주지된 특징들의 다양한 개선안(refinement)들이 존재한다. 추가적인 특징들이 또한 위에서 언급된 양태들에 포함될 수 있다. 이러한 개선안들 및 추가적인 특징들은 개별적으로 또는 임의의 조합으로 존재할 수 있다. 예를 들어, 예시된 실시예들 중 임의의 것에 관련하여 하기에 논의된 다양한 특징들은 단독으로 또는 임의의 조합으로, 전술된 양태들 중 임의의 것 내에 포함될 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 개시내용의 실시예들에 따라 사용하기에 적합한 SOI 구조이다.

도 2는 "모래시계" 헤이즈 패턴을 도시하는 예시적인 65nm LPD 검사 입자 맵이다.

도 3은 작은 벌크 불균질성들의 데코레이션(decoration)으로부터 초래된 패턴을 도시하는 예시적인 65nm LPD 검사 입자 맵이다.

도 4는 본 개시내용에 따른 테스트 웨이퍼들 상의 예시적인 65nm LPD 검사들을 도시한다.

도 5는 30㎛ x 30㎛의 스캔 영역에 대한 테스트 웨이퍼들의 측정된 표면 거칠기의 확률 플롯이다.

도 6a는 POR 프로세스를 통해 프로세싱되는 웨이퍼 상의 65nm LPD 검사 입자 맵이다. 도 6b는 본 개시내용에 따른 프로세스들을 통해 프로세싱되는 웨이퍼 상의 65 nm LPD 검사 입자 맵이다.

대응하는 참조 부호들은 도면들의 일부 뷰들에 걸쳐 대응하는 부분들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 개시내용은 SOI 구조를 프로세싱하기 위한 방법들, SOI 구조의 LPD들을 감소시키기 위한 방법들, 및 SOI 구조의 표면 거칠기를 감소시키기 위한 방법들에 관한 것이다. 본원에 개시된 예시적인 방법들은 SOI 구조의 열적 어닐링 및 이후 SOI 구조 상의 비-접촉 스무딩 프로세스의 수행의 조합을 이용한다. 그 결과, 발명자들은 감소한 표면 거칠기 및 감소한 LPD들을 가지는 SOI 구조를 달성하는 방식을 발견하였다.

[0018] <u>반도체-온-인슐레이터 구조</u>

[0019] 본 개시내용의 실시예들에서 사용하기에 적합한 반도체 층화 구조가 도 1에서 일반적으로 번호(1)로 참조된다. 구조의 반도체 부분(2)이 일반적으로 그 위에 또는 그 내부에 마이크로전자 디바이스들이 형성되는 부분들이라는 점에 유의해야 한다. 본 출원에서 이용되는 하나의 통상적인 반도체 층(2)(또한 디바이스 층으로 지칭됨)이 실리콘 또는 실리콘 게르마늄이지만, 예를 들어, 실리콘(silicon), 게르마늄(germanium), 갈륨 비소(gallium arsenide), 알루미늄 질화물(aluminum nitride), 실리콘 게르마늄(silicon germanium), 갈륨 질화물(gallium nitride)과 같은 물질을 포함하는 다른 반도체 층들 또는 다수의 층들이 본 출원의 범위로부터의 이탈 없이 하기에 기술된 바와 같이 사용될 수 있다. 예시의 목적으로, 후속하는 논의는 실리콘을 반도체 층으로서 지칭할 수 있다. 기판(4)(또한 핸들 웨이퍼로 지칭됨)은 층화 구조를 형성하기에 적합한 임의의 물질(예를 들어, 실리콘(silicon), 게르마늄(germanium), 갈륨 비소(gallium arsenide), 알루미늄 질화물(aluminum nitride), 실리콘 게르마늄(silicon germanium), 갈륨 질화물(gallium nitride), 사파이어(sapphire) 및 이들의 조합들)일 수 있다. 다양한 실시예들에서, 층화 반도체 구조는 또한 반도체 층(2)과 핸들 웨이퍼(4) 사이에 배치된 유전체층

(3)을 포함한다.

[0020] 유전체층(3)(또한 절연층으로 지칭됨)은 SiO_2, Si_3N_4, 알루미늄 산화물(aluminum oxide), 또는 마그네슘 산화물(magnesium oxide) 또는 이들의 조합을 포함하는 물질과 같은, 반도체-온-인슐레이터 구조에서 사용하기에 적합한 임의의 전기적 절연 물질일 수 있다. 통상적으로, SOI 구조는 절연층으로서 부분적으로 또는 전체적으로 SiO_2와 같은 절연층을 포함한다.

[0021] SOI 구조들 및 이들을 생산하기 위한 방법들은 일반적으로 통상의 기술자에 의해 공지되어 있다(예를 들어, 각각이 모든 관련된 그리고 일관적인 목적으로 본원에 포함된 미국 특허 제5,189,500호; 제5,436,175호; 및 제6,790,747호를 참조하라). SOI 구조가 산화 및/또는 표면 활성화를 포함한, 당해 기술분야에 일반적으로 공지된 임의의 수단을 통해 본딩될 수 있다는 점에 유의해야 한다. 예를 들어, 일부 실시예들에서, SOI 구조는 본딩 이전에, 도너 웨이퍼, 핸들 웨이퍼, 또는 도너 웨이퍼와 핸들 웨이퍼 모두의 산화를 통해 본딩될 수 있다. 다른 실시예들에서, SOI 구조는 도너 웨이퍼, 핸들 웨이퍼, 또는 도너 웨이퍼와 핸들 웨이퍼 모두 상의 유전체층들과의 표면 활성화에 의해 본딩될 수 있다.

[0022] SOI 구조를 만드는 예시적인 프로세스는 도너 웨이퍼의 연마된 전면 상에 유전체층(예를 들어, 산화층)을 퇴적하는 것을 포함한다. 입자들(예를 들어, 수소 원자들 또는 수소와 헬륨 원자들의 조합)은 도너 웨이퍼의 전면 아래의 특정된 깊이에 주입된다. 주입된 입자들은 이들이 주입된 특정 위치에서 도너 웨이퍼 내에 절개 평면을 형성한다. 도너 웨이퍼의 표면은 주입 프로세스 동안 웨이퍼 상에 퇴적된 오염물들(예를 들어, 유기 화합물들 및 다른 오염 입자들)을 제거하기 위해 하나 이상의 세정 동작들에서 세정된다.

[0023] 도너 웨이퍼의 전면은 이후 예를 들어, 친수성 본딩 프로세스(hydrophilic bonding process)를 통해 핸들 웨이퍼에 본딩되어 본딩된 웨이퍼를 형성한다. 일부 실시예들에서, 도너 웨이퍼 및 핸들 웨이퍼는 플라즈마에 웨이퍼들의 표면들을 노출시킴으로써 함께 본딩되는데, 이는 종종 표면 활성화로 지칭되는 프로세스에서 표면들의 구조를 수정한다. 웨이퍼들은 이후 함께 압축되며, 그 사이에 본딩이 형성된다. 이러한 본딩은 통상적으로 비교적 약하며, 따라서, 구조를 절개하여 도너 웨이퍼의 일부분을 제거하기 이전에 강화될 수 있다.

[0024] 일부 프로세스들에서, 도너 웨이퍼와 핸들 웨이퍼(즉, 본딩된 웨이퍼) 사이의 친수성 본드는 본딩된 웨이퍼 쌍을 가열하거나 어닐링하여, 도너 웨이퍼와 핸들 웨이퍼의 서로 접한 표면들 사이에 공유 결합들을 형성하고, 따라서, 도너 웨이퍼와 핸들 웨이퍼 사이의 본드를 경화시킴으로써 강화된다. 본딩된 웨이퍼를 동시에 가열하거나 어닐링함으로써, 도너에 조기에 주입된 입자들은 절개 평면을 약화시킨다. 도너 웨이퍼의 일부분은 이후 본딩된 웨이퍼로부터 절개 평면을 따라 절개되어(즉, 절개 되어) SOI 구조를 형성한다.

[0025] 일부 실시예들에서, 이온 주입 투여량(dosage)은, 어닐링 단계와 함께, 본딩이 충분히 강화되고 절개 평면이 충분히 약화되어 절개 평면을 따른 열적 절개를 허용하기에 충분할 수 있다. 이러한 견지에서, 열적 절개 프로세스를 사용하는 층 이전(layer transfer) 프로세스들이 일반적으로 통상의 기술자에게 공지되어 있으며, 본 출원의 범위로부터의 이탈 없이 구조를 주입, 본딩 및 분리하기 위해 이용될 수 있다는 점에 유의해야 한다.

[0026] 통상적으로, 정량 및 어닐은 본딩이 강화되고 열적 절개의 발생없이 절개 평면이 약화되도록 하며, 구조는 후속적 또는 동시적 단계에서 기계적으로 절개된다. 위에서 언급된 열적 절개 프로세스들와 같이, 주입 및 본딩 이후에 구조를 분리하기 위해 기계적 절개를 이용하는 층 이전 프로세스들은 통상의 기술자에게 일반적으로 공지되어 있으며, 본 출원의 범위로부터의 이탈 없이 구조를 주입, 본딩 및 분리하기 위해 이용될 수 있다.

[0027] 통상적으로, 본딩된 구조는 먼저 고정물 내에 배치되며 여기서, 본딩된 웨이퍼로부터 도너 웨이퍼의 일부를 당겨서 떼어내기 위해, 기계적 힘이 일반적으로 본딩된 웨이퍼의 반대측들에 대해 직교로 인가된다. 본 출원의 범위로부터 벗어나지 않고 반대 힘이 반대 측들에 대해 완벽하게 직교일 필요는 없다는 점에 유의해야 한다. 일부 실시예들에 따르면, 기계적 힘을 인가하기 위해 흡입(suction) 컵들이 이용된다. 도너 웨이퍼의 일부분의 분리는 절개 평면을 따른 균열의 전파를 개시하기 위해 절개 평면에서의 본딩된 웨이퍼의 엣지에 기계적 웨지(wedge)를 인가함으로써 개시된다. 흡입 컵들에 의해 인가된 기계적 힘은 이후 본딩된 웨이퍼로부터 도너 웨이퍼의 일부분을 당기고, 따라서 SOI 구조를 형성한다. 다른 방법들에 따르면, 본딩된 쌍은 대신, 본딩된 웨이퍼로부터 도너 웨이퍼의 일부분을 분리하기 위한 시간 기간 동안 상승한 온도를 거칠 수 있다. 상승한 온도에 대한 노출은 절개 평면을 따른 균열의 개시 및 전파 및, 따라서, 도너 웨이퍼의 일부분의 분리를 야기한다.

[0028] 결과적인 SOI 구조는 유전체층(3)과 핸들 웨이퍼(4)의 최상부에 배치된 실리콘 박층(2)(절개 이후 남아 있는 도너 웨이퍼의 일부분)을 포함한다. SOI 구조의 절개된 표면(즉, 도너 웨이퍼의 실리콘의 박층)은 추가적인 프로

세싱에 의해 스무딩될 수 있는 거친 표면을 가진다.

[0029] 본 개시내용의 일부 실시예들에서, 반도체 프로세스에 노출되는 SOI 구조는 약 100 Å 내지 약 5,000 Å, 바람직하게는 약 1,000 Å 내지 약 2,000 Å의 두께를 가지는 실리콘층을 가진다. 그러나, 본 개시내용의 범위로부터의 이탈 없이 다른 두께들이 사용될 수 있다는 점이 이해되어야 한다. 선택적으로, 실리콘 층은 탄소 또는 게르마늄과 같이 실리콘이 아닌 물질들을 포함할 수 있다.

[0030] 이 개시내용 전반에 걸친 다른 곳에서 주지된 바와 같이, 유전체층(3)은 SiO_2, Si_3N_4, 알루미늄 산화물, 또는 마그네슘 산화물을 포함하는 물질과 같이, SOI 구조에서 사용하기에 적합한 임의의 전기적 절연 물질일 수 있다. 일부 실시예들에서, 유전체층은 SiO_2이다(즉, 유전체층은 본질적으로 SiO_2로 구성된다). 유전체층들을 포함하는 SiO_2는 유전체층을 형성할 수 있는 다른 물질들에 비해 적절하게는 더 용이하게 에칭될 수 있다. 그러나, 일부 경우들에서, 대안적으로, 순수 SiO_2의 용융점보다 더 높은(즉, 약 1700℃보다 더 높은) 용융점을 가지는 유전체층에 대한 물질을 사용하는 것이 바람직할 수 있다는 점에 유의해야 한다. 이러한 물질들의 예들은 실리콘 질화물(Si_3N_4), 알루미늄 산화물, 및 마그네슘 산화물이다. 유전체층은 통상적으로, 약 500 nm 미만의 두께이며, 일부 실시예들에서는, 약 300 nm 미만의 두께, 200 nm 미만의 두께, 약 150 nm 미만의 두께, 또는 약 10 nm 미만의 두께이다.

[0031] <u>열적 어닐링</u>

[0032] 본 개시내용에 따르면, 층 이전 프로세스에 의해 형성되는 SOI 구조는 절개 이후 열적으로 어닐링된다. SOI 구조의 열적 어닐링은 실리콘 층의 표면 거칠기를 감소시키고, 유전체층의 밀도를 높이고(densify), 실리콘층과 유전체층 사이의 본드를 강화시키도록 기능한다.

[0033] 일부 공지된 SOI 제조 프로세스들에서, 분리에 후속하는 어닐링 프로세스들은 산소 및 질소 기체 혼합 환경에서 수행된다. 그러나, 이러한 타입의 환경이 사용되는 경우, 실리콘 층의 표면의 산화 및/또는 질화는 어닐링 프로세스 동안 실리콘 층이 매끄러워지는 것을 막는다. 대안적으로, 당해 기술분야에서 관습적으로 사용되는 것과는 상이한 환경에서 SOI 구조를 열적으로 어닐링하는 것이 바람직하다.

[0034] 본 개시내용의 일부 실시예들에서, 구조는 적어도 하나의 비활성 기체의 존재 시에 열적으로 어닐링된다. 여기서 사용되는 바와 같이, "비활성 기체"는 실리콘에 대해 반응하지 않는(non-reactive) 기체이다. 적합한 비활성 기체들은 영족 기체들(noble gases)을 포함하지만 이에 제한되지 않는다. 그러나, 수소가 웨이퍼의 표면 상의 약간의 에칭을 야기할 수 있기 때문에 수소가 실리콘에 대해 비활성 기체로 간주되지 않지만, 그것이 또한 비활성 기체들에 더하여 또는 비활성 기체들에 대한 대안으로서 본 개시내용의 실시예들의 어닐링 프로세스들에 대해 적합한 대기(atmosphere)라는 점에 유의해야 한다. 즉, 대기는, 수소 및/또는 비활성 기체들의 부피에 의한 임의의 비율에 따라 수소, 수소 및 하나 이상의 비활성 기체들의 혼합물, 비활성 기체 또는 비활성 기체들만의 혼합물을 포함할 수 있다.

[0035] 일부 실시예들에서, 예를 들어, 어닐링 대기는 약 0% 내지 약 100% 부피의 아르곤을 포함할 수 있다. 다른 실시예들에서, 어닐링 대기는 약 0% 내지 약 100 부피의 수소를 포함할 수 있다. 일부 실시예들에서, 어닐링 대기는 약 80% 부피의 아르곤과 약 20% 부피의 수소를 포함할 수 있다. 다른 특정 실시예들에서, 어닐링 대기는 약 80% 부피의 수소와 약 20% 부피의 아르곤을 포함할 수 있다. 또다른 바람직한 실시예들에서, 어닐링 대기는 약 95-97% 부피의 아르곤 및 약 3-5% 부피의 수소를 포함할 수 있다. 또다른 실시예들에서, 어닐링 대기는 약 0% 내지 약 100% 부피의 헬륨을 포함할 수 있다.

[0036] 본 개시내용의 예시적인 실시예에서, SOI 구조는 아르곤, 수소, 헬륨 및 이들의 혼합물로 구성된 그룹으로부터 선택된 기체를 포함하는 환경에서 열적으로 어닐링된다. 통상적으로, 그러나 제한 없이, 웨이퍼는, 동작 비용의 최소화를 포함한 다양한 이익들을 위해 아르곤을 포함하는 대기에서 어닐링된다. 또한, 아르곤 환경은 층의 저항성을 보존하는 것을 돕는다. 바람직한 실시예들에서, 구조는 실질적으로 순수 아르곤 환경에서 어닐링된다. 실질적으로 순수 아르곤 환경은 약 1 ppm 미만의 산소 및/또는 약 1 ppm 미만의 수증기를 포함하는 환경이다. 즉, 순수 아르곤 환경에서, 아르곤은 반응 조건들에 의해 의도하지않게(incidentally) 존재할 수 있는 상이한 기체의 임의의 미량(trace amount)(즉, 약 1 ppm 미만)에 대해서를 제외하면 존재하는 유일한 기체 성분이다. 그러나, 웨이퍼는 이 실시예의 범위로부터의 이탈 없이 다른 대기들에서 어닐링될 수 있다.

[0037] 모든 실시예들에서, 환경 내의 산소의 양이 약 10 ppm 미만이라는 점에 유의해야 한다. 즉, 환경이 아르곤, 헬륨, 수소 및 이들의 혼합물로 구성된 그룹으로부터 선택된 가스를 포함할 수 있더라도, 환경 내에 존재하는 미

량의 산소가 있을 수 있다. 이러한 상황들에서, 환경은 약 10 ppm 미만의 산소, 바람직하게는 약 5 ppm 미만의 산소, 및 더 바람직하게는 약 1 ppm 미만의 산소를 포함한다. 또한, 이러한 상황들에서, 환경은 약 1 ppm 미만의 수증기를 포함할 수 있다.

[0038] SOI 구조는 적어도 약 950℃의 온도에서 아르곤, 수소, 헬륨 또는 이들의 혼합물을 포함하는 대기에서 유지될 수 있다. 바람직한 실시예들에 따르면, 구조는 약 1050℃ 내지 약 1200℃의 온도; 더 바람직하게는 약 1075℃ 내지 약 1150℃의 온도에서; 그리고 더욱 바람직하게는 약 1100℃의 온도에서 어닐링된다.

[0039] SOI 구조가 열적으로 어닐링되는 시간량이 또한 중요하다. 일부 실시예들에서, SOI 구조는 약 15분 내지 약 10시간의 기간 동안 열적으로 어닐링된다. 바람직하게는, 구조는 약 1 내지 약 4시간의 기간 동안, 그리고 더 바람직하게는 약 2시간의 기간 동안 열적으로 어닐링된다. 다른 바람직한 실시예들에서, SOI 구조는 약 2시간의 기간 동안 약 1100℃의 온도에서 열적으로 어닐링된다.

[0040] 열적 어닐링은 표면 거칠기를 감소시킬 뿐만 아니라 긁힘, 거칠기 및 표면 결함들에 의해 야기되는 웨이퍼 표면에서의 광점 결함(LPD)들을 감소시킨다. 본 개시내용의 일부 실시예들은 긁힘, 거칠기 및 표면 결함들에 의해 야기되는 웨이퍼 표면에서의 LPD들을 감소시킨다.

[0041] 일부 실시예들에서, 웨이퍼를 적어도 약 950℃ 초과의 온도로 가열함으로써, 본원에 개시된 방법은 약 60 nm 내지 약 70 nm의 직경을 가지는 광점 결함들을 구조당 약 150개 이하로 감소시킨다. 바람직한 실시예들에서, 방법은 약 65 nm의 직경을 가지는 광점 결함들을 구조당 약 50개 이하로 감소시킨다.

[0042] 예시적인 실시예들에서, 열적 어닐링은 SOI 구조가 연마된 이후 수행될 수 있다. 열적으로 어닐링된 구조가 연마되는 경우, 연마 단계는 열적 어닐링에 의해 재구성된 원자들의 층을 제거하고, 연마 조건들에 따라 일부 파장에서 표면 거칠기의 증가를 초래할 수 있다.

[0043] 본 개시내용의 실시예들에 따른 SOI 구조들의 연마는 거칠기를 감소시키기 위해 통상의 기술자에게 공지되어 있는 임의의 연마 방법을 사용하여 달성될 수 있고, 예를 들어, 화학-기계적 연마(CMP)에 의해 달성될 수 있다. CMP는 통상적으로 SOI 구조를 연마재 슬러리(abrasive slurry)에 담그는 것 및 중합 패드에 의한 구조의 연마를 수반한다. 화학적 및 기계적 수단들의 조합을 통해, 구조의 표면이 매끄러워진다. 통상적으로 화학적 및 열적 안정 상태가 달성될 때까지 그리고 구조들이 이들의 목표 형상 및 평탄도를 달성할 때까지 연마가 수행된다.

[0044] 본 개시내용의 일부 실시예들에 따르면, 열적 어닐링은 종래의 고속 열적 어닐(RTA) 프로세스, 배치 어닐 프로세스(batch anneal process), 또는 다른 적합한 어닐링 프로세스들로 수행될 수 있다. 바람직한 실시예들에서, 어닐링은 배치 어닐 프로세스이다.

[0045] <u>비-접촉 스무딩 프로세스</u>

[0046] 본 개시내용에 다른 열적 어닐링은 산소 외부-확산(out-diffusion)으로 인한 임의의 작은 산소 침전물(precipitate)들을 녹이고, 표면은 실리콘 표면 확산의 결과로서 매끄러워진다. 이러한 어닐링 단계가 유리함에도 불구하고, 열적 어닐링은 SOI 구조들 내의 모든 잠재적 65 nm 헤이즈-관련 패턴들을 제거하지 않을 수 있다. 따라서, 본 개시내용은 비-접촉 스무딩 프로세스라고 지칭되는 제2의 추가적 스무딩 단계를 포함한다. 이러한 프로세스는 SOI 구조의 표면 거칠기를 더 감소시킬 뿐만 아니라, 열적 어닐링에서 완전히 복구되지 않은 임의의 주입 손상을 제거한다.

[0047] 추가적인 스무딩 단계는 현재 제품들에 비해 훨씬 개선된 표면 거칠기를 가지는 SOI 구조를 생성한다. 추가로, 본원에 개시된 조합 스무딩 프로세스는 결과적인 SOI 구조들 상에서 어떠한 헤이즈-관련 패턴들도 생성하지 않는다. 그 결과, 2-단계 열적 어닐 및 비-접촉 스무딩 프로세스는 현재 스무딩 프로세스들보다 훨씬 더 매끄러운 SOI 구조 표면을 생성한다.

[0048] 본 개시내용의 일부 실시예들에서, SOI 구조의 절개 표면 상에서 수행된 비-접촉 스무딩 프로세스는 에피-스무딩 프로세스(즉, 에피텍셜 스무딩 또는 "에칭")을 포함한다. 예시적인 에피-스무딩 프로세스는 다음과 같이 기술된다.

[0049] 에피-스무딩 방법은 반응기(reactor) 내로의 SOI 구조의 삽입으로 시작한다. SOI 구조는 로봇 조작기와 같은 임의의 적절한 디바이스에 의해 반응기 내로 삽입될 수 있다. 반응기는 SOI 구조들 상에서 에피-스무딩 프로세스를 수행하기에 적합한 임의의 적절한 에피텍셜 퇴적 및/또는 스무딩 반응기일 수 있다. 반응기는 통상적으로 하나 이상의 램프들 또는 반응기의 내부를 가열하기 위한 다른 메커니즘을 가진다.

[0050] 반응기 내의 온도는 이후 에칭 반응이 전송 제한된 것에 반하여, 동역학적으로(kinetically) 제한되도록 설정된다. 전술된 바와 같이, 에피-스무딩 반응이 동역학적으로 제한되도록 온도를 설정하고 제어함으로써 SOI 구조의 절개된 표면 위에 더욱 균일한 두께를 초래한다. 반응 레이트가 동역학적으로 제한될 때, SOI 구조의 중심으로부터 외부 엣지까지의 레이트의 차이는 감소한다. SOI 구조의 에지들에서 증가시키는 것 대신, 반응 레이트는 SOI 구조의 표면에 걸쳐 비교적 균일하다. 일부 실시예들에서, 에칭 반응이 동역학적으로 제한되는 온도는 900℃와 1050℃ 사이이다.

[0051] 다음으로, 반응기 내로의 기체 에칭제(etchant)의 흐름이 개시된다. 일부 실시예들에 따르면, 기체 에칭제의 흐름은 SOI 구조가 반응기에 삽입된 직후 개시된다. 이러한 실시예들에서, 반응기의 온도는 에칭 반응이 동역학적으로 제한될 것임을 보장하기 위해 적절한 온도로 설정된다. 일부 실시예들에 따르면, 기체 에칭제는 HCl 또는 염소(chlorine) 및 H_2의 혼합물일 수 있다.

[0052] 반응기 내로의 기체 에천트의 흐름은 시간 기간 동안 계속된다. 시간 기간의 길이는 SOI 구조의 절개된 표면으로부터 제거될 실리콘의 양 및 실리콘이 에칭되는 레이트에 기초하여 결정될 수 있다. 예를 들어, 에칭의 레이트가 3.0 옹스트롬/초이고 제거될 실리콘의 양이 900 옹스트롬인 경우, SOI 구조는 기체 에칭제의 흐름이 개시된 이후 300초에서 반응기로부터 제거될 것이다.

[0053] 기체 에천트의 흐름은 이후 원하는 실리콘의 양이 기체 에천트의 흐름에 의해 제거된 후에 중단된다. SOI 구조는 이후 반응기로부터 제거된다. 일부 실시예들에서, SOI 구조는 로봇 전송 시스템에 의해 반응기로부터 제거될 수 있다. 다른 실시예들에서, SOI 구조는 반응기에 남아서 동일한 반응기 내에서 에피-퇴적 프로세스를 거칠 수 있다.

[0054] 본 개시내용의 열적 어닐링을 사용한 이후, SOI 구조의 거칠기 측정 시스템(RMS) 표면 거칠기는 약 1㎛ x 약 1㎛ 내지 약 30㎛ x 약 30㎛의 스캔 사이즈를 가지고 측정될 시에 약 0.2 nm와 약 0.3 nm 사이에 있다. 본 개시내용의 비-접촉 스무딩 프로세스는 약 1㎛ x 약 1㎛ 내지 약 30㎛ x 약 30㎛의 스캔 사이즈를 가지고 측정될 시에 SOI 구조의 표면의 표면 거칠기를 약 0.2 nm 미만으로 더 감소시킬 수 있다.

[0055] 후속하는 예들은 예시적이며, 개시내용의 양태를 제한하도록 의도되지 않는다.

[0056] 예시들

[0057] <u>예 1</u>

[0058] 하기에 기술된 방법에 따른 몇몇 SOI 구조들이 준비된다. 구조들은 절개 표면, 유전체 산화물층의 최상부의 실리콘 박막 및 핸들 웨이퍼를 가진다. 테스트 웨이퍼들은 POR(Process of Record) 제조 프로세스를 사용하여 SOI 제조 라인업 내지 사전-에피-스무딩-어닐링(PESA) 단계를 통해 프로세싱된다.

[0059] 웨이퍼들은 이후 ASM A412 수직 용광로에서 아르곤을 포함한 환경에서의 열적 어닐링을 통해 프로세싱된다. 웨이퍼들은 순수 아르곤 환경에서 2시간 동안 1075℃에서 어닐링된다. 다음으로, 테스트 웨이퍼들은 본 개시내용의 에피-스무딩에 따라 SOI 생산 웨이퍼들에 대해 사용된 에피-스무딩 프로세스를 사용하여 ASM E3000 에피-반응기를 통해 프로세싱된다.

[0060] 비-접촉 스무딩 프로세스 이후, 테스트 웨이퍼들은 65 nm LPD들에 대해 검사된다. 검사 결과가 도 4에 개시되어 있다. 도 4에서 알 수 있는 바와 같이, 이전의 결함-야기 "모래시계" 및 침전 헤이즈-관련 패턴들은 테스트 SOI 웨이퍼들에 존재하지 않는다.

[0061] 도 5는 표준 생산 웨이퍼들의 측정된 AFM 표면 거칠기에 비교하여 테스트 웨이퍼들의 측정된 AFM 표면 거칠기를 디스플레이한다. 도 5에서 알 수 있는 바와 같이, 예 1의 방법을 통해 프로세싱된 웨이퍼들은 30㎛ x 30㎛의 스캔 영역에 걸쳐 측정될 시에 약 0.20 nm 미만의 표면 측정 강도들을 포함한, 훨씬 더 양호한 표면 거칠기 성능(즉, 더 매끄러운 표면들)을 가진다.

[0062] 따라서, 예 1은, 예시적인 열적 어닐링 프로세스가 실리콘 표면 자가-확산에 의해 절개된 표면을 복구하고, 후속적인 에피-스무딩 프로세스가 표면 거칠기를 더 감소시키고 임의의 나머지 주입 손상을 복구시킨다는 증거를 제공한다.

[0063] <u>예 2</u>

[0064] 동일한 결정 섹션으로부터의 2개의 자매 SOI 웨이퍼들이 예 2에 준비된다. 제1 SOI 웨이퍼는 표준 POR 프로세

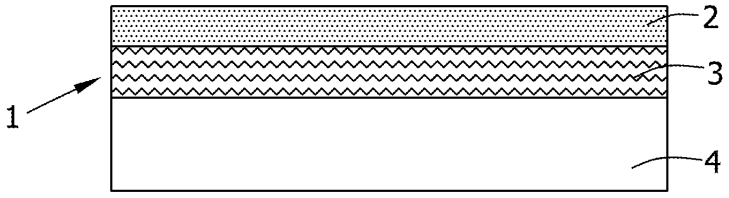
스를 통해 프로세싱된다. 제2 SOI 웨이퍼는 예 1에 설명된 방법들 및 조건들에 따라 프로세싱된다. 도 6a는 표준 POR 프로세스에 따라 준비된 SOI 웨이퍼 상의 침전 헤이즈-관련 패턴을 도시한다. 도 6b는 표준 개시내용의 방법들에 의해 생산된 SOI 웨이퍼 내의 65 nm LPD들이 존재하는 경우의 극적 개선을 도시한다. 따라서, 본 개시내용의 방법들은 SOI 웨이퍼 내의 65 nm LPD들의 존재를 성공적으로 감소시킬 수 있다.

[0065] 본 개시내용 또는 그것의 실시예(들)의 엘리먼트들을 소개할 때, 관사들("a", "an", "the" 및 "상기")은 엘리먼트들 중 하나 이상이 존재함을 의미하도록 의도된다. 용어 포함하는("comprising", "including") 및 "가지는(having)"은 내포적이며, 열거된 엘리먼트들이 아닌 추가적인 엘리먼트들이 존재할 수 있음을 의미하도록 의도된다.

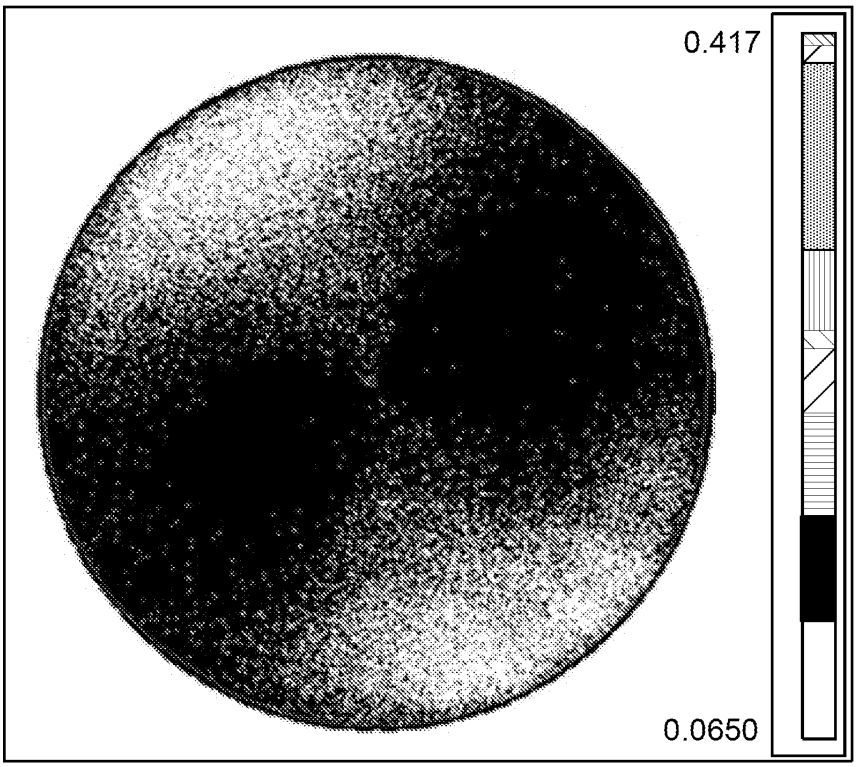
[0066] 개시내용의 범위로부터의 이탈 없이 위 내용에서 다양한 변경들이 이루어질 수 있음에 따라, 위 기재에 포함되고 첨부 도면들에 도시된 모든 항목은 제한적인 의미가 아니라 예시적인 것으로서 해석되어야 한다는 점이 의도된다.

도면

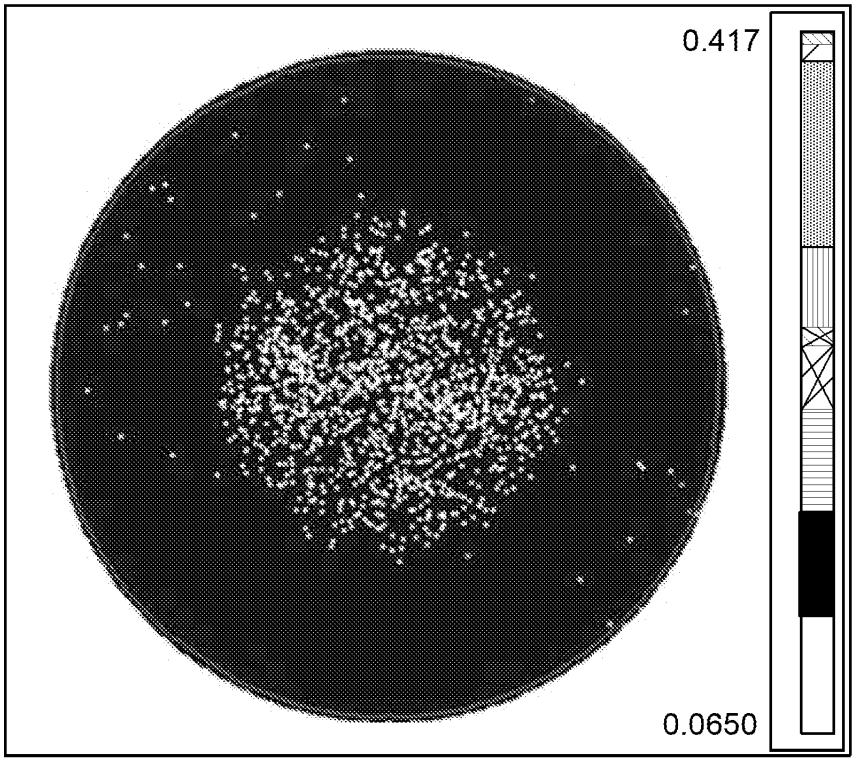
도면1



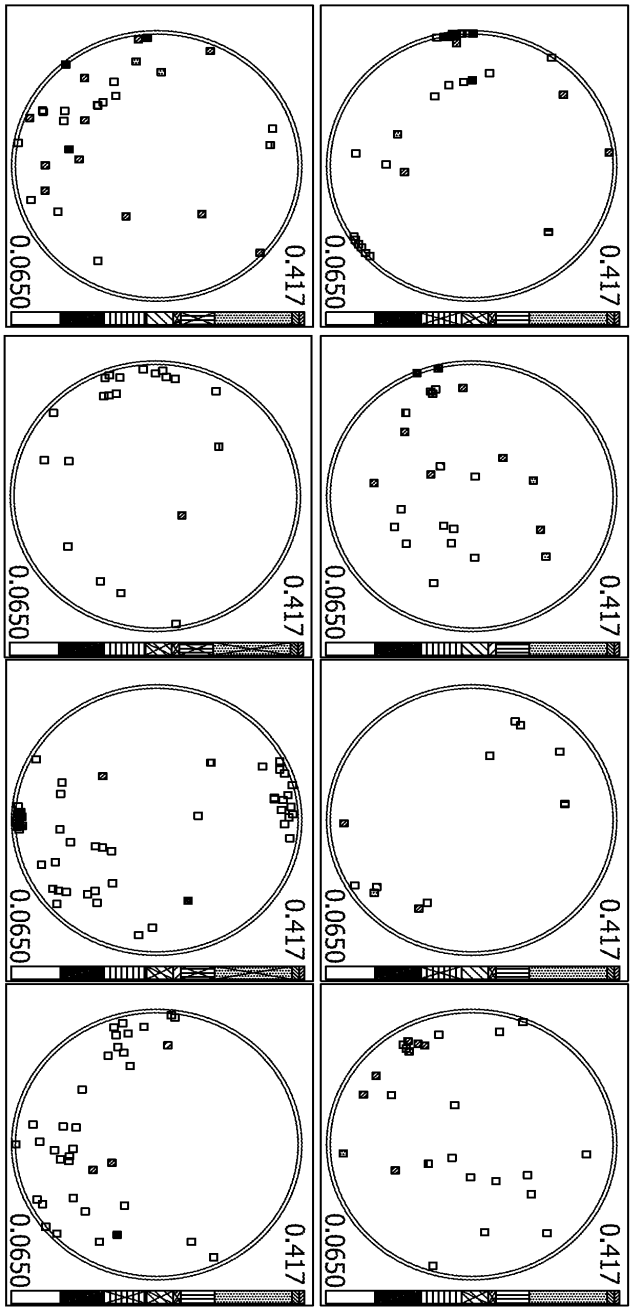
도면2



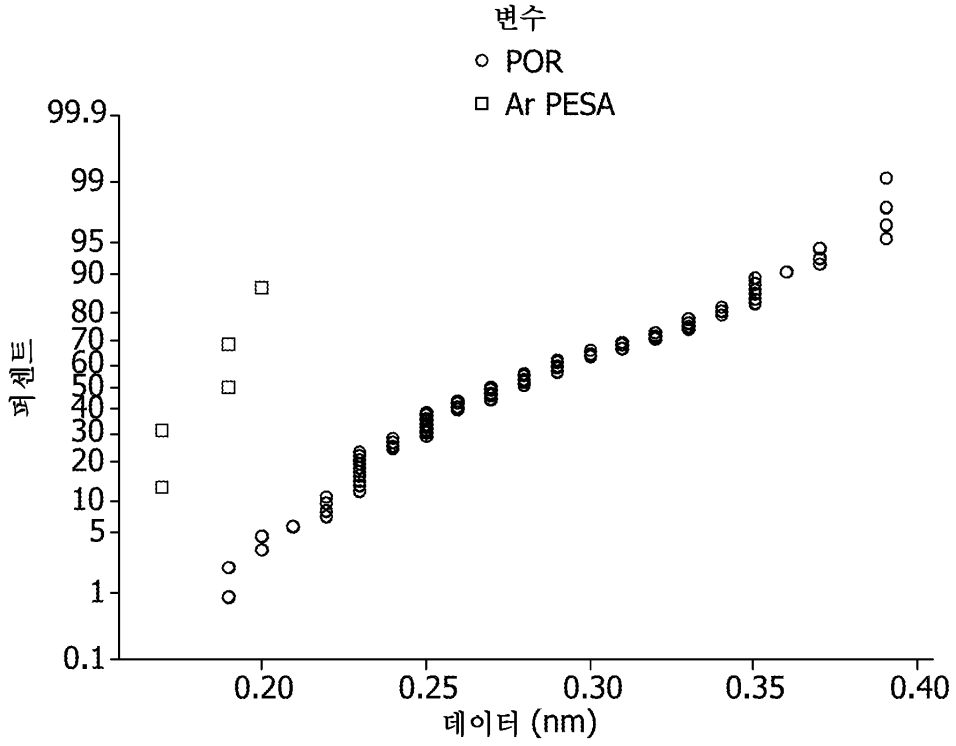
도면3



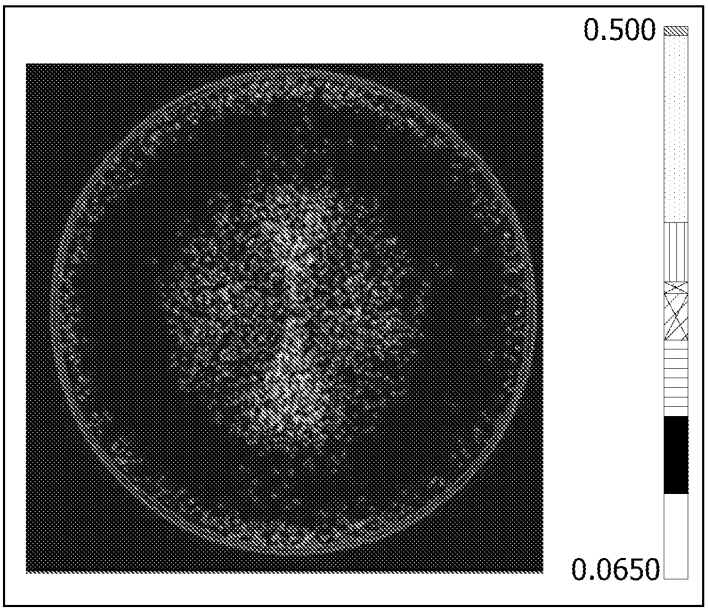
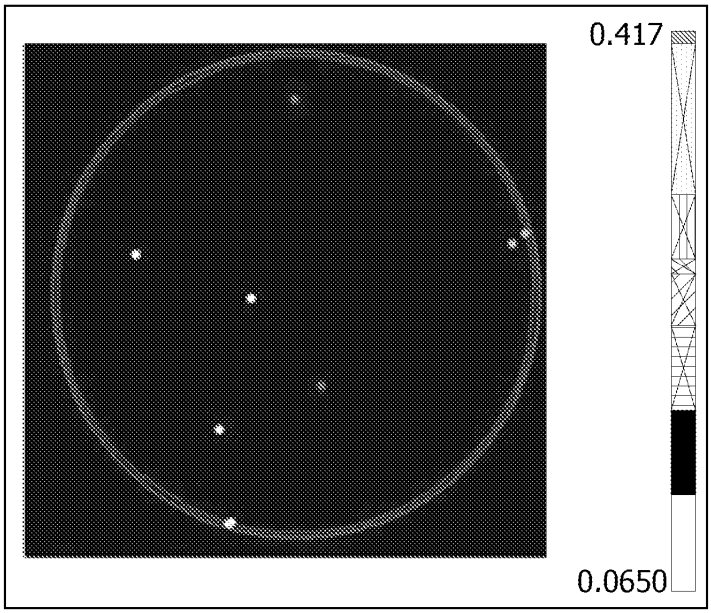
도면4


0.0650
0.417
0.0650
0.417
0.0650
0.417
0.0650
0.417
0.0650
0.417
0.0650
0.417
0.0650
0.417
0.0650
0.417

도면5


변수
POR
Ar PESA
99.9
99
95
90
80
70
60
50
40
30
20
10
5
1
0.1
퍼센트
0.20
0.25
0.30
0.35
0.40
데이터 (nm)

도면6a


0.500
0.0650

도면6b