

(19) 日本国特許庁 (JP)

再 公 表 特 許 (A1)

(11) 国際公開番号

W02014/141663

発行日 平成29年2月16日 (2017. 2. 16)

(43) 国際公開日 平成26年9月18日 (2014. 9. 18)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/355 (2011.01)	H04N 5/335 550	4M118
H04N 5/3745 (2011.01)	H04N 5/335 745	5C024
H04N 5/232 (2006.01)	H04N 5/232 Z	5C122
H01L 27/146 (2006.01)	H01L 27/14 A	

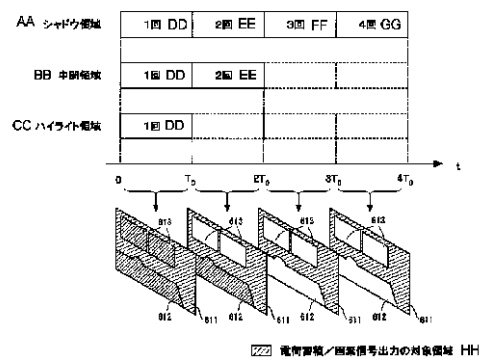
審査請求 未請求 予備審査請求 未請求 (全 26 頁)

出願番号	特願2015-505279 (P2015-505279)	(71) 出願人	000004112
(21) 国際出願番号	PCT/JP2014/001297		株式会社ニコン
(22) 国際出願日	平成26年3月7日 (2014. 3. 7)		東京都港区港南二丁目15番3号
(31) 優先権主張番号	特願2013-52202 (P2013-52202)	(74) 代理人	110000877
(32) 優先日	平成25年3月14日 (2013. 3. 14)		龍華国際特許業務法人
(33) 優先権主張国	日本国 (JP)	(72) 発明者	栗山 孝司
			東京都千代田区有楽町一丁目12番1号
			株式会社ニコン内
		Fターム (参考)	4M118 AB01 BA14 BA19 CA02 CA32
			DD04 FA06 GA02 GC09 GC14
			GD04 HA22 HA31 HA33
			5C024 CX47 EX21 EX42 GX03 GX16
			GX24 GY31 HX28 HX57 JX41
			最終頁に続く

(54) 【発明の名称】 撮像ユニット、撮像装置および撮像制御プログラム

(57) 【要約】

撮像ユニットは、1フレームの画像データを生成するための撮像指示に対して複数回の電荷蓄積を実行可能な画素を含む撮像部と、画素からの出力に基づく画素信号を格納する格納部と、新たな電荷蓄積により画素から出力された画素信号と、既に格納部に格納された画素信号とを積算処理して、既に格納部に格納された画素信号を更新する更新部と、画素を1つ以上含む画素グループごとに、積算更新部による更新を実行するか否かを制御する制御部とを備える。



AA Shadow region
 BB Intermediate region
 CC Highlight region
 DD One time
 EE Two times
 FF Three times
 GG Four times
 HH Region in which charge is to be accumulated and from which pixel signal is to be outputted

【特許請求の範囲】**【請求項 1】**

少なくとも 1 つの画素を含む第 1 画素グループと、

前記第 1 画素グループの画素とは異なる少なくとも 1 つの画素を含む第 2 画素グループと、

前記第 1 画素グループの電荷蓄積回数と前記第 2 画素グループの電荷蓄積回数を異ならせることで、前記第 1 画素グループに対する電荷蓄積時間と、前記第 2 画素グループに対する電荷蓄積時間とが異なるように制御する制御部とを備える撮像ユニット。

【請求項 2】

10

前記制御部は、前記第 1 画素グループの m (m は自然数) 回の電荷蓄積による画素信号に応じて前記第 1 画素グループの $m + 1$ 回目の電荷蓄積を制御し、前記第 2 画素グループの n (n は自然数) 回の電荷蓄積による画素信号に応じて前記第 2 画素グループの $n + 1$ 回目の電荷蓄積を制御する請求項 1 記載の撮像ユニット。

【請求項 3】

前記制御部は、前記第 1 画素グループの m 回の電荷蓄積による画素信号と閾値とを比較した結果に応じて前記第 1 画素グループの $m + 1$ 回目の電荷蓄積を制御し、前記第 2 画素グループの n 回の電荷蓄積による画素信号と前記閾値とを比較した結果に応じて前記第 2 画素グループの $n + 1$ 回目の電荷蓄積を制御する請求項 1 または 2 に記載の撮像ユニット。

20

【請求項 4】

前記第 1 画素グループから出力された画素信号を格納する第 1 格納部と、

前記第 2 画素グループから出力された画素信号を格納する第 2 格納部と、

前記第 1 格納部に格納されている前記画素信号と、次の電荷蓄積により前記第 1 画素グループから出力された画素信号とを加算した信号を前記第 1 格納部に格納する第 1 信号処理部と、

前記第 2 格納部に格納されている前記画素信号と、次の電荷蓄積により前記第 2 画素グループから出力された画素信号とを加算した信号を前記第 2 格納部に格納する第 2 信号処理部と

を備える請求項 1 記載の撮像ユニット。

30

【請求項 5】

少なくとも 1 つの画素を含む第 1 画素グループと、

前記第 1 画素グループの画素とは異なる少なくとも 1 つの画素を含む第 2 画素グループと、

前記第 1 画素グループの m (m は自然数) 回の電荷蓄積による画素信号に応じて前記第 1 画素グループの $m + 1$ 回目の電荷蓄積を制御し、前記第 2 画素グループの n (n は自然数) 回の電荷蓄積による画素信号に応じて前記第 2 画素グループの $n + 1$ 回目の電荷蓄積を制御する制御部と

を備える撮像ユニット。

【請求項 6】

40

複数回の電荷蓄積を行う少なくとも 1 つの画素を含む第 1 画素グループと、

前記第 1 画素グループの画素とは異なる複数回の電荷蓄積を行う少なくとも 1 つの画素を含む第 2 画素グループと、

前記第 1 画素グループから出力された画素信号を格納する第 1 格納部と、

前記第 2 画素グループから出力された画素信号を格納する第 2 格納部と、

前記第 1 格納部に格納されている前記画素信号と、次の電荷蓄積により前記第 1 画素グループから出力された画素信号とを加算した信号を前記第 1 格納部に格納する第 1 信号処理部と、

前記第 2 格納部に格納されている前記画素信号と、次の電荷蓄積により前記第 2 画素グループから出力された画素信号とを加算した信号を前記第 2 格納部に格納する第 2 信号処

50

理部と、

前記第 1 格納部に格納されている前記画素信号に応じて、前記第 1 信号処理部による加算を行うか否かを制御し、前記第 2 格納部に格納されている前記画素信号に応じて、前記第 2 信号処理部による加算を行うか否かを制御する制御部とを備える撮像ユニット。

【請求項 7】

1 フレームの画像データを生成するための撮像指示に対して複数回の電荷蓄積を実行可能な画素を含む撮像部と、

前記画素からの出力に基づく画素信号を格納する格納部と、

新たな前記電荷蓄積により前記画素から出力された前記画素信号と、既に前記格納部に格納された前記画素信号とを積算処理して、既に前記格納部に格納された前記画素信号を更新する更新部と、

前記画素を 1 つ以上含む画素グループごとに、前記更新部による更新を実行するか否かを制御する制御部とを備える撮像ユニット。

【請求項 8】

前記撮像部を含む撮像チップと、前記更新部を含む信号処理チップとが、積層構造により電氣的に接続されている請求項 7 に記載の撮像ユニット。

【請求項 9】

前記撮像部を含む撮像チップと、前記格納部を含むメモリチップとが、積層構造によって電氣的に接続されている請求項 7 または 8 に記載の撮像ユニット。

【請求項 10】

前記制御部は、被写体の明るさを測る測光部の測光結果に基づいて前記更新を実行するか否かを制御する請求項 7 から 9 のいずれか 1 項に記載の撮像ユニット。

【請求項 11】

前記制御部は、前記画素グループに対応する前記画素信号を統計処理した結果に基づいて前記更新を実行するか否かを制御する請求項 7 から 10 のいずれか 1 項に記載の撮像ユニット。

【請求項 12】

前記制御部は、被写体の動きを検出する動作検出部の検出結果に基づいて前記更新を実行するか否かを制御する請求項 7 から 11 のいずれか 1 項に記載の撮像ユニット。

【請求項 13】

前記制御部は、前記画素グループごとに指定される外部回路からの引渡要求に従って、指定された前記画素グループの画素信号を前記格納部から読み出して画像処理部へ引き渡す請求項 7 から 12 のいずれか 1 項に記載の撮像ユニット。

【請求項 14】

請求項 7 から 13 のいずれか 1 項に記載の撮像ユニットと、

前記撮像ユニットへ送信する前記撮像指示を生成する撮像指示部と、

前記格納部からの画素信号を処理して前記画像データを生成する画像処理部とを備える撮像装置。

【請求項 15】

前記撮像指示部は、前記電荷蓄積の 1 回あたりの電荷蓄積時間を決定する請求項 14 に記載の撮像装置。

【請求項 16】

撮像部を構成する少なくとも一部の画素が、1 フレームの画像データを生成するための撮像指示に対して複数回の電荷蓄積を実行する電荷蓄積ステップと、

前記電荷蓄積ステップにおける前記画素からの出力に基づく画素信号を格納部に格納する格納ステップと、

前記画素を 1 つ以上含む画素グループごとに前記格納部に格納された画素信号の更新を実行するか否かを判断する判断ステップと、

10

20

30

40

50

前記判断ステップで更新を実行すると判断した場合に、前記電荷蓄積ステップにおける新たな前記電荷蓄積により前記画素から出力された前記画素信号と、前記格納ステップにより既に前記格納部に格納された前記画素信号とを積算処理して、既に前記格納部に格納された前記画素信号を更新する更新ステップとをコンピュータに実行させる撮像制御プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像ユニット、撮像装置および撮像制御プログラムに関する。

【背景技術】

10

【0002】

裏面照射型撮像チップと信号処理チップが、複数画素をまとめたセル単位ごとにマイクロバンプを介して接続された撮像ユニットが知られている。

【先行技術文献】

【特許文献】

【特許文献1】 特開2006-49361号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

入射光が強く、変換される電荷が多い場合に合わせて電荷蓄積時間を短くすると、入射光の弱い領域から読み出される信号が小さくなる。逆に、入射光が弱い領域に合わせて電荷蓄積時間を長くすると、入射光が強い領域から読み出される信号が飽和してしまう。このため、撮像ユニットのダイナミックレンジは、狭い範囲に限られていた。

20

【課題を解決するための手段】

【0004】

本発明の第1の態様における撮像ユニットは、1フレームの画像データを生成するための撮像指示に対して複数回の電荷蓄積を実行可能な画素を含む撮像部と、画素からの出力に基づく画素信号を格納する格納部と、新たな電荷蓄積により画素から出力された画素信号と、既に格納部に格納された画素信号とを積算処理して、既に格納部に格納された画素信号を更新する更新部と、画素を1つ以上含む画素グループごとに、積算更新部による更新を実行するか否かを制御する制御部とを備える。

30

【0005】

本発明の第2の態様における撮像装置は、上記の撮像ユニットと、撮像ユニットへ送信する撮像指示を生成する撮像指示部と、格納部からの画素信号を処理して画像データを生成する画像処理部とを備える。

【0006】

本発明の第3の態様における撮像制御プログラムは、撮像部を構成する少なくとも一部の画素が、1フレームの画像データを生成するための撮像指示に対して複数回の電荷蓄積を実行する電荷蓄積ステップと、電荷蓄積ステップにおける画素からの出力に基づく画素信号を格納部に格納する格納ステップと、画素を1つ以上含む画素グループごとに格納部に格納された画素信号の更新を実行するか否かを判断する判断ステップと、判断ステップで更新を実行すると判断した場合に、電荷ステップにおける新たな電荷蓄積により画素から出力された画素信号と、格納ステップにより既に格納部に格納された画素信号とを積算処理して、既に格納部に格納された画素信号を更新する更新ステップとをコンピュータに実行させる。

40

【0007】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0008】

50

【図１】本実施形態に係る裏面照射型のＭＯＳ型撮像素子の断面図である。

【図２】撮像チップの画素配列と単位グループを説明する図である。

【図３】撮像チップの単位グループに対応する回路図である。

【図４】撮像素子の機能的構成を示すブロック図である。

【図５】主に信号処理チップの具体的構成を示すブロック図である。

【図６】本実施形態に係る撮像装置の構成を示すブロック図である。

【図７】シーンの例と領域分割を説明する図である。

【図８】分割された領域ごとの電荷蓄積制御を説明する図である。

【図９】撮影動作の処理を示すフロー図である。

【図１０】分割された領域ごとの他の電荷蓄積制御を説明する図である。

10

【発明を実施するための形態】

【０００９】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【００１０】

図１は、本実施形態に係る裏面照射型の撮像素子１００の断面図である。撮像素子１００は、入射光に対応した画素信号を出力する撮像チップ１１３と、画素信号を処理する信号処理チップ１１１と、画素信号を記憶するメモリチップ１１２とを備える。これら撮像チップ１１３、信号処理チップ１１１およびメモリチップ１１２は積層されており、Ｃｕ等の導電性を有するバンプ１０９により互いに電氣的に接続される。

20

【００１１】

なお、図示するように、入射光は主に白抜き矢印で示すＺ軸プラス方向へ向かって入射する。本実施形態においては、撮像チップ１１３において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Ｚ軸に直交する紙面左方向をＸ軸プラス方向、Ｚ軸およびＸ軸に直交する紙面手前方向をＹ軸プラス方向とする。以降のいくつかの図においては、図１の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

【００１２】

撮像チップ１１３の一例は、裏面照射型のＭＯＳイメージセンサである。ＰＤ層１０６は、配線層１０８の裏面側に配されている。ＰＤ層１０６は、二次元的に配された複数のＰＤ（フォトダイオード）１０４、および、ＰＤ１０４に対応して設けられたトランジスタ１０５を有する。

30

【００１３】

ＰＤ層１０６における入射光の入射側にはパッシベーション膜１０３を介してカラーフィルタ１０２が設けられる。カラーフィルタ１０２は、互いに異なる波長領域を透過する複数の種類を有しており、ＰＤ１０４のそれぞれに対応して特定の配列を有している。カラーフィルタ１０２の配列については後述する。カラーフィルタ１０２、ＰＤ１０４およびトランジスタ１０５の組が一つの画素を形成する。

【００１４】

40

カラーフィルタ１０２における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ１０１が設けられる。マイクロレンズ１０１は、対応するＰＤ１０４へ向けて入射光を集光する。

【００１５】

配線層１０８は、ＰＤ層１０６からの画素信号を信号処理チップ１１１に伝送する配線１０７を有する。配線１０７は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

【００１６】

配線層１０８の表面には複数のバンプ１０９が配される。当該複数のバンプ１０９が信号処理チップ１１１の対向する面に設けられた複数のバンプ１０９と位置合わせされて、

50

撮像チップ 1 1 3 と信号処理チップ 1 1 1 とが加圧等されることにより、位置合わせされたパンプ 1 0 9 同士が接合されて、電氣的に接続される。

【 0 0 1 7 】

同様に、信号処理チップ 1 1 1 およびメモリチップ 1 1 2 の互いに対向する面には、複数のパンプ 1 0 9 が配される。これらのパンプ 1 0 9 が互いに位置合わせされて、信号処理チップ 1 1 1 とメモリチップ 1 1 2 とが加圧等されることにより、位置合わせされたパンプ 1 0 9 同士が接合されて、電氣的に接続される。

【 0 0 1 8 】

なお、パンプ 1 0 9 間の接合には、固相拡散による Cu パンプ接合に限らず、はんだ溶融によるマイクロパンプ結合を採用しても良い。また、パンプ 1 0 9 は、例えば後述する一つの画素グループに対して一つ程度設ければ良い。したがって、パンプ 1 0 9 の大きさは、PD 1 0 4 のピッチよりも大きくても良い。また、画素が配列された画素領域以外の周辺領域において、画素領域に対応するパンプ 1 0 9 よりも大きなパンプを併せて設けても良い。

【 0 0 1 9 】

信号処理チップ 1 1 1 は、表裏面にそれぞれ設けられた回路を互いに接続する T S V (シリコン貫通電極) 1 1 0 を有する。T S V 1 1 0 は、周辺領域に設けられることが好ましい。また、T S V 1 1 0 は、撮像チップ 1 1 3 の周辺領域、メモリチップ 1 1 2 にも設けられて良い。

【 0 0 2 0 】

図 2 は、撮像チップ 1 1 3 の画素配列と単位グループ 1 3 1 を説明する図である。特に、撮像チップ 1 1 3 を裏面側から観察した様子を示す。画素領域には 2 0 0 0 万個以上もの画素がマトリックス状に配列されている。本実施形態においては、隣接する 4 画素 × 4 画素の 1 6 画素が一つのグループを形成する。図の格子線は、隣接する画素がグループ化されて単位グループ 1 3 1 を形成する概念を示す。

【 0 0 2 1 】

画素領域の部分拡大図に示すように、単位グループ 1 3 1 は、緑色画素 G b、G r、青色画素 B および赤色画素 R の 4 画素から成るいわゆるベイヤー配列を、上下左右に 4 つ内包する。緑色画素は、カラーフィルタ 1 0 2 として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ 1 0 2 として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ 1 0 2 として赤色フィルタを有する画素であって赤色波長帯の光を受光する。

【 0 0 2 2 】

図 3 は、撮像チップ 1 1 3 の単位グループ 1 3 1 に対応する回路図である。図において、代表的に点線で囲む矩形が、1 画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図 1 のトランジスタ 1 0 5 に対応する。

【 0 0 2 3 】

上述のように、単位グループ 1 3 1 は、1 6 画素から形成される。それぞれの画素に対応する 1 6 個の PD 1 0 4 は、それぞれ転送トランジスタ 3 0 2 に接続され、各転送トランジスタ 3 0 2 の各ゲートには、転送パルスが供給される T X 配線 3 0 7 に接続される。本実施形態において、T X 配線 3 0 7 は、1 6 個の転送トランジスタ 3 0 2 に対して共通接続される。

【 0 0 2 4 】

各転送トランジスタ 3 0 2 のドレインは、対応する各リセットトランジスタ 3 0 3 のソースに接続されると共に、転送トランジスタ 3 0 2 のドレインとリセットトランジスタ 3 0 3 のソース間のいわゆるフローティングディフュージョン F D が増幅トランジスタ 3 0 4 のゲートに接続される。リセットトランジスタ 3 0 3 のドレインは電源電圧が供給される V d d 配線 3 1 0 に接続され、そのゲートはリセットパルスが供給されるリセット配線 3 0 6 に接続される。本実施形態において、リセット配線 3 0 6 は、1 6 個のリセットトランジスタ 3 0 3 に対して共通接続される。

【 0 0 2 5 】

各々の増幅トランジスタ 3 0 4 のドレインは電源電圧が供給される V d d 配線 3 1 0 に接続される。また、各々の増幅トランジスタ 3 0 4 のソースは、対応する各々の選択トランジスタ 3 0 5 のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線 3 0 8 に接続される。本実施形態において、デコーダ配線 3 0 8 は、1 6 個の選択トランジスタ 3 0 5 に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ 3 0 5 のソースは、共通の出力配線 3 0 9 に接続される。負荷電流源 3 1 1 は、出力配線 3 0 9 に電流を供給する。すなわち、選択トランジスタ 3 0 5 に対する出力配線 3 0 9 は、ソースフォロアにより形成される。なお、負荷電流源 3 1 1 は、撮像チップ 1 1 3 側に設けても良いし、信号処理チップ 1 1 1 側に設けても良い。

10

【 0 0 2 6 】

ここで、電荷の蓄積開始から蓄積終了後の画素出力までの流れを説明する。リセット配線 3 0 6 を通じてリセットパルスがリセットトランジスタ 3 0 3 に印加され、同時に T X 配線 3 0 7 を通じて転送パルスが転送トランジスタ 3 0 2 に印加されると、P D 1 0 4 およびフローティングディフュージョン F D の電位はリセットされる。

【 0 0 2 7 】

P D 1 0 4 は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョン F D へ転送され、フローティングディフュージョン F D の電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコーダ配線 3 0 8 を通じて選択パルスが選択トランジスタ 3 0 5 に印加されると、フローティングディフュージョン F D の信号電位の変動が、増幅トランジスタ 3 0 4 および選択トランジスタ 3 0 5 を介して出力配線 3 0 9 に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線 3 0 9 に出力される。

20

【 0 0 2 8 】

図示するように、本実施形態においては、単位グループ 1 3 1 を形成する 1 6 画素に対して、リセット配線 3 0 6 と T X 配線 3 0 7 が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、1 6 画素全てに対して同時に印加される。したがって、単位グループ 1 3 1 を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ 3 0 5 が選択パルスによって順次印加されて、選択的に出力配線 3 0 9 に出力される。

30

【 0 0 2 9 】

このように単位グループ 1 3 1 を基準として回路を構成することにより、単位グループ 1 3 1 ごとに電荷蓄積時間を制御することができる。単位グループごとに電荷蓄積時間を制御できるので、隣接する単位グループ 1 3 1 同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。さらには、全ての単位グループ 1 3 1 について共通の電荷蓄積時間を設定しておき、ある単位グループ 1 3 1 については、1 回分の電荷蓄積と画素信号出力を実行させ、隣接する単位グループ 1 3 1 については、2 回分の電荷蓄積と画素信号出力を繰り返させるといった制御もできる。後者のような、共通の単位時間による電荷蓄積および画素信号出力の繰り返し制御を単位時間制御という。なお、単位時間制御を行う場合であって、電荷蓄積の開始時点および終了時点、全ての単位グループ 1 3 1 で同期させるのであれば、リセット配線 3 0 6 は、撮像チップ 1 1 3 上の全てのリセットトランジスタ 3 0 3 に対して共通接続されて良い。

40

【 0 0 3 0 】

本実施形態においては、単位時間制御について詳細に説明する。特に、一度の撮像指示に対して、電荷蓄積と画素信号出力の繰り返し回数を単位グループ 1 3 1 間で異ならせる制御について説明する。

【 0 0 3 1 】

図 4 は、撮像素子 1 0 0 の機能的構成を示すブロック図である。特にここでは画素信号

50

の流れを説明する。

【0032】

アナログのマルチプレクサ411は、単位グループ131を形成する16個のPD104を順番に選択して、それぞれの画素信号を出力配線309へ出力させる。マルチプレクサ411は、PD104と共に、撮像チップ113に形成される。

【0033】

マルチプレクサ411を介して出力された画素信号は、信号処理チップ111に形成された、相関二重サンプリング(CDS)・アナログ/デジタル(A/D)変換を行う信号処理回路412により、CDSおよびA/D変換が行われる。A/D変換は、入力されるアナログ画素信号を、12bitのデジタル画素信号に変換する。A/D変換された画素信号は、同じく信号処理チップ111に形成された、演算回路415に引き渡される。演算回路415は、受け取った画素信号に後述の積算処理等を施して、デマルチプレクサ413へ引き渡す。

【0034】

デマルチプレクサ413は、受け取った画素信号をそれぞれの画素に対応する画素メモリ414に格納する。画素メモリ414のそれぞれは、後述の積算処理を実行した後の画素信号を格納できる容量を有する。デマルチプレクサ413および画素メモリ414は、メモリチップ112に形成される。

【0035】

演算回路415は、積算処理に用いる対応する画素信号を、デマルチプレクサ413を介して画素メモリ414から読み出す。あるいは、外部からの引渡要求に従って、デマルチプレクサ413を介して画素メモリ414から読み出した画素信号を、後段の画像処理部に引き渡す。なお、演算回路415は、メモリチップ112に設けられても良い。

【0036】

また、図では1グループ分の画素信号の流れを示すが、実際にはこれらがグループごとに存在して、並列で動作する。ただし、演算回路415はグループごとに存在しなくても良く、例えば、一つの演算回路415がそれぞれのグループに対応する画素メモリ414の値を順に参照しながらシーケンシャルに処理しても良い。

【0037】

次に、主に信号処理チップ111の具体的な構成の一例について説明する。図5は、主に信号処理チップ111の具体的な構成を示すブロック図である。

【0038】

信号処理チップ111は、分担化された制御機能としてのセンサ制御部441、ブロック制御部442、同期制御部443、信号制御部444と、これらの各制御部を統括制御する駆動制御部420とを含む。駆動制御部420は、撮像装置全体の統合制御を担うシステム制御部501からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。

【0039】

センサ制御部441は、撮像チップ113へ送出する、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出制御を担う。具体的には、センサ制御部441は、対象画素に対してリセットパルスと転送パルスを送出することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出することにより、画素信号を出力配線309へ出力させる。

【0040】

ブロック制御部442は、撮像チップ113へ送出する、制御対象となる単位グループ131を特定する特定パルスの送出を実行する。システム制御部501は、後述するように、被写界であるシーンの特性等に応じて撮像チップ113の画素領域を、それぞれが1つ以上の単位グループ131を含むように、複数のブロックに分割する。同一のブロックに含まれる画素は、同一の単位時間制御が実行される。すなわち、同一のブロックに含まれる画素は、一度の撮像指示に対して、同じ回数の電荷蓄積と画素信号出力を繰り返す。

そこで、ブロック制御部 4 4 2 は、駆動制御部 4 2 0 からの指定に基づいて対象となる単位グループ 1 3 1 に特定パルスを送出することにより、単位グループ 1 3 1 をブロック化する役割を担う。各画素が T X 配線 3 0 7 およびリセット配線 3 0 6 を介して受ける転送パルスおよびリセットパルスは、センサ制御部 4 4 1 が送出する各パルスとブロック制御部 4 4 2 が送出する特定パルスの論理積となる。駆動制御部 4 2 0 からの具体的なブロック化指定については、後に詳述する。

【 0 0 4 1 】

同期制御部 4 4 3 は、同期信号を撮像チップ 1 1 3 へ送出する。各パルスは、同期信号に同期して撮像チップ 1 1 3 においてアクティブとなる。例えば、同期信号を調整することにより、同一の単位グループ 1 3 1 に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

10

【 0 0 4 2 】

信号制御部 4 4 4 は、主に A / D 変換器 4 1 2 b に対するタイミング制御を担う。出力配線 3 0 9 を介して出力された画素信号は、マルチプレクサ 4 1 1 を経て C D S 回路 4 1 2 a および A / D 変換器 4 1 2 b に入力される。A / D 変換器 4 1 2 b は、信号制御部 4 4 4 によって制御されて、入力された画素信号をデジタル信号に変換する。デジタル信号に変換された画素信号は、演算回路 4 1 5 に引き渡され、後述の積算処理等が施される。積算処理等が施された画素信号は、メモリチップ 1 1 2 のデマルチプレクサ 4 1 3 に引き渡され、そしてそれぞれの画素に対応する画素メモリ 4 1 4 にデジタルデータの画素値として格納される。

20

【 0 0 4 3 】

信号処理チップ 1 1 1 は、いずれの単位グループ 1 3 1 を組み合わせてブロックを形成するかについてのブロック区分情報と、形成されたそれぞれのブロックが何回の電荷蓄積と画素信号出力を繰り返すかについての蓄積回数情報とを格納する、蓄積制御メモリとしてのタイミングメモリ 4 3 0 を有する。タイミングメモリ 4 3 0 は、例えばフラッシュ R A M によって構成される。

【 0 0 4 4 】

後述するように、いずれの単位グループを組み合わせてブロックを形成するかについては、例えば、一連の撮影シーケンスに先立って実行されるシーンの輝度分布検出の検出結果に基づいて、システム制御部 5 0 1 により決定される。決定されたブロックは、例えば第 1 ブロック、第 2 ブロック... のように区分され、それぞれのブロックがいずれの単位グループ 1 3 1 を包含するかにより規定される。駆動制御部 4 2 0 は、このブロック区分情報をシステム制御部 5 0 1 から受け取り、タイミングメモリ 4 3 0 へ格納する。

30

【 0 0 4 5 】

システム制御部 5 0 1 は、例えば、輝度分布の検出結果に基づいて、各ブロックが何回の電荷蓄積と画素信号出力を繰り返すかを決定する。駆動制御部 4 2 0 は、この繰り返し回数情報をシステム制御部 5 0 1 から受け取り、対応するブロック区分情報と対でタイミングメモリ 4 3 0 へ格納する。このようにタイミングメモリ 4 3 0 へブロック区分情報と繰り返し回数情報を格納することにより、駆動制御部 4 2 0 は、一連の電荷蓄積制御を、タイミングメモリ 4 3 0 を逐次参照して独立して実行し得る。すなわち、駆動制御部 4 2 0 は、1 枚の画像取得制御において撮像指示の信号をシステム制御部 5 0 1 から一旦受け取ると、その後は各画素の制御についてその都度システム制御部 5 0 1 から指示を受けることなく、蓄積制御を完了させることができる。

40

【 0 0 4 6 】

駆動制御部 4 2 0 は、更新されるブロック区分情報と繰り返し回数情報をシステム制御部 5 0 1 から受け取って、タイミングメモリ 4 3 0 の記憶内容を適宜更新する。例えば、駆動制御部 4 2 0 は、撮像準備指示または撮像指示に同期して、タイミングメモリ 4 3 0 を更新する。このように構成することにより、より高速な電荷蓄積制御を実現すると共に、駆動制御部 4 2 0 が電荷蓄積制御を実行している間に、システム制御部 5 0 1 は他の処理を並行して実行し得る。

50

【 0 0 4 7 】

駆動制御部 4 2 0 は、撮像チップ 1 1 3 に対する電荷蓄積制御を実行するに留まらず、読み出し制御の実行においてもタイミングメモリ 4 3 0 を参照する。例えば、駆動制御部 4 2 0 は、各ブロックの繰り返し回数情報を参照して、すでに画素メモリ 4 1 4 に格納されている画素信号を読み出し、演算回路 4 1 5 へ引き渡す。更には、演算回路 4 1 5 が演算処理を施した画素信号を、再度当該画素メモリ 4 1 4 に格納する。すなわち、画素メモリ 4 1 4 の画素信号を更新する。

【 0 0 4 8 】

また、駆動制御部 4 2 0 は、システム制御部 5 0 1 からの引渡要求に従って、対象画素信号を演算回路 4 1 5 およびデマルチプレクサ 4 1 3 を介して画素メモリ 4 1 4 から読み出し、撮像装置に設けられた画像処理部 5 1 1 へ引き渡す。画素メモリ 4 1 4 には、引渡要求に従って画素信号を伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部 5 1 1 と繋がるデータ転送ラインと接続されている。データ転送ラインは例えばバスラインのうちのデータバスによって構成される。この場合、システム制御部 5 0 1 から駆動制御部 4 2 0 への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

【 0 0 4 9 】

データ転送インタフェースによる画素信号の伝送は、アドレス指定方式に限らず、さまざまな方式を採用しうる。例えば、データ転送を行うときに、各回路の同期に用いられるクロック信号の立ち上がり・立ち下りの両方を利用して処理を行うダブルデータレート方式を採用し得る。また、アドレス指定などの手順を一部省略することによってデータを一気に転送し、高速化を図るバースト転送方式を採用し得る。また、制御部、メモリ部、入出力部を並列に接続している回線を用いたバス方式、直列にデータを 1 ビットずつ転送するシリアル方式などを組み合わせて採用することもできる。

【 0 0 5 0 】

このように構成することにより、画像処理部 5 1 1 は、必要な画素信号に限って受け取ることができるので、特に低解像度の画像を形成する場合などにおいて、高速に画像処理を完了させることができる。また、演算回路 4 1 5 に積算処理を実行させる場合には、画像処理部 5 1 1 が積算処理を実行しなくて良いので、機能分担と並行処理により、画像処理の高速化を図ることができる。

【 0 0 5 1 】

図 6 は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置 5 0 0 は、撮影光学系としての撮影レンズ 5 2 0 を備え、撮影レンズ 5 2 0 は、光軸 O に沿って入射する被写体光束を撮像素子 1 0 0 へ導く。撮影レンズ 5 2 0 は、撮像装置 5 0 0 に対して着脱できる交換式レンズであっても構わない。撮像装置 5 0 0 は、撮像素子 1 0 0、システム制御部 5 0 1、測光部 5 0 3、ワークメモリ 5 0 4、記録部 5 0 5、および表示部 5 0 6 を主に備える。システム制御部 5 0 1 は、ユーザからの指示を受けて、撮像素子 1 0 0 へ送信する撮像指示を生成する撮像指示部の機能を担う。

【 0 0 5 2 】

撮影レンズ 5 2 0 は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図 6 では瞳近傍に配置された仮想的な 1 枚のレンズで代表して表している。上述の通り、撮像素子 1 0 0 の駆動制御部 4 2 0 は、システム制御部 5 0 1 からの指示に従って撮像素子 1 0 0 のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。

【 0 0 5 3 】

撮像素子 1 0 0 は、画素信号をシステム制御部 5 0 1 の画像処理部 5 1 1 へ引き渡す。画像処理部 5 1 1 は、ワークメモリ 5 0 4 をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、J P E G ファイル形式の画像データを生成する場合は、ホワイトバランス処理、ガンマ処理等を施した後に圧縮処理を実行する。生成された画像データは、記録部 5 0 5 に記録されるとともに、表示信号に変換されて予め設定された

10

20

30

40

50

時間の間、表示部 5 0 6 に表示される。なお、画像処理部 5 1 1 は、システム制御部 5 0 1 とは独立した A S I C として構成されても良い。

【 0 0 5 4 】

測光部 5 0 3 は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部 5 0 3 は、例えば 1 0 0 万画素程度の A E センサを含む。システム制御部 5 0 1 の演算部 5 1 2 は、測光部 5 0 3 の出力を受けてシーンの領域ごとの輝度を算出する。演算部 5 1 2 は、算出した輝度分布に従って上述の単位時間、絞り値、I S O 感度を決定する。本実施形態において演算部 5 1 2 は、更に、撮像チップ 1 1 3 のどの画素グループ領域に決定した単位時間により何回の電荷蓄積と画素信号出力を繰り返させるかを決定する。また、演算部 5 1 2 は、最大の繰り返し回数が割り当てられた画素グループ領域の電荷蓄積が終了するまでの時間を計算して、シャッタの開閉タイミングを決定する。なお、演算部 5 1 2 は、撮像装置 5 0 0 を動作させるための各種演算も実行する。

10

【 0 0 5 5 】

図 7 は、シーンの例と領域分割を説明する図である。図 7 (a) は、撮像チップ 1 1 3 の画素領域が捉えるシーンを示す。具体的には、屋内環境に含まれるシャドウ被写体 6 0 1 および中間被写体 6 0 2 と、窓枠 6 0 4 の内側に観察される屋外環境のハイライト被写体 6 0 3 とが同時に写り込むシーンである。このような、ハイライト部からシャドウ部までの明暗差が大きなシーンを撮影する場合、従来の撮像素子であれば、ハイライト部を基準として電荷蓄積を実行するとシャドウ部で黒潰れが生じ、シャドウ部を基準として電荷蓄積を実行するとハイライト部で白飛びが生じた。すなわち、ハイライト部もシャドウ部も一律に一度の電荷蓄積により画像信号を出力させるには、明暗差の大きなシーンに対してフォトダイオードのダイナミックレンジが不足していると言える。そこで、本実施形態においては、シーンをハイライト部、シャドウ部といった部分領域に分割して、それぞれの領域に対応するフォトダイオードの電荷蓄積と画素信号読み出しの繰り返し回数を互いに異ならせることにより、ダイナミックレンジの実質的な拡大を図る。

20

【 0 0 5 6 】

図 7 (b) は、撮像チップ 1 1 3 の画素領域における領域分割を示す。演算部 5 1 2 は、測光部 5 0 3 が捉えた図 7 (a) のシーンを解析して、輝度を基準に画素領域を分割する。例えば、システム制御部 5 0 1 は、測光部 5 0 3 に露光時間を変更しつつ複数回のシーン取得を実行させ、演算部 5 1 2 は、その白飛び領域、黒潰れ領域の分布の変化を参照して画素領域の分割ラインを決定する。図 7 (b) の例においては、演算部 5 1 2 は、シャドウ領域 6 1 1、中間領域 6 1 2、およびハイライト領域 6 1 3 の 3 領域に分割している。

30

【 0 0 5 7 】

分割ラインは、単位グループ 1 3 1 の境界に沿って定義される。すなわち、分割された各領域は、整数個の単位グループ 1 3 1 をそれぞれ含む。そして、同一の領域に包含される各グループの画素は、演算部 5 1 2 によって決定された単位時間による同一回数の電荷蓄積および画素信号出力を行う。属する領域が異なれば、異なる回数の電荷蓄積および画素信号出力を行う。

【 0 0 5 8 】

図 8 は、図 7 の例による分割された領域ごとの単位制御を説明する図である。ここでは、演算部 5 1 2 が、測光部 5 0 3 の出力を受けて、中間領域 6 1 2 の E V 値とハイライト領域 6 1 3 の E V 値との差が約 1 段分であり、また、シャドウ領域 6 1 1 の E V 値と中間領域 6 1 2 の E V 値との差が同じく約 1 段分であると算出した場合を説明する。

40

【 0 0 5 9 】

演算部 5 1 2 は、ユーザから撮影準備指示を受けると、測光部 5 0 3 の出力から 1 回あたりの電荷蓄積時間である共通の単位時間 T_0 を決定する。ここでは、単位時間 T_0 は、1 回の電荷蓄積によりハイライト領域 6 1 3 の画素が飽和しないように、ハイライト領域 6 1 3 の E V 値から決定される。例えば、ハイライト領域 6 1 3 の中でも最も明るい部分に対応する画素において、1 回の電荷蓄積動作により蓄積可能な 8 割から 9 割の電荷が蓄

50

積されることを基準として、単位時間 T_0 が決定される。このとき、出力される画素信号の増幅率に相関する ISO 感度、および撮影レンズ 520 に設けられた絞りの絞り値は、演算部 512 により、決定された単位時間 T_0 に応じて、ハイライト領域 613 が適正露出となるように算出される。なお、ISO 感度は、全ての画素に共通に設定される。

【0060】

演算部 512 は、算出したハイライト領域 613 の EV 値と中間領域 612 の EV 値の差を参照して、中間領域 612 の繰り返し回数を 2 回とする。すなわち、単位時間 T_0 の電荷蓄積と、その電荷蓄積による画素信号読み出しを 2 回繰り返させる。同様に、演算部 512 は、算出したハイライト領域 613 の EV 値とシャドウ領域 611 の EV 値の差を参照して、シャドウ領域 611 の電荷蓄積回数を 4 回とする。すなわち、単位時間 T_0 の電荷蓄積と、その電荷蓄積による画素信号読み出しを 4 回繰り返させる。後述するように、繰り返し読み出された画素信号は、演算回路 415 で順次足し合わされて画素メモリ 414 に格納される。

10

【0061】

ユーザから撮像指示を時刻 $t = 0$ で受けると、駆動制御部 420 は、いずれの領域に属するグループの画素に対しても、リセットパルスと転送パルスを印加する。この印加をトリガーとして、いずれの画素も電荷蓄積を開始する。

【0062】

時刻 $t = T_0$ になったら、駆動制御部 420 は、全ての画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 309 に出力させる。駆動制御部 420 は、A/D 変換器 412b によりそれぞれの画素信号をデジタル信号に変換して、演算回路 415 を通過させ、それぞれ対応する画素メモリ 414 に格納する。この処理により、1 回目の単位制御が完了する。そして、ハイライト領域 613 に属するグループの画素に対する処理を終了する。この時点で、ハイライト領域 613 の画素に対応する画素メモリ 414 に格納された画素信号から生成される画像は、白飛びおよび黒潰れがほとんど生じていない、PD104 のダイナミックレンジを全体的に利用した適正露出の画像であることが期待できる。

20

【0063】

全ての画素の画素信号を出力させたら、駆動制御部 420 は、中間領域 612 とシャドウ領域 611 に属するグループの画素に対して、時刻 $t = T_0$ のタイミングで再びリセットパルスと転送パルスを印加して、2 回目の電荷蓄積を開始させる。なお、画素信号の選択出力には時間を要するので、1 回目の電荷蓄積の終了と 2 回目の電荷蓄積の開始の間には時間差が生じる。この時間差が実質的に無視し得ないのであれば、その時間分を遅延させて 2 回目の電荷蓄積を開始すれば良い。

30

【0064】

時刻 $t = 2T_0$ になったら、駆動制御部 420 は、中間領域 612 とシャドウ領域 611 に属するグループの画素に対して転送パルスを印加する。そして、これらのグループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 309 に出力させる。駆動制御部 420 は、A/D 変換器 412b によりそれぞれの画素信号をデジタル信号に変換する。これに並行して、それぞれ対応する既に画素メモリ 414 に格納された 1 回目の画素信号を読み出す。そして、駆動制御部 420 は、演算回路 415 に、1 回目の画素信号と新たに取得した 2 回目の画素信号とを足し合わせる積算処理を実行させる。駆動制御部 420 は、積算処理により新たに生成された画素信号を、対応する画素メモリ 414 に格納する。これにより、それぞれの画素メモリ 414 は、1 回目の画素信号から積算処理された画素信号に更新される。この処理により、2 回目の単位制御が完了する。そして、中間領域 612 に属するグループの画素に対する処理を終了する。

40

【0065】

この時点で、中間領域 612 の画素に対応する画素メモリ 414 に格納された画素信号から生成される画像は、白飛びおよび黒潰れがほとんど生じていない、画像データのビット幅を全体的に利用した適正露出の画像であることが期待できる。つまり、1 回の単位制

50

御では電荷蓄積時間が十分ではなく、黒潰れが生じがちなアンダー画像となってしまうところ、2回の単位制御を跨いで積算処理を施すことにより、実質的に $2T_0$ の期間の電荷蓄積を行ったのと同等の適正画像を得ることができる。さらには、電荷蓄積を2回に分けることにより、 $2T_0$ の期間に渡る1回の電荷蓄積で得られる画像に比べ、ランダムノイズが低減することも期待できる。

【0066】

中間領域612とシャドウ領域611に属するグループの各画素の画素信号を出力させたら、駆動制御部420は、シャドウ領域611に属するグループの画素に対して、時刻 $t = 2T_0$ のタイミングでリセットパルスと転送パルスを印加して、3回目の電荷蓄積を開始させる。

10

【0067】

時刻 $t = 3T_0$ となったら、駆動制御部420は、シャドウ領域611に属するグループの画素に対して転送パルスを印加する。そして、このグループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。駆動制御部420は、A/D変換器412bによりそれぞれの画素信号をデジタル信号に変換する。これに並行して、それぞれ対応する既に画素メモリ414に格納された画素信号を読み出す。そして、駆動制御部420は、演算回路415に、読み出した画素信号と新たに取得した3回目の画素信号とを足し合わせる積算処理を実行させる。駆動制御部420は、積算処理により新たに生成された画素信号を、対応する画素メモリ414に格納する。これにより、それぞれの画素メモリ414は、新たに積算処理された画素信号に更新される。この処理により、3回目の単位制御が完了する。

20

【0068】

続けて、駆動制御部420は、シャドウ領域611に属するグループの画素に対して、時刻 $t = 3T_0$ のタイミングでリセットパルスと転送パルスを印加して、4回目の電荷蓄積を開始させる。

【0069】

時刻 $t = 4T_0$ となったら、駆動制御部420は、シャドウ領域611に属するグループの画素に対して転送パルスを印加する。そして、このグループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線309に出力させる。駆動制御部420は、A/D変換器412bによりそれぞれの画素信号をデジタル信号に変換する。これに並行して、それぞれ対応する既に画素メモリ414に格納された画素信号を読み出す。そして、駆動制御部420は、演算回路415に、読み出した画素信号と新たに取得した4回目の画素信号とを足し合わせる積算処理を実行させる。駆動制御部420は、積算処理により新たに生成された画素信号を、対応する画素メモリ414に格納する。これにより、それぞれの画素メモリ414は、新たに積算処理された画素信号に更新される。この処理により、4回目の単位制御が完了する。そして、シャドウ領域611に属するグループの画素に対する処理を終了する。

30

【0070】

この時点で、シャドウ領域611の画素に対応する画素メモリ414に格納された画素信号から生成される画像は、白飛びおよび黒潰れがほとんど生じていない、画像データのビット幅を全体的に利用した適正露出の画像であることが期待できる。つまり、1回の単位制御では電荷蓄積時間が十分ではなく、黒潰れが生じがちなアンダー画像となってしまうところ、4回の単位制御に跨いで積算処理を施すことにより、実質的に $4T_0$ の期間の電荷蓄積を行ったのと同等の適正画像を得ることができる。さらには、電荷蓄積を4回に分けることにより、 $4T_0$ の期間に渡る1回の電荷蓄積で得られる画像に比べ、ランダムノイズが低減することも期待できる。

40

【0071】

システム制御部501は、4回目の電荷蓄積が終了する $t = 4T_0$ のタイミングで、シャッタを閉じる。画像処理部511は、以上のように処理された各領域の画素信号を繋ぎ合わせて処理することにより、高ダイナミックレンジの画像データを生成する。

50

【 0 0 7 2 】

なお、上記で説明した処理においては、駆動制御部 4 2 0 は、ある領域において予め定められた回数の単位制御が終了すると、他の領域が単位制御を継続している場合でも、その領域については、その後は電荷蓄積を実行しなかった。しかし、他の領域の単位制御に合わせて、その後も電荷蓄積を実行しても良い。この場合、転送パルスおよび選択パルスの印加による画素信号出力を行わなければ良い。あるいは、画素信号出力を行ったとしても、A / D 変換器 4 1 2 b によるデジタル信号への変換、演算回路 4 1 5 による積算処理、画素メモリ 4 1 4 への格納等のいずれかの段階で画素信号を破棄する処理を行えば良い。

【 0 0 7 3 】

次に、一連の撮影動作処理について説明する。図 9 は、撮影動作の処理を示すフロー図である。フローは、撮像装置 5 0 0 の電源が ON にされて開始される。

【 0 0 7 4 】

システム制御部 5 0 1 は、ステップ S 1 0 1 で、撮像準備指示であるシャッタスイッチ S W 1 の押し下げがなされるまで待機する。シャッタスイッチ S W 1 の押し下げを検知したらステップ S 1 0 2 へ進む。

【 0 0 7 5 】

ステップ S 1 0 2 では、システム制御部 5 0 1 は、測光処理を実行する。具体的には、測光部 5 0 3 の出力を得て、演算部 5 1 2 がシーンの輝度分布を算出する。そして、ステップ S 1 0 3 へ進み、上述のように、単位時間、領域分割、繰り返し回数等を決定する。決定されたこれらの情報は、システム制御部 5 0 1 から駆動制御部 4 2 0 へ送られ、タイミングメモリ 4 3 0 で記憶される。

【 0 0 7 6 】

撮像準備動作が完了したら、ステップ S 1 0 4 へ進み、ユーザからの撮像指示であるシャッタスイッチ S W 2 の押し下げがなされるまで待機する。このとき、経過時間が予め定められた時間 T w を超えたら（ステップ S 1 0 5 の Y E S ）、ステップ S 1 0 1 へ戻る。T w を超える前に（ステップ S 1 0 5 の N O ）スイッチ S W 2 の押し下げを検知したら、ステップ S 1 0 6 へ進む。

【 0 0 7 7 】

駆動制御部 4 2 0 は、ステップ S 1 0 6 において、1 回目の単位制御として全画素による電荷蓄積を実行する。そして、単位時間の経過後に画素信号出力と A / D 変換を実行し（ステップ S 1 0 7 ）、変換されたデジタル画素信号を、画素メモリ 4 1 4 に格納する（ステップ S 1 0 8 ）。

【 0 0 7 8 】

続いて駆動制御部 4 2 0 は、ステップ S 1 0 9 へ進み、2 回目の単位制御を実行する対象領域を、タイミングメモリ 4 3 0 の領域分割情報を参照して決定する。そして、当該対象領域において電荷蓄積を実行する（ステップ S 1 1 0 ）。

【 0 0 7 9 】

駆動制御部 4 2 0 は、単位時間の経過後に 2 回目の電荷蓄積による画素信号出力と A / D 変換を実行する（ステップ S 1 1 1 ）。これに並行して、あるいは前後して、駆動制御部 4 2 0 は、1 回目の単位制御により格納された画素信号を画素メモリ 4 1 4 から読み出す（ステップ S 1 1 2 ）。そして、駆動制御部 4 2 0 は、演算回路 4 1 5 に、ステップ S 1 1 1 で A / D 変換された画素信号と、ステップ S 1 1 2 で読み出された画素信号とを積算する積算処理を実行させる（ステップ S 1 1 3 ）。演算回路 4 1 5 によって積算された結果は、新たな画素信号として、ステップ S 1 1 2 で読み出した画素メモリ 4 1 4 の値を更新して、格納される（ステップ S 1 1 4 ）。

【 0 0 8 0 】

駆動制御部 4 2 0 は、ステップ S 1 1 5 へ進み、ステップ S 1 0 3 で決定された繰り返し回数に到達したか否かを、タイミングメモリ 4 3 0 の繰り返し回数情報を参照して判断する。繰り返し回数に達していないと判断したら、ステップ S 1 0 9 へ進み、3 回目、4

10

20

30

40

50

回目...の単位制御（ステップS 1 0 9からステップS 1 1 4）を実行する。繰り返し回数に達したと判断したら、ステップS 1 1 6へ進む。

【0081】

ステップS 1 1 6では、駆動制御部420が単位制御の完了報告をシステム制御部501へ対して行い、これに応じて、システム制御部501は、駆動制御部420に対して画素メモリ414に格納された画素信号を画像処理部511へ送信させる。画像処理部511は画像処理を実行し例えばJ P E G等の画像データを生成する。システム制御部501は、生成された画像データを記録部505に記録する記録処理を実行する。

【0082】

記録処理が完了したらステップS 1 1 7へ進み、撮像装置500の電源がOFFにされたか否かを判断する。電源がOFFにされていないと判断したらステップS 1 0 1へ戻り、OFFにされたと判断したら一連の撮影動作処理を終了する。

【0083】

なお、上記で説明した処理においては、駆動制御部420は、単位時間 T_0 を、ハイライト領域613の画素が飽和しない時間として決定した。ハイライト領域613は、測光部503の測光結果に基づいて決定されるので、駆動制御部420は、図9のフローを用いて説明したような撮像タイミングに合わせて、単位時間 T_0 をその都度決定している。しかし、単位時間 T_0 は、撮影ごとに動的に変更するのでは無く、予め定められた固定値を採用することもできる。

【0084】

例えば、固定値として $T_0 = 1 / 256$ 秒を採用した場合の、図8のシーンに対する単位制御を考える。システム制御部501は、測光結果として、ハイライト領域613を適正露出とする電荷蓄積時間を $1 / 64$ 秒、中間領域612を適正露出とする電荷蓄積時間を $1 / 32$ 秒、シャドウ領域611を適正露出とする電荷蓄積時間を $1 / 16$ 秒と算出した場合を想定する。この場合、ハイライト領域613に対しては、 $(1 / 64) \div (1 / 256) = 4$ 回、中間領域612に対しては、 $(1 / 32) \div (1 / 256) = 8$ 回、シャドウ領域611に対しては、 $(1 / 16) \div (1 / 256) = 16$ 回の繰り返し回数を決定すれば良い。

【0085】

ここで、固定値としての単位時間 T_0 は、これより短時間の電荷蓄積を行えないことになるので、明るいシーンに対しても単位時間制御が行えるように、比較的短い時間に設定することが好ましい。ただし、本実施形態においてはA / D変換後のデジタルの画素信号で積算処理を実行するので、単位時間 T_0 の電荷蓄積によりシャドウ部においても1以上の値を持つように、A / D変換器412bの量子化ビット数を増やしておくべきである。この場合、画素メモリ414も、当該量子化ビット数に合わせて格納サイズが設定される。ここで、画像処理部511で処理されるビット数と画素メモリ414に格納される画素信号のビット数が異なる場合は、システム制御部501からの引渡要求に同期して、演算回路415によりビット変換を行った後に画素信号を画像処理部511へ引き渡せば良い。

【0086】

さらに、測光部503の測光結果を利用すること無く、単位制御を実行することもできる。具体的には、画素メモリ414から画素信号を読み出して単位グループごとの平均値、あるいは、隣接する単位グループも含めた例えば縦横 $5 \times 5 = 25$ グループごとの平均値を逐次算出しつつ、これが閾値を超えたか否かにより、更なる単位制御を行うか否かを決定する。すなわち、単位制御を繰り返した結果、明るい画像となったと考えられる領域はそれ以上の単位制御を行わず、まだ暗い画像であると考えられる領域は更なる単位制御を続ける。このような平均値判断を行うことによっても、それぞれの領域の画像を適正露出に近い画像とすることができる。この場合、画素メモリ414に格納された画素信号を画像処理部511へ引き渡すときには、繰り返し回数で正規化すれば良い。具体的には、例えばそれぞれの画素信号を繰り返し回数で割った値とすれば良い。なお、閾値を超えた

10

20

30

40

50

か否かの判断を行う対象となる値は、平均値に限らず、さまざまな統計処理により算出された算出値を利用することができる。

【0087】

本実施形態における撮像装置500の構成によれば、領域ごとに適正露出にすべく単位制御を実行するに留まらず、さまざまな画像効果との関係において単位制御を実行することができる。例えば、単位時間 T_0 を、手振れが生じにくい比較的短い時間に設定しておき、像ずれが許容量を超えるまで単位制御の繰り返しを実行することができる。この場合、像ずれ量の検出は動作検出部の検出結果を用いることができる。動作検出部は、例えば測光センサの出力を利用するのであれば測光部503が担うこともできるし、別途設けられた他の動き検出センサが担うこともできる。このような単位時間制御によれば、像振れの少ない画像を得ることができる。なお、予定された電荷蓄積時間に到達しないことによる明るさの不足分は、画素信号を増幅することにより調整すれば良い。

10

【0088】

また、領域ごとに排他的に単位制御を実行することもできる。例えば図8の例において、1回目の単位制御はハイライト領域613に対してのみを行い、続く2回目と3回目の単位制御は中間領域612に対してのみ行い、続く4回目から7回目の単位制御はシャドウ領域611に対してのみを行うことができる。このように領域ごとに排他的に単位制御を実行すれば、例えば領域ごとに絞り値などの光学条件を変更した、多彩な画像を取得することができる。より具体的には、滝の流れる領域に対しては絞りを絞って単位制御をより多く繰り返し、その周辺に存在する木々の領域に対しては絞りを開いて少ない単位制御を実行することができる。このような制御によれば、1枚の画像の中に異なるシャッタ速度の像を共存させることができるので、従来に無い画像を一度の撮像指示により取得することができる。なお、例えばライブビュー画像を通じてユーザから予め指示を受け付けられれば、シーンのどの領域に何回の単位制御を繰り返させるかを事前に定めることができる。

20

【0089】

以上説明した各実施形態においては、静止画像を前提として説明したが、もちろんフレームごとに同様の単位制御をおこなうことにより、動画像を生成することもできる。また、デジタルカメラ専用機に限らず、もちろん携帯電話、情報端末、PC等の電子機器に組み込まれたカメラユニットに対しても上述の処理を実行させることができる。

【0090】

30

さらにバリエーションについて説明する。図10は、別実施例としての、分割された領域ごとの電荷蓄積制御を説明する図である。ここでは、図8の例と同様に、演算部512が、測光部503の出力を受けて、中間領域612のEV値とハイライト領域613のEV値との差が約1段分であり、また、シャドウ領域611のEV値と中間領域612のEV値との差が同じく約1段分であると算出した場合を説明する。演算部512は、ユーザから撮影準備指示を受けると、図8の例と同様に、測光部503の出力から1回あたりの電荷蓄積時間である共通の単位時間 T_0 を決定する。

【0091】

演算部512は、算出したハイライト領域613のEV値と中間領域612のEV値の差を参照して、中間領域612において必要な電荷蓄積回数を2回と決定する。同様に、演算部512は、算出したハイライト領域613のEV値とシャドウ領域611のEV値の差を参照して、シャドウ領域611において必要な電荷蓄積回数を4回と決定する。ここで、本実施例においては、シャドウ領域611において決定された、すなわち必要と決定された電荷蓄積回数の最大値である4回を、全領域における電荷蓄積回数とする。つまり、ハイライト領域613、中間領域612、シャドウ領域611の全領域において、単位時間 T_0 の電荷蓄積と、その電荷蓄積による画素信号読み出しを4回繰り返させる。

40

【0092】

ユーザから撮像指示を時刻 $t = 0$ で受けると、駆動制御部420は、いずれの領域に属するグループの画素に対しても、リセットパルスと転送パルスを印加する。この印加をトリガーとして、いずれの画素も電荷蓄積を開始する。

50

【0093】

時刻 $t = T_0$ となったら、駆動制御部 420 は、全ての画素に対して転送パルス进行を印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 309 へ出力させる。駆動制御部 420 は、A/D 変換器 412b によりそれぞれの画素信号をデジタル信号に変換して、演算回路 415 を通過させ、それぞれ対応する画素メモリ 414 に格納する。この処理により、1 回目の単位制御が完了する。

【0094】

全ての画素の画素信号を出力させたら、駆動制御部 420 は、再び全領域の画素に対して、時刻 $t = T_0$ のタイミングでリセットパルスと転送パルスを印加して、2 回目の電荷蓄積を開始させる。なお、画素信号の選択出力には時間を要するので、1 回目の電荷蓄積の終了と 2 回目の電荷蓄積の開始の間には時間差が生じる。この時間差が実質的に無視し得ないのであれば、その時間分を遅延させて 2 回目の電荷蓄積を開始すれば良い。

10

【0095】

時刻 $t = 2T_0$ となったら、駆動制御部 420 は、全ての画素に対して転送パルスを印加する。そして、各グループ内の画素に対して順次選択パルスを印加して、それぞれの画素信号を出力配線 309 へ出力させる。駆動制御部 420 は、A/D 変換器 412b によりそれぞれの画素信号をデジタル信号に変換する。これに並行して、それぞれ対応する既に画素メモリ 414 に格納された 1 回目の画素信号を読み出す。そして、駆動制御部 420 は、演算回路 415 に、1 回目の画素信号と新たに取得した 2 回目の画素信号とを足し合わせる積算処理を実行させる。駆動制御部 420 は、積算処理により新たに生成された画素信号を、対応する画素メモリ 414 に格納する。これにより、それぞれの画素メモリ 414 は、1 回目の画素信号から積算処理された画素信号に更新される。この処理により、2 回目の単位制御が完了する。

20

【0096】

同様に、時刻 $t = 2T_0$ から $3T_0$ の間に 3 回目の電荷蓄積および画素信号読み出しを行い、時刻 $t = 3T_0$ から $4T_0$ の間に 4 回目の電荷蓄積および画素信号読み出しを行う。4 回目の積算処理が終了した時点で、ハイライト領域 613 においては、1 回の電荷蓄積で足りるところを 4 回繰り返しているため、積算処理した画素信号の値を $1/4$ とする演算を行う。単位時間 T_0 は、上述のように、ハイライト領域 613 の中でも最も明るい部分に対応する画素において、1 回の電荷蓄積動作により蓄積可能な 8 割から 9 割の電荷が蓄積されることを基準として定められているので、それぞれの電荷蓄積において飽和することはない。したがって、積算処理した画素信号の値を $1/4$ にして得られるハイライト領域 613 の画像是、白飛びおよび黒潰れがほとんど生じていない、PD104 のダイナミックレンジを全体的に利用した適正露出の画像であることが期待できる。

30

【0097】

同様に、4 回目の積算処理が終了した時点で、中間領域 612 においては、2 回の電荷蓄積で足りるところを 4 回繰り返しているため、積算処理した画素信号の値を $1/2$ とする演算を行う。積算処理した画素信号の値を $1/2$ にして得られる中間領域 612 の画像是、白飛びおよび黒潰れがほとんど生じていない、画像データのビット幅を全体的に利用した適正露出の画像であることが期待できる。

40

【0098】

また、4 回積算処理した画素信号から得られるシャドウ領域 611 の画像是、白飛びおよび黒潰れがほとんど生じていない、画像データのビット幅を全体的に利用した適正露出の画像であることが期待できる。つまり、1 回の単位制御では電荷蓄積時間が十分ではなく、黒潰れが生じがちなアンダー画像となってしまうところ、4 回の単位制御に跨いで積算処理を施すことにより、実質的に $4T_0$ の期間の電荷蓄積を行ったのと同様の適正画像を得ることができる。

【0099】

本実施例におけるこのような電荷蓄積制御を行うと、 $4T_0$ の期間の間に被写体が領域間を跨いで移動するような場合でも、領域の境界において被写体像が不連続となるような

50

不自然な画像にはならない。例えば、太陽光が車体の一部に当たった移動する自動車を撮影する場合でも、撮影画像において輝点の軌跡が領域間で途切れることがない。

【0100】

なお、以上の制御においては、すべての積算処理を終えてから、ハイライト領域613では1/4とし、中間領域612では1/2とする演算を行った。しかし、それぞれの画素信号をデジタル信号に変換して、それぞれに対応する画素メモリ414に格納する段階において、演算回路415が、ハイライト領域613の画素に対しては1/4とし、中間領域612の画素に対しては1/2とする演算を行っても良い。つまり、各回の画素信号読み出し処理において、領域ごとに低減演算を行っても良い。このように処理しても、上記と同様の効果が得られる。

10

【0101】

さらに別のバリエーションについて説明する。図8を用いて説明した実施例においては、システム制御部501は、測光部503の出力からシーンの輝度分布を算出して、単位時間 T_0 、領域分割、繰り返し回数を決定した。しかし、測光部503の出力結果を得なくても、これらを決定することができる。

【0102】

システム制御部501は、例えば、ビューファインダとして用いていたライブビュー画像から単位時間 T_0 を決める。このとき、ハイライト部が白飛びしないように、ライブビュー画像を取得するためのシャッタ速度よりも短い時間とすると良い。そして、ユーザから撮像指示であるシャッタスイッチSW2の押し下げ操作を受けたら、システム制御部501は、まず1回目の電荷蓄積および画素信号読み出しを行う。そして、ここで得られた画素信号のレベルを解析して、領域を分割し、その分割された領域ごとの電荷蓄積の繰り返し回数を決定する。具体的には、例えば、蓄積可能な50%以上の電荷が蓄積された画素が多数を占める領域を1回の蓄積制御で終了する領域と定め、25%以上50%未満の電荷が蓄積された画素が多数を占める領域を2回の蓄積制御で終了する領域と定め、25%未満の電荷が蓄積された画素が多数を占める領域を4回の蓄積制御で終了する領域と定める。そして、2回目以降の電荷蓄積および画素信号読み出しを継続して実行する。このように制御すれば、測光部503を独立して設けなくても良い。あるいは、撮影モードの特性に合わせて、測光部503の出力を用いた制御とこのような制御を切り替えることもできる。

20

30

【0103】

あるいは、システム制御部501は、1回目の電荷蓄積および画素信号読み出しにおいては領域分割までを実行し、それぞれの領域ごとに次の電荷蓄積および画素信号読み出しを行うか否かを各回の信号読み出し後に判断するように制御することもできる。すなわち、システム制御部501は、ある領域において m （自然数）回の電荷蓄積および画素信号読み出しが終了した時に、積算処理後の画素信号の値が予め定められた範囲に入っていれば $m+1$ 回目の電荷蓄積を行わず終了し、入っていなければ $m+1$ 回目の電荷蓄積を実行する。また、別の領域において n （自然数）回の電荷蓄積および画素信号読み出しが終了した時に、積算処理後の画素信号の値が予め定められた範囲に入っていれば $n+1$ 回目の電荷蓄積を行わず終了し、入っていなければ $n+1$ 回目の電荷蓄積を実行する。

40

【0104】

また上述において、測光部503の測光結果を用いず、単位グループごとの平均値等を逐次算出しつつ、これが閾値を超えたか否かにより、更なる単位制御を行うか否かを決定する例を説明したが、この制御において閾値を蓄積回数に応じて変更しても良い。具体的には、蓄積回数が増えるに従って、閾値を徐々に小さくする。閾値を徐々に小さくすることにより、シャドウ領域とハイライト領域の明るさが逆転することのない、自然な画像を生成することができる。

【0105】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えること

50

が可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【 0 1 0 6 】

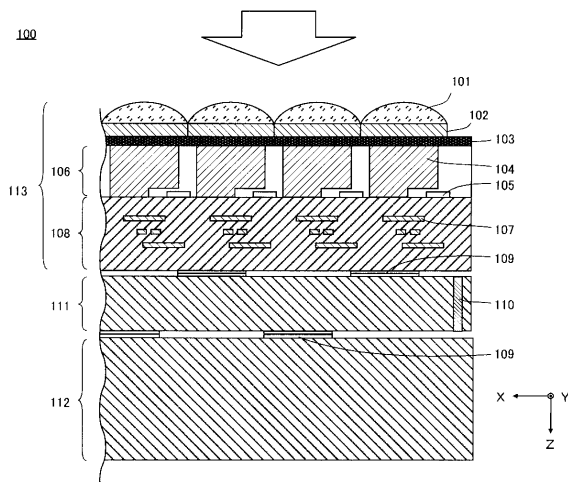
請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【 符号の説明 】

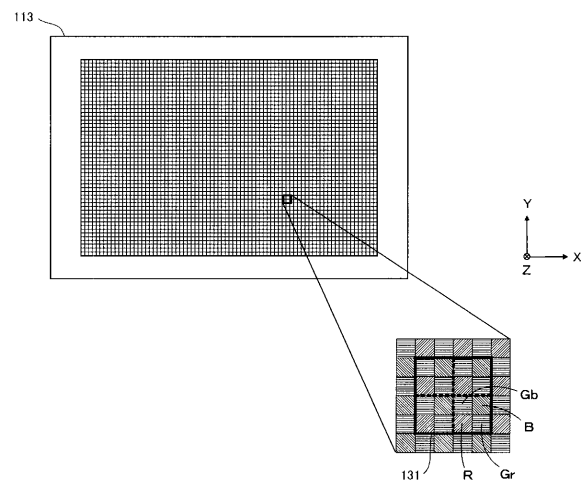
【 0 1 0 7 】

1 0 0 撮像素子、1 0 1 マイクロレンズ、1 0 2 カラーフィルタ、1 0 3 パッシベーション膜、1 0 4 P D、1 0 5 トランジスタ、1 0 6 P D層、1 0 7 配線、1 0 8 配線層、1 0 9 バンプ、1 1 0 T S V、1 1 1 信号処理チップ、1 1 2 メモリチップ、1 1 3 撮像チップ、1 3 1 単位グループ、3 0 2 転送トランジスタ、3 0 3 リセットトランジスタ、3 0 4 増幅トランジスタ、3 0 5 選択トランジスタ、3 0 6 リセット配線、3 0 7 T X 配線、3 0 8 デコーダ配線、3 0 9 出力配線、3 1 0 V d d 配線、3 1 1 負荷電流源、4 1 1 マルチプレクサ、4 1 2 信号処理回路、4 1 3 デマルチプレクサ、4 1 4 画素メモリ、4 1 5 演算回路、4 2 0 駆動制御部、4 3 0 タイミングメモリ、4 4 1 センサ制御部、4 4 2 ブロック制御部、4 4 3 同期制御部、4 4 4 信号制御部、5 0 0 撮像装置、5 0 1 システム制御部、5 0 3 測光部、5 0 4 ワークメモリ、5 0 5 記録部、5 0 6 表示部、5 1 1 画像処理部、5 1 2 演算部、6 0 1 シャドウ被写体、6 0 2 中間被写体、6 0 3 ハイライト被写体、6 0 4 窓枠、6 1 1 シャドウ領域、6 1 2 中間領域、6 1 3 ハイライト領域

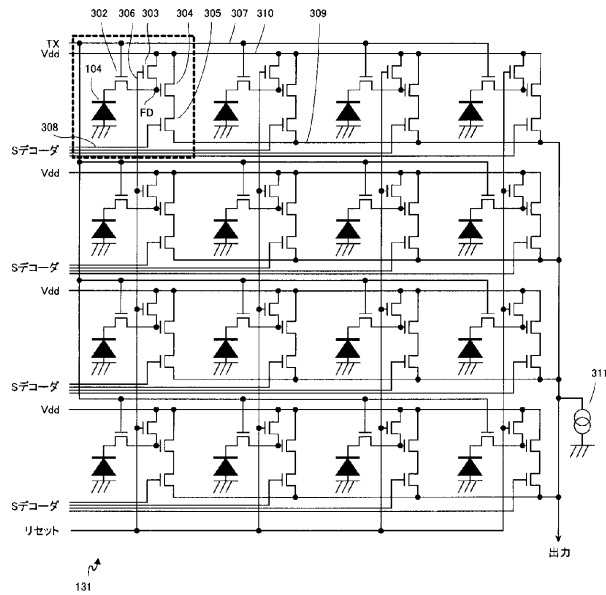
【 図 1 】



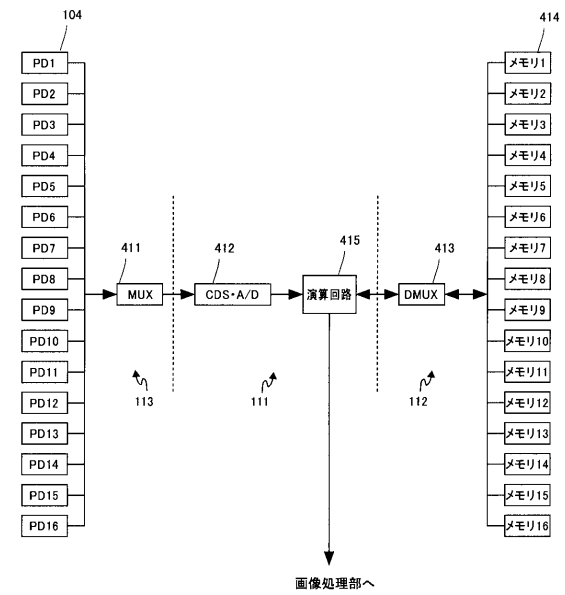
【 図 2 】



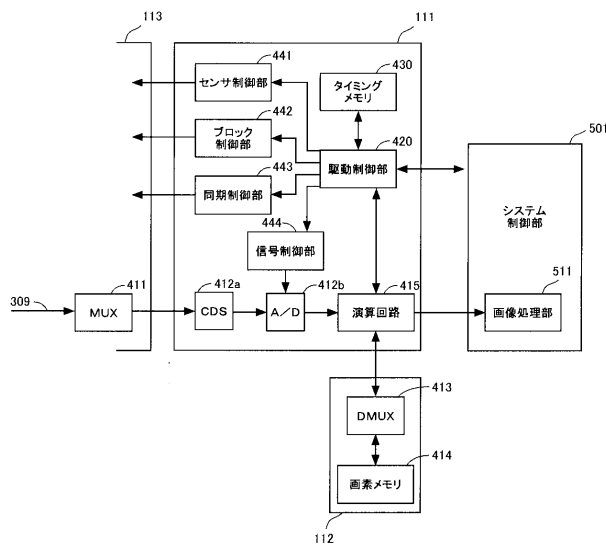
【図 3】



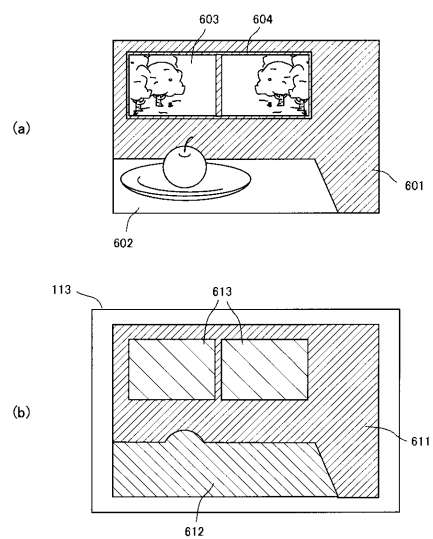
【図 4】



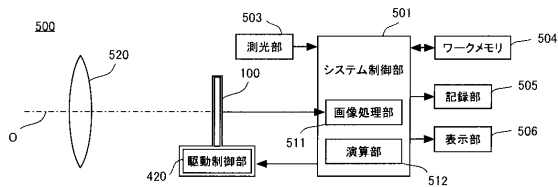
【図 5】



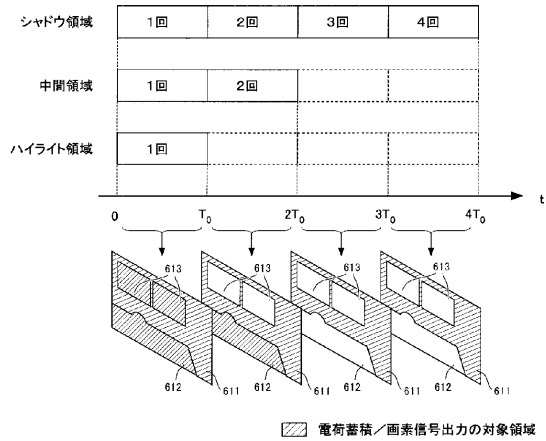
【図 7】



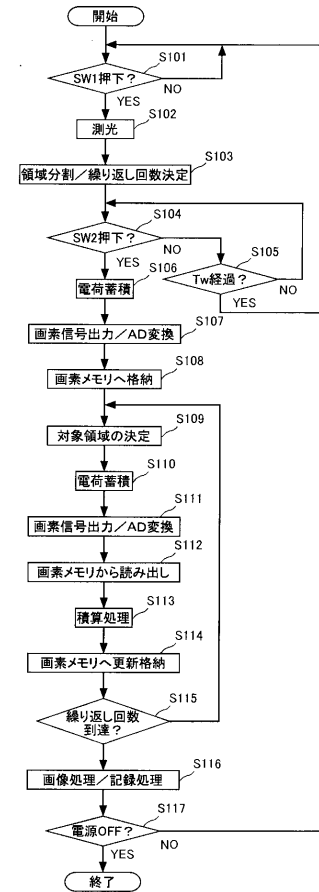
【図 6】



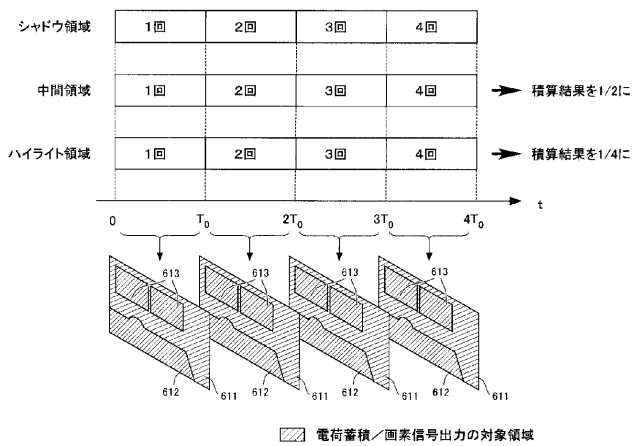
【図 8】



【図 9】



【図 10】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/001297

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/351(2011.01)i, H04N5/235(2006.01)i, H04N5/243(2006.01)i, H04N5/353(2011.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/351, H04N5/235, H04N5/243, H04N5/353, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-018002 A (Mitsubishi Electric Corp.), 22 January 1999 (22.01.1999), entire text; all drawings & US 6421086 B1	1-16
A	JP 3-143080 A (Olympus Optical Co., Ltd.), 18 June 1991 (18.06.1991), entire text; all drawings (Family: none)	1-16
A	JP 2005-065119 A (Hitachi, Ltd.), 10 March 2005 (10.03.2005), entire text; all drawings (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 May, 2014 (29.05.14)Date of mailing of the international search report
10 June, 2014 (10.06.14)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/001297

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-333229 A (Canon Inc.), 07 December 2006 (07.12.2006), entire text; all drawings & US 2006/0268151 A1	1-16
A	JP 2012-182657 A (Sony Corp.), 20 September 2012 (20.09.2012), entire text; all drawings & WO 2012/117774 A1 & AU 2012224341 A	1-16
A	JP 7-298142 A (Canon Inc.), 10 November 1995 (10.11.1995), entire text; all drawings & US 6480226 B1	1-16
A	JP 2002-277922 A (Ricoh Co., Ltd.), 25 September 2002 (25.09.2002), entire text; all drawings (Family: none)	1-16

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 1 2 9 7	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/351(2011.01)i, H04N5/235(2006.01)i, H04N5/243(2006.01)i, H04N5/353(2011.01)i, H04N5/369(2011.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/351, H04N5/235, H04N5/243, H04N5/353, H04N5/369			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	J P 1 1 - 0 1 8 0 0 2 A (三菱電機株式会社) 1999.01.22, 全文、全図 & US 6421086 B1	1 - 1 6	
A	J P 3 - 1 4 3 0 8 0 A (オリンパス光学工業株式会社) 1991.06.18, 全文、全図 (ファミリーなし)	1 - 1 6	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 29.05.2014		国際調査報告の発送日 10.06.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 木方 庸輔 電話番号 03-3581-1101 内線 3571	

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 1 2 9 7
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 5 - 0 6 5 1 1 9 A (株式会社日立製作所) 2005.03.10, 全文、全図 (ファミリーなし)	1 - 1 6
A	J P 2 0 0 6 - 3 3 3 2 2 9 A (キヤノン株式会社) 2006.12.07, 全文、全図 & US 2006/0268151 A1	1 - 1 6
A	J P 2 0 1 2 - 1 8 2 6 5 7 A (ソニー株式会社) 2012.09.20, 全文、全図 & WO 2012/117774 A1 & AU 2012224341 A	1 - 1 6
A	J P 7 - 2 9 8 1 4 2 A (キヤノン株式会社) 1995.11.10, 全文、全図 & US 6480226 B1	1 - 1 6
A	J P 2 0 0 2 - 2 7 7 9 2 2 A (株式会社リコー) 2002.09.25, 全文、全図 (ファミリーなし)	1 - 1 6

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5C122 EA21 FC02 FC07 FF03 FF11 FH12 FH18 HA71 HA75 HB01
HB02

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。