



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년08월13일

(11) 등록번호 10-1971195

(24) 등록일자 2019년04월16일

(51) 국제특허분류(Int. Cl.)

H01L 23/498 (2006.01) H01F 17/00 (2006.01)

H01L 23/538 (2006.01) H01L 23/64 (2006.01)

(52) CPC특허분류

H01L 23/49822 (2013.01)

H01F 17/0013 (2018.08)

(21) 출원번호 10-2016-7026201

(22) 출원일자(국제) 2015년03월27일

심사청구일자 2018년08월21일

(85) 번역문제출일자 2016년09월22일

(65) 공개번호 10-2016-0138411

(43) 공개일자 2016년12월05일

(86) 국제출원번호 PCT/US2015/023129

(87) 국제공개번호 WO 2015/148996

국제공개일자 2015년10월01일

(30) 우선권주장

14/229,367 2014년03월28일 미국(US)

(56) 선행기술조사문현

US20070257761 A1

US6177732 B1

US20120112868 A1

(73) 특허권자

웰컴 인코포레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775

(72) 발명자

파겔포우어, 시아마크

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775

페인터, 찰스 데이비드

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775

레인, 라이언 데이비드

미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775

(74) 대리인

특허법인 남앤남

전체 청구항 수 : 총 27 항

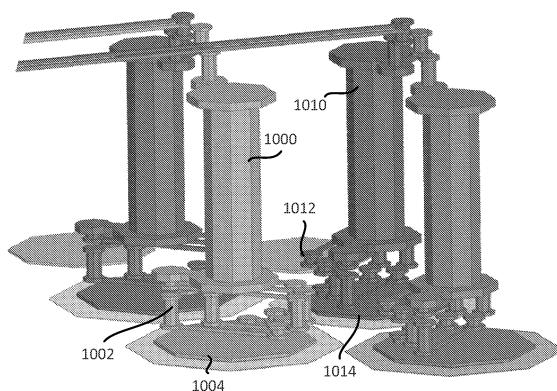
심사관 : 정구원

(54) 발명의 명칭 패키지 기판 내에 임베딩된 인더터

### (57) 요 약

일부 신규한 특징들은 코어 층, 제 1 비아, 제 1 유전체 층, 및 제 1 인더터를 포함하는 패키지 기판에 관한 것이다. 코어 층은 제 1 표면과 제 2 표면을 포함한다. 제 1 비아는 코어 층 내에 위치된다. 제 1 유전체 층은 코어 층의 제 1 표면에 결합된다. 제 1 인더터가 제 1 유전체 층 내에 위치된다. 제 1 인더터는 코어 층 내의 제 1 비아에 결합된다. 제 1 인더터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다. 일부 구현들에서, 패키지 기판은 제 1 인더터에 결합된 제 1 패드를 더 포함한다. 제 1 패드는 솔더 볼을 결합 시키도록 구성된다. 일부 구현들에서, 패키지 기판은 코어 층 내에 위치되는 제 2 비아 및 제 1 유전체 층 내에 위치되는 제 2 인더터를 포함한다.

**대 표 도** - 도10



(52) CPC특허분류

*H01L 23/5383* (2013.01)

*H01L 23/645* (2013.01)

*H01L 28/10* (2013.01)

*H01L 2924/3011* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

패키지 기판으로서,

제 1 표면 및 제 2 표면을 포함하는 코어 층;

상기 코어 층에 위치되는 제 1 비아;

상기 코어 층의 상기 제 1 표면에 결합되는(coupled) 제 1 유전체 층;

상기 코어 층 내 상기 제 1 비아에 결합되고 그리고 제 1 자기장을 생성하도록 구성되는 제 1 인덕터 – 상기 제 1 인덕터는 권선들의 제 1 세트를 형성하기 위해 상기 제 1 인덕터의 제 2 부분에 결합되는 상기 제 1 인덕터의 제 1 부분을 포함하고, 상기 제 1 인덕터의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 1 인덕터의 제 2 부분은 제 2 유전체 층에 위치되고, 그리고 상기 제 1 인덕터의 제 1 부분 및 상기 제 1 인덕터의 제 2 부분 중 적어도 하나는 제 1 C 형상(C configuration)을 포함함 –;

상기 코어 층에 위치되는 제 2 비아; 및

상기 코어 층 내 상기 제 2 비아에 결합되고 그리고 제 2 자기장을 생성하도록 구성되는 제 2 인덕터를 포함하고,

상기 제 2 인덕터는 권선들의 제 2 세트를 형성하기 위해 상기 제 2 인덕터의 제 2 부분에 결합되는 상기 제 2 인덕터의 제 1 부분을 포함하고, 상기 제 2 인덕터의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 2 인덕터의 제 2 부분은 상기 제 2 유전체 층에 위치되고, 그리고 상기 제 2 인덕터의 제 1 부분 및 상기 제 2 인덕터의 제 2 부분 중 적어도 하나는 제 2 C 형상을 포함하는, 패키지 기판.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 인덕터에 결합되는 제 1 패드를 더 포함하고,

상기 제 1 패드는 솔더 볼에 결합하도록 구성되는, 패키지 기판.

#### 청구항 3

제 2 항에 있어서,

상기 제 1 인덕터는, 2.5옴(ohms) 또는 그 미만의 신호 상호접속부(interconnect)와 상기 제 1 패드 간의 임피던스 차를 제공하도록 구성되는, 패키지 기판.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 인덕터는,

비아들의 제 1 세트; 및

상호접속부들의 제 1 세트를 포함하는, 패키지 기판.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 인덕터에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인덕터에 결합되는 제 2 패드의 임피던스에 영향을 주도록, 상기 제 1 인덕터가 적어도 상기 제 1 유전체 층 및 상기 제 2 유전체 층에 위치되는, 패키지

기판.

### 청구항 6

제 1 항에 있어서,

상기 제 1 인더터에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인더터에 의해 생성되는 상기 제 2 자기장을 증폭시키도록, 상기 제 1 C 형상 및 상기 제 2 C 형상이 정렬(align)되고, 그리고 상기 제 1 인더터 및 상기 제 2 인더터가 서로 인접하게 위치되는, 패키지 기판.

### 청구항 7

제 1 항에 있어서,

상기 코어 층의 상기 제 2 표면에 결합되는 제 3 유전체 층; 및

상기 제 3 유전체 층 내의 상호접속부들의 세트를 더 포함하고,

상기 상호접속부들의 세트는 상기 코어 층에 위치되는 상기 제 1 비아에 결합되는, 패키지 기판.

### 청구항 8

제 1 항에 있어서,

상기 패키지 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및 랩톱 컴퓨터 중 적어도 하나에 포함되는, 패키지 기판.

### 청구항 9

제 1 항에 있어서,

상기 제 1 인더터는 상기 제 2 인더터의 배향(orientation)에 따라 상기 제 1 자기장을 생성하도록 배향되는, 패키지 기판.

### 청구항 10

장치로서,

제 1 표면 및 제 2 표면을 포함하는 코어 층;

상기 코어 층에 위치되는 제 1 비아;

상기 코어 층의 상기 제 1 표면에 결합되는 제 1 유전체 층;

상기 코어 층 내 상기 제 1 비아에 결합되고 그리고 제 1 자기장을 생성하도록 구성되는 제 1 인더터 수단 – 상기 제 1 인더터 수단은 권선들의 제 1 세트를 형성하기 위해 상기 제 1 인더터 수단의 제 2 부분에 결합되는 상기 제 1 인더터 수단의 제 1 부분을 포함하고, 상기 제 1 인더터 수단의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 1 인더터 수단의 제 2 부분은 제 2 유전체 층에 위치되고, 그리고 상기 제 1 인더터 수단의 제 1 부분 및 상기 제 1 인더터 수단의 제 2 부분 중 적어도 하나는 제 1 C 형상을 포함함 –;

상기 코어 층에 위치되는 제 2 비아; 및

상기 코어 층 내 상기 제 2 비아에 결합되고 그리고 제 2 자기장을 생성하도록 구성되는 제 2 인더터 수단을 포함하고,

상기 제 2 인더터 수단은 권선들의 제 2 세트를 형성하기 위해 상기 제 2 인더터 수단의 제 2 부분에 결합되는 상기 제 2 인더터 수단의 제 1 부분을 포함하고, 상기 제 2 인더터 수단의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 2 인더터 수단의 제 2 부분은 상기 제 2 유전체 층에 위치되고, 그리고 상기 제 2 인더터 수단의 제 1 부분 및 상기 제 2 인더터 수단의 제 2 부분 중 적어도 하나는 제 2 C 형상을 포함하는, 장치.

### 청구항 11

제 10 항에 있어서,

상기 제 1 인더터 수단에 결합되는 제 1 패드를 더 포함하고,

상기 제 1 패드는 솔더 볼에 결합하도록 구성되는, 장치.

### 청구항 12

제 11 항에 있어서,

상기 제 1 인더터 수단은, 2.5옴 또는 그 미만의 신호 상호접속부와 상기 제 1 패드 간의 임피던스 차를 제공하도록 구성되는, 장치.

### 청구항 13

제 10 항에 있어서,

상기 제 1 인더터 수단은,

비아들의 제 1 세트; 및

상호접속부들의 제 1 세트를 포함하는, 장치.

### 청구항 14

제 10 항에 있어서,

상기 제 1 인더터 수단에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인더터 수단에 결합되는 제 2 패드의 임피던스에 영향을 주도록, 상기 제 1 인더터 수단이 적어도 상기 제 1 유전체 층 및 상기 제 2 유전체 층에 위치되는, 장치.

### 청구항 15

제 10 항에 있어서,

상기 제 1 인더터 수단에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인더터 수단에 의해 생성되는 상기 제 2 자기장을 증폭시키도록, 상기 제 1 C 형상 및 상기 제 2 C 형상이 정렬되고, 그리고 상기 제 1 인더터 수단 및 상기 제 2 인더터 수단이 서로 인접하게 위치되는, 장치.

### 청구항 16

제 10 항에 있어서,

상기 코어 층의 상기 제 2 표면에 결합되는 제 3 유전체 층; 및

상기 제 3 유전체 층 내의 상호접속부들의 세트를 더 포함하고,

상기 상호접속부들의 세트는 상기 코어 층에 위치되는 상기 제 1 비아에 결합되는, 장치

### 청구항 17

제 10 항에 있어서,

상기 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및 랩탑 컴퓨터 중 적어도 하나에 포함되는, 장치.

### 청구항 18

제 10 항에 있어서,

상기 제 1 인더터 수단은 상기 제 2 인더터 수단의 배향에 따라 상기 제 1 자기장을 생성하도록 배향되는, 장치.

### 청구항 19

패키지 기판을 제조하기 위한 방법으로서,

제 1 표면 및 제 2 표면을 포함하는 코어 층을 형성하는 단계;

상기 코어 층에 제 1 비아를 형성하는 단계;

상기 코어 층의 상기 제 1 표면에 결합되는 제 1 유전체 층을 형성하는 단계;

상기 코어 층 내 상기 제 1 비아에 결합되고 그리고 제 1 자기장을 생성하도록 구성되는 제 1 인덕터를 형성하는 단계 – 상기 제 1 인덕터는 권선들의 제 1 세트를 형성하기 위해 상기 제 1 인덕터의 제 2 부분에 결합되는 상기 제 1 인덕터의 제 1 부분을 포함하고, 상기 제 1 인덕터의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 1 인덕터의 제 2 부분은 제 2 유전체 층에 위치되고, 그리고 상기 제 1 인덕터의 제 1 부분 및 상기 제 1 인덕터의 제 2 부분 중 적어도 하나는 제 1 C 형상을 포함함 –;

상기 코어 층에 제 2 비아를 형성하는 단계; 및

상기 코어 층 내 상기 제 2 비아에 결합되고 그리고 제 2 자기장을 생성하도록 구성되는 제 2 인덕터를 형성하는 단계를 포함하고,

상기 제 2 인덕터는 권선들의 제 2 세트를 형성하기 위해 상기 제 2 인덕터의 제 2 부분에 결합되는 상기 제 2 인덕터의 제 1 부분을 포함하고, 상기 제 2 인덕터의 제 1 부분은 상기 제 1 유전체 층에 위치되고 그리고 상기 제 2 인덕터의 제 2 부분은 상기 제 2 유전체 층에 위치되고, 그리고 상기 제 2 인덕터의 제 1 부분 및 상기 제 2 인덕터의 제 2 부분 중 적어도 하나는 제 2 C 형상을 포함하는, 패키지 기판을 제조하기 위한 방법.

### 청구항 20

제 19 항에 있어서,

제 1 패드가 상기 제 1 인덕터에 결합되도록 상기 제 1 패드를 형성하는 단계를 더 포함하고, 상기 제 1 패드는 솔더 볼에 결합하도록 구성되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 21

제 20 항에 있어서,

상기 제 1 인덕터는, 2.5옴 또는 그 미만의 신호 상호접속부와 상기 제 1 패드 간의 임피던스 차를 제공하도록 구성되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 22

제 19 항에 있어서,

상기 제 1 인덕터를 형성하는 단계는,

비아들의 제 1 세트를 형성하는 단계; 및

상호접속부들의 제 1 세트를 형성하는 단계를 포함하는, 패키지 기판을 제조하기 위한 방법.

### 청구항 23

제 19 항에 있어서,

상기 제 1 인덕터에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인덕터에 결합되는 제 2 패드의 임피던스에 영향을 주도록, 상기 제 1 인덕터가 적어도 상기 제 1 유전체 층 및 상기 제 2 유전체 층에 위치되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 24

제 19 항에 있어서,

상기 제 1 인덕터에 의해 생성되는 상기 제 1 자기장이 상기 제 2 인덕터에 의해 생성되는 상기 제 2 자기장을

증폭시키도록, 상기 제 1 C 형상 및 상기 제 2 C 형상이 정렬되고, 그리고 상기 제 1 인더터 및 상기 제 2 인더터가 서로 인접하게 위치되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 25

제 19 항에 있어서,

상기 코어 층의 상기 제 2 표면에 결합되는 제 3 유전체 층을 형성하는 단계; 및

상기 제 3 유전체 층 내에 상호접속부들의 세트를 형성하는 단계를 더 포함하고,

상기 상호접속부들의 세트는 상기 코어 층에 위치되는 상기 제 1 비아에 결합되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 26

제 19 항에 있어서,

상기 패키지 기판은 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및 랩톱 컴퓨터 중 적어도 하나에 포함되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 27

제 19 항에 있어서,

상기 제 1 인더터는 상기 제 2 인더터의 배향에 따라 상기 제 1 자기장을 생성하도록 배향되는, 패키지 기판을 제조하기 위한 방법.

### 청구항 28

삭제

### 청구항 29

삭제

## 발명의 설명

### 기술 분야

[0001]

관련 출원의 교차 참조

[0002]

[0001] 본 출원은, 2014년 3월 28일에 미국 특허 상표청에 제출된 미국 정규 특허 출원 제14/229,367호의 혜택과 우선권을 주장하며, 상기 출원의 전체 내용이 인용에 의해 본원에 포함된다.

[0003]

[0002] 다양한 특징들은 패키지 기판 내에 임베딩되는 인더터에 관한 것이다.

### 배경 기술

[0004]

[0003] 도 1은, 기판(102), 상호접속부들(104)의 세트, 제 1 다이(106), 제 2 다이(108), 솔더 볼들(116)의 제 1 세트, 솔더 볼들(118)의 제 2 세트, 및 솔더 볼들(120)의 제 3 세트를 포함하는 종래의 통합 패키지(100)를 도시한다. 상호접속부들(104)의 세트는, 기판(102) 내부에 위치되는 트레이스들 및 비아들을 포함한다. 제 1 다이(106)는 솔더 볼들(116)의 제 1 세트를 통해 기판(102)에 결합된다. 제 2 다이(108)는 솔더 볼들(118)의 제 2 세트를 통해 기판(102)에 결합된다. 솔더 볼들(120)의 제 3 세트가 기판(102)에 결합된다. 제 1 다이(106) 및 제 2 다이(108)는 상호접속부들(104)의 세트를 통해 솔더 볼들(120)의 제 3 세트에 결합된다. 통상적으로, 솔더 볼들(120)의 제 3 세트가 인쇄 회로 기판(PCB)(미도시)에 결합된다.

[0005]

[0004] 도 1에 설명된 것과 같은 종래의 통합 패키지들은 특정한 제한들 및 단점들을 갖는다. 예를 들어, 상호접속부들(104)의 세트는, 솔더 볼들(120)의 제 3 세트의 임피던스 값들과 일치하지 않거나 또는 밀접하게 일치하는 특정 임피던스 값을 가질 수 있다. 임피던스 값들의 이러한 불일치는 신호 손실 또는 신호 저하의 원인이 될 수 있는데, 이는, 패키지 기판의 전체 성능에 영향을 미치고 궁극적으로 패키지 기판을 포함하는 통합 디

바이스의 성능에 영향을 미친다. 솔더 볼들 대신 랜딩(landing) 패드들을 이용할 경우 유사한 결과들(예를 들어, 임피던스 값들에 있어서의 불일치)이 발생할 수 있다.

[0006] [0005] 임피던스 값들의 불일치는, 상호접속부들(104)의 세트의 사이즈와 솔더 볼들(120)의 제 3 세트의 사이즈 간의 사이즈 차이 때문이다. 일반적 말하면, 솔더 볼들은 패키지 기판의 상호접속부(예를 들어, 트레이스, 비아)보다 실질적으로 더 크다. 상호접속부들(104)의 세트의 사이즈와 랜딩 패드들의 사이즈 사이에도 비슷한 사이즈 차이가 또한 존재한다.

[0007] [0006] 따라서, 로우 프로파일을 가질 뿐만 아니라 가능한 한 작은 실제 면적을 차지하는 비용 효과적인 통합 패키지에 대한 필요성이 존재한다. 이상적으로, 이러한 통합 패키지는 또한 다이들과의 고밀도 접속들을 제공할 것이다.

### 발명의 내용

[0008] [0007] 본원에 설명된 다양한 특징들, 장치들 및 방법들은 패키지 기판 내에 임베딩된 인덕터를 제공한다.

[0009] [0008] 제 1 예는, 코어 층, 제 1 비아, 제 1 유전체 및 제 1 인덕터를 포함하는 패키지 기판을 제공한다. 코어 층은 제 1 표면 및 제 2 표면을 포함한다. 제 1 비아는 코어 층에 위치된다. 제 2 유전체 층이 코어 층의 제 1 표면에 결합된다. 제 1 인덕터는 제 1 유전체 층에 위치된다. 제 2 인덕터가 코어 층의 제 1 비아에 결합된다. 제 1 인덕터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다.

[0010] [0009] 일 양상에 따르면, 패키지 기판은 제 1 인덕터에 결합되는 제 1 패드를 포함하며, 제 1 패드는 솔더 볼에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터는 2.5 옴(ohms) 또는 그 미만의 신호 상호접속부와 제 1 패드 간의 임피던스 차를 제공하도록 구성된다.

[0011] [0010] 일 양상에 따르면, 제 1 인덕터는 비아들의 제 1 세트, 및 상호접속부들의 제 1 세트를 포함한다.

[0012] [0011] 일 양상에 따르면, 패키지 기판은 코어 층에 위치되는 제 2 비아 및 제 1 유전체 층 내의 제 2 인덕터를 포함하며, 제 2 인덕터는 코어 층 내의 제 2 비아에 결합된다. 일부 구현들에서, 제 1 인덕터가 제 1 유전체 층 내에 위치되어, 제 1 인덕터에 의해 생성되는 자기장이 제 2 인덕터에 결합되는 패드의 임피던스에 영향을 준다. 일부 구현들에서, 제 1 인덕터가 제 1 유전체 층 내에 위치되어, 제 1 인덕터에 의해 생성되는 자기장이 제 2 인덕터에 의해 생성되는 자기장을 증폭시킨다. 일부 구현들에서, 제 2 인덕터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다.

[0013] [0012] 일 양상에 따르면, 패키지 기판은, 코어 층의 제 2 표면에 결합되는 제 2 유전체 층, 및 제 2 유전체 층 내의 상호접속부들의 세트를 포함하고, 상호접속부들의 세트는 코어 층 내의 비아에 결합된다.

[0014] [0013] 일 양상에 따르면, 패키지 기판은, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및/또는 랩톱 컴퓨터 중 적어도 하나에 포함된다.

[0015] [0014] 제 2 예는, 제 1 표면 및 제 2 표면을 포함하는 코어 층, 코어 층에 위치되는 제 1 비아, 코어 층의 제 1 표면에 결합되는 제 1 유전체 층, 및 제 1 유전체 층 내에 위치되는 제 1 인덕터 수단을 포함하는 장치를 제공하고, 제 1 인덕터 수단은 코어 층 내의 제 1 비아에 결합되고, 제 1 인덕터 수단은 패키지 기판을 측방향을 가로지르는 자기장을 생성하도록 구성된다.

[0016] [0015] 일 양상에 따르면, 장치는 제 1 인덕터 수단에 결합되는 제 1 패드를 포함하며, 제 1 패드는 솔더 볼에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터 수단은 2.5 옴 또는 그 미만의 신호 상호접속부와 제 1 패드 간의 임피던스 차를 제공하도록 구성된다.

[0017] [0016] 일 양상에 따르면, 제 1 인덕터 수단은 수직 상호접속부 수단의 제 1 세트, 및 측방향 상호접속부를 수단의 제 1 세트를 포함한다.

[0018] [0017] 일 양상에 따르면, 장치는 코어 층에 위치되는 제 2 비아 및 제 1 유전체 층 내의 제 2 인덕터 수단을 포함하며, 제 2 인덕터 수단은 코어 층 내의 제 2 비아에 결합된다. 일부 구현들에서, 제 1 인덕터 수단은 제 1 유전체 층 내에 위치되어, 제 1 인덕터 수단에 의해 생성되는 자기장이 제 2 인덕터 수단에 결합되는 패드의 임피던스에 영향을 준다. 일부 구현들에서, 제 1 인덕터 수단이 제 1 유전체 층 내에 위치되어, 제 1 인덕터 수단에 의해 생성되는 자기장이 제 2 인덕터 수단에 의해 생성되는 자기장을 증폭시킨다. 일부 구현들에서, 제

2 인덕터 수단은, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다.

[0019] 일 양상에 따르면, 장치는, 코어 층의 제 2 표면에 결합되는 제 2 유전체 층, 및 제 2 유전체 층 내의 상호접속부들의 세트를 포함하고, 상호접속부들의 세트는 코어 층 내의 비아에 결합된다.

[0020] 일 양상에 따르면, 장치는, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 포함된다.

[0021] 제 3 예는 패키지 기판을 제조하는 방법을 제공한다. 방법은 제 1 표면 및 제 2 표면을 포함하는 코어 층을 형성한다. 방법은 코어 층 내에 제 1 비아를 형성한다. 방법은 추가로, 코어 층의 제 1 표면에 결합되는 제 1 유전체 층을 형성한다. 방법은 또한, 제 1 인덕터가 코어 층의 제 1 비아에 결합되도록 제 1 유전체 층 내에 제 1 인덕터를 형성한다. 제 1 인덕터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다.

[0022] 일 양상에 따르면, 방법은 제 1 패드가 제 1 인덕터에 결합되도록 제 1 패드를 형성하며, 제 1 패드는 솔더 볼에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터는 2.5 옴 또는 그 미만의 신호 상호접속부와 제 1 패드 간의 임피던스 차를 제공하도록 구성된다.

[0023] 일 양상에 따르면, 제 1 인덕터를 형성하는 단계는 비아들의 제 1 세트를 형성하는 단계, 및 상호접속부들의 제 1 세트를 형성하는 단계를 포함한다.

[0024] 일 양상에 따르면, 방법은, 제 2 인덕터가 코어 층 내의 제 2 비아에 결합되도록 코어 층에 위치되는 제 2 비아 및 제 1 유전체 층 내의 제 2 인덕터를 형성하고, 제 1 유전체 층 내에 제 2 인덕터를 형성한다. 일부 구현들에서, 제 1 인덕터가 제 1 유전체 층 내에 위치되어, 제 1 인덕터에 의해 생성되는 자기장이 제 2 인덕터에 결합되는 패드의 임피던스에 영향을 준다. 일부 구현들에서, 제 1 인덕터가 제 1 유전체 층 내에 위치되어, 제 1 인덕터에 의해 생성되는 자기장이 제 2 인덕터에 의해 생성되는 자기장을 증폭시킨다. 일부 구현들에서, 제 2 인덕터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다.

[0025] 일 양상에 따르면, 방법은 코어 층의 제 2 표면에 결합되는 제 2 유전체 층을 형성하고, 제 2 유전체 층 내의 상호접속부들의 세트를 형성하고, 상호접속부들의 세트는 코어 층 내의 비아에 결합된다.

[0026] 일 양상에 따르면, 패키지 기판은, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말기, 고정 위치 단말기, 태블릿 컴퓨터, 및/또는 랩탑 컴퓨터 중 적어도 하나에 포함된다.

## 도면의 간단한 설명

[0027] 다양한 특징들, 본질 및 이점들은, 동일한 도면 부호들이 전체에 걸쳐 대응하는 것을 식별하는 도면들과 함께 취하여 질 경우 아래에 제시되는 상세한 설명으로부터 명확하질 것이다.

[0027] 도 1은, 종래의 통합 디바이스의 프로파일 뷰를 도시한다.

[0028] 도 2는, 인덕터들을 포함하는 패키지 기판의 일례를 도시한다.

[0029] 도 3은, 비아에 결합되는 인덕터의 예를 도시한다.

[0030] 도 4는, 인덕터에 의해 생성되는 자기장의 일례를 도시한다.

[0031] 도 5는, 비아들 및 패드에 결합되는 예시적인 인덕터들의 확대 앵글뷰를 도시한다.

[0032] 도 6은, 인덕터들을 포함하는 패키지 기판의 일례를 도시한다.

[0033] 도 7은, 비아에 결합되는 인덕터의 예를 도시한다.

[0034] 도 8은, 인덕터들에 의해 생성되는 자기장들의 일례를 도시한다.

[0035] 도 9는, 인덕터들에 의해 생성되는 자기장들의 일례를 도시한다.

[0036] 도 10은, 비아들 및 패드에 결합되는 예시적인 인덕터들의 앵글뷰를 도시한다.

[0037] 도 11a는, 인덕터를 포함하는 패키지 기판을 제공/제조하기 위한 예시적인 시퀀스의 일부를 도시한다.

- [0038] 도 11b는, 인덕터를 포함하는 패키지 기판을 제공/제조하기 위한 예시적인 시퀀스의 일부를 도시한다.
- [0039] 도 11c는, 인덕터를 포함하는 패키지 기판을 제공/제조하기 위한 예시적인 시퀀스의 일부를 도시한다.
- [0040] 도 11d는, 인덕터를 포함하는 패키지 기판을 제공/제조하기 위한 예시적인 시퀀스의 일부를 도시한다.
- [0041] 도 12는, 인덕터를 포함하는 패키지 기판을 제공/제조하기 위한 예시적인 시퀀스의 일부를 도시한다.
- [0042] 도 13은, 인덕터들을 포함하는 패키지 기판의 일례를 도시한다.
- [0043] 도 14는, 인덕터들을 포함하는 패키지 기판의 일례를 도시한다.
- [0044] 도 15는, 본원에 설명되는 반도체 디바이스, 다이, 패키지 기판, 통합 회로 및/또는 PCB를 통합시킬 수 있는 다양한 전자 디바이스들을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

- [0028] [0045] 다음 설명에서, 본 개시물의 다양한 양상들의 완전한 이해를 제공하기 위해서 특정 상세들이 주어진다. 그러나, 양태들이 이러한 특정 상세를 없이도 실시될 수 있다는 것을 당업자는 이해할 것이다. 예를 들어, 회로들은 불필요한 상세에서 양상들을 모호하게 하는 것을 방지하기 위해서 블록도들로 도시될 수 있다. 다른 예들에서, 잘 알려진 회로들, 구조들 및 기술들은 본 개시물의 양상들을 모호하게 하지 않기 위해 상세히 도시되지 않을 수 있다.
- [0029] 개관
- [0030] [0046] 일부 신규한 특징들은, 코어 층, 제 1 비아(예를 들어, 제 1 핀), 제 1 유전체 및 제 1 인덕터를 포함하는 패키지 기판과 관련된다. 코어 층은 제 1 표면 및 제 2 표면을 포함한다. 제 1 비아는 코어 층에 위치된다. 제 2 유전체 층이 코어 층의 제 1 표면에 결합된다. 제 1 인덕터는 제 1 유전체 층에 위치된다. 제 2 인덕터가 코어 층의 제 1 비아에 결합된다. 제 1 인덕터는, 패키지 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다. 일부 구현들에서, 패키지 기판은 제 1 인덕터에 결합되는 제 1 패드를 더 포함하며, 제 1 패드는 솔더 볼에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터는 비아들의 제 1 세트, 및 상호접속부들의 제 1 세트를 포함한다. 일부 구현들에서, 패키지 기판은 코어 층에 위치되는 제 2 비아(예를 들어, 제 2 핀), 및 제 1 유전체 층에 위치되는 제 2 인덕터를 포함하며, 제 2 인덕터는 코어 층 내의 제 2 비아에 결합된다. 일부 구현들에서, 제 1 인덕터가 제 1 유전체 층 내에 위치되어, 제 1 인덕터에 의해 생성되는 자기장이 제 2 인덕터에 결합되는 패드의 임피던스에 영향을 준다.
- [0031] 인덕터를 포함하는 예시적인 패키지 기판
- [0032] [0047] 도 2는 인덕터들을 포함하는 패키지 기판의 일례를 개념적으로 도시한다. 구체적으로, 도 2는 코어 층(202), 제 1 유전체 층(204), 및 제 2 유전체 층(206)을 포함하는 패키지 기판(200)을 도시한다. 일부 구현들에서, 제 1 유전체 층(204)은 여러 개의 유전체 층들을 포함할 수 있다. 유사하게, 일부 구현들에서, 제 2 유전체 층(206)은 여러 개의 유전체 층들을 포함할 수 있다.
- [0033] [0048] 코어 층(202)은 제 1 비아(220) 및 제 2 비아(230)를 포함한다. 일부 구현들에서, 제 1 비아(220) 및/또는 제 2 비아(230)는 핀일 수 있다. 제 1 유전체 층(204)은 상호접속부들(214)의 제 1 세트, 제 1 인덕터(222), 제 1 패드(224), 제 2 인덕터(232), 및 제 2 패드(234)를 포함한다. 제 2 유전체 층(206)은 상호접속부들(216)의 제 2 세트, 상호접속부들(226)의 제 3 세트, 및 상호접속부들(236)의 제 4 세트를 포함한다.
- [0034] [0049] 제 1 인덕터(222)는, 제 1 인덕터(222)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인덕터(222)의 제 1 부분(예를 들어, 상부)이 제 1 비아(220)의 제 1 부분(예를 들면, 하부)에 결합된다. 제 1 인덕터(222)의 제 2 부분(예를 들면, 하부)이 제 1 패드(224)에 결합된다. 일부 구현들에서, 제 1 패드(224)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터(222)는, 제 1 패드(224)의 임피던스가, 제 1 패드(224)가 결합하게 될 신호 상호접속부들의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 일부 구현들에서, 신호 상호접속부는 코어 층(202) 내의 적어도 하나의 비아(예를 들어, 제 1 비아(220)) 및/또는 제 2 유전체 층(206) 내의 상호접속부들의 세트(예를 들어, 상호접속부들(236)의 제 4 세트) 중 하나를 포함한다. 일부 구현들에서, 신호 상호접속부는 인덕터(222) 및/또는 인덕터(232)를 포함할 수 있다. 일부 구현들에서, 상호접속부는 트레이스를 포함할 수 있다.

- [0035] [0050] 일부 구현들에서, 임피던스를 매칭시키는 것 또는 패드(들)과 신호 상호접속부의 임피던스 간의 차를 감소시키는 것은 양호한 신호 성능을 제공한다. 예를 들어, 임피던스를 매칭시키거나 또는 임피던스의 차를 감소시키는 것은 패드들과 신호 상호접속부 간의 신호 손실 및/또는 신호 저하를 감소시킴으로써, 더 양호한 신호 성능을 패키지 기판에 제공한다.
- [0036] [0051] 제 1 비아(220)의 제 2 부분(예를 들면, 상부)이 상호접속부들(226)의 제 3 세트에 결합된다. 상호접속부들(226)의 제 3 세트는 제 2 유전체 층(206)에 위치된다. 상호접속부들(226)의 제 3 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.
- [0037] [0052] 제 2 인더터(232)는, 제 2 인더터(232)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 2 인더터(232)의 제 1 부분(예를 들어, 상부)이 제 2 비아(230)의 제 1 부분(예를 들어, 하부)에 결합된다. 제 2 인더터(232)의 제 2 부분(예를 들어, 하부)이 제 2 패드(234)에 결합된다. 일부 구현들에서, 제 2 패드(234)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 2 인더터(232)는, 제 2 패드(234)의 임피던스가, 제 2 패드(234)가 결합하게 될 신호 상호접속부의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다.
- [0038] [0053] 제 2 비아(230)의 제 2 부분(예를 들면, 상부)이 상호접속부들(236)의 제 4 세트에 결합된다. 상호접속부들(236)의 제 4 세트는 제 2 유전체 층(206)에 위치된다. 상호접속부들(236)의 제 4 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.
- [0039] [0054] 도 3은, 상호접속부들의 세트의 일부가 인더터로 동작하도록 구성되는 패키지 기판 내의 상호접속부들의 세트의 확대도를 도시한다. 명료성을 위해서, 패키지 기판은 도 3에 도시되지 않는다.
- [0040] [0055] 도 3은 제 1 비아(304)에 결합되는 트레이스(302)를 도시한다. 제 1 비아(304)는 패드(306)에 결합된다. 일부 구현들에서, 제 1 트레이스(302), 제 1 비아(304), 및 제 1 패드(306)는 패키지 기판(예를 들어, 패키지 기판(200))의 제 1 유전체 층(예를 들어, 유전체 층(206))에 위치된다.
- [0041] [0056] 제 1 패드(306)가 제 1 비아(308)의 제 1 부분(예를 들어, 상부)에 결합된다. 일부 구현들에서, 제 1 비아(308)는 핀이다. 일부 구현들에서, 제 1 비아(308)가 패키지 기판의 코어 층(예를 들어, 코어 층(202))에 위치된다. 제 1 비아(308)의 제 2 부분(예를 들면, 하부)이 제 1 인더터(310)에 결합된다. 일부 구현들에서, 제 1 인더터(310)가 패키지 기판의 제 2 유전체 층(예를 들어, 유전체 층(204))에 위치된다.
- [0042] [0057] 제 1 인더터(310)는 제 2 패드(312), 제 2 비아(313), 제 2 트레이스(314), 제 3 비아(315), 제 3 트레이스(316), 제 4 비아(317), 제 4 트레이스(318), 제 5 비아(319)를 포함한다. 제 2 패드(312)는 제 1 비아(308)의 제 2 부분에 결합된다. 제 2 패드(312)는 또한 제 2 비아(313)에 결합된다. 제 2 비아(313)는 제 2 트레이스(314)에 결합된다. 제 2 트레이스(314)는 제 3 비아(315)에 결합된다. 제 3 비아(315)는 제 3 트레이스(316)에 결합된다. 제 3 트레이스(316)는 제 4 비아(317)에 결합된다. 제 4 비아(317)는 제 4 트레이스(318)에 결합된다. 제 4 트레이스(318)는 제 5 비아(319)에 결합된다. 제 5 비아(319)는 제 3 패드(320)에 결합된다. 일부 구현들에서, 제 3 패드(320)는 솔더 볼 또는 다른 패드(예컨대, 랜딩 패드 어레이로부터의 랜딩 패드)에 결합되도록 구성된다.
- [0043] [0058] 일부 구현들에서, 제 2 패드(312)에서, 제 2 비아(313), 제 2 트레이스(314), 제 3 비아(315), 제 3 트레이스(316), 제 4 비아(317), 제 4 트레이스(318) 및/또는 제 5 비아(319)는 제 1 인더터(310)에 대해 나선형 권선으로서 동작하도록 구성된다. 일부 구현들에서, 제 3 패드(320)는 제 1 인더터(310)의 일부이다. 상이한 구현들이 상이한 수의 트레이스들 및/또는 비아들을 구비할 수 있다는 것을 주목해야 한다. 다른 인더터 구성은 상이한 방향들을 따라 서로 다른 자기장들을 생성할 것이다. 일부 구현들에서, 인더터에 의해 생성된 자기장의 세기 및/또는 방향은 비아(예를 들어, 핀) 또는 패드(예를 들어, 솔더 볼에 결합되는 패드)의 임피던스에 영향을 미칠 것이다. 일부 구현들에서, 인더터는 신호 상호접속부에 결합된다. 일부 구현들에서, 신호 상호접속부는 적어도 비아(예를 들어, 비아(308)), 패드(예를 들어, 패드(306)) 및/또는 트레이스(예를 들어, 트레이스(302)) 중 하나를 포함할 수 있다. 일부 구현들에서, 신호 상호접속부는 인더터를 포함할 수 있다.
- [0044] [0059] 도 4는 패키지 기판 내의 인더터에 의해 생성될 수 있는 자기장의 일례를 도시한다. 도 4에 도시된 바와 같이, 인더터(400)는 수직 자기장을 생성한다. 일부 구현들에서, 인더터(400)는 도 2의 인더터들(222 및 232) 및/또는 도 3의 인더터(310)와 유사하다. 일부 구현들에서, 수직 자기장은 임피던스 차의 개선을 돋는다(예를 들어, 패드와 신호 상호접속부 간의 임피던스 차를 감소시킨다). 예를 들어, 일부 구현들에서, 패드 및 비아에 결합되는 인더터의 사용은 패드와 신호 상호접속부 간의 임피던스 차를 2.5 옴 또는 그 미만까지 감소시

킬 수 있다. 일부 구현들에서, 과도한 자기장이 큰 패드에 의해 생성된 과도한 전기장을 공진시켜 내어, 패드가 신호 상호접속부의 임피던스와 더 가까운 더 높은 임피던스를 갖게 한다.

[0045] 다른 인덕터 구성은 서로 다른 자기장들을 생성할 것이다. 인덕터의 다른 구성들이 도 6 내지 도 10에서 아래에 추가로 설명될 것이다.

[0046] 도 5는 인덕터에 결합되는 비아들의 앵글뷰를 도시한다. 명료함을 위해서, 도 5에 도시된 인덕터들이 패키지 기판에서 구현될 수 있지만, 패키지 기판은 도시되지 않는다. 도 5에 도시된 바와 같이, 제 1 비아(500)는 제 1 인덕터(502)에 결합된다. 제 1 인덕터(502)는, 제 1 인덕터(502)를 위한 제 1 나선형 권선으로서 동작하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인덕터(502)는 또한 제 1 패드(504)에 결합된다. 제 1 패드(504)는, 랜딩 패드 어레이로부터의 랜딩 패드 또는 솔더 볼에 결합하도록 구성될 수 있다.

[0047] 측방향 자기장을 생성하는 인덕터를 포함하는 예시적인 패키지 기판

[0048] 다른 인덕터 구성은 서로 다른 자기장들을 생성할 것이다. 일부 구현들에서, 인덕터는 여러 기술적 이점들을 제공할 수 있는 패키지 기판에서 측방향 자기장(예를 들어, 패키지 기판을 횡방향으로 가로지르는 자기장)을 생성하도록 구성될 수 있다.

[0049] 도 6는 측방향 자기장을 생성할 수 있는 인덕터를 포함하는 패키지 기판의 일례를 개념적으로 도시한다. 구체적으로, 도 6은 코어 층(602), 제 1 유전체 층(604), 및 제 2 유전체 층(606)을 포함하는 패키지 기판(600)을 도시한다. 일부 구현들에서, 제 1 유전체 층(604)은 여러 개의 유전체 층들을 포함할 수 있다. 유사하게, 일부 구현들에서, 제 2 유전체 층(606)은 여러 개의 유전체 층들을 포함할 수 있다.

[0050] 코어 층(602)은 제 1 비아(620) 및 제 2 비아(630)를 포함한다. 일부 구현들에서, 제 1 비아(620) 및 /또는 제 2 비아(630)는 편일 수 있다. 제 1 유전체 층(604)은 상호접속부들(614)의 제 1 세트, 제 1 인덕터(622), 제 1 패드(624), 제 2 인덕터(632), 및 제 2 패드(634)를 포함한다. 제 2 유전체 층(606)은 상호접속부들(616)의 제 2 세트, 상호접속부들(626)의 제 3 세트, 및 상호접속부들(636)의 제 4 세트를 포함한다.

[0051] 제 1 인덕터(622)는, 제 1 인덕터(622)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인덕터(622)의 제 1 부분(예를 들어, 상부)이 제 1 비아(620)의 제 1 부분(예를 들면, 하부)에 결합된다. 제 1 인덕터(622)의 제 2 부분(예를 들면, 하부)이 제 1 패드(624)에 결합된다. 일부 구현들에서, 제 1 패드(624)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 1 인덕터(622)는, 제 1 패드(624)의 임피던스가, 제 1 패드(624)가 결합하게 될 신호 상호접속부들의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 일부 구현들에서, 신호 상호접속부는 코어 층(602) 내의 적어도 하나의 비아(예를 들어, 제 1 비아(620)) 및/또는 제 2 유전체 층(606) 내의 상호접속부들의 세트(예를 들어, 상호접속부들(636)의 제 4 세트) 중 하나를 포함한다. 일부 구현들에서, 신호 상호접속부는 인덕터(622) 및/또는 인덕터(632)를 포함할 수 있다. 일부 구현들에서, 상호접속부는 트레이스를 포함할 수 있다. 제 1 인덕터(622)는, 패키지 기판(600)을 측방향으로 가로지르는 자기장을 제공하도록 구성될 수 있다. 패키지 기판을 측방향으로 가로지르는 자기장의 기술적 이점 및/또는 혜택을 도 8 및 도 9에 추가로 설명할 것이다.

[0052] 일부 구현들에서, 임피던스를 매칭시키거나 또는 패드들과 신호 상호접속부의 임피던스 간의 차를 감소시키는 것은 더 양호한 신호 성능을 제공한다. 예를 들어, 임피던스를 매칭시키거나 또는 임피던스의 차를 감소시키는 것은 패드들과 신호 상호접속부 간의 신호 손실 및/또는 신호 저하를 감소시킴으로써, 더 양호한 신호 성능을 패키지 기판에 제공한다.

[0053] 제 1 비아(620)의 제 2 부분(예를 들면, 상부)이 상호접속부들(626)의 제 3 세트에 결합된다. 상호접속부들(626)의 제 3 세트는 제 2 유전체 층(606)에 위치된다. 상호접속부들(626)의 제 3 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.

[0054] 제 2 인덕터(632)는, 제 2 인덕터(632)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 2 인덕터(632)의 제 1 부분(예를 들어, 상부)이 제 2 비아(630)의 제 1 부분(예를 들어, 하부)에 결합된다. 제 2 인덕터(632)의 제 2 부분(예를 들어, 하부)이 제 2 패드(634)에 결합된다. 일부 구현들에서, 제 2 패드(634)는 솔더 볼들의 세트에 결합하도록 구성된다.

[0055] 일부 구현들에서, 제 2 인덕터(632)는, 제 2 패드(634)의 임피던스가, 제 2 패드(634)가 결합하게 될

신호 상호접속부의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 제 2 인더터(632)는, 패키지 기판(600)을 측방향으로 가로지르는 자기장을 제공하도록 구성될 수 있다. 상기 언급된 바와 같이, 패키지 기판을 측방향으로 가로지르는 자기장의 기술적 이점 및/또는 혜택을 도 8 및 도 9에 추가로 설명될 것이다.

- [0056] [0070] 제 2 비아(630)의 제 2 부분(예를 들면, 상부)이 상호접속부들(636)의 제 4 세트에 결합된다. 상호접속부들(636)의 제 4 세트는 제 2 유전체 층(606)에 위치된다. 상호접속부들(636)의 제 4 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.
- [0057] [0071] 도 7은, 상호접속부들의 세트의 일부가 인더터로 동작하도록 구성되는 패키지 기판 내의 상호접속부들의 세트의 확대도를 도시한다. 명료함을 위해서, 패키지 기판은 도 7에 도시되지 않는다.
- [0058] [0072] 도 7은 제 1 비아(704)에 결합되는 제 1 트레이스(702)를 도시한다. 제 1 비아(704)는 패드(706)에 결합된다. 일부 구현들에서, 제 1 트레이스(702), 제 1 비아(704), 및 제 1 패드(706)는 패키지 기판(예를 들어, 패키지 기판(600))의 제 1 유전체 층(예를 들어, 유전체 층(606))에 위치된다.
- [0059] [0073] 제 1 패드(706)가 제 1 비아(708)의 제 1 부분(예를 들어, 상부)에 결합된다. 일부 구현들에서, 제 1 비아(708)는 제 1 핀이다. 일부 구현들에서, 제 1 비아(708)가 패키지 기판의 코어 층(예를 들어, 코어 층(602))에 위치된다. 제 1 비아(708)의 제 2 부분(예를 들면, 하부)이 제 1 인더터(710)에 결합된다. 일부 구현들에서, 제 1 인더터(710)가 패키지 기판의 제 2 유전체 층(예를 들어, 유전체 층(604))에 위치된다.
- [0060] [0074] 제 1 인더터(710)는 제 2 패드(712), 제 2 비아(713), 제 2 트레이스(714), 제 3 비아(715), 제 3 트레이스(716), 제 4 비아(717), 제 4 트레이스(718), 제 5 비아(719)를 포함한다. 제 2 패드(712)는 제 1 비아(708)의 제 2 부분에 결합된다. 제 2 패드(712)는 또한 제 2 비아(713)에 결합된다. 제 2 비아(713)는 제 2 트레이스(714)에 결합된다. 제 2 트레이스(714)는 제 3 비아(715)에 결합된다. 제 3 비아(715)는 제 3 트레이스(716)에 결합된다. 제 3 트레이스(716)는 제 4 비아(717)에 결합된다. 제 4 비아(717)는 제 4 트레이스(718)에 결합된다. 제 4 트레이스(718)는 제 5 비아(719)에 결합된다. 제 5 비아(719)는 제 3 패드(720)에 결합된다. 일부 구현들에서, 제 3 패드(720)는 솔더 볼 또는 다른 패드(예컨대, 랜딩 패드 어레이로부터의 랜딩 패드)에 결합되도록 구성된다.
- [0061] [0075] 일부 구현들에서, 제 2 패드(712)에서, 제 2 비아(713), 제 2 트레이스(714), 제 3 비아(715), 제 3 트레이스(716), 제 4 비아(717), 제 4 트레이스(718) 및/또는 제 5 비아(719)는 제 1 인더터(710)에 대해 나선형 권선으로서 동작하도록 구성된다. 일부 구현들에서, 제 3 패드(720)는 제 1 인더터(710)의 일부이다. 상이한 구현들은 상이한 수의 트레이스들 및/또는 비아들을 구비할 수 있다는 것을 주목해야 한다. 다른 인더터 구성을 상이한 방향들을 따라 서로 다른 자기장들을 생성할 것이다. 일부 구현들에서, 인더터에 의해 생성된 자기장의 세기 및/또는 방향은 비아(예를 들어, 핀) 또는 패드(예를 들어, 솔더 볼에 결합되는 패드)의 임피던스에 영향을 미칠 것이다. 일부 구현들에서, 인더터는 신호 상호접속부에 결합된다. 일부 구현들에서, 신호 상호접속부는 적어도 비아(예를 들어, 비아(708)), 패드(예를 들어, 패드(706)) 및/또는 트레이스(예를 들어, 트레이스(702)) 중 하나를 포함할 수 있다. 일부 구현들에서, 신호 상호접속부는 인더터를 포함한다.
- [0062] [0076] 도 8은 패키지 기판 내의 인더터에 의해 생성될 수 있는 자기장들의 일례를 도시한다. 도 8에 도시된 바와 같이, 제 1 인더터(800)는 패키지 기판을 측방향으로 가로지르는 측방향 자기장을 발생시키고, 제 2 인더터(802)는 또한 패키지 기판을 측방향으로 가로지르는 자기장을 생성한다. 일부 구현들에서, 인더터들(800 및 802)은 도 6의 인더터들(622 및 632), 및/또는 도 7의 인더터(710)와 유사하다. 일부 구현들에서, 측방향 자기장은 임피던스 차의 개선을 돋는다(예를 들어, 패드와 신호 상호접속부 간의 임피던스 차를 감소시킨다). 예를 들어, 일부 구현들에서, 패드 및 비아에 결합되는 인더터의 사용은 패드와 신호 상호접속부 간의 임피던스 차를 2.5 옴 또는 그 미만까지 감소시킬 수 있다.
- [0063] [0077] 도 8은, 제 1 인더터(800)에 의해 생성되는 자기장이 제 2 인더터(802)를 향하여 지향되도록, 제 1 인더터(800)가 위치되는 것을 도시한다. 즉, 제 1 인더터(800)의 제 1 자기장은 제 2 인더터(802)의 제 2 자기장에 맞춰 조정된다. 일부 구현들에서, 제 2 인더터(802)의 자기장은 제 1 인더터(800)의 자기장의 존재에 의해 증폭될 수 있다. 일부 구현들에서, 2개의 이웃 인더터들로 인한 자기장의 증폭은, 불필요한 대형 인더터를 제작하지 않고도, 신호 상호접속부에 대한 패드들의 임피던스 매칭의 개선을 가능하게 한다. 이와 같이, 서로 근처에 있는 2개 또는 그보다 많은 정렬된 인더터들로 인한 자기적 증폭을 이용하여, 2개 또는 그 보다 작은 인더터들은, 패드들 및 신호 상호접속부의 임피던스 매칭에 도움이 될 수 있는 더 큰 인더터와 동등한 자기장을 생

성할 수 있다. 일부 구현들에서, 과도한 자기장이 큰 패드에 의해 생성된 과도한 전기장을 공진시켜 내어, 패드가 신호 상호접속부의 임피던스와 더 가까운 더 높은 임피던스를 갖게 한다. 일부 구현들에서, (예를 들어, 원통 코일과 같이) 수직으로 인덕터를 배향시키는 것은, 인덕터들의 다른 쌍들의 포지티브 극과 네거티브 극의 결합(예를 들어, 자기 결합)을 향상시킬 수 있는 측방향 자기장을 생성한다. 예를 들어, 제 1 인덕터의 포지티브 극이 제 2 인덕터의 네거티브 극에 대해 향상된 결합을 가질 수 있다... 일부 구현들에서, 유사하거나 또는 상이한 방향들로 하나 또는 그 초과의 인덕터들을 배향시키는 것은 상이한 쌍들의 인덕터들(예를 들어, 인접하는 인덕터들)이 서로 자기 결합을 갖지 않게 (예를 들어, 하나의 인덕터가 다른 인덕터로부터 분리되게) 할 수 있다. 예를 들어, 제 1 인덕터는, 제 2 인덕터에 거의 영향을 주지 않거나 또는 전혀 영향을 주지 않도록(예를 들어, 자기 결합 없이) 특정 방향으로 배향될 수 있다.

[0064] [0078] 도 9는 패키지 기판 내의 인덕터에 의해 생성될 수 있는 반대 자기장들의 일례를 도시한다. 도 9에 도시된 바와 같이, 제 1 인덕터(900)는 패키지 기판을 측방향으로 가로지르는 측방향 자기장을 발생시키고, 제 2 인덕터(902)는 또한 패키지 기판을 측방향으로 가로지르는 자기장을 생성한다. 일부 구현들에서, 인덕터들(900 및 902)은 도 6의 인덕터들(622 및 632), 및/또는 도 7의 인덕터(710)와 유사하다. 일부 구현들에서, 측방향 자기장은 임피던스 차의 개선을 돋는다(예를 들어, 패드와 신호 상호접속부 간의 임피던스 차를 감소시킨다).

[0065] [0079] 도 9는, 제 1 인덕터(800)에 의해 생성되는 자기장의 방향이 제 2 인덕터(902)의 자기장의 방향과 수직 하도록 제 1 인덕터(800)가 위치되는 것을 도시한다. 일부 구현들에서, 제 2 인덕터(802)의 자기장은 제 1 인덕터(800)의 자기장의 존재에 의해 (예를 들어, 이들 간의 직교성 때문에) 영향을 받지 않을 수 있고, 그 반대의 경우도 가능하다.

[0066] [0080] 도 10는 측방향 자기장들을 제공하도록 구성되는 인덕터들에 결합되는 비아들의 앵글류를 도시한다. 명료함을 위해서, 도 10에 도시된 인덕터들이 패키지 기판에서 구현될 수 있지만, 패키지 기판은 도시되지 않는다. 도 10에 도시된 바와 같이, 제 1 비아(1000)는 제 1 인덕터(1002)에 결합된다. 제 1 인덕터(1002)는, 제 1 인덕터(1002)를 위한 제 1 나선형 권선으로서 동작하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인덕터(1002)는, 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다. 제 1 인덕터(1002)는 또한 제 1 패드(1004)에 결합된다. 제 1 패드(1004)는, 랜딩 패드 어레이로부터의 랜딩 패드 또는 솔더 볼에 결합하도록 구성될 수 있다.

[0067] [0081] 도 10에 도시된 바와 같이, 제 1 인덕터(1002)는, 자기장이 제 2 인덕터(1012)를 향하여 지향되도록 위치된다. 제 2 인덕터(1012)는 제 2 비아(1010)에 결합된다. 제 2 인덕터(1012)는, 제 2 인덕터(1012)를 위한 제 2 나선형 권선으로서 동작하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 일부 구현들에서, 제 2 인덕터(1012)는, 기판을 측방향으로 가로지르는 자기장을 생성하도록 구성된다. 제 2 인덕터(1012)는 또한 제 2 패드(1014)에 결합된다. 제 2 패드(1014)는, 랜딩 패드 어레이로부터의 랜딩 패드 또는 솔더 볼에 결합하도록 구성될 수 있다.

[0068] 인덕터를 포함하는 패키지 기판을 제공하기 위한 예시적인 시퀀스

[0069] [0082] 일부 구현들에서, 인덕터를 포함하는 패키지 기판을 제공하는 것은 몇 개의 프로세스들을 포함한다. 도 11a 내지 도 11d는 패키지 기판을 제공하기 위한 예시적인 시퀀스를 도시한다. 일부 구현들에서, 도 11a 내지 도 11d의 시퀀스는, 도 2 및/또는 도 6의 패키지 기판 및/또는 본 개시물에 설명되는 다른 패키지 기판을 제공/제조하기 위해 사용될 수 있다는 것을 주목해야 한다.

[0070] [0083] 도 11a 내지 도 11d의 시퀀스는 인덕터를 포함하는 패키지 기판을 제공하기 위한 시퀀스를 단순화 그리고/또는 명료화하기 위해서 하나 또는 그 보다 많은 스테이지들 결합시킬 수 있다는 것을 주목해야 한다.

[0071] [0084] 도 11a의 스테이지 1에 도시된 바와 같이, 코어 층(1100)이 제공된다. 일부 구현들에서, 코어 층(1100)을 제공하는 것은 서플라이어로부터 코어 층을 수용하거나 또는 코어 층을 제조하는 것을 포함할 수 있다. 상이한 구현들은 코어 층에 대해 서로 다른 재료들을 사용할 수 있다.

[0072] [0085] 스테이지 2에서, 제 1 캐비티(1101) 및 제 2 캐비티(1103)가 코어 층(1100)에 형성된다. 상이한 구현들은 캐비티들을 형성하기 위해 서로 다른 프로세스들을 사용할 수 있다. 일부 구현들에서, 레이저 프로세스 및/또는 화학적 프로세스(예를 들어, 포토 에칭)가 코어 층(1100)의 부분을 제거하도록 사용되어 캐비티들을 형성할 수 있다.

[0073] [0086] 스테이지 3에서, 제 1 비아(1102) 및 제 2 비아(1104)가 코어 층(1100) 내에 제공된다(예를 들어, 형성된다). 구체적으로, 금속 층이 제 1 비아(1102)를 형성하는 제 1 캐비티(1101)에 제공되며, 금속 층이 제 2 비

아(1104)를 형성하는 제 2 캐비티(1103)에 제공된다. 다른 구현들은 금속 층을 상이하게 제공할 수 있다. 일부 구현들에서, 도금 프로세스가 캐비티를 내에 금속 층을 제공하는 데에 사용된다. 일부 구현들에서, 제 1 비아(1102) 및/또는 제 2 비아(1104)는 편이다.

[0074] 스테이지 3에서, 제 1 금속 층(1110)이 코어 층(1100)의 제 1 표면(예를 들어, 상부 표면) 상에 제공된다. 제 1 금속 층(1110)은 제 1 패드(1110a) 및 제 2 패드(1110b)를 포함한다. 제 1 패드(1110a)가 제 1 비아(1102)의 제 1 부분(예를 들어, 상부)에 결합된다. 제 2 패드(1110b)가 제 2 비아(1104)의 제 1 부분(예를 들어, 상부)에 결합된다.

[0075] 이외에도, 스테이지 3에서, 제 2 금속 층(1112)이 코어 층(1100)의 제 2 표면(예를 들어, 하부 표면) 상에 제공된다. 제 2 금속 층(1112)이 제 3 패드(1112a) 및 제 4 패드(1112b)를 포함한다. 제 3 패드(1112a)가 제 1 비아(1102)의 제 2 부분(예를 들어, 하부)에 결합된다. 제 4 패드(1112b)가 제 2 비아(1104)의 제 2 부분(예를 들어, 하부)에 결합된다. 일부 구현들에서, 도금 프로세스가 제 1 금속 층(1110) 및 제 2 금속 층(1112)을 제공하는 데에 사용된다.

[0076] 스테이지 4에서, 제 1 유전체 층(1120)이 코어 층(1100)의 제 1 표면(예를 들어, 상부 표면) 상에 제공된다. 캐비티(1121) 및 캐비티(1123)가 또한 제 1 유전체 층(1120) 내에 제공(예를 들어, 형성)된다. 이외에도, 스테이지 4에서, 제 2 유전체 층(1124)이 코어 층(1100)의 제 2 표면(예를 들어, 상부 표면) 상에 제공된다. 캐비티(1125) 및 캐비티(1127)가 또한 제 2 유전체 층(1122) 내에 제공(예를 들어, 형성)된다.

[0077] 스테이지 5에서, 도 11b에 되시된 바와 같이, 제 1 금속 층(1130)이 제 1 유전체 층(1120) 상에 제공된다. 제 1 금속 층(1130)은, 제 1 트레이스(1130a), 제 2 트레이스(1130b), 제 1 비아(1130c) 및 제 2 비아(1130d)를 포함한다. 제 1 비아(1130c)가 캐비티(1121)에 형성되고, 제 2 비아(1130d)가 캐비티(1123)에 형성된다. 이외에도, 스테이지 5에서, 제 2 금속 층(1132)이 제 2 유전체 층(1122) 상에 제공된다. 제 2 금속 층(1132)은, 제 1 트레이스(1132a), 제 2 트레이스(1132b), 제 1 비아(1132c) 및 제 2 비아(1132d)를 포함한다. 제 1 비아(1132s)가 캐비티(1125)에 형성되고, 제 2 비아(1132d)가 캐비티(1127)에 형성된다. 일부 구현들에서, 도금 프로세스는 제 1 금속 층(1130) 및 제 2 금속 층(1132)을 제공하는 데에 사용된다.

[0078] 스테이지 6에서, 유전체 층(1134)이 제 1 유전체 층(1120) 및 제 1 금속 층(1110) 상에 제공된다. 이외에도, 스테이지 4에서, 유전체 층(1136)이 제 2 유전체 층(1122) 및 제 2 금속 층(1112) 상에 제공된다. 캐비티(1137) 및 캐비티(1139)가 또한 유전체 층(1136) 내에 제공(예를 들어, 형성)된다.

[0079] 스테이지 7에서, 제 1 금속 층(1140)이 유전체 층(1134) 상에 제공된다. 이외에도, 스테이지 7에서, 제 2 금속 층(1142)이 유전체 층(1136) 상에 제공된다. 제 2 금속 층(1142)은, 제 1 트레이스(1142a), 제 2 트레이스(1142b), 제 1 비아(1142c) 및 제 2 비아(1142d)를 포함한다. 제 1 비아(1142s)가 캐비티(1137)에 형성되고, 제 2 비아(1142d)가 캐비티(1139)에 형성된다. 일부 구현들에서, 도금 프로세스는 제 1 금속 층(1140) 및 제 2 금속 층(1142)을 제공하는 데에 사용된다.

[0080] 스테이지 8에서, 도 11c에 도시된 바와 같이, 유전체 층(1144)이 유전체 층(1134) 및 제 1 금속 층(1140) 상에 제공된다. 이외에도, 스테이지 10에서, 유전체 층(1146)은 유전체 층(1136) 및 제 2 금속 층(1142) 상에 제공된다. 캐비티(1147) 및 캐비티(1149)가 또한 유전체 층(1136) 내에 제공(예를 들어, 형성)된다.

[0081] 스테이지 9에서, 제 1 금속 층(1150)이 유전체 층(1144) 상에 제공된다. 이외에도, 스테이지 9에서, 제 2 금속 층(1152)이 유전체 층(1146) 상에 제공된다. 제 2 금속 층(1152)은, 제 1 트레이스(1152a), 제 2 트레이스(1152b), 제 1 비아(1152c) 및 제 2 비아(1152d)를 포함한다. 제 1 비아(1152s)가 캐비티(1147)에 형성되고, 제 2 비아(1152d)가 캐비티(1149)에 형성된다. 일부 구현들에서, 도금 프로세스는 제 1 금속 층(1150) 및 제 2 금속 층(1152)을 제공하는 데에 사용된다.

[0082] 스테이지 10에서, 유전체 층(1154)은 유전체 층(1144) 및 제 1 금속 층(1150) 상에 제공된다. 이외에도, 스테이지 10에서, 유전체 층(1156)은 유전체 층(1146) 및 제 2 금속 층(1152) 상에 제공된다. 캐비티(1157) 및 캐비티(1159)가 또한 유전체 층(1136) 내에 제공(예를 들어, 형성)된다.

[0083] 스테이지 11에서, 도 11d에 되시된 바와 같이, 제 1 금속 층(1160)이 유전체 층(1154) 상에 제공된다. 이외에도, 스테이지 11에서, 제 2 금속 층(1162)이 유전체 층(1156) 상에 제공된다. 제 2 금속 층(1162)은, 제 1 패드(1162a), 제 2 패드(1162b), 제 1 비아(1162c) 및 제 2 비아(1162d)를 포함한다. 제 1 비아(1162c)가 캐비티(1157)에 형성되고, 제 2 비아(1162d)가 캐비티(1159)에 형성된다. 일부 구현들에서, 도금 프로세스는

제 1 금속 층(1160) 및 제 2 금속 층(1162)을 제공하는 데에 사용된다.

[0084] [0097] 스테이지 12에서, 유전체 층(1170)은 유전체 층(1156) 및 제 2 금속 층(1162) 상에 제공된다. 스테이지 12는 패키지 기판의 절연 층들 내의 제 1 인덕터(1180)를 도시한다. 스테이지 12는 또한 패키지 기판의 절연 층들 내의 제 2 인덕터(1182)를 도시한다. 일부 구현들에서, 제 1 인덕터(1180) 및 제 2 인덕터(1182)는 도 2의 인덕터들(222 및 232), 도 3의 인덕터(310), 도 6의 인덕터들(622 및 632), 및/또는 도 7의 인덕터(710)이다.

[0085] 인덕터를 포함하는 패키지 기판을 제공하기 위한 예시적인 방법

[0086] [0098] 일부 구현들에서, 인덕터를 포함하는 패키지 기판을 제공하는 것은 몇 개의 프로세스들을 포함한다. 도 12는 패키지 기판을 제공하기 위한 예시적인 방법을 도시한다. 일부 구현들에서, 도 12의 방법은 도 2 및/또는 6의 패키지 기판 및/또는 본 개시물에 설명되는 다른 패키지 기판을 제공/제조하기 위해 사용될 수 있다.

[0087] [0099] 도 12의 시퀀스는 인덕터를 포함하는 패키지 기판을 제공하기 위한 시퀀스를 단순화 그리고/또는 명료화하기 위해서 하나 또는 그 보다 많은 스테이지들 결합시킬 수 있다는 것을 주목해야 한다.

[0088] [00100] 방법은 코어 층을 제공한다(1205). 일부 구현들에서, 코어 층(1100)을 제공하는 것은 서플라이어로부터 코어 층을 수용하거나 또는 코어 층을 제조(예를 들어, 형성)하는 것을 포함할 수 있다. 상이한 구현들은 코어 층에 대해 서로 다른 재료들을 사용할 수 있다. 도 11a의 스테이지 1은 코어 층을 제공하는 예를 도시한다.

[0089] [00101] 이 방법은 코어 층 내에 적어도 하나의 비아를 제공한다(1210). 일부 구현들에서, 적어도 하나의 비아를 제공하는 것(예를 들어, 형성하는 것)은, 비아를 정의하기 위해 코어 층 내에 캐비티를 형성하는 것 및 금속 층으로 캐비티를 충진하는 것을 포함한다. 일부 구현들에서, 도금 프로세스는 코어 층 내에 비아를 제공하는 데에 사용된다. 도 11a의 스테이지들(2 및 3)은 코어 층에 적어도 하나 비아를 제공하는 일례를 도시한다. 스테이지 2에 도시된 바와 같이, 제 1 캐비티(1101) 및 제 2 캐비티(1103)가 코어 층(1100)에 형성된다. 상이한 구현들은 캐비티들을 형성하기 위해 서로 다른 프로세스들을 사용할 수 있다. 일부 구현들에서, 레이저 프로세스 및/또는 화학적 프로세스(예를 들어,, 포토 에칭)가 코어 층(1100)의 부분을 제거하도록 사용되어 캐비티들을 형성할 수 있다.

[0090] [00102] 스테이지 3에서, 제 1 비아(1102) 및 제 2 비아(1104)가 코어 층(1100) 내에 제공된다(예를 들어, 형성된다). 구체적으로, 금속 층은 제 1 비아(1102)를 형성하는 제 1 캐비티(1101)에 제공되며, 금속 층은 제 2 비아(1104)를 형성하는 제 2 캐비티(1103)에 제공(예를 들어, 형성)된다. 다른 구현들은 금속 층을 상이하게 제공할 수 있다. 일부 구현들에서, 도금 프로세스는 캐비티들 내에 금속 층을 제공하는 데에 사용된다. 도 11a의 스테이지 4에 도시된 바와 같이, 제 1 유전체 층(1120)이 코어 층(1100)의 제 1 표면(예를 들어, 상부 표면) 상에 제공된다. 캐비티(1121) 및 캐비티(1123)가 또한 제 1 유전체 층(1120) 내에 제공(예를 들어, 형성)된다. 이외에도, 스테이지 4에서, 제 2 유전체 층(1124)이 코어 층(1100)의 제 2 표면(예를 들어, 하부 표면) 상에 제공된다. 캐비티(1125) 및 캐비티(1127)가 또한 제 2 유전체 층(1122) 내에 제공(예를 들어, 형성)된다.

[0091] [00103] 방법은 또한, 코어 층 내의 비아에 결합되는 인덕터를 정의하기 위해 유전체 층들 내에 여러 상호접속 부들을 제공한다(1220). 일부 구현들에서, 하나 또는 그 초과의 상호접속부들을 제공(예를 들어, 형성)하는 것은 유전체 층에 금속 층들을 형성하기 위해 도금 프로세스를 사용하는 것을 포함한다. 일부 구현들에서, 인덕터를 정의하는 상호접속부들은 트레이스들, 비아들 및/또는 패드들을 포함할 수 있다. 스테이지들(3 내지 12)은, 인덕터를 정의하기 위해 유전체 층들 내에 상호접속부들을 제공하는 예들을 도시한다.

[0092] 인덕터를 포함하는 예시적인 패키지 기판

[0093] [00104] 다른 구현들은, 패키지 기판 내의 상이한 형성들 및/또는 위치들을 갖는 인덕터들을 제공할 수 있다. 도 13은 비아(예를 들어, 핀)로부터 오프셋되는 인덕터를 포함하는 패키지 기판의 일례를 개념적으로 도시한다. 구체적으로, 도 13은 코어 층(1302), 제 1 유전체 층(1304), 및 제 2 유전체 층(1306)을 포함하는 패키지 기판(1300)을 도시한다. 일부 구현들에서, 제 1 유전체 층(1304)은 여러 개의 유전체 층들을 포함할 수 있다. 유사하게, 일부 구현들에서, 제 2 유전체 층(1306)은 여러 개의 유전체 층들을 포함할 수 있다.

[0094] [00105] 코어 층(1302)은 제 1 비아(1320) 및 제 2 비아(1330)를 포함한다. 일부 구현들에서, 제 1 비아(1320) 및/또는 제 2 비아(1330)는 핀일 수 있다. 제 1 유전체 층(1304)은 상호접속부들(1314)의 제 1 세트, 제 1 인덕터(1322), 제 1 패드(1324), 제 2 인덕터(1332), 및 제 2 패드(1334)를 포함한다. 제 2 유전체 층

(1306)은 상호접속부들(1316)의 제 2 세트, 상호접속부들(1326)의 제 3 세트, 및 상호접속부들(1336)를의 제 4 세트 포함한다. 도 13에 도시된 바와 같이, 제 2 인더터(1332)는 제 2 비아(1330)로부터 오프셋(예를 들어, 수직 오프셋)된다.

[0095] 제 1 인더터(1322)는, 제 1 인더터(1322)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인더터(1322)의 제 1 부분(예를 들어, 상부)이 제 1 비아(1320)의 제 1 부분(예를 들면, 하부)에 결합된다. 제 1 인더터(1322)의 제 2 부분(예를 들면, 하부)이 제 1 패드(1324)에 결합된다. 일부 구현들에서, 제 1 패드(1324)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 1 인더터(1322)는, 제 1 패드(1324)의 임피던스가, 제 1 패드(1324)가 결합하게 될 신호 상호접속부들의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 일부 구현들에서, 신호 상호접속부는 코어 층(1302) 내의 적어도 하나의 비아(예를 들어, 제 1 비아(1320)) 및/또는 제 2 유전체 층(1306) 내의 상호접속부들의 세트(예를 들어, 상호접속부들(1336)의 제 4 세트) 중 하나를 포함할 수 있다. 일부 구현들에서, 신호 상호접속부는 인더터(1322) 및/또는 인더터(1332)를 포함할 수 있다. 일부 구현들에서, 상호접속부는 트레이스를 포함할 수 있다.

[0096] [00107] 일부 구현들에서, 임피던스를 매칭시키는 것 또는 패드(들)과 신호 상호접속부의 임피던스 간의 차를 감소시키는 것은 양호한 신호 성능을 제공한다. 예를 들어, 임피던스를 매칭시키거나 또는 임피던스의 차를 감소시키는 것은 패드와 신호 상호접속부 간의 신호 손실 및/또는 신호 저하를 감소시킴으로써, 더 양호한 신호 성능을 평가 기관에 제공한다.

[0097] [00108] 제 1 비아(1320)의 제 2 부분(예를 들면, 상부)이 상호접속부들(1326)의 제 3 세트에 결합된다. 상호접속부들(1326)의 제 3 세트는 제 2 유전체 층(1306)에 위치된다. 상호접속부들(1326)의 제 3 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.

[0098] [00109] 제 2 인더터(1332)는, 제 2 인더터(1332)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 2 인더터(1332)의 제 1 부분(예를 들어, 상부)이 제 2 비아(1330)의 제 1 부분(예를 들어, 하부)에 결합된다. 제 2 인더터(1332)의 제 2 부분(예를 들어, 하부)이 제 2 패드(1334)에 결합된다. 일부 구현들에서, 제 2 패드(1334)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 2 인더터(1332)는, 제 2 패드(1334)의 임피던스가, 제 2 패드(1334)가 결합하게 될 신호 상호접속부의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다.

[0099] [00110] 제 2 비아(1330)의 제 2 부분(예를 들면, 상부)이 상호접속부들(1336)의 제 4 세트에 결합된다. 상호접속부들(1336)의 제 4 세트는 제 2 유전체 층(1306)에 위치된다. 상호접속부들(1336)의 제 4 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.

[0100] [00111] 도 14는 측방향 자기장을 생성할 수 있는 인더터를 포함하는 평면 기판의 일례를 개념적으로 도시하며, 여기서, 인더터는 비아(예를 들어, 핀)로부터 오프셋된다. 구체적으로, 도 14는 코어 층(1402), 제 1 유전체 층(1404), 및 제 2 유전체 층(1406)을 포함하는 평면 기판(1400)을 도시한다. 일부 구현들에서, 제 1 유전체 층(1404)은 여러 개의 유전체 층들을 포함할 수 있다. 유사하게, 일부 구현들에서, 제 2 유전체 층(1406)은 여러 개의 유전체 층들을 포함할 수 있다.

[0101] [00112] 코어 층(1402)은 제 1 비아(1420) 및 제 2 비아(1430)를 포함한다. 일부 구현들에서, 제 1 비아(1420) 및/또는 제 2 비아(1430)는 핀일 수 있다. 제 1 유전체 층(1404)은 상호접속부들(1414)의 제 1 세트, 제 1 인더터(1422), 제 1 패드(1424), 제 2 인더터(1432), 및 제 2 패드(1434)를 포함한다. 제 2 유전체 층(1406)은 상호접속부들(1416)의 제 2 세트, 상호접속부들(1426)의 제 3 세트, 및 상호접속부들(1436)의 제 4 세트를 포함한다. 도 14에 도시된 바와 같이, 제 2 인더터(1432)는 제 2 비아(1430)로부터 오프셋(예를 들어, 수직 오프셋)된다.

[0102] [00113] 제 1 인더터(1422)는, 제 1 인더터(1422)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 1 인더터(1422)의 제 1 부분(예를 들어, 상부)이 제 1 비아(1420)의 제 1 부분(예를 들면, 하부)에 결합된다. 제 1 인더터(1422)의 제 2 부분(예를 들면, 하부)이 제 1 패드(1424)에 결합된다. 일부 구현들에서, 제 1 패드(1424)는 솔더 볼들의 세트에 결합하도록 구성된다. 일부 구현들에서, 제 1 인더터(1422)는, 제 1 패드(1424)의 임피던스가, 제 1 패드(1424)가 결합하게 될 신호 상호접속부들의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 일부 구현들에서, 신호 상호접속부는 코어 층(1402) 내의 적어도 하나의 비아(예를 들어, 제 1 비아(1420)) 및/또는 제 2 유전체 층

(1406) 내의 상호접속부들의 세트(예를 들어, 상호접속부들(1436)의 제 4 세트) 중 하나를 포함할 수 있다. 일부 구현들에서, 신호 상호접속부는 인덕터(1422) 및/또는 인덕터(1432)를 포함할 수 있다. 일부 구현들에서, 상호접속부는 트레이스를 포함할 수 있다. 제 1 인덕터(1422)는, 패키지 기판(1400)을 측방향으로 가로지르는 자기장을 제공하도록 구성될 수 있다.

[0103] [00114] 일부 구현들에서, 임피던스를 매칭시키거나 또는 패드들과 신호 상호접속부의 임피던스 간의 차를 감소시키는 것은 더 양호한 신호 성능을 제공한다. 예를 들어, 임피던스를 매칭시키거나 또는 임피던스의 차를 감소시키는 것은 패드들과 신호 상호접속부 간의 신호 손실 및/또는 신호 저하를 감소시킴으로써, 더 양호한 신호 성능을 패키지 기판에 제공한다.

[0104] [00115] 제 1 비아(1420)의 제 2 부분(예를 들면, 상부)이 상호접속부들(1426)의 제 3 세트에 결합된다. 상호접속부들(1426)의 제 3 세트는 제 2 유전체 층(1406)에 위치된다. 상호접속부들(1426)의 제 3 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.

[0105] [00116] 제 2 인덕터(1432)는, 제 2 인덕터(1432)에 권선들의 세트를 제공하도록 구성되는 여러 개의 상호접속부들(예를 들어, 트레이스들, 비아들, 패드들)을 포함한다. 제 2 인덕터(1432)의 제 1 부분(예를 들어, 상부)이 제 2 비아(1430)의 제 1 부분(예를 들어, 하부)에 결합된다. 제 2 인덕터(1432)의 제 2 부분(예를 들어, 하부)이 제 2 패드(1434)에 결합된다. 일부 구현들에서, 제 2 패드(1434)는 솔더 볼들의 세트에 결합하도록 구성된다.

[0106] [00117] 일부 구현들에서, 제 2 인덕터(1432)는, 제 2 패드(1434)의 임피던스가, 제 2 패드(1434)가 결합하게 될 신호 상호접속부의 임피던스와 일치하거나 또는 밀접하게 일치하는 방식으로 구성된다. 제 2 인덕터(1432)는, 패키지 기판(1400)을 측방향으로 가로지르는 자기장을 제공하도록 구성될 수 있다.

[0107] [00118] 제 2 비아(1430)의 제 2 부분(예를 들면, 상부)이 상호접속부들(1436)의 제 4 세트에 결합된다. 상호접속부들(1436)의 제 4 세트는 제 2 유전체 층(1406)에 위치된다. 상호접속부들(1436)의 제 4 세트는 트레이스들 및/또는 비아들을 포함할 수 있다.

#### 예시적인 전자 디바이스들

[0109] [00119] 도 15는 앞서 언급된 반도체 디바이스, 패키지 기판, 접적 회로, 다이, 인터포저 또는 패키지 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 도시한다. 예를 들어, 모바일 전화(1502), 랩탑 컴퓨터(1504), 및 위치 고정 단말기(1506)는 본원에 설명된 바와 같이 접적 회로(IC)(1500)를 포함할 수 있다. IC(1500)는, 예를 들어, 본원에 설명된 접적 회로들, 다이들 또는 패키지들 중 임의의 것일 수 있다. 도 15에 도시된 디바이스들(1502, 1504, 1506)은 예시에 불과하다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 개인 통신 시스템들(PCS) 유닛들, 개인 휴대 정보 단말기들과 같은 휴대용 데이터 유닛들, GPS 인에이블 디바이스들, 네비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 겹침 장비와 같은 고정 위치 데이터 유닛들, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리브하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 (그러나 이것으로 제한되지 않음) IC(1500)을 특징으로 할 수 있다.

[0110] [00120] 도 2, 3, 4, 5, 6, 7, 8, 9, 10, 11a 내지 11d, 12, 13, 14 및/또는 15에 도시된 컴포넌트들, 단계들, 특징들, 및/또는 기능들 중 하나 또는 그 초과의 것은, 하나의 컴포넌트, 단계, 피쳐 또는 기능으로 재배열되고/되거나 결합될 수 있거나 또는 몇 개의 컴포넌트들, 단계들 또는 기능들 내에 임베딩될 수 있다. 추가 엘리먼트, 컴포넌트들, 단계들 및/또는 기능들이 또한 본 개시물로부터 벗어나지 않고 추가될 수 있다. 도 2, 3, 4, 5, 6, 7, 8, 9, 10, 11a 내지 11d, 12, 13, 14 및/또는 15 및 본 개시물의 그의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않는다는 것을 또한 주목해야 한다. 일부 구현들에서, 도 2, 3, 4, 5, 6, 7, 8, 9, 10, 11a 내지 11d, 12, 13, 14 및/또는 15 및 본 개시물의 그의 대응하는 설명은 접적 디바이스들을 제조, 생성, 제공, 및/또는 생성하기 위해 사용될 수 있다. 일부 접적 디바이스는 다이 패키지, 패키지 기판, 접적 회로(IC), 웨이퍼, 반도체 디바이스, 및/또는 인터포저를 포함할 수 있다.

[0111] 용어 "예시적인"은 여기서 "예, 보기, 또는 예시로서 기능하는"것을 의미하는 것으로 이용된다. "예시적인" 것으로서 본 명세서에 설명되는 임의의 구현 또는 양상은 반드시 다른 양상들보다 바람직하거나 유용한 것으로 해석되는 것은 아니다. 마찬가지로, 용어 "양상들"은, 본 개시물의 모든 양상들이 개시된 특징, 이점 또는 동작 모드를 포함할 것을 요구하지 않는다. 용어 "결합되는"은 2개의 오브젝트들 사이에서 직접 또는 간접으로 결합시키는 것을 지칭하도록 본원에서 사용된다. 예를 들어, 오브젝트 A가 오브젝트 B를 물리적으로 터

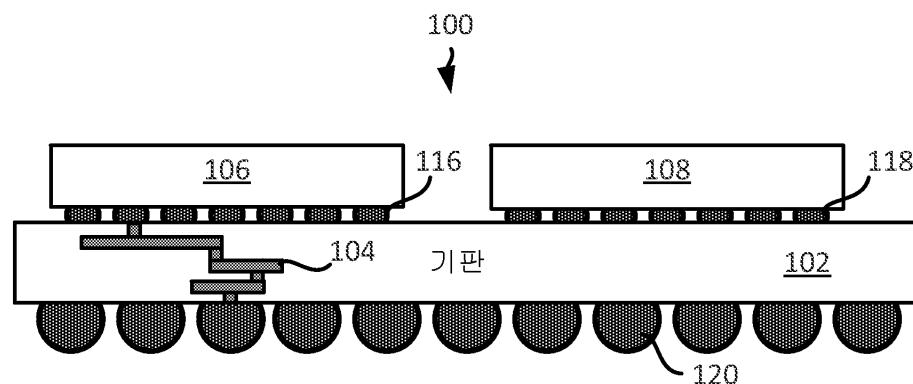
치하고, 그리고 오브젝트 B가 오브젝트 C를 터치하는 경우, 오브젝트들(A 및 C)이 서로 물리적으로 직접적으로 터치하지 않더라도, 오브젝트들(A 및 C)은 여전히 서로 결합되는 것으로 간주될 수 있다.

[0112] 또한, 실시예들은 흐름도, 흐름도 다이어그램, 구조 다이어그램, 또는 블록 다이어그램으로서 도시되는 프로세스로서 설명될 수 있다는 것을 주목한다. 흐름도가 순차적인 프로세스로서 동작을 설명할 수 있지만, 동작들 중 많은 것이 병행하여 또는 동시에 수행될 수 있다. 이외에도, 동작들의 순서는 재배열될 수 있다. 프로세스의 동작들이 완료될 경우 프로세스가 종료된다.

[00123] 본원에 설명된 개시물의 다양한 특징들은 본 개시물을 벗어나지 않고 상이한 시스템들로 구현될 수 있다. 본 개시물의 앞의 양상들은 단지 예시이며, 본 개시물을 제한하는 것으로 해석되지 않는다는 것을 주목해야 한다. 본 개시물의 양상들의 설명은 예시적인 것으로 의도되며, 청구항들의 범위를 제한하지 않는다. 이와 같이, 본 교시들은 다른 타입들의 장치들에 쉽게 적용될 수 있고 많은 대안들, 수정들, 및 변형들이 당업자에게 명백할 것이다.

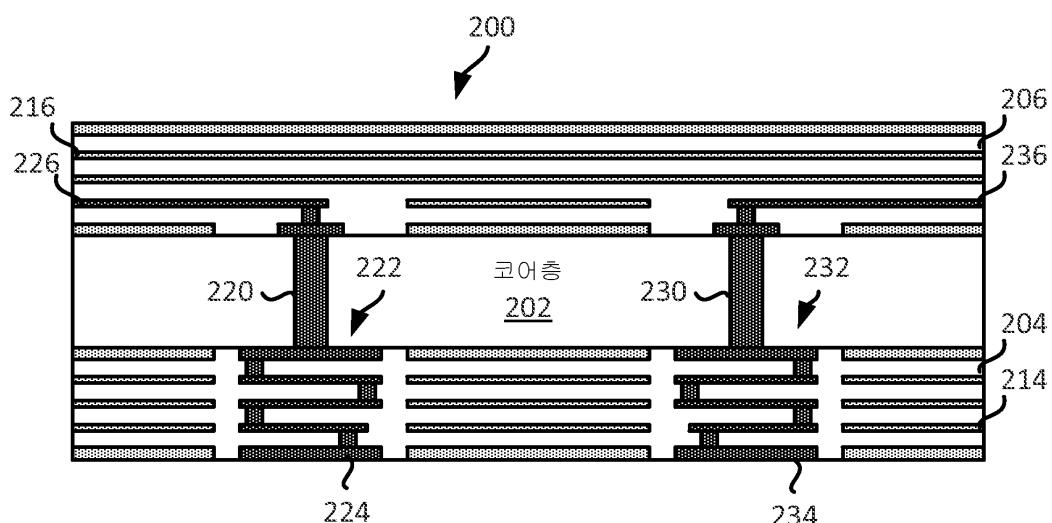
## 도면

### 도면1

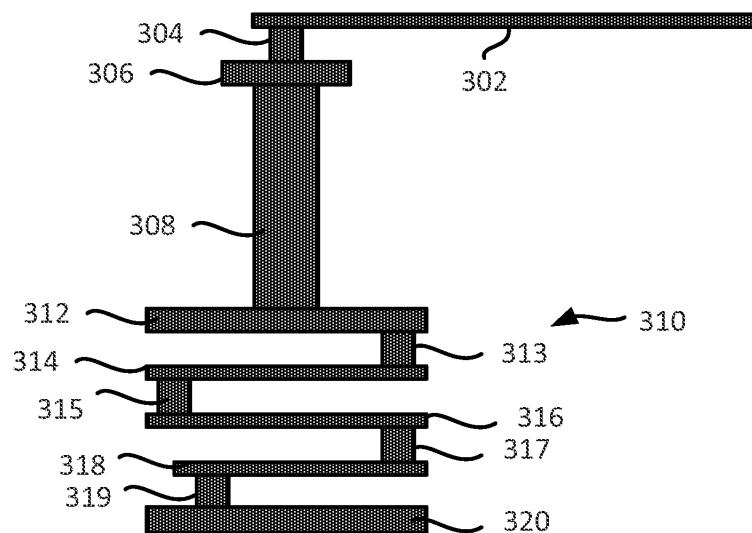


## 종래 기술

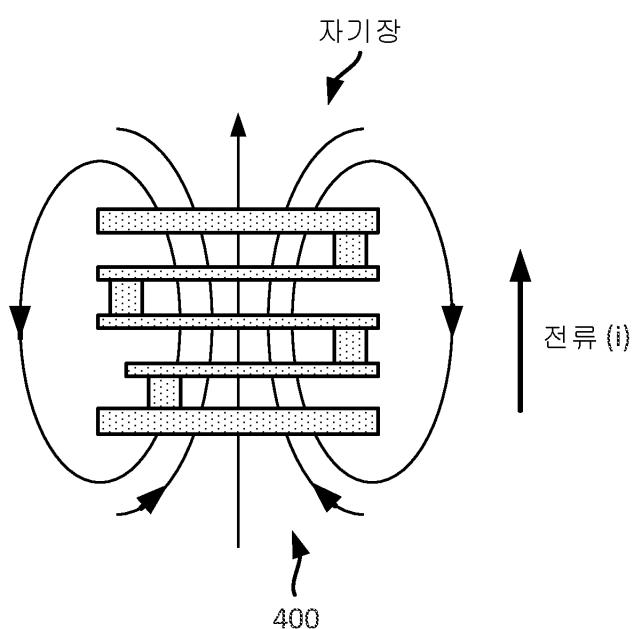
### 도면2



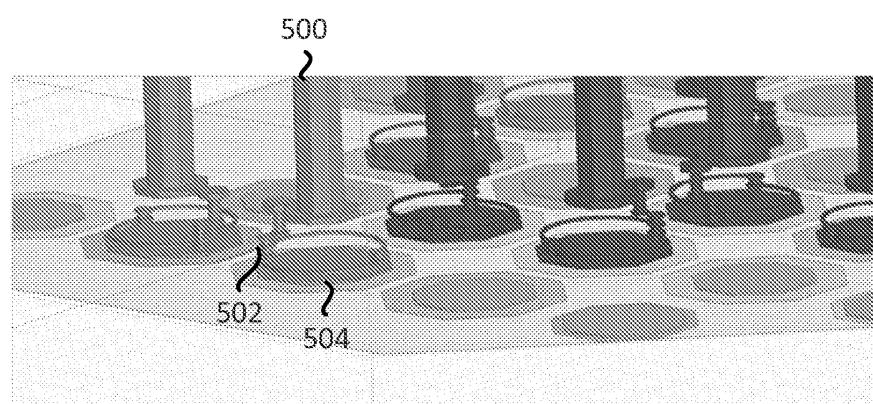
도면3



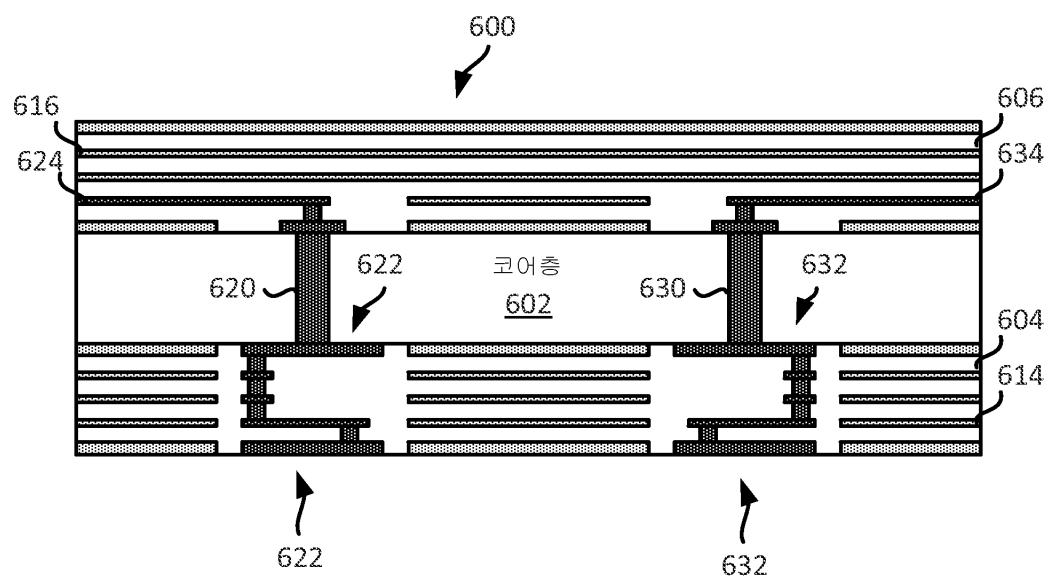
도면4



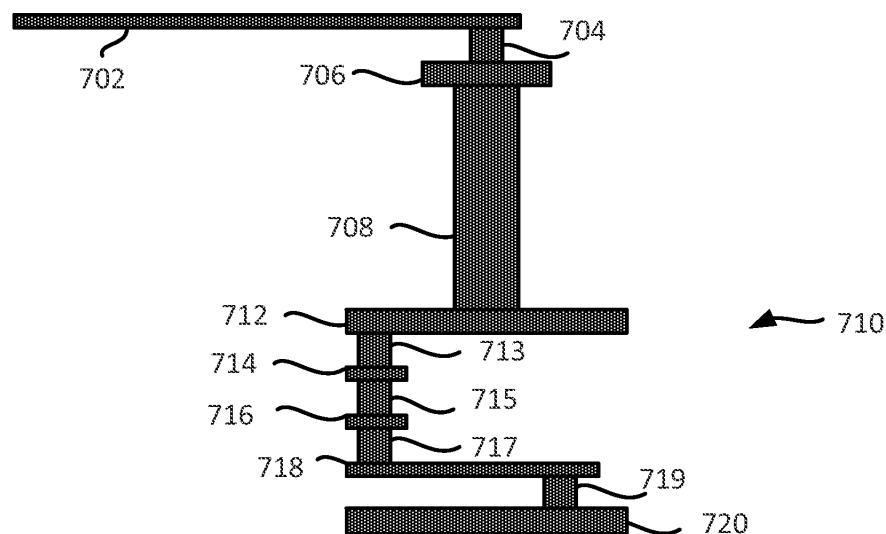
도면5



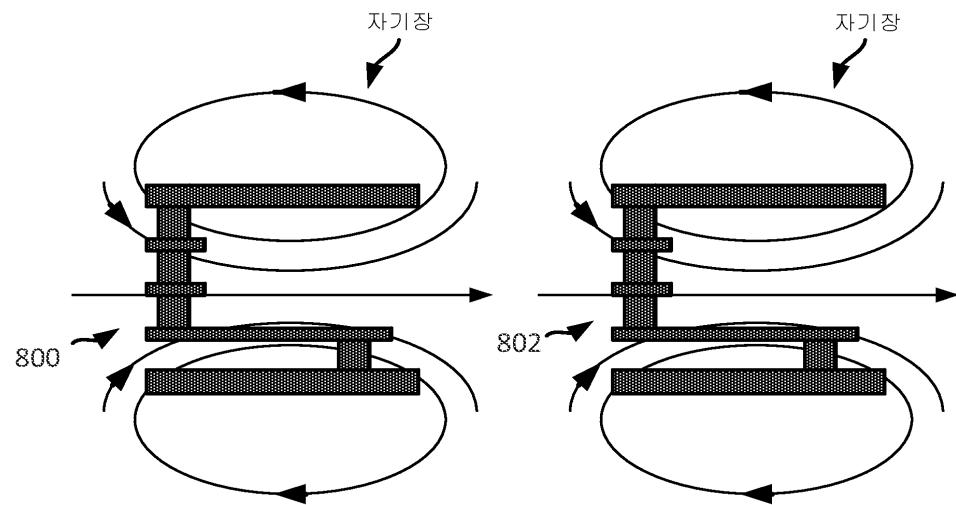
도면6



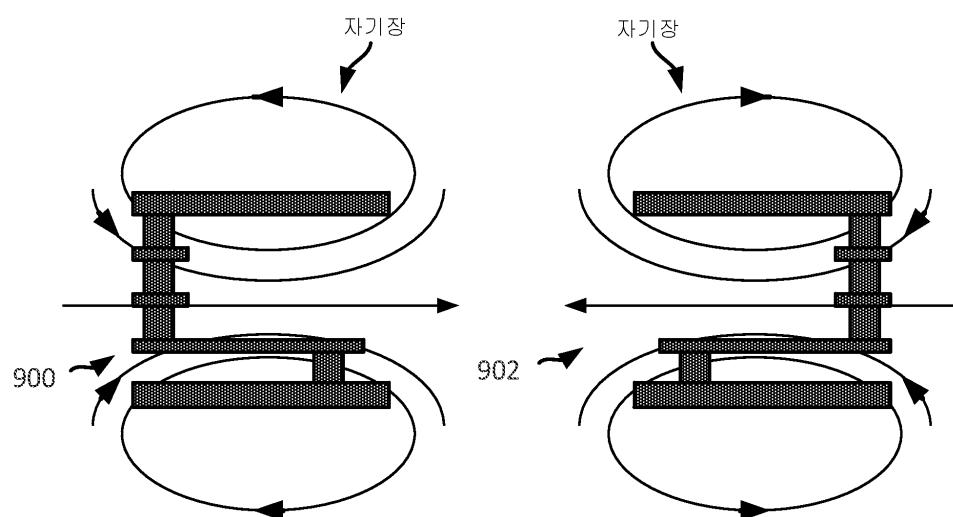
도면7



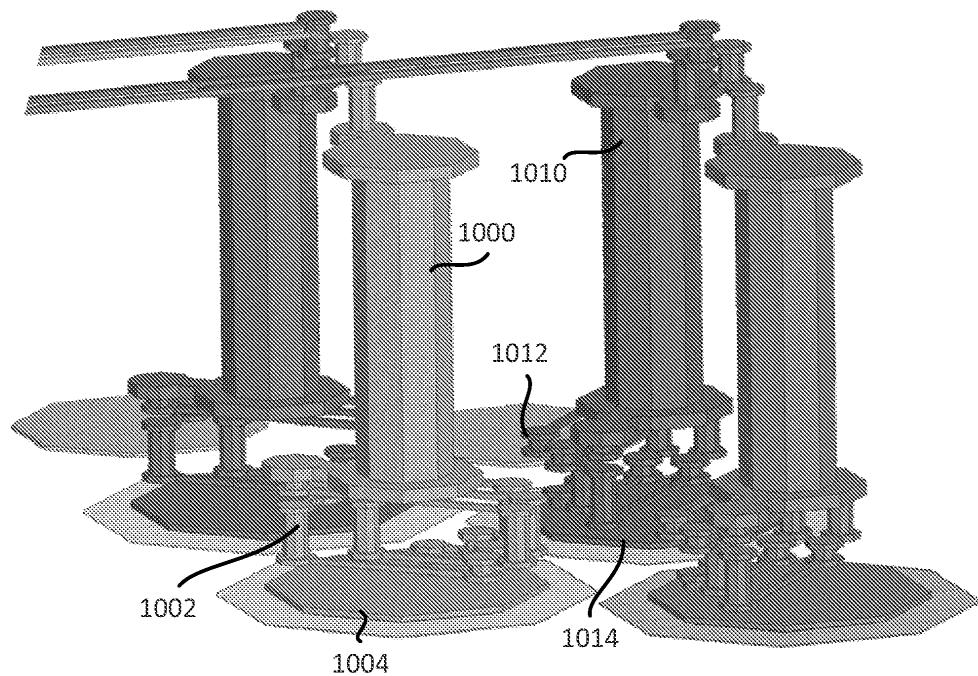
도면8



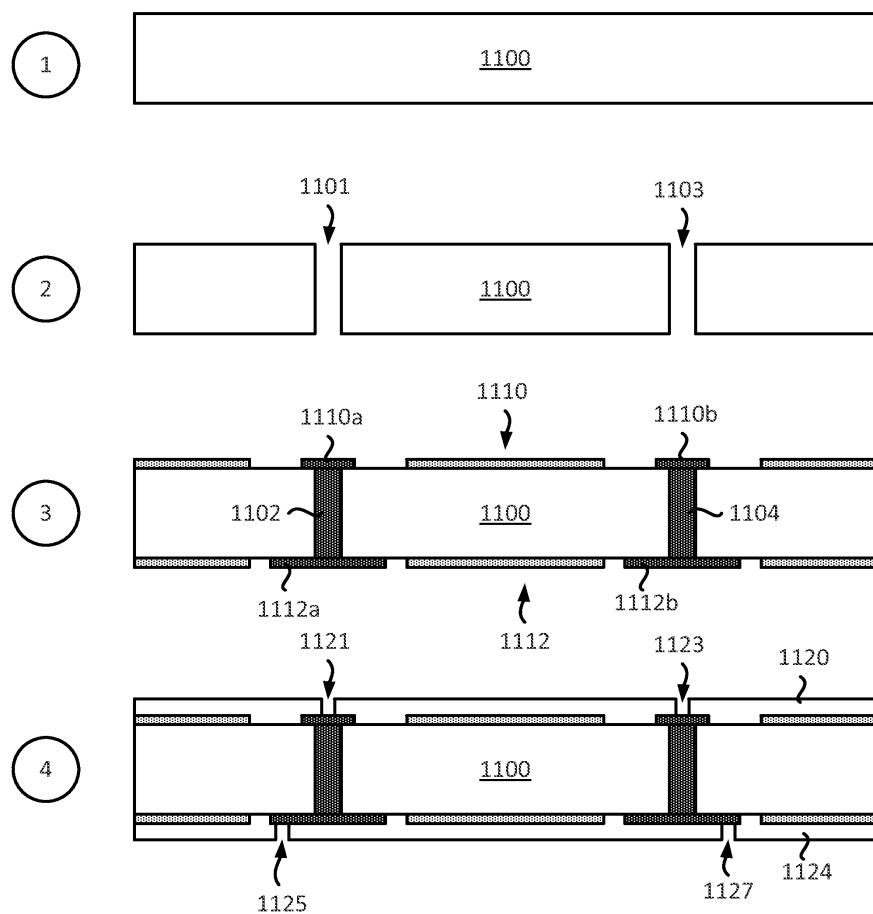
도면9



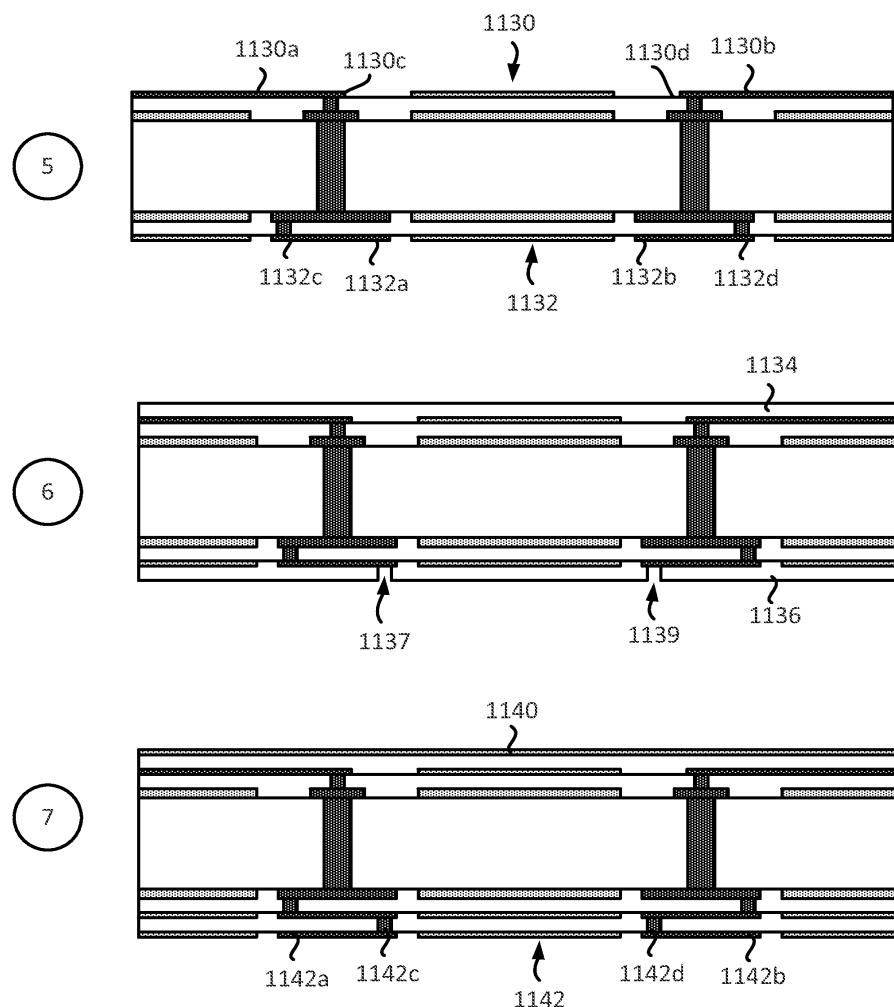
## 도면10



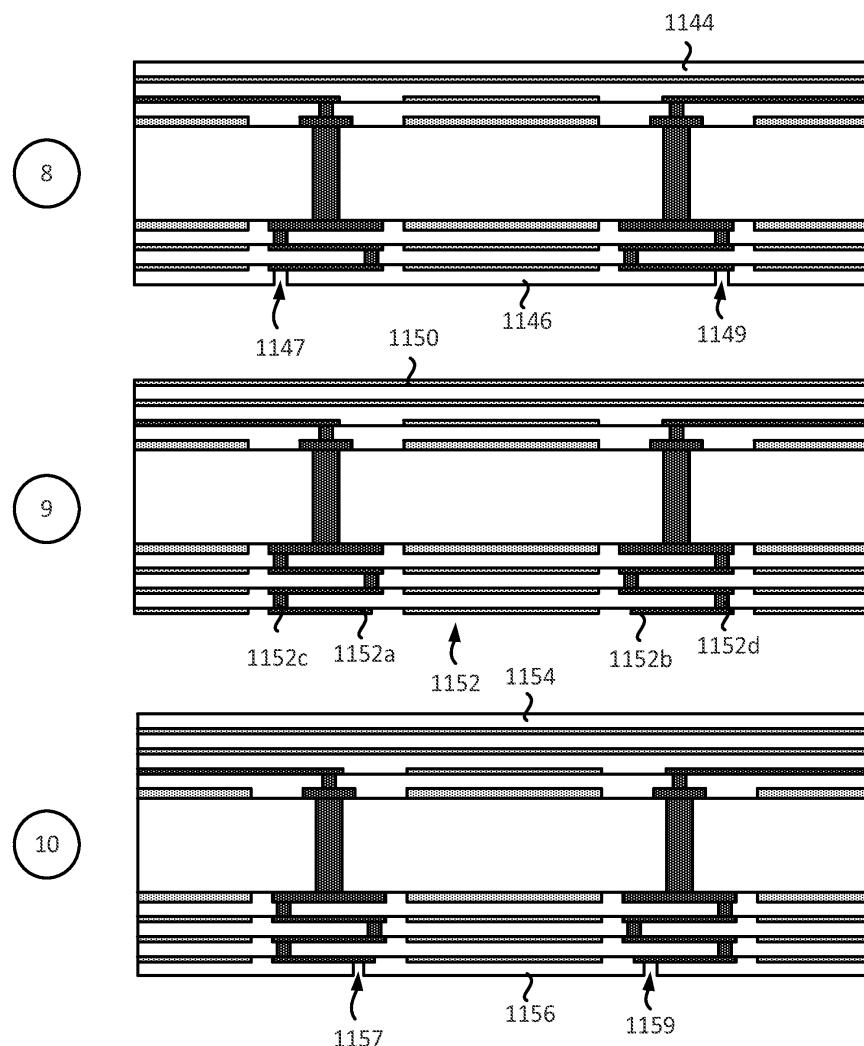
## 도면11a



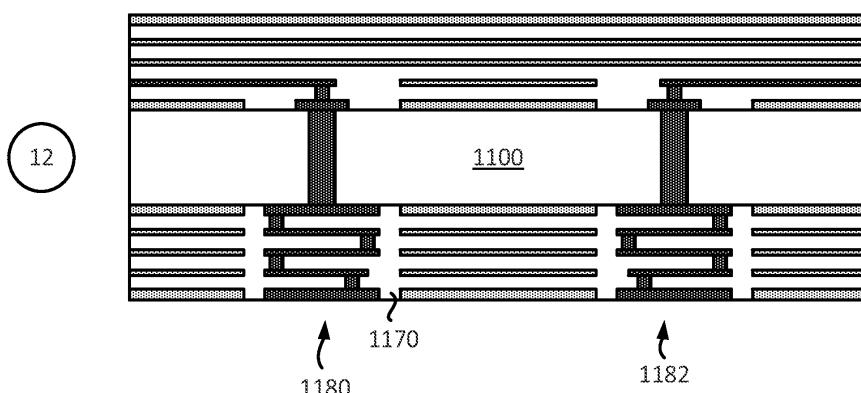
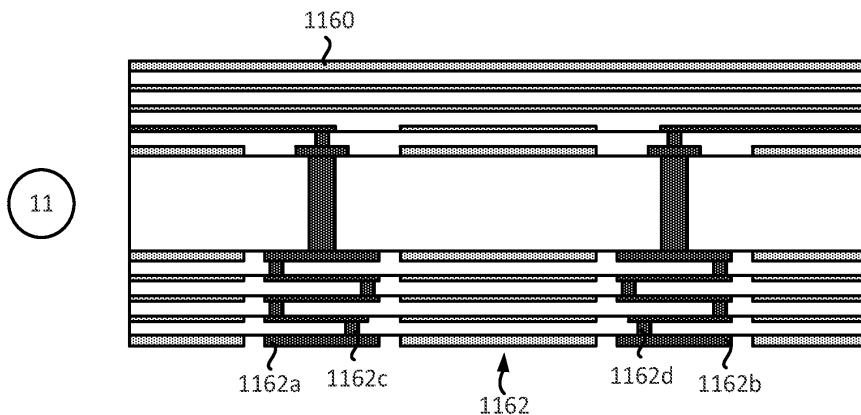
## 도면11b



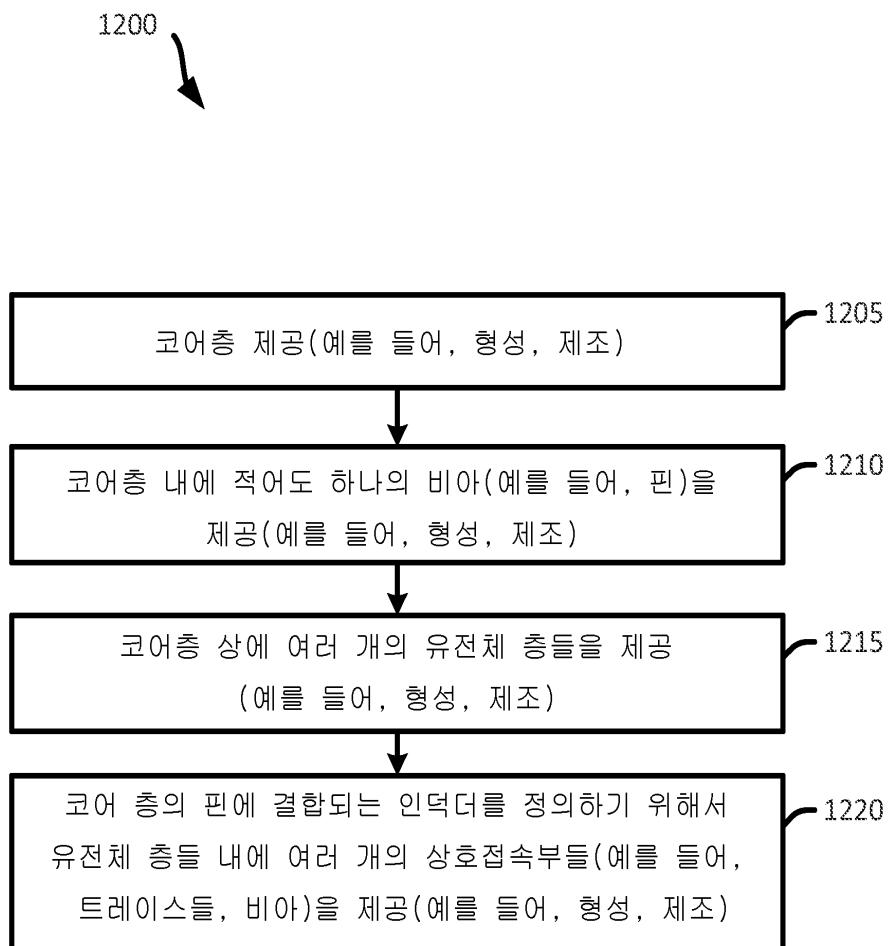
## 도면11c



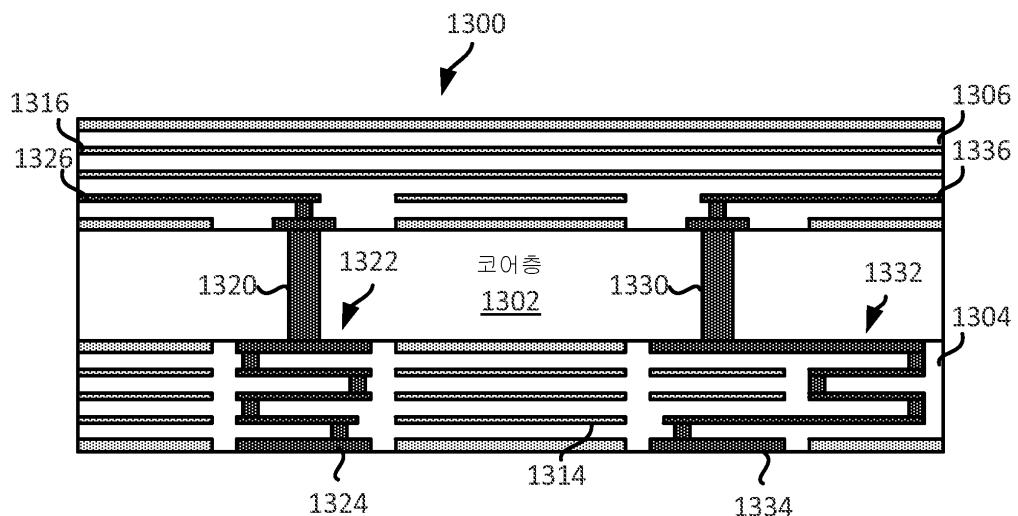
도면11d



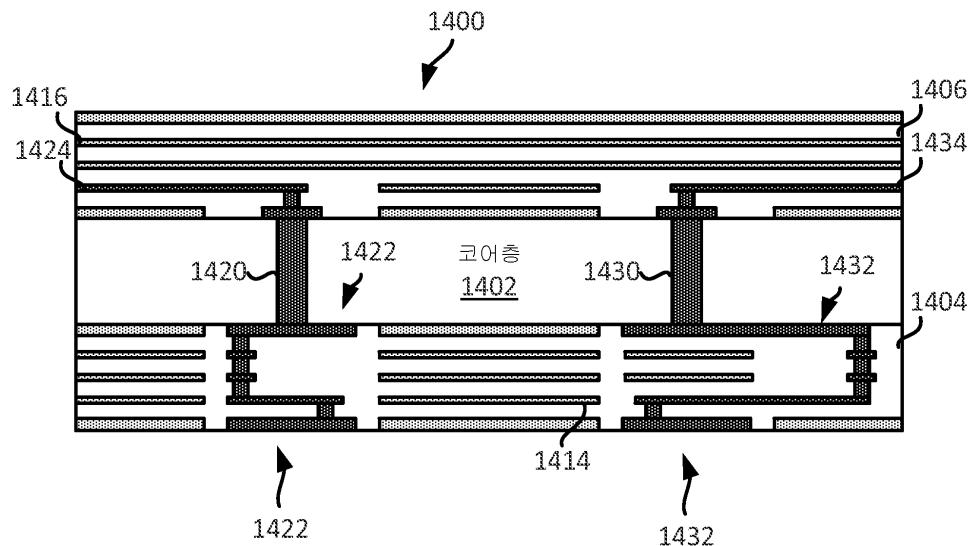
## 도면12



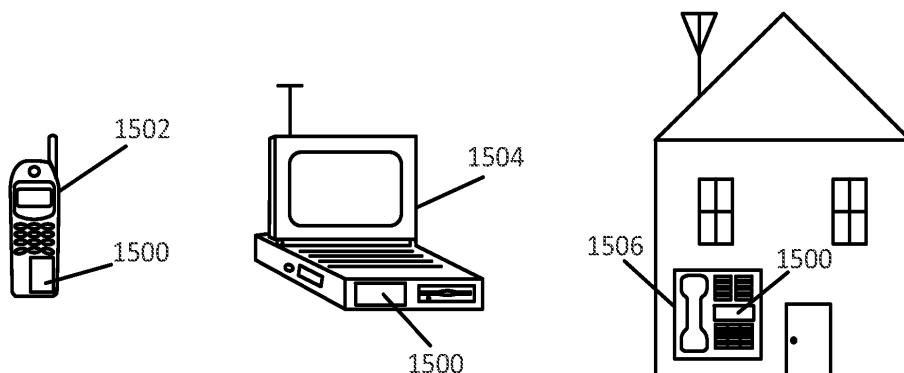
## 도면13



## 도면14



## 도면15



## 【심사관 직권보정사항】

## 【직권보정 1】

## 【보정항목】 청구범위

## 【보정세부항목】 청구항 6의 3-4번째 줄

## 【변경전】

상기 제 1 C 구성 및 상기 제 2 C 구성

## 【변경후】

상기 제 1 C 형상 및 상기 제 2 C 형상

## 【직권보정 2】

## 【보정항목】 청구범위

## 【보정세부항목】 청구항 24의 3-4번째 줄

## 【변경전】

상기 제 1 C 구성 및 상기 제 2 C 구성

## 【변경후】

상기 제 1 C 형상 및 상기 제 2 C 형상

## 【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 15의 3-4번째 줄

【변경전】

상기 제 1 C 구성 및 상기 제 2 C 구성

【변경후】

상기 제 1 C 형상 및 상기 제 2 C 형상