

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6225674号
(P6225674)

(45) 発行日 平成29年11月8日 (2017. 11. 8)

(24) 登録日 平成29年10月20日 (2017. 10. 20)

(51) Int. Cl. F I
 H O 1 L 27/04 (2006. 01) H O 1 L 27/04 V
 H O 1 L 21/822 (2006. 01)

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2013-249382 (P2013-249382)	(73) 特許権者	514315159
(22) 出願日	平成25年12月2日 (2013. 12. 2)		株式会社ソシオネクスト
(65) 公開番号	特開2015-106691 (P2015-106691A)		神奈川県横浜市港北区新横浜 2 丁目 1 〇 番
(43) 公開日	平成27年6月8日 (2015. 6. 8)		2 3
審査請求日	平成28年5月31日 (2016. 5. 31)	(74) 代理人	100092152
			弁理士 服部 毅巖
		(72) 発明者	鈴木 大輔
			神奈川県横浜市港北区新横浜二丁目 1 〇 番
			2 3 富士通マイクロソリューションズ株
			式会社内
		(72) 発明者	山口 雅幸
			神奈川県横浜市港北区新横浜二丁目 1 〇 番
			2 3 富士通セミコンダクター株式会社内
		審査官	市川 武宜
			最終頁に続く

(54) 【発明の名称】 半導体装置および通信インタフェース回路

(57) 【特許請求の範囲】

【請求項 1】

回路内部素子の特性を調整するためのデータ値を保持するレジスタと、制御信号にもとづいて結線状態を変化させ、第 1 の結線状態では前記回路内部素子の特性に応じた前記データ値を検出するために、前記レジスタへの前記データ値の可変入力を行い、第 2 の結線状態では前記第 1 の結線状態で検出された前記データ値を、固定値を用いて前記レジスタに設定するレジスタ設定部と、を含む通信インタフェース回路と、

前記制御信号を出力する制御回路と、

を備え、

前記制御回路は、出力信号として、前記レジスタ設定部内のヒューズを切断して前記結線状態を変化させるための前記制御信号と、前記データ値を変化させるためのユーザ設定信号を供給し、

前記レジスタ設定部は、2 入力 1 出力の第 1 のセレクトと、2 入力 1 出力の第 2 のセレクトと、第 1 のヒューズを含む第 1 のヒューズ部と、第 2 のヒューズを含む第 2 のヒューズ部とを備え、

前記第 1 のセレクトの第 1 の入力端子には第 1 の電位レベルの信号が入力され、前記第 1 のセレクトの第 2 の入力端子には前記第 1 の電位レベルよりも低い第 2 の電位レベルの信号が入力され、前記第 1 のセレクトの出力端子は、前記第 2 のセレクトの第 2 の入力端子に接続され、

前記第 2 のセレクトの第 1 の入力端子には、前記ユーザ設定信号が入力され、前記第 2

10

20

のセレクトタの出力信号は前記レジスタに入力され、

前記第 1 のヒューズ部は、前記第 1 のヒューズが接続維持の状態にある場合は、前記第 1 のセレクトタのセレクト制御端子に接続された第 1 の出力ノードを第 3 の電位レベルに設定し、前記第 1 のヒューズが切断の状態にある場合は、前記第 1 の出力ノードを前記第 3 の電位レベルより高い第 4 の電位レベルに設定し、

前記第 2 のヒューズ部は、前記第 2 のヒューズが接続維持の状態にある場合は、前記第 2 のセレクトタのセレクト制御端子に接続する第 2 の出力ノードを第 5 の電位レベルに設定し、前記第 2 のヒューズが切断の状態にある場合は、前記第 2 の出力ノードを前記第 5 の電位レベルより低い第 6 の電位レベルに設定する、

ことを特徴とする半導体装置。

10

【請求項 2】

前記第 1 の結線状態では、

前記制御回路は、前記第 1 および前記第 2 のヒューズ部への前記制御信号の供給を停止し、

前記レジスタ設定部において、前記第 2 のヒューズが接続維持の状態とされ、前記第 2 の出力ノードが前記第 5 の電位レベルに設定されることで、前記第 2 のセレクトタが、自己の前記第 1 の入力端子に入力される前記ユーザ設定信号を選択して、前記ユーザ設定信号を前記レジスタに入力する、

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

20

前記第 2 の結線状態で前記レジスタに 1 を設定する場合、

前記制御回路は、前記第 1 および前記第 2 のヒューズを切断するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部において、前記第 1 の出力ノードが前記第 4 の電位レベルに設定されることで、前記第 1 のセレクトタが、自己の前記第 1 の入力端子に入力される前記第 1 の電位レベルの信号を選択して出力し、前記第 2 の出力ノードが前記第 6 の電位レベルに設定されることで、前記第 2 のセレクトタが、自己の前記第 2 の入力端子に入力される前記第 1 の電位レベルの信号を選択して前記レジスタに入力する、

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

30

前記第 2 の結線状態で前記レジスタに 0 を設定する場合、

前記制御回路は、前記第 1 のヒューズの接続を維持し、前記第 2 のヒューズを切断するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部において、前記第 1 の出力ノードが前記第 3 の電位レベルに設定されることで、前記第 1 のセレクトタが、自己の前記第 2 の入力端子に入力される前記第 2 の電位レベルの信号を選択して出力し、前記第 2 の出力ノードが前記第 6 の電位レベルに設定されることで、前記第 2 のセレクトタが、自己の前記第 2 の入力端子に入力される前記第 2 の電位レベルの信号を選択して前記レジスタに入力する、

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

40

回路内部素子の特性を調整するためのデータ値を保持するレジスタと、制御信号にもとづいて結線状態を変化させ、第 1 の結線状態では前記回路内部素子の特性に応じた前記データ値を検出するために、前記レジスタへの前記データ値の可変入力を行い、第 2 の結線状態では前記第 1 の結線状態で検出された前記データ値を、固定値を用いて前記レジスタに設定するレジスタ設定部と、を含む通信インタフェース回路と、

前記制御信号を出力する制御回路と、

を備え、

前記制御回路は、出力信号として、前記レジスタ設定部内のヒューズを切断して前記結線状態を変化させるための前記制御信号と、前記データ値を変化させるためのユーザ設定信号を供給し、

50

前記レジスタは、データ入力端子、セット端子およびリセット端子を有し、
前記レジスタ設定部は、インバータと、ヒューズを含むヒューズ部とを備え、
前記データ入力端子には、前記ユーザ設定信号が入力され、
前記セット端子には、前記インバータの出力端が接続され、
前記ヒューズ部は、前記ヒューズが接続維持の状態にある場合は、前記リセット端子と、
前記インバータの入力端とに接続する出力ノードを第1の電位レベルに設定し、前記ヒューズが切断の状態にある場合は、前記出力ノードを前記第1の電位レベルよりも高い第2の電位レベルに設定する、
ことを特徴とする半導体装置。

【請求項6】

10

前記第1の結線状態および前記第2の結線状態では、前記レジスタ設定部は、前記ユーザ設定信号の電位レベルに応じて前記レジスタの前記データ入力端子に前記データ値を可変入力する、

ことを特徴とする請求項5記載の半導体装置。

【請求項7】

前記第2の結線状態で前記レジスタに1を設定する場合は、
前記制御回路は、前記ヒューズの接続を維持するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部は、前記出力ノードが前記第1の電位レベルに設定されることで、前記リセット端子に前記第1の電位レベルの信号を入力し、前記セット端子に前記第1の電位レベルよりも高い第3の電位レベルの信号を入力する、

20

ことを特徴とする請求項6記載の半導体装置。

【請求項8】

前記第2の結線状態で前記レジスタに0を設定する場合は、
前記制御回路は、前記ヒューズを切断するための前記制御信号を前記レジスタ設定部に供給し、

前記レジスタ設定部は、前記出力ノードが前記第2の電位レベルに設定されることで、前記リセット端子に前記第2の電位レベルの信号を入力し、前記セット端子に前記第2の電位レベルより低い第4の電位レベルの信号を入力する、

30

ことを特徴とする請求項6記載の半導体装置。

【請求項9】

回路内部素子の特性を調整するためのデータ値を保持するレジスタと、
制御信号にもとづいて結線状態を変化させ、第1の結線状態では前記回路内部素子の特性に応じた前記データ値を検出するために、前記レジスタへの前記データ値の可変入力を行い、第2の結線状態では前記第1の結線状態で検出された前記データ値を、固定値を用いて前記レジスタに設定するレジスタ設定部と、

を備え、

前記レジスタ設定部は、2入力1出力の第1のセレクタと、2入力1出力の第2のセレクタと、第1のヒューズを含む第1のヒューズ部と、第2のヒューズを含む第2のヒューズ部とを備え、

40

前記第1のセレクタの第1の入力端子には第1の電位レベルの信号が入力され、前記第1のセレクタの第2の入力端子には前記第1の電位レベルよりも低い第2の電位レベルの信号が入力され、前記第1のセレクタの出力端子は、前記第2のセレクタの第2の入力端子に接続され、

前記第2のセレクタの第1の入力端子には、前記データ値を変化させるためのユーザ設定信号が入力され、前記第2のセレクタの出力信号は前記レジスタに入力され、

前記第1のヒューズ部は、前記第1のヒューズが接続維持の状態にある場合は、前記第1のセレクタのセレクト制御端子に接続された第1の出力ノードを第3の電位レベルに設定し、前記第1のヒューズが切断の状態にある場合は、前記第1の出力ノードを前記第3の電位レベルよりも高い第4の電位レベルに設定し、

50

前記第2のヒューズ部は、前記第2のヒューズが接続維持の状態にある場合は、前記第2のセクタのセレクト制御端子に接続する第2の出力ノードを第5の電位レベルに設定し、前記第2のヒューズが切断の状態にある場合は、前記第2の出力ノードを前記第5の電位レベルより低い第6の電位レベルに設定する、

ことを特徴とする通信インタフェース回路。

【請求項10】

回路内部素子の特性を調整するためのデータ値を保持するレジスタと、

制御信号にもとづいて結線状態を変化させ、第1の結線状態では前記回路内部素子の特性に応じた前記データ値を検出するために、前記レジスタへの前記データ値の可変入力を行い、第2の結線状態では前記第1の結線状態で検出された前記データ値を、固定値を用いて前記レジスタに設定するレジスタ設定部と、

10

を備え、

前記レジスタは、データ入力端子、セット端子およびリセット端子を有し、

前記レジスタ設定部は、インバータと、ヒューズを含むヒューズ部とを備え、

前記データ入力端子には、前記データ値を変化させるためのユーザ設定信号が入力され、

前記セット端子には、前記インバータの出力端が接続され、

前記ヒューズ部は、前記ヒューズが接続維持の状態にある場合は、前記リセット端子と、前記インバータの入力端とに接続する出力ノードを第1の電位レベルに設定し、前記ヒューズが切断の状態にある場合は、前記出力ノードを前記第1の電位レベルよりも高い第2の電位レベルに設定する、

20

ことを特徴とする通信インタフェース回路。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、半導体装置および通信インタフェース回路に関する。

【背景技術】

【0002】

光通信ネットワーク向けのサーバなどに使用される高速I/O (Input / Output) 回路は、サーバを構成するプロセッサ間やサーバ間でデータ伝送を行うための通信インタフェース回路である。

30

【0003】

このような用途のI/O回路では、正常な高速伝送を実現するため、回路素子のバラつきや、システム環境などに合わせて、I/O回路内部の各素子の電気的特性の調整が行われる。

【0004】

従来技術として、レジスタ出力がプログラマブルマルチプレクサに接続し、該マルチプレクサからの出力信号が、ヒューズの状態により決定されるプログラマブルセルアレイが提案されている。

40

【0005】

また、制御ユニットが制御信号を電気ヒューズ・アレイに与えて、データをPLL回路に与え、PLL回路が特定の特性の組により動作するように制御する技術が提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平5 - 218199号公報

【特許文献2】特開2007 - 110711号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0007】

I/O回路は、内部に制御用の記憶素子であるレジスタ(Register)を有しており、レジスタに所定のデータ値が設定されることで、回路内部素子の電気的特性が調整される。レジスタへのデータ値の設定はソフトウェアで行われることも考えられるが、レジスタ数の増加に伴い設定時間が長くなってしまいうため、ハードウェアで設定することが考えられる。

【0008】

しかし、当初設定した初期データ値が最適でなかった場合は、マスクの改版や再作成などハードウェアを変更してデータ値の設定をやり直すことになり、開発効率の低下を引き起こす。

【課題を解決するための手段】

【0009】

発明の一観点によれば、回路内部素子の特性を調整するためのデータ値を保持するレジスタと、制御信号にもとづいて結線状態を変化させ、第1の結線状態では前記回路内部素子の特性に応じた前記データ値を検出するために、前記レジスタへの前記データ値の可変入力を行い、第2の結線状態では前記第1の結線状態で検出された前記データ値を、固定値を用いて前記レジスタに設定するレジスタ設定部と、を含む通信インタフェース回路と、前記制御信号を出力する制御回路と、を備えた半導体装置が提供される。

前記制御回路は、出力信号として、前記レジスタ設定部内のヒューズを切断して前記結線状態を変化させるための前記制御信号と、前記データ値を変化させるためのユーザ設定信号を供給する。

前記レジスタ設定部は、2入力1出力の第1のセレクトと、2入力1出力の第2のセレクトと、第1のヒューズを含む第1のヒューズ部と、第2のヒューズを含む第2のヒューズ部とを備える。

前記第1のセレクトの第1の入力端子には第1の電位レベルの信号が入力され、前記第1のセレクトの第2の入力端子には前記第1の電位レベルよりも低い第2の電位レベルの信号が入力され、前記第1のセレクトの出力端子は、前記第2のセレクトの第2の入力端子に接続され、前記第2のセレクトの第1の入力端子には、前記ユーザ設定信号が入力され、前記第2のセレクトの出力信号は前記レジスタに入力され、前記第1のヒューズ部は、前記第1のヒューズが接続維持の状態にある場合は、前記第1のセレクトのセレクト制御端子に接続された第1の出力ノードを第3の電位レベルに設定し、前記第1のヒューズが切断の状態にある場合は、前記第1の出力ノードを前記第3の電位レベルより高い第4の電位レベルに設定し、前記第2のヒューズ部は、前記第2のヒューズが接続維持の状態にある場合は、前記第2のセレクトのセレクト制御端子に接続する第2の出力ノードを第5の電位レベルに設定し、前記第2のヒューズが切断の状態にある場合は、前記第2の出力ノードを前記第5の電位レベルより低い第6の電位レベルに設定する。

【発明の効果】

【0010】

開示の半導体装置及び通信インタフェース回路によれば、開発効率の向上を図ることが可能になる。

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態の半導体装置の一例を示す図である。

【図2】ハードウェア変更の一例を示す図である。

【図3】第2の実施の形態の半導体装置の一例を示す図である。

【図4】測定モードにおける結線状態を示す図である。

【図5】設定モードにおける結線状態を示す図である。

【図6】第3の実施の形態の半導体装置の一例を示す図である。

【図7】設定モードにおける結線状態を示す図である。

【図 8】半導体装置全体の構成例を示す図である。

【図 9】S O C 開発の流れの一例を示すフローチャートである。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態を図面を参照して説明する。

(第 1 の実施の形態)

図 1 は第 1 の実施の形態の半導体装置の一例を示す図である。半導体装置 1 は、通信インタフェース回路 1 a と制御回路 1 b を備える。通信インタフェース回路 1 a は、レジスタ 1 1 - 1 ~ 1 1 - n と、レジスタ設定部 1 2 - 1 ~ 1 2 - n とを含む。

【0013】

レジスタ 1 1 - 1 ~ 1 1 - n は、設定されるデータ値によって、通信インタフェース回路 1 a 内に配置される電子回路素子 (図示せず) の特性を調整するための記憶素子である。レジスタ設定部 1 2 - 1 ~ 1 2 - n は、制御回路 1 b により与えられる制御信号にもとづいて自己の結線状態を変化させる。

【0014】

前述したように、I O 回路では、正常な高速伝送を実現するため、回路素子のバラつきや、システム環境などに合わせて、I O 回路内部の各素子の特性の調整が行われる。

レジスタ設定部 1 2 - 1 ~ 1 2 - n は、特性の調整の際、まず第 1 の結線状態となっている。レジスタ設定部 1 2 - 1 ~ 1 2 - n は、第 1 の結線状態になると、変更する電子回路素子の特性に応じたデータ値を検出するために、レジスタ 1 1 - 1 ~ 1 1 - n へのデータ値の可変入力を行う。

【0015】

また、レジスタ設定部 1 2 - 1 ~ 1 2 - n は、制御信号にもとづいて第 2 の結線状態になると、第 1 の結線状態で検出されたデータ値 (最適値) を、固定値 (例えば、電源電位あるいは G N D (接地) 電位) を用いてレジスタ 1 1 - 1 ~ 1 1 - n に設定する。制御回路 1 b は、制御信号を出力する。

【0016】

以下の説明では、レジスタ設定部 1 2 - 1 ~ 1 2 - n を第 1 の結線状態にして、最適値を検出する状態を測定モードと呼び、固定値を用いて最適値をレジスタ 1 1 - 1 ~ 1 1 - n に設定する状態を設定モードと呼ぶ。

【0017】

ここで例えば、半導体装置 1 において、測定モードでは、レジスタ設定部 1 2 - 1 は、第 1 の結線状態になり、レジスタ 1 1 - 1 に対するデータ値を 0 または 1 に可変して入力する。

【0018】

そして、例えば、制御回路 1 b により、電子回路の特性に応じたレジスタ 1 1 - 1 に設定すべきデータ値の最適値が 0 と認識された場合には、制御信号によりレジスタ設定部 1 2 - 1 は、第 2 の結線状態になる。これにより、測定モードから設定モードに遷移して、レジスタ 1 1 - 1 に、例えば、G N D 電位を用いて、データ値 0 を設定する。

【0019】

このように、半導体装置 1 では、レジスタに設定すべきデータ値を検出するための測定モードと、測定値を設定する設定モードとを、結線状態を変えて制御する。

従来では、設定したデータ値が最適値でなかった場合、電子回路の特性最適化のために、マスク改版などにより、データ値の設定をやり直すことになる。これに対して、本技術では、測定モードで最適値をあらかじめ検出する状態と、検出した最適値を初期値として設定する状態を、制御信号により結線状態を変えて制御する。これにより、電子回路の特性最適化のために、マスク改版などが不要になり、開発効率を向上させることが可能になる。

【0020】

以下、第 2 の実施の形態の半導体装置を説明する前に、解決したい課題の例について具

10

20

30

40

50

体的に説明しておく。I O回路のレジスタに入力値を設定する場合、ソフトウェアで設定する方法と、ハードウェアで設定する方法とがある。しかし、いずれの場合も、上述したように、データ値を可変させてどのような値がデータ値として最適であるかという測定をあらかじめ行える機能を有していない。

【0021】

このため、ソフトウェア設定を用いてレジスタにデータ値を設定する際、例えば、システムの環境変化や使用状況によって最適値が変わるなどの理由により、設定したデータ値が最適値でなかった場合、ソフトウェアで再度設定し直すことになる。

【0022】

しかし、昨今の高速I O回路は、レジスタ数が膨大なため、レジスタへデータ値を設定する際に要する時間が、システム設計上無視できないほど長くなる場合がある。さらに、デバイスの出荷試験時にも同様な設定を行うので、出荷試験時間が長くなり、デバイス製造のコストを押し上げる要因にもなる。

【0023】

一方、ハードウェア設定でレジスタにデータ値を設定する際、設定したデータ値が最適値でない場合は、デバイスのハードウェア自体を変更することになる。

図2はハードウェア変更の一例を示す図である。

【0024】

I O回路100-1は、レジスタ#1~#nを有している。図2の例では、I O回路100-1のレジスタのデータ値設定として、例えば、レジスタ#1の入力が電源に設定され、レジスタ#2の入力がGNDに設定され、レジスタ#nの入力が電源に設定されている。これによりレジスタ#1、#2、#nそれぞれに、データ値1、0、1が設定されている。

【0025】

その後、データ値の変更が生じて、I O回路100-2のように、レジスタ#1の入力をGND、レジスタ#2の入力を電源、レジスタ#nの入力をGNDにして、データ値0、1、0を設定するとする。この場合、I O回路100-1に対してMetalの再入を行って(配線パターンを引き直して)、I O回路100-2を生成することになる。

【0026】

このように、ハードウェアでレジスタのデータ値を固定して設定する場合、ES(Engineering Sample)評価後にレジスタのデータ値を顧客の使用状況にあった最適値に変更するためには、マスク改版とデバイスの再作成をすることになり、開発時間とコストが増大してしまう。

【0027】

本技術はこのような点に鑑みてなされたものであり、レジスタのデータ値の最適値を柔軟に検出してレジスタ設定を行うことで、マスク改版などを不要とし、開発効率の向上を図った半導体装置および通信インタフェース回路を提供するものである。

【0028】

次に第2の実施の形態の半導体装置を説明する。

(第2の実施の形態)

図3は第2の実施の形態の半導体装置の一例を示す図である。第2の実施の形態の半導体装置2-1は、I O回路20aと、ユーザ設定制御部20bと、ヒューズ接続制御部20cとを備える。

【0029】

I O回路20aは、図1の通信インタフェース回路1aの機能を有している。また、ユーザ設定制御部20bとヒューズ接続制御部20cは、図1の制御回路1bの機能を有している。

【0030】

なお、ユーザ設定制御部20bまたはヒューズ接続制御部20cは、半導体装置2-1の外部に設けてもよい。また、ユーザ設定制御部20bまたはヒューズ接続制御部20c

10

20

30

40

50

が外部端末に接続して、外部端末からの指示を通じて設定制御できるようにしてもよい。

【0031】

I O回路20aは、n個のレジスタ#1～#nと、レジスタ#1～#nそれぞれに対応して配置されるレジスタ設定部20-1～20-nを含む。レジスタ設定部20-1は、レジスタ#1へのデータ値設定を行い、同様にして、レジスタ設定部20-nは、レジスタ#nへのデータ値設定を行う。なお、以降では、レジスタ#1、#nへのデータ値設定に関する構成および動作について説明する。

【0032】

レジスタ設定部20-1は、セクタSL1、SL2と、ヒューズ部21、22とを含む。ヒューズ部21は、負荷z1とヒューズf1を含む。ヒューズf1の一端は、負荷z1を介して電源と、セクタSL1のセレクト制御端子と接続する。ヒューズf1の他端は、GNDに接続する。

10

【0033】

ヒューズ部22は、負荷z2とヒューズf2を含む。ヒューズf2の一端は、電源と接続する。ヒューズf2の他端は、負荷z2を介してGNDと、セクタSL2のセレクト制御端子と接続する。

【0034】

また、セクタSL1の端子(1)は、電源に接続し、端子(0)は、GNDに接続する。セクタSL2の端子(1)は、ユーザ設定制御部20bと接続し、端子(0)は、セクタSL1の出力端と接続する。セクタSL2の出力端は、レジスタ#1の入力端と接続する。

20

【0035】

なお、ヒューズf1が接続維持の場合は、セクタSL1のセレクト制御端子に接続する出力ノードp1の電位レベルはL(Low)レベルとなり、ヒューズf1が切断すると出力ノードp1の電位レベルはH(High)レベルとなる。

【0036】

また、ヒューズf2が接続維持の場合は、セクタSL2のセレクト制御端子に接続する出力ノードp2の電位レベルはHレベルとなり、ヒューズf2が切断すると出力ノードp2の電位レベルはLレベルとなる。

【0037】

30

同様に、レジスタ設定部20-nは、セクタSL3、SL4と、ヒューズ部23、24とを含む。ヒューズ部23は、負荷z3とヒューズf3を含む。ヒューズf3の一端は、負荷z3を介して電源と、セクタSL3のセレクト制御端子と接続する。ヒューズf3の他端は、GNDに接続する。

【0038】

ヒューズ部24は、負荷z4とヒューズf4を含む。ヒューズf4の一端は、電源と接続する。ヒューズf4の他端は、負荷z4を介してGNDと、セクタSL4のセレクト制御端子と接続する。

【0039】

また、セクタSL3の端子(1)は、電源に接続し、端子(0)は、GNDに接続する。セクタSL4の端子(1)は、ユーザ設定制御部20bと接続し、端子(0)は、セクタSL3の出力端と接続する。セクタSL4の出力端は、レジスタ#nの入力端と接続する。

40

【0040】

なお、ヒューズf3が接続維持の場合は、セクタSL3のセレクト制御端子に接続する出力ノードp3の電位レベルはLレベルとなり、ヒューズf3が切断すると出力ノードp3の電位レベルは、Hレベルとなる。

【0041】

また、ヒューズf4が接続維持の場合は、セクタSL4のセレクト制御端子に接続する出力ノードp4の電位レベルはHレベルとなり、ヒューズf4が切断すると出力ノード

50

p 4 の電位レベルは L レベルとなる。

【 0 0 4 2 】

レジスタ設定部 2 0 - 1 ~ 2 0 - n を上記のような構成にすることにより、結線状態を変えて、測定モードと設定モードとを柔軟に切り分けることが可能になる。なお、ヒューズ f 1 ~ f 4 は、不揮発性メモリを使用することができる。

【 0 0 4 3 】

ユーザ設定制御部 2 0 b は、測定モード時に、ユーザ設定信号 d 1、d 2 を出力する。ユーザ設定信号 d 1、d 2 は、H または L いずれかのレベル信号であり、ユーザから任意のレベルを設定可能である。

【 0 0 4 4 】

ヒューズ接続制御部 2 0 c は、ヒューズ f 1 ~ f 4 の接続 / 切断状態を制御する。ヒューズ f 1 ~ f 4 を切断状態にするときにはヒューズ f 1 ~ f 4 に対応する切断信号 c 1 ~ c 4 をそれぞれ出力し、切断せずに接続状態に維持しておく場合は、該当の切断信号 c 1 ~ c 4 の出力をそれぞれ停止する。切断信号 c 1 ~ c 4 は、例えば、レーザ信号または電流信号である。

【 0 0 4 5 】

このように、半導体装置 2 - 1 では、レジスタ設定部内のヒューズを切断して結線状態を変化させるための制御信号（接続 / 切断信号）と、データ値として最適なレベルを設定するためのレベル可変なユーザ設定信号との出力機能を有する。これにより、レジスタ設定部の結線状態の変更およびデータ値のレベル変更を柔軟に行うことができる。

【 0 0 4 6 】

ここで、半導体装置 2 - 1 において、レジスタ # 1 のデータ値を設定する場合、まず、測定モードにより、レジスタ # 1 のデータ値の最適値検出を行う。

図 4 は測定モードにおける結線状態を示す図である。レジスタ # 1 のデータ値を L または H のどちらが最適かを決定する測定モードでは、ヒューズ接続制御部 2 0 c は、切断信号 c 2 の出力を停止する（設定モード時の結線制御に備えて、切断信号 c 1 も出力を停止する）。

【 0 0 4 7 】

すると、ヒューズ f 2 は、接続状態が維持されるので、セクタ S L 2 のセレクト制御端子に inputs するセレクト信号 s 2 は、H レベルとなって、セクタ S L 2 の端子（1）に inputs されるユーザ設定信号 d 1 が出力として選択される。

【 0 0 4 8 】

したがって、ユーザ設定制御部 2 0 b から出力されるユーザ設定信号 d 1 のレベルが、レジスタ # 1 に設定されるデータ値となる。ユーザ設定信号 d 1 のレベルは、ユーザ設定により、H レベルまたは L レベルを任意に可変設定できるから、このような測定モードにおいて、レジスタ # 1 に関する最適値を決定することが可能になる。

【 0 0 4 9 】

同様に、レジスタ # n のデータ値を設定する場合、まず、測定モードにより、レジスタ # n のデータ値の最適値検出を行う。レジスタ # n のデータ値を L または H のどちらが最適かを決定する測定モードでは、ヒューズ接続制御部 2 0 c は、切断信号 c 4 の出力を停止する（設定モード時の結線制御に備えて、切断信号 c 3 も出力を停止する）。

【 0 0 5 0 】

すると、ヒューズ f 4 は、接続状態が維持されるので、セクタ S L 4 のセレクト制御端子に inputs するセレクト信号 s 4 は、H レベルとなって、セクタ S L 4 の端子（1）に inputs されるユーザ設定信号 d 2 が出力として選択される。

【 0 0 5 1 】

したがって、ユーザ設定制御部 2 0 b から出力されるユーザ設定信号 d 2 のレベルが、レジスタ # n に設定されるデータ値となる。ユーザ設定信号 d 2 のレベルは、ユーザ設定により、H レベルまたは L レベルを任意に可変設定できるから、このような測定モードにおいて、レジスタ # n に関する最適値を決定することが可能になる。

10

20

30

40

50

【 0 0 5 2 】

測定モードで最適値が検出されると、次の設定モードにおいて、最適値をレジスタデータ値として実際に設定することになる。

図 5 は設定モードにおける結線状態を示す図である。レジスタ # 1 において、データ値の最適値が 1 (H レベル) であったとする。

【 0 0 5 3 】

この場合のレジスタ # 1 の設定モードでは、ヒューズ接続制御部 2 0 c は、切断信号 c 1、c 2 を共に出力する。切断信号 c 1 が出力されると、ヒューズ f 1 が切断するので、セクタ S L 1 のセレクト制御端子に入力するセレクト信号 s 1 は、H レベルとなる。よって、セクタ S L 1 の端子 (1) に入力される電源の H レベルが、セクタ S L 1 の出力として選択される。

10

【 0 0 5 4 】

また、切断信号 c 2 が出力されると、ヒューズ f 2 は切断されるので、セクタ S L 2 のセレクト制御端子に入力するセレクト信号 s 2 は、L レベルとなる。よって、セクタ S L 2 の端子 (0) に入力されるセクタ S L 1 の出力、すなわち電源の H レベルが出力として選択される。したがって、レジスタ # 1 のデータ値に 1 (電源の H レベル) が固定的に設定されることになる。

【 0 0 5 5 】

一方、レジスタ # n において、データ値の最適値が 0 (L レベル) であったとする。この場合のレジスタ # n の設定モードでは、ヒューズ接続制御部 2 0 c は、切断信号 c 3 の出力を停止し、切断信号 c 4 を出力する。

20

【 0 0 5 6 】

切断信号 c 3 の出力が停止すると、ヒューズ f 3 の接続状態が維持されるので、セクタ S L 3 のセレクト制御端子に入力するセレクト信号 s 3 は、L レベルとなる。よって、セクタ S L 3 の端子 (0) に入力される G N D による L レベルが、セクタ S L 3 の出力として選択される。

【 0 0 5 7 】

また、切断信号 c 4 が出力されると、ヒューズ f 4 は切断されるので、セクタ S L 4 のセレクト制御端子に入力するセレクト信号 s 4 は、L レベルとなる。よって、セクタ S L 4 の端子 (0) に入力されるセクタ S L 3 の出力、すなわち G N D の L レベルが出力として選択される。したがって、レジスタ # n のデータ値に 0 (G N D の L レベル) が固定的に設定されることになる。

30

【 0 0 5 8 】

上記のように、第 2 の実施の形態では、セクタおよびヒューズを有するレジスタ設定部を、レジスタを含む I O 回路に搭載して、レジスタへのアクセスをユーザ設定、電源固定または G N D 固定に切り替えられる構成にする。

【 0 0 5 9 】

そして、セクタのセレクト信号の制御には、ヒューズを使用し、ヒューズを切断する前は、測定モードにおいて、ユーザ設定でレジスタデータ値を可変設定できるようにする。また、測定モードでデータ値の最適値を見つけ、データ値を固定することになったら、設定モードにおいて、適切なヒューズを切断して、電源レベルまたは G N D レベルを最適値として固定的に設定する。

40

【 0 0 6 0 】

これにより、レジスタへの入力値を可変させて、どのような値がデータ値として最適であるかという測定を行った後に設定することが可能になる。このため、レジスタデータ値を設定した後で、マスク改版などで最適値を再設定するなどの作業は不要となるので、開発効率が向上し、開発時間を短縮化することが可能になる。

【 0 0 6 1 】

次に第 3 の実施の形態の半導体装置について説明する。

(第 3 の実施の形態)

50

図6は第3の実施の形態の半導体装置の一例を示す図である。第3の実施の形態の半導体装置2-2は、I/O回路30aと、ユーザ設定制御部30bと、ヒューズ接続制御部30cとを備える。

【0062】

I/O回路30aは、図1の通信インタフェース回路1aの機能を有する。また、ユーザ設定制御部30bとヒューズ接続制御部30cそれぞれの機能は、図1の制御回路1bの機能に含まれる。

【0063】

なお、ユーザ設定制御部30bまたはヒューズ接続制御部30cは、半導体装置2-2の外部に位置する構成にすることも可能である。また、ユーザ設定制御部30bまたはヒューズ接続制御部30cが外部端末に接続して、外部端末からの指示を通じて設定制御できる構成にすることも可能である。

【0064】

I/O回路30aは、n個のレジスタr1~rnと、レジスタr1~rnそれぞれに対応して配置されるレジスタ設定部30-1~30-nを含む。レジスタ設定部30-1は、レジスタr1へのデータ値設定を行い、同様に、レジスタ設定部30-nは、レジスタrnへのデータ値設定を行う。

【0065】

レジスタr1~rnそれぞれは、入力端子に、データ入力端子(D)、セット端子(Set)およびリセット端子(Reset)を有している。

論理値として、データ入力端子のレベル、セット端子のレベル、リセット端子のレベルの組み合わせを(D、S、R)と記載すれば、(D、S、R)=(ハイインピーダンス、L、H)のときは、レジスタに設定されるデータ値は0である。

【0066】

また、(D、S、R)=(ハイインピーダンス、H、L)のときは、レジスタに設定されるデータ値は1である。

さらに、(D、S、R)=(H、Don't care、Don't care)のときは、レジスタに設定されるデータ値は1であり、(D、S、R)=(L、Don't care、Don't care)のときは、レジスタに設定されるデータ値は0である(Don't careは、HでもLでもどちらでもよい不定状態を表す)。なお、以降では、レジスタr1、rnへのデータ値設定に関する構成および動作について説明する。

【0067】

レジスタ設定部30-1は、インバータ31、ヒューズ部32を含む。ヒューズ部32は、負荷z5とヒューズf5を含む。ヒューズf5の一端は、負荷z5を介して電源と、インバータ31の入力端と、レジスタr1のリセット端子と接続する。ヒューズf5の他端は、GNDに接続する。また、インバータ31の出力端は、レジスタr1のセット端子に接続し、レジスタr1のデータ入力端子は、レジスタ設定部30-1を介して、ユーザ設定制御部30bと接続して、ユーザ設定信号d1が入力する。

【0068】

なお、ヒューズf5が接続維持の場合は、リセット端子とインバータ31の入力端とに接続する出力ノードp5がLレベルとなり、ヒューズf5が切断すると出力ノードp5は、Hレベルとなる。

【0069】

同様に、レジスタ設定部30-nは、インバータ33、ヒューズ部34を含む。ヒューズ部34は、負荷z6とヒューズf6を含む。ヒューズf6の一端は、負荷z6を介して電源と、インバータ33の入力端と、レジスタrnのリセット端子と接続する。ヒューズf6の他端は、GNDに接続する。また、インバータ33の出力端は、レジスタrnのセット端子に接続し、レジスタrnのデータ入力端子は、レジスタ設定部30-nを介して、ユーザ設定制御部30bと接続して、ユーザ設定信号d2が入力する。

【0070】

10

20

30

40

50

なお、ヒューズ f 6 が接続維持の場合は、リセット端子とインバータ 3 3 の入力端とに接続する出力ノード p 6 が L レベルとなり、ヒューズ f 6 が切断すると出力ノード p 6 は、H レベルとなる。

【 0 0 7 1 】

レジスタ設定部 3 0 - 1 ~ 3 0 - n を上記のような構成にすることにより、結線状態を変えて、測定モードと設定モードとを柔軟に切り分けることが可能になる。なお、ヒューズ f 5、f 6 は、不揮発性メモリを使用することができる。

【 0 0 7 2 】

ユーザ設定制御部 3 0 b は、ユーザ設定信号 d 1、d 2 を出力する。ユーザ設定信号 d 1、d 2 は、H または L いずれかのレベル信号であり、ユーザから任意のレベルを設定可能である。

10

【 0 0 7 3 】

ヒューズ接続制御部 3 0 c は、ヒューズ f 5、f 6 の接続 / 切断状態を制御する。ヒューズ f 5、f 6 を切断状態にするときにはヒューズ f 5、f 6 に対応する切断信号 c 1、c 2 をそれぞれ出力し、切断せずに接続状態に維持しておく場合は、該当の切断信号 c 1、c 2 の出力をそれぞれ停止する。切断信号 c 1、c 2 は、例えば、レーザ信号または電流信号である。

【 0 0 7 4 】

このように、半導体装置 2 - 2 では、レジスタ設定部内のヒューズを切断して結線状態を変化させるための制御信号（接続 / 切断信号）と、データ値として最適なレベルを設定するためのレベル可変なユーザ設定信号との出力機能を有する。これにより、レジスタ設定部の結線状態の変更およびデータ値のレベル変更を柔軟に行うことができる。

20

【 0 0 7 5 】

ここで、半導体装置 2 - 2 において、レジスタ r 1 にデータ値を設定する場合、まず、測定モードにより、データ値の最適値の検出を行う。レジスタ r 1 のデータ値を 1 または 0 のどちらが最適かを決定する測定モードでは、ユーザ設定制御部 3 0 b が 1 または 0 のユーザ設定信号を出力する。

【 0 0 7 6 】

レジスタ設定部 3 0 - 1 は、レジスタ r 1 のデータ値に 1 を設定する場合は、H レベルのユーザ設定信号 d 1 を受信して、スルーでレジスタ r 1 のデータ入力端子へ出力する。また、レジスタ設定部 3 0 - 1 は、レジスタ r 1 のデータ値に 0 を設定する場合は、L レベルのユーザ設定信号 d 1 を受信して、スルーでレジスタ r 1 のデータ入力端子へ出力する。このとき、ヒューズ接続制御部 3 0 c は、切断信号 c 1 の出力を停止しておく。レジスタ r n についても同様である。

30

【 0 0 7 7 】

測定モードで最適値が検出されると、次の設定モードにおいて、最適値をレジスタデータ値として実際に設定することになる。

図 7 は設定モードにおける結線状態を示す図である。レジスタ r 1 にデータ値 1 を設定する際は、上記の論理値により、セット端子を H、リセット端子を L に設定することになる。このとき、ヒューズ接続制御部 3 0 c は、切断信号 c 1 の出力を停止する。

40

【 0 0 7 8 】

すると、ヒューズ f 5 は、接続状態が維持されるので、レジスタ r 1 のリセット端子と、インバータ 3 1 の入力端子は L レベルになる。よって、インバータ 3 1 の出力端とつながるセット端子は H レベルとなる。これにより、レジスタ r 1 にはデータ値 1 が設定される。

【 0 0 7 9 】

また、レジスタ r n にデータ値 0 を設定する際は、上記の論理値により、セット端子を L、リセット端子を H に設定する。このとき、ヒューズ接続制御部 3 0 c は、切断信号 c 2 を出力する。

【 0 0 8 0 】

すると、ヒューズ f 6 は、切断するので、レジスタ r n のリセット端子と、インバータ

50

3 3の入力はHレベルになる。よって、インバータ3 3の出力端とつながるセット端子はLレベルとなる。これにより、レジスタr nにデータ値0が設定される。

【0081】

上記のようにして、レジスタr 1、r nに最適なデータ値を設定することが可能になる。なお、第3の実施の形態の場合は、最適値の設定後、レジスタ設定の変更が生じた場合でも、データ値の変更が可能である。

【0082】

例えば、レジスタr 1に設定されているデータ値1を0に変更する場合は、ユーザ設定制御部3 0 bは、Lレベルのユーザ設定信号d 1を出力すれば、レジスタ設定部3 0 - 1がスルーで、レジスタr 1のデータ入力端子へ出力する。これにより、上記の論理値にしたがい、ヒューズf 5は接続したままで、レジスタr 1にはデータ値0が設定される。

10

【0083】

また、同様に、レジスタr nに設定されているデータ値0を1に変更する場合は、ユーザ設定制御部3 0 bは、Hレベルのユーザ設定信号d 2を出力すれば、レジスタ設定部3 0 - nがスルーで、レジスタr nのデータ入力端子へ出力する。これにより、上記の論理値にしたがい、ヒューズf 6は切断したままで、レジスタr nにはデータ値1が設定される。

【0084】

上記のように、第3の実施の形態では、Set / Reset付きのレジスタを用い、セット端子とリセット端子のレベルを変化するヒューズの設定によりデータ値を変えることができる。また、一度データ値を設定した後も、マスク改版などを行わずに、ユーザ設定でレジスタ設定値を柔軟に変更することが可能である。

20

【0085】

次に半導体装置全体の構成例について説明する。

(半導体装置全体の構成例)

図8は半導体装置全体の構成例を示す図である。半導体装置4は、I O回路群4 - 1 ~ 4 - 4と、ユーザ論理制御回路(User Logic Circuit) 4 0とを備える。

【0086】

I O回路群4 - 1 ~ 4 - 4は、主に、インタフェース処理速度が標準的な標準I O回路で構成されるが、図8の例に示すように、I O回路群4 - 1 ~ 4 - 4はそれぞれ、インタフェース処理速度が標準I O回路よりも高速な高速I O回路4 1 ~ 4 4を含んでいる。

30

【0087】

高速I O回路4 1 ~ 4 4は、上述した第3の実施の形態の構成を持つものとする。この場合、高速I O回路4 1は、レジスタr 1、r 2、レジスタ設定部3 0 - 1、3 0 - 2を含み、さらに、図8では、バッファ4 a(出力バッファ)、バッファ4 b(入力バッファ)を含む構成としている。高速I O回路4 2 ~ 4 4も同様な構成である。

【0088】

ユーザ論理制御回路4 0は、ユーザ設定信号を出力する。なお、半導体装置4では、ヒューズの接続制御を行うヒューズ接続制御部は、外部に配置される形態としており、図示していない。

40

【0089】

高速I O回路4 1において、レジスタ設定部3 0 - 1は、レジスタr 1へのデータ値設定を行う。レジスタr 1に設定されたデータ値は、バッファ4 aへ出力されて、バッファ4 aの電気的特性が調整される。また、レジスタ値設定部3 0 - 2は、レジスタr 2へのデータ値設定を行う。レジスタr 2に設定されたデータ値は、バッファ4 bへ出力されて、バッファ4 bの電気的特性が調整される。

【0090】

バッファ4 aの電気的特性としては、例えば、バッファ4 aから出力される信号の立ち上がり/立ち下がり時間や、シンク電流値などがあり、レジスタr 1に設定されたデータ値によって、これらの特性が調整されることになる。また、バッファ4 bの電気的特性と

50

しては、例えば、フィルタ係数などがあり、レジスタ r 2 に設定されたデータ値によってフィルタ係数が調整されることになる。

【 0 0 9 1 】

次に本技術を用いた S O C (System On Chip) 開発の流れについて説明する。

(S O C 開発の流れの一例)

図 9 は S O C 開発の流れの一例を示すフローチャートである。

【 0 0 9 2 】

開発工程 S 1 では、S O C の仕様検討および回路設計を行う。開発工程 S 2 では、W a f e r (半導体材料を薄く円盤状に加工してできた薄板) 上への回路製造のためのフォトマスクを作成する。開発工程 S 3 では、W a f e r 上への回路製造を実施する。

10

【 0 0 9 3 】

開発工程 S 4 では、レジスタ設定部の結線を制御して、レジスタにデータ値を設定する。この場合、上述したように、測定モードおよび設定モードに切り分けて、測定モードで最適値を検出し、設定モードで最適値をデータ値として設定する。

【 0 0 9 4 】

開発工程 S 5 では、パッケージ組み立てを行う前の製造不良検査を行う。例えば、W a f e r 上に多数個のチップ形成が完成した段階で、W a f e r を個々のチップに切り離す前に全チップの機能を試験する W a f e r 試験を行う。

【 0 0 9 5 】

開発工程 S 6 では、パッケージ組み立てを行う。開発工程 S 7 では、パッケージ組み立て不良を判別するための出荷試験を行う。そして、開発工程 S 8 では、S O C の最終評価を行い、評価基準を上回る場合は量産体制に入って終了し、下回る場合は開発工程 S 1 へ戻る。

20

【 0 0 9 6 】

以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や工程が付加されてもよい。

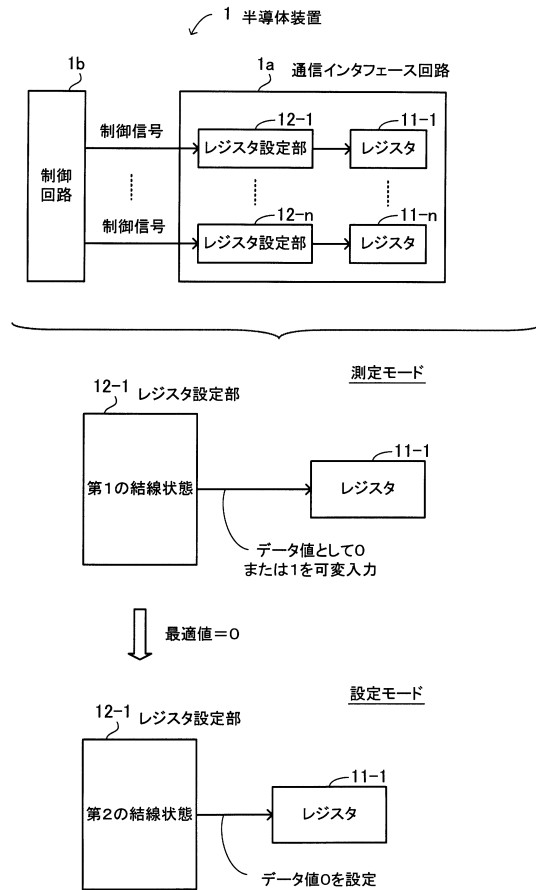
【符号の説明】

【 0 0 9 7 】

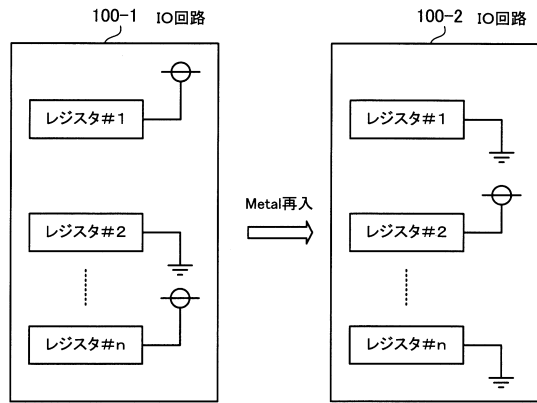
- 1 半導体装置
- 1 a 通信インタフェース回路
- 1 b 制御回路
- 1 1 - 1 ~ 1 1 - n レジスタ
- 1 2 - 1 ~ 1 2 - n レジスタ設定部

30

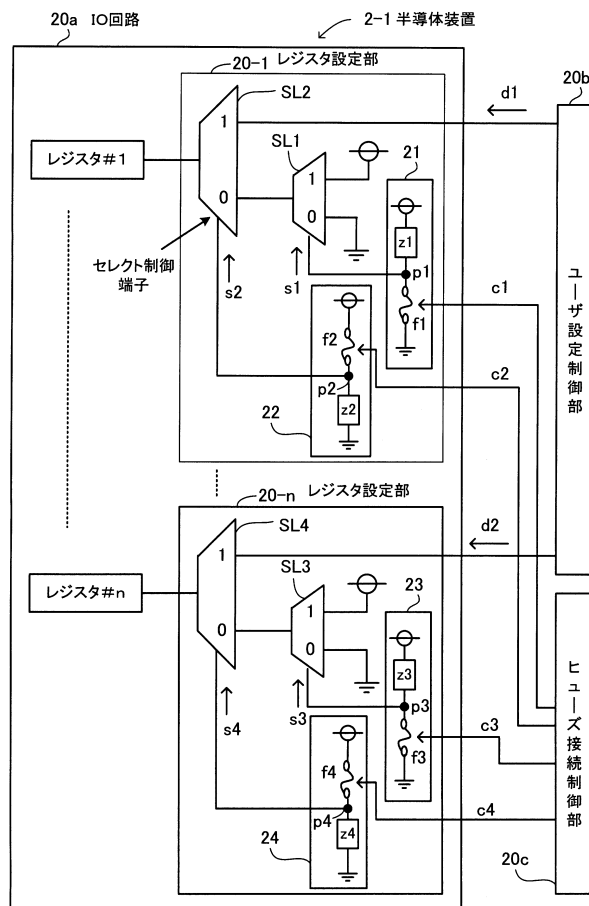
【図 1】



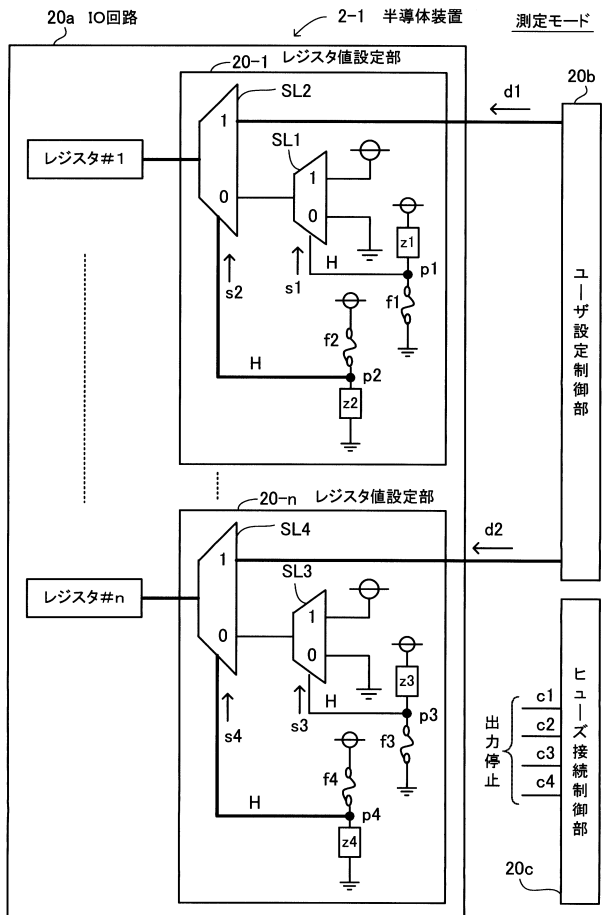
【図 2】



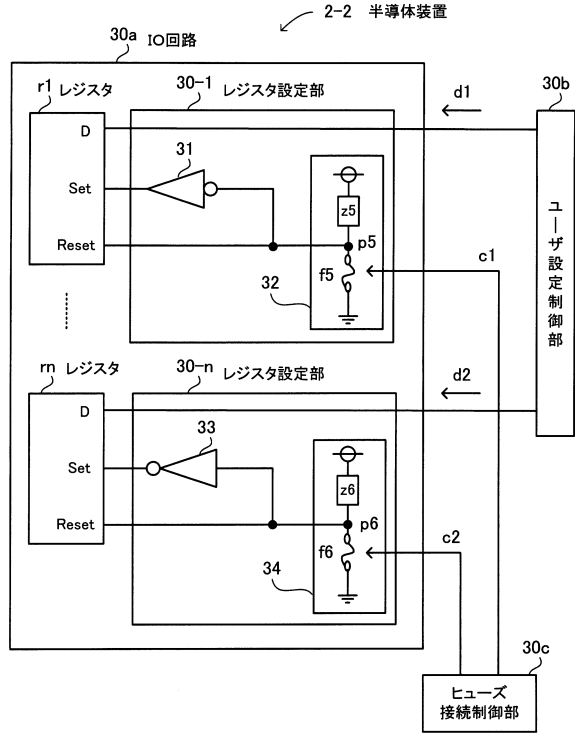
【図 3】



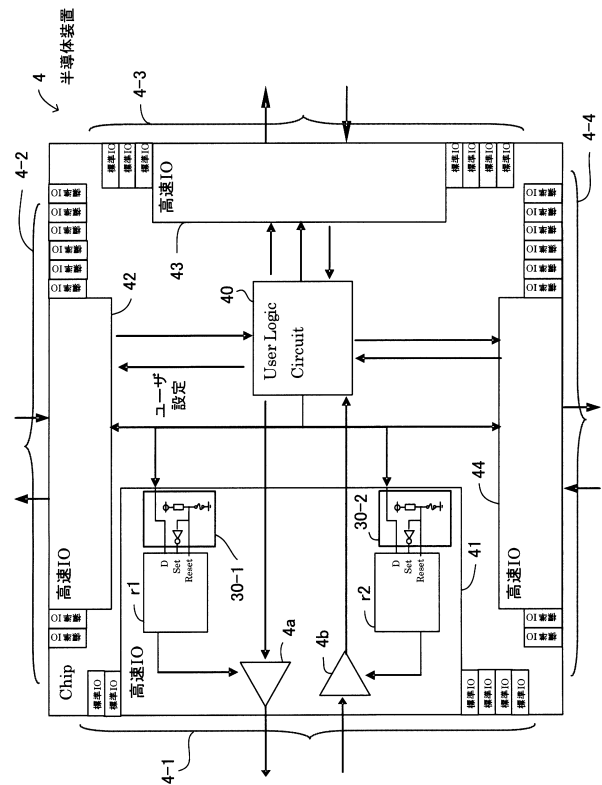
【図 4】



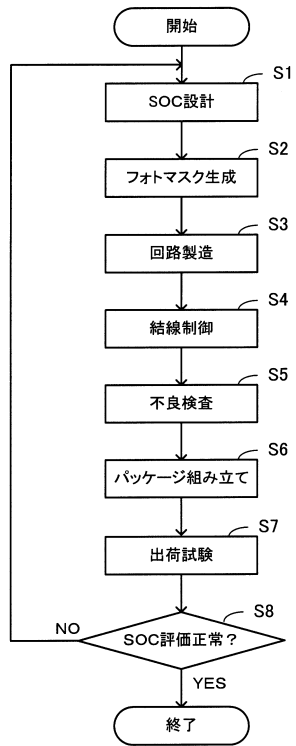
【 図 6 】



【 図 8 】



【図 9】



フロントページの続き

(56)参考文献 特開2003-249562(JP,A)
特開2010-267922(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/822
H01L 27/04