



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0085956  
(43) 공개일자 2013년07월30일

- (51) 국제특허분류(Int. Cl.)  
G06F 12/02 (2006.01) G06F 9/44 (2006.01)
- (21) 출원번호 10-2012-7033816
- (22) 출원일자(국제) 2011년05월31일  
심사청구일자 없음
- (85) 번역문제출일자 2012년12월26일
- (86) 국제출원번호 PCT/CA2011/000614
- (87) 국제공개번호 WO 2011/150496  
국제공개일자 2011년12월08일
- (30) 우선권주장  
13/012,754 2011년01월24일 미국(US)  
61/349,943 2010년05월31일 미국(US)

- (71) 출원인  
모사이드 테크놀로지스 인코퍼레이티드  
캐나다 케이2케이 2엑스1 온타리오 오타와 스위트  
203 하인스 로드 11
- (72) 발명자  
최, 병 진  
캐나다, 케이2케이 0비1 온타리오, 캐나다, 브레  
디 애비뉴 104
- (74) 대리인  
한양특허법인

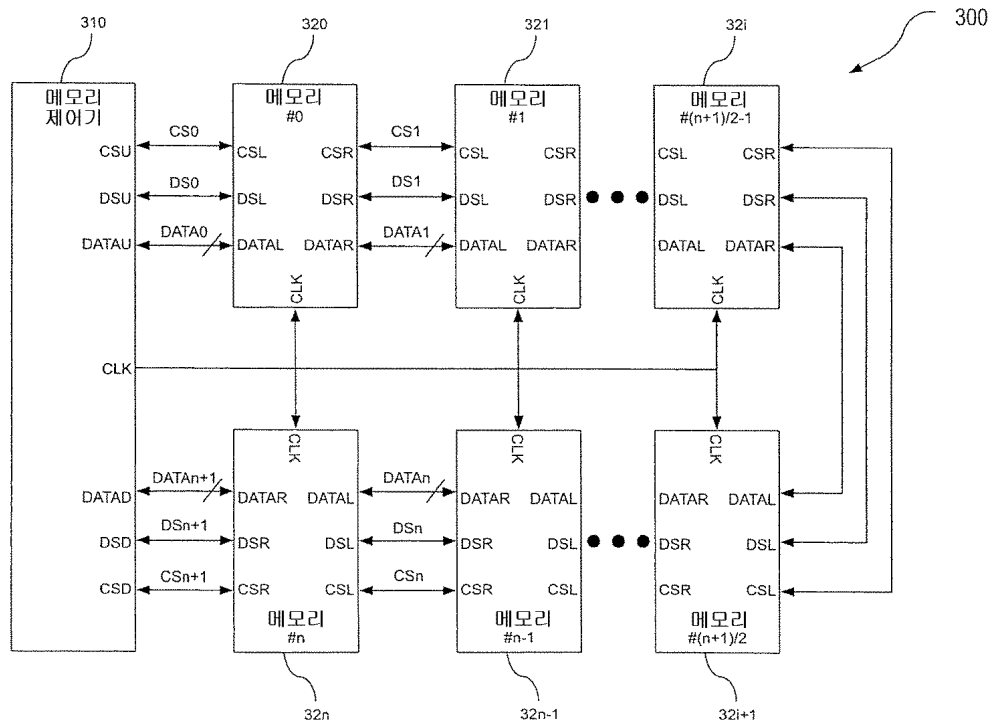
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 페이지-체인 디바이스용 고속 인터페이스

(57) 요약

복수의 디바이스가, 디바이스의 제1 포트에서 수신되는 제1 ID 번호 및 디바이스의 제2 포트에서 수신되는 제2 ID 번호를 저장하는 것에 의해 작동된다. 디바이스는 제1 및 제2 포트 중 적어도 하나의 포트를 통해 데이터 커맨드를 수신한다. 데이터 커맨드는 커맨드 ID 번호를 갖는다. 디바이스는, 데이터 커맨드가 제1 포트에서 수신될 때 적어도 하나의 커맨드 ID 번호가 제1 ID 번호와 동일하고, 데이터 커맨드가 제2 포트에서 수신될 때 커맨드 ID 번호가 제2 ID 번호와 동일한 경우에, 데이터 커맨드를 실행한다.

대표도



## 특허청구의 범위

### 청구항 1

복수의 디바이스를 작동시키기 위한 방법으로서,

디바이스에, 상기 디바이스의 제1 포트(port)에서 수신되는 제1 ID 번호 및 상기 디바이스의 제2 포트에서 수신되는 제2 ID 번호를 저장하는 단계;

상기 디바이스에 의해, 상기 제1 및 제2 포트 중 적어도 하나의 포트를 통해 커맨드(command) ID 번호를 갖는 데이터 커맨드를 수신하는 단계; 및

상기 디바이스에 의해, 상기 데이터 커맨드가 상기 제1 포트에서 수신될 때 적어도 하나의 커맨드 ID 번호가 상기 제1 ID 번호와 동일하고, 상기 데이터 커맨드가 상기 제2 포트에서 수신될 때 상기 커맨드 ID 번호가 상기 제2 ID 번호와 동일한 경우에, 상기 데이터 커맨드를 실행하는 단계를 포함하는, 복수 디바이스 작동 방법.

### 청구항 2

청구항 1에 있어서,

상기 데이터 커맨드가 상기 제1 포트에서 수신되고 상기 커맨드 ID가 상기 제1 ID 번호와 동일하지 않은 경우에, 상기 데이터 커맨드를 실행하지 않고 상기 디바이스로부터 상기 제2 포트를 통해 송신하는 단계, 및 상기 데이터 커맨드가 상기 제2 포트에서 수신되고 상기 커맨드 ID가 상기 제2 ID 번호와 동일하지 않은 경우에, 상기 데이터 커맨드를 실행하지 않고 상기 디바이스로부터 상기 제1 포트를 통해 송신하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

### 청구항 3

청구항 1에 있어서,

상기 제1 포트 또는 상기 제2 포트에서 수신되는 상기 데이터 커맨드를 실행시키는 것에 응답하여 상기 디바이스에 워드(word)를 기입하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

### 청구항 4

청구항 1에 있어서,

데이터 커맨드를 실행시키는 것에 응답하여, 제1 절반(half)-워드를 상기 디바이스의 제1 포트에 기입하고, 제2 절반-워드를 상기 디바이스의 제2 포트에 기입하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

### 청구항 5

청구항 1에 있어서,

상기 데이터 커맨드를 실행시키는 것에 응답하여 상기 디바이스로부터 워드를 판독하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

### 청구항 6

청구항 1에 있어서,

데이터 커맨드를 실행시키는 것에 응답하여, 상기 디바이스의 제1 포트로부터 제1 절반-워드를 판독하고, 상기 디바이스의 제2 포트로부터 제2 절반-워드를 판독하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

### 청구항 7

청구항 1에 있어서,

데이터 커맨드를 실행시키는 것에 응답하여 상기 디바이스의 제1 포트로부터 제1 절반-워드를 판독하고, 상기 디바이스의 제2 포트로부터 제2 절반-워드를 판독하는 단계, 및 상기 제1 ID 번호와 상기 제2 ID 번호간의 절대 수치 차이(absolute numerical difference)와 동등한 클럭 사이클의 개수만큼 상기 제1 절반-워드 및 상기 제2

절반-워드 중 하나를 지연시키는 단계를 더 포함하는, 복수 디바이스 작동 방법.

**청구항 8**

청구항 1에 있어서,

상기 데이터 커맨드는 판독 데이터 커맨드이고, 상기 방법은, 상기 판독 데이터 커맨드를 수신하지 않은 상기 제1 및 제2 포트 중 하나의 포트에서 기입 데이터 커맨드를 수신하고, 상기 판독 데이터 커맨드를 실행시키는 것에 응답하여 상기 디바이스로부터 워드를 판독하며, 그리고 상기 기입 데이터 커맨드를 실행시키는 것에 응답하여 상기 디바이스에 워드를 기입하는 단계를 더 포함하는, 복수 디바이스 작동 방법.

**청구항 9**

고속 인터페이스 디바이스로서,

제1 포트, 제2 포트 및 디바이스 자원(device resource)과 통신하는 커맨드 상태 머신(command state machine)으로서, 상기 제1 포트에서 수신되는 제1 데이터 커맨드와 상기 제2 포트에서 수신되는 제2 데이터 커맨드 중 적어도 하나에 응답하여 그것들 사이의 데이터 흐름을 제어하는 커맨드 상태 머신을 포함하고;

상기 제1 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제1 데이터 버퍼, 데이터 스트로브 레지스터(data strobe register)와 통신하는 제1 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제1 커맨드 스트로브 버퍼를 더 포함하고, 상기 데이터 버퍼 및 상기 커맨드 상태 머신은 상기 제1 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신하며;

상기 제2 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제2 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제2 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제2 커맨드 스트로브 버퍼를 더 포함하고, 상기 데이터 버퍼 및 상기 커맨드 상태 머신은 상기 제2 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신하며; 그리고

상기 디바이스 자원은 상기 페이지 버퍼와 통신하고, 상기 페이지 버퍼는 상기 제1 데이터 스트로브 버퍼와 상기 제2 데이터 스트로브 버퍼 중 적어도 하나에 응답하여 데이터를 수신하는, 고속 인터페이스 디바이스.

**청구항 10**

청구항 9에 있어서,

상기 디바이스 자원은 메모리인, 고속 인터페이스 디바이스.

**청구항 11**

청구항 9에 있어서,

상기 디바이스 자원은 송수신기(transceiver)인, 고속 인터페이스 디바이스.

**청구항 12**

청구항 9에 있어서,

상기 제1 데이터 커맨드 및 상기 제2 데이터 커맨드 중 하나는 기입 커맨드인, 고속 인터페이스 디바이스.

**청구항 13**

청구항 9에 있어서,

상기 제1 데이터 커맨드는 기입 커맨드이고 상기 제2 데이터 커맨드는 기입 커맨드인, 고속 인터페이스 디바이스.

**청구항 14**

청구항 9에 있어서,

상기 제1 데이터 커맨드 및 상기 제2 데이터 커맨드는 판독 커맨드인, 고속 인터페이스 디바이스.

**청구항 15**

청구항 9에 있어서,

상기 제1 데이터 커맨드는 판독 커맨드이고 상기 제2 데이터 커맨드는 판독 커맨드인, 고속 인터페이스 디바이스.

**청구항 16**

청구항 9에 있어서,

상기 페이지 버퍼는 상기 제1 데이터 버퍼 및 상기 제2 데이터 버퍼에 의해 동시에 액세스될 수 있는, 고속 인터페이스 디바이스.

**청구항 17**

청구항 9에 있어서,

상기 커맨드 상태 머신은 상기 제1 포트 및 상기 제2 포트의 각각에 대한 소스 동기 클럭킹(source synchronous clocking)을 포함하는, 고속 인터페이스 디바이스.

**청구항 18**

데이지-체인 시스템(daisy-chained system)으로서,

제1 제어기 포트와 제2 제어기 포트를 포함하는 제어기에 데이지-체인으로 연결되는 복수의 디바이스로서, 각각의 제어기 포트는 데이터 및 커맨드를 상기 디바이스의 각각에 통신할 수 있는, 복수의 디바이스를 포함하고,

각각의 디바이스는, 제1 포트, 제2 포트 및 디바이스 자원과 통신하는 커맨드 상태 머신으로서, 상기 제1 포트에서 수신되는 제1 데이터 커맨드와 상기 제2 포트에서 수신되는 제2 데이터 커맨드 중 적어도 하나에 응답하여 그것들 사이의 데이터 흐름을 제어하는 커맨드 상태 머신을 포함하고;

상기 제1 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제1 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제1 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제1 커맨드 스트로브 버퍼를 더 포함하고, 상기 데이터 버퍼 및 상기 커맨드 상태 머신은 상기 제1 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신하며;

상기 제2 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제2 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제2 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제2 커맨드 스트로브 버퍼를 더 포함하고, 상기 데이터 버퍼 및 상기 커맨드 상태 머신은 상기 제2 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신하며; 그리고

상기 디바이스 자원은 상기 페이지 버퍼와 통신하고, 상기 페이지 버퍼는 상기 제1 데이터 스트로브 버퍼와 상기 제2 데이터 스트로브 버퍼 중 적어도 하나에 응답하여 데이터를 수신하는, 데이지-체인 시스템.

**청구항 19**

청구항 18에 있어서,

각각의 디바이스는 메모리를 포함하는, 데이지-체인 시스템.

**청구항 20**

청구항 18에 있어서,

각각의 디바이스는 클럭 신호를 데이지-체인내의 인접한 디바이스에 송신하는, 데이지-체인 시스템.

**명세서**

**기술분야**

[0001] [관련 출원에 대한 교차 참조]

[0002] 본 출원은, 그 전체가 이 명세서에 참조로 통합되어 있는, 동시 계속 출원의, 미국 특허 가출원 제61/349,943호

(2010년 5월 31일 출원) 및 미국 특허 출원 제13/012,754호(2011년 1월 24일 출원)에 대한 우선권을 주장하는 장치 출원이다.

[0003] [발명의 분야]

[0004] 본 발명은 일반적으로 메모리 인터페이스에 관한 것이다. 보다 상세하게는, 본 발명은 루프-체인(loop-chained) 메모리내에서 양방향 통신을 제공하는 고속 인터페이스에 관한 것이다.

### 배경 기술

[0005] 메모리 디바이스는 데이터를 저장하는데 사용된다. 고속의 대역을 가진 대용량 메모리 시스템에 대한 요구가 최근 몇 년동안 증대되었다. 대용량 메모리 시스템에 대해서, 몇몇의 디바이스들은 공통의 버스를 공유한다. 예를 들어, 데이터 버스 또는 클럭 신호는 단일의 버스, 또는 일련의 도통형 소자들(conductive elements)을 공유할 수 있다. 이러한 버스는 공유는, 각각의 디바이스의 용량성 부하의 증가를 유발한다. 증가된 부하는 신호 품질과 함께 신호의 스위칭 속도를 열화시키고, 그것은 그 다음으로 더 느린 클럭킹 및 그에 따라 감소된 대역폭을 요구한다.

[0006] 데이지-체인 상호 연결(daisy-chained interconnection)(100)이 도 1에 도시되어 있고, 루프-체인 상호 연결(200)이 도 2에 도시되어 있으며, 여기서, 메모리 디바이스들은 버스상에서 용량성 부하를 감소시키도록 직렬로 연결되어 있다. 하지만, 각각의 메모리 디바이스는 풀 채널(full channel)을 사용하지 않고, 오히려, 데이터가, 기입 커맨드(write command) 또는 판독 커맨드(read command)가 발행될 때, 하나의 방향으로만 흐르기 때문에, 기입 또는 판독 데이터에 대해서 채널의 절반만 사용한다.

### 발명의 내용

[0007] 일 양태에 있어서, 본 발명은, 디바이스에, 디바이스의 제1 포트(port)에서 수신되는 제1 ID 번호 및 디바이스의 제2 포트에서 수신되는 제2 ID 번호를 저장하는 단계를 포함하는 복수의 디바이스를 작동시키기 위한 방법을 특징으로 한다. 디바이스는 제1 및 제2 포트 중 적어도 하나의 포트를 통해 데이터 커맨드를 수신한다. 데이터 커맨드는 커맨드 ID 번호를 갖는다. 디바이스는, 데이터 커맨드가 제1 포트에서 수신될 때 적어도 하나의 커맨드 ID 번호가 제1 ID 번호와 동일하고, 데이터 커맨드가 제2 포트에서 수신될 때 커맨드 ID 번호가 제2 ID 번호와 동일한 경우에, 데이터 커맨드를 실행한다.

[0008] 다른 양태에 있어서, 본 발명은 제1 포트, 제2 포트 및 디바이스 자원(device resource)과 통신하는 커맨드 상태 머신(command state machine)을 포함하는 고속 인터페이스 장치를 특징으로 한다. 커맨드 상태 머신은 제1 포트에서 수신되는 제1 데이터 커맨드와 제2 포트에서 수신되는 제2 데이터 커맨드 중 적어도 하나에 응답하여 그것들 사이의 데이터 흐름을 제어한다. 제1 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제1 데이터 버퍼, 데이터 스트로브 레지스터(data strobe register)와 통신하는 제1 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제1 커맨드 스트로브 버퍼를 더 포함한다. 상기 데이터 버퍼 및 상기 커맨드 상태 머신은 상기 제1 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신한다. 상기 제2 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제2 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제2 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제2 커맨드 스트로브 버퍼를 더 포함한다. 데이터 버퍼 및 커맨드 상태 머신은 제2 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신한다. 디바이스 자원은 페이지 버퍼와 통신한다. 페이지 버퍼는 제1 데이터 스트로브 버퍼와 제2 데이터 스트로브 버퍼 중 적어도 하나에 응답하여 데이터를 수신한다.

[0009] 다른 양태에 있어서, 본 발명은, 제1 제어기 포트와 제2 제어기 포트를 포함하는 제어기에 데이지-체인으로 연결되는 복수의 디바이스를 포함하는 데이지-체인 시스템을 특징으로 한다. 각각의 제어기 포트는 데이터 및 커맨드를 디바이스의 각각에 통신할 수 있다. 각각의 디바이스는, 제1 포트, 제2 포트 및 디바이스 자원과 통신하는 커맨드 상태 머신을 포함한다. 커맨드 상태 머신은, 제1 포트에서 수신되는 제1 데이터 커맨드와 제2 포트에서 수신되는 제2 데이터 커맨드 중 적어도 하나에 응답하여 그것들 사이의 데이터 흐름을 제어한다. 제1 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제1 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제1 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제1 커맨드 스트로브 버퍼를 더 포함한다. 데이터 버퍼 및 커맨드 상태 머신은 제1 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신한다. 제2 포트는, 데이터 레지스터 및 페이지 버퍼와 통신하는 제2 데이터 버퍼, 데이터 스트로브 레지스터와 통신하는 제2 데이터 스트로브 버퍼 및 커맨드 스트로브 레지스터와 통신하는 제2 커맨드 스트로브 버퍼를 더 포함한다. 데이터 버

퍼 및 커맨드 상태 머신은 제2 커맨드 스트로브 버퍼에 응답하여 커맨드를 수신한다. 디바이스 자원은 페이지 버퍼와 통신한다. 페이지 버퍼는 제1 데이터 스트로브 버퍼와 제2 데이터 스트로브 버퍼 중 적어도 하나에 응답하여 데이터를 수신한다.

**도면의 간단한 설명**

[0010]

본 발명의 상기 및 추가적인 장점들이, 동일한 번호들이 다양한 특징물들에서의 동일한 특징물들과 구조적인 요소들을 표시하는, 첨부 도면들과 함께 하기의 상세한 설명을 참조하여 더 잘 이해될 수 있다. 도면들은 반드시 정확한 척도는 아니며, 대신에 본 발명의 원리를 예시할 시에 강조가 자리한다.

도 1은 페이지-체인 상호 연결들이 있는 일반적인 메모리 시스템이다.

도 2는 루프-체인 상호 연결들이 있는 일반적인 메모리 시스템이다.

도 3은 본 발명의 일 실시예에 따른 양방향 루프 체인 상호 연결들이 있는 메모리 시스템이다.

도 4는 본 발명의 일 실시예에 따른 도 3에 도시된 메모리 디바이스의 블록도이다.

도 5a는 본 발명의 일 실시예에 따른 도 4에 도시된 데이터 입/출력 블록의 블록도이다.

도 5b는 본 발명의 일 실시예에 따른 도 4에 도시된 제어 신호 입/출력 블록의 블록도이다.

도 6a 및 6b는 본 발명의 일 실시예에 따른 SETID 커맨드 발행시의 신호의 방향들을 나타내는 개략도이다.

도 6c 및 6d는 본 발명의 일 실시예에 따른 WRITE 커맨드 발행시의 신호의 방향들을 나타내는 개략도이다.

도 6e 및 6f는 본 발명의 일 실시예에 따른 READ 커맨드 발행시의 신호의 방향들을 나타내는 개략도이다.

도 7a 내지 7g는 본 발명의 일 실시예에 따른 메모리 디바이스에 의해 실행되는 방법들의 플로우차트들이다.

도 8a 내지 8d는 본 발명의 일 실시예에 따른 메모리 디바이스에 의해 실행되는 방법의 타이밍도들이다.

도 9a 및 9b는 본 발명의 일 실시예에 따른, 동시적인 READ 및 WRITE 동작들을 위한 신호들의 방향들을 나타내는 개략도들이다.

도 9c는 본 발명의 일 실시예에 따른, 동시적인 WRITE 동작들을 위한 신호들의 방향들을 나타내는 개략도이다.

도 9d는 본 발명의 일 실시예에 따른, 동시적인 READ 동작들을 위한 신호들의 방향들을 나타내는 개략도이다.

도 9e는 도 9a 내지 9d에 도시된 실시예들에 도시된 메모리 디바이스의 블록도이다.

도 10a는 본 발명의 일 실시예에 따른 신호들의 방향들을 나타내는 개략도이다.

도 10b는 도 10a의 실시예에 도시된 메모리 디바이스의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0011]

본 발명의 실시예들은, 기입 및 판독을 포함하는 동작들을 위한 통신 대역폭을 최적화하기 위해 메모리 제어기와 복수의 디바이스 간에 양방향 루프-체인 연결을 제공한다. 디바이스들에 의해 공유되는 신호들에 대한 용량성 부하를 감소시키는 것은, 신호 슬루 레이트(signal slew rate)를 개선하고, 따라서 더 빠른 시스템 클럭 속도 및 대역폭을 준다. 다수의 이미 존재하는 통신 경로들을 통해 정보를 송신하는 것에 의해 루프-체인 배열에서의 통신 대역폭이 향상된다. 루프-체인은, 동일한 기능적 블록, 예컨대 도 3에 도시된 메모리 제어기(310)에서 시작하고 끝나는 페이지-체인이다.

[0012]

일 예로, 다수의 경로를 통한 통신은 동시적이다. 다른 예로서, 하나의 경로를 통하는 통신은 다른 경로를 통하는 통신과 시간적으로 겹친다. 여러 도면들과 출원에서 도시된 루프-체인 연결들은 각각의 디바이스로의 그리고 각각의 디바이스로부터의 2개의 통신 포트를 나타낸다. 각각의 디바이스가 임의의 개수의 포트를 갖는 것이 예상된다. 예를 들어, 2차원 어레이는 4개의 포트 - 모든 4개의 포트를 통해 디바이스와 통신을 중첩시키는 것을 가능케 함 - 를 가질 것이다. 다른 예로서, 3차원 어레이는 6개의 포트 - 각각의 디바이스가 모든 6개의 포트를 통해 디바이스와 통신을 중첩시키는 것을 가능케 하도록 - 를 가질 것이다.

[0013]

여러 도면과 출원에 나타내어진 디바이스는 메모리 디바이스를 나타낸다. 각각의 디바이스가, 예컨대, 이미지 검출, 데이터 빔 형성, 또는 음향 시스템용으로 사용되는 트랜스듀서 디바이스(transducer device)일 수 있다는

것이 예상된다. 디바이스는 또한 메시 통신 네트워크(mesh communication network)에서 사용되는 송수신기 디바이스일 수 있다.

- [0014] 도 3은 본 발명의 일 실시예에 따른 메모리 시스템(300)을 도시한다. 메모리 제어기(310)는 복수의 메모리 디바이스들(320, 321, 32i, 32i+1, 32n-1 및 32n)의 전체 제어를 제공한다. 제어 신호들과 데이터 신호들은 제어기와 메모리 디바이스들 간에 양방향 방식으로 통신된다. 예를 들어, 도 3에서는, 커맨드 스트로브(command strobe) CS0, 데이터 스트로브 DS0 및 데이터 신호 DATA0가 제어기(310)와 메모리 디바이스(320)의 하나의 포트 사이를 통신한다. 커맨드 스트로브 CS1, 데이터 스트로브 DS1 및 데이터 신호 DATA1는 데이지-체인내의 메모리 디바이스(320)와 이웃하는 메모리 디바이스(321) 사이를 통신한다. 데이터 신호의 폭은, 4, 8 또는 16과 같은, 하지만 이에 한정되지 않는 임의의 실행 가능한 폭이다. 메모리 제어기(310)는 클럭 신호 CLK를 각각의 디바이스에 제공한다.
- [0015] 도 4는 도 3에 도시된 메모리 디바이스들(320) 중 하나의 블록도를 나타낸다. 각각의 메모리 디바이스는 대응하는 신호들을 수신 및 제공하기 위한 양방향 버퍼들(DATAL(410), DATAR(411), DSL(420), CSL(421), DSR(422) 및 CSR(423))을 포함한다. 상태 머신(430)은, CLK 신호를 수신하고 제어 신호들을 양방향 버퍼들(410, 411, 420, 421, 422, 423) 및 내부 레지스터들(440, 441, 442, 443, 444 및 445)에 제공한다. 페이지 버퍼(460 및 461)는 메모리 어레이(470)에 대한 데이터 기입 및 관독 동작을 위한 임시 데이터 저장소를 제공한다. 다른 실시예에 있어서, 메모리 디바이스(320)가 트랜스듀서 또는 송수신기와 같은 다른 디바이스로 대체되는 경우에, 메모리 어레이(470)가 디바이스 자원이다. 예를 들어, 디바이스가 트랜스듀서 디바이스인 경우에, 디바이스 자원은 (전압과 같은) 전기 신호들과 압력간을 변환하는 트랜스듀서이다. 디바이스가 송수신기 디바이스인 경우에, 디바이스 자원은 무선 주파수 방출과 (전압과 같은) 전기 신호들간을 변환하는 송수신기이다.
- [0016] 메모리 디바이스(320)는, CSL(421), DSL(420), 및 DATAL(410)에서의 그리고 CSR(423), DSR(422), 및 DATAR(411)에서의 양쪽 포트로부터 디바이스 ID 번호를 가진 WRITE 커맨드를 수신할 수 있다. 수신된 디바이스 ID 번호가 메모리 디바이스(320)에 등록된 디바이스 ID 번호와 동일하다면, 메모리 디바이스(320)는 페이지 버퍼(460 및 461)내로 입력 데이터를 기입한다. 수신된 디바이스 ID 번호가 메모리 디바이스(320)에 등록된 디바이스 ID 번호와 상이하다면, 메모리 디바이스(320)는 DATAL(410)로부터의 데이터를 DATAR(411)로 패스하거나 DATAR(411)로부터의 데이터를 DATAL(410)로 패스한다.
- [0017] 메모리 디바이스(320)는, CSL(421), DSL(420), 및 DATAL(410)에서의 그리고 CSR(423), DSR(422), 및 DATAR(411)에서의 양쪽 포트로부터 디바이스 ID 번호를 가진 READ 커맨드를 또한 수신할 수 있다. 수신된 디바이스 ID 번호가 메모리 디바이스(320)에 등록된 디바이스 ID 번호와 동일하다면, 메모리 디바이스(320)는 페이지 버퍼(460 및 461)로부터 DATAL(410) 및 DATAR(411)로 독출(read out)한다. 수신된 디바이스 ID 번호가 메모리 디바이스(320)에 등록된 디바이스 ID 번호와 상이하다면, 메모리 디바이스(320)는 DATAL(410)로부터의 데이터를 DATAR(411)로 패스하거나 DATAR(411)로부터의 데이터를 DATAL(410)로 패스한다.
- [0018] 도 5a는 도 4에 도시된 DATAL 입/출력 블록(410)의 블록도이다. 3 상태(tri-state) 버퍼(510 및 520)는 상태 머신(430)과 반전기(550)에 의해 제어된다. 다중화기(multiplexer)(530)는 DATAL(410)으로의 출력을 위해 레지스터(445) 또는 버퍼(460)로부터 데이터를 선택한다. 역다중화기(de-multiplexer)(540)는 DATAL(410)로부터 상태 머신(430), 레지스터(444) 또는 버퍼(460)로의 입력 데이터를 제공한다. 당업자는, DATAR 블록(411)이 유사한 구조를 갖고 DATAL 블록(410)과 유사하게 동작한다는 것을 이해할 것이다.
- [0019] 도 5b는 도 4에 도시된 DSL 입/출력 블록(420)의 블록도이다. 3 상태 버퍼(511 및 521)는 상태 머신(430)과 반전기(551)에 의해 제어된다. 다중화기(531)는 레지스터(443) 또는 상태 머신(430)으로부터 출력을 선택한다. 역다중화기는 DSL로부터 상태 머신(430) 또는 레지스터(442)로 데이터를 제공한다. 당업자는, CSL(421), DSR(422) 및 CSR(423) 블록이 유사한 구조를 갖고 DSL 블록(420)과 유사하게 동작한다는 것을 이해할 것이다.
- [0020] 도 6a 및 6b는 SETID 커맨드가 발행될 때의 커맨드 스트로브, 데이터 스트로브 및 데이터 신호들의 방향들을 나타낸다. 제어기(310)와 각각의 메모리 디바이스들(320, 321, 32i, 32i+1, 31n-1 및 32n) 사이에서, 신호 방향들이 모두 시계 방향, 도 6a, 또는 모두 반시계 방향, 도 6b라는 것에 주목한다.
- [0021] 도 6c 및 6d는 WRITE 커맨드가 발행될 때의 신호들의 방향들을 나타낸다. 신호 방향들이 도 6c에서는 제어기(310)로부터 제1 메모리 디바이스(320)쪽이고, 도 6d에서는 제어기(310)로부터 최종 메모리 디바이스(32n)쪽이라는 것에 주목한다.
- [0022] 도 6e 및 6f는 READ 커맨드가 발행될 때의 신호들의 방향들을 나타낸다. 신호 방향들이 도 6e에서는 제1 메모리 디바이스(320)로부터 최종 메모리 디바이스(32n)쪽이고, 도 6f에서는 최종 메모리 디바이스(32n)로부터 제1 메모리 디바이스(320)쪽이라는 것에 주목한다.

리 디바이스(320)로부터 제어기(310)쪽이고, 도 6f에서는 최종 메모리 디바이스(32n)로부터 제어기(310)쪽이라는 것에 주목한다.

[0023] 도 7a 및 7b는 도 6a 및 6b에 도시된 SETID 커맨드에 대한 플로우차트이다. 단계(700)에서, 제어기(310)는 제어기(310)가 기입하고 관독할, 도 6a에 도시된 루프-체인내의 디바이스에 대응하는 디바이스 ID를 할당한다. 단계(700)에서, 제어기(310)는 제어기(310)가 기입하고 관독할, 도 6b에 도시된 루프-체인내의 디바이스에 대응하는 역(reverse) 디바이스 ID를 할당한다. 일 실시예에 있어서, 디바이스 ID 및 역 디바이스 ID가 루프-체인내의 동일한 디바이스를 지시하면, WRITE 커맨드는 분할된 트랜잭션(transaction)으로 절반의 워드를 디바이스의 하나의 포트에 기입하고 다른 절반의 워드를 디바이스의 다른 포트에 기입할 것이다. 다른 실시예에 있어서, 디바이스 ID 및 역 디바이스 ID가 상이한 디바이스들을 지시하면, 하나의 디바이스가 완전한 워드로 기입 또는 관독하고, 제2 디바이스가 상이한 완전한 워드로 기입 또는 관독한다. 단계(700)에서, 제어기(310)는 레이턴시(latency) 변수 Z 및 레이턴시 제어 플래그(flag) L를 할당한다. 레이턴시 제어 플래그가 인에이블(enable)되면, 상이한 분할 트랜잭션이 관독 중인 워드의 절반을, 워드의 양쪽 절반들이 동일 클럭 사이클에 제어기(310)에 도착하도록, 지연시킬 것이다.

[0024] 단계들(701, 702 및 703)에서, 제어기(310)는 SETID 커맨드 및 디바이스 ID를 도 6a에 도시된 하나의 디바이스, 예컨대 디바이스(320)에 통신한다. 디바이스(320)는 CSL 스트로브가 활성화될 때, DATAL에서 SETID 커맨드 및 디바이스 ID의 양쪽을 수신한다. 일 실시예에 있어서, CSL은 활성화시에 하이(high)이다. 단계들(711, 712 및 713)에서, 제어기(310)는 SETID 커맨드 및 역 디바이스 ID를 도 6b에 도시된 하나의 디바이스, 예컨대 디바이스(320)에 통신한다. 디바이스(320)는 CSR 스트로브가 활성화될 때, DATAR에서 SETID 커맨드 및 역 디바이스 ID의 양쪽을 수신한다. 일 실시예에 있어서, CSR은 활성화시에 하이이다.

[0025] 레이턴시 제어 플래그가 인에이블되면(예컨대, L=1), 레이턴시 변수 Z가 디바이스 ID와 역 디바이스 ID 사이에 절대 수치 차이를 할당한다. 예를 들어, 도 6a에 있어서, 디바이스(320)가 루프-체인내의 6개의 디바이스들 중 첫 번째였으면, 디바이스 ID가 1로 할당되고, 역 디바이스 ID가 6으로 할당되며, 레이턴시 변수는 5이다. 디바이스(320)가 분할 트랜잭션으로 관독되면, 절반의 워드가 그것이 제어기(310)에 도달할 때까지 5개의 디바이스를 통과하여 DATAR로부터 관독된다. 다른 절반의 워드는, 5 사이클 지연 후에 DATAL로부터 관독되고, 그에 의해 제1의 절반의 워드와 동일한 사이클에 제어기(310)에 도달한다. 레이턴시 변수를 계산한 후에, 레이턴시 제어 플래그가 인에이블되면, SETID 커맨드는 디바이스의 다른 포트, 단계(709)에서 DATAR 그리고 단계(719)에서 DATAL에 송신된다. 단계(710) 후에, 디바이스 ID는 1만큼 증가되고, 도 6a에 도시된 시계방향 식으로 다음의 디바이스에 송신된다. 유사하게, 단계(720)에서, 역 디바이스 ID는 1만큼 증가되고 도 6b에 도시된 반시계 방향 방식으로 다음의 디바이스에 송신된다.

[0026] 도 7c, 7d 및 7e는 WRITE 커맨드에 대한 플로우차트이다. 단계들(721 및 722)에서, 데이터 커맨드 ID가 WRITE 또는 READ 커맨드에 대해서, 디바이스 ID와 매치하지 않고, 또는 유사하게 역 커맨드 ID가 역 디바이스 ID와 매치하지 않으면, 커맨드는 단계들(726, 727 및 728)에 도시된 바와 같이 수신되었던 다른 포트에 재송신된다.

[0027] 커맨드가 단계(723)에서, 커맨드가, 디바이스 ID와 매치하는 커맨드 ID 또는 역 디바이스 ID와 매치하는 역 커맨드 ID를 가진 WRITE 커맨드이면, WRITE 커맨드가 처리된다. 일 실시예에 있어서, 디바이스 ID와 역 커맨드 ID의 양쪽이 그것들 개개의 커맨드 ID와 역 커맨드 ID와 매치하는 경우에, WRITE 커맨드들이 도 7e에 도시된 바와 같이 분할 트랜잭션을 실행한다. 도 7e에 있어서, 도 4에 도시된 바와 같이 데이터 버퍼(410)내로 수신되는 기입 데이터는 단계(730)에서 페이지 버퍼(460)내로 먼저 전송된다. 데이터 버퍼(411)내로 수신되는 기입 데이터는 그 다음에 단계(732)에서 페이지 버퍼(461)내로 전송된다. 페이지 버퍼(460 및 461)의 내용들이 그 다음으로 단계(736)에서 메모리 어레이(470)에 전송된다. 역으로, 기입 데이터가 먼저 데이터 버퍼(411)내로 수신되면, 단계(733)에서 페이지 버퍼(461)로 전송되고, 데이터 버퍼(410)내로 수신되는 기입 데이터는 단계(735)에서 페이지 버퍼(460)로 전송된다. 페이지 버퍼(460 및 461)에 포함된 2개의 절반의 워드들인 그 다음에는 단계(736)에서 메모리 어레이(470)로 전송된다. 다른 실시예에 있어서, 페이지 버퍼들(460 및 461)은 데이터 버퍼(410) 및 데이터 버퍼(411)로부터 동일한 클럭 사이클로 데이터를 수신할 수 있는 이중 포트의 메모리이다. 다른 실시예에 있어서, 메모리 어레이(470)는 데이터 버퍼들(410 및 411)과 직접적으로 통신할 수 있는 다수의 포트의 메모리이다.

[0028] 도 7c, 7d, 7f 및 7g는 READ 커맨드에 대한 플로우차트들이다. 단계(724)에서 커맨드가, 디바이스 ID와 매치하는 커맨드 ID 또는 역 디바이스 ID와 매치하는 역 커맨드 ID를 가진 READ 커맨드이면, READ 커맨드가 도 7f 및 7g에 도시된 바와 같이 처리된다. 커맨드 ID가 디바이스 ID와 매치하거나 역 커맨드 ID가 역 디바이스 ID와 매

치하고 커맨드가 READ 커맨드도 WRITE 커맨드도 아니면, OTHER 커맨드가 처리된다. 일 실시예에 있어서, OTHER 커맨드는 컨피규러블(configurable)한 펌웨어(firmware)이고 메모리 어레이(470)에 대한 검사 모드 액세스를 제공한다.

[0029] 단계들(737 및 738)에서, 판독될 데이터가 페이지 버퍼들내에서 가용하지 않으면, 그것은 메모리 어레이(470)로부터 페이지 버퍼들(460 및 461)로 전송된다. 다른 실시예에 있어서, 판독될 데이터가 다수의 포트를 가진 메모리 어레이(470)로부터 직접적으로 판독된다. 단계(739)에서, 레이턴시 제어 플래그가 인에이블되지 않으면, 페이지 버퍼(460)로부터의 데이터가 디바이스의 하나의 포트의 판독될 데이터 버퍼(410)로 전송되고, 페이지 버퍼(461)로부터의 데이터가 디바이스의 다른 포트의 독출될 데이터 버퍼(411)로 전송된다.

[0030] 단계(739)에서, 레이턴시 제어 플래그가 인에이블되고, 도 6e에 도시된 바와 같이, 디바이스 ID(X)가 역 디바이스 ID(Y) 미만이면, 데이터는 페이지 버퍼(461)로부터 디바이스(320)의 독출될 데이터 버퍼(411)로 전송되고, 페이지 버퍼(460)로부터의 데이터가, 디바이스 ID와 역 디바이스 ID 사이의 절대 수치 차이와 동등한 지연 후에 독출될 데이터 버퍼(410)로 전송된다. 이것은, 양쪽의 페이지 버퍼들(460 및 461)로부터의 데이터가 동일한 클럭 사이클에 제어기(310)에 도착하는 것을 보장한다.

[0031] 단계(739)에서, 레이턴시 제어 플래그가 인에이블되고, 도 6f에 도시된 바와 같이, 디바이스 ID(X)가 역 디바이스 ID(Y) 이상이면, 데이터는 페이지 버퍼(460)로부터 디바이스(32n)의 독출될 데이터 버퍼(410)로 전송되고, 페이지 버퍼(461)로부터의 데이터가, 디바이스 ID와 역 디바이스 ID 사이의 절대 수치 차이와 동등한 지연 후에 독출될 데이터 버퍼(411)로 전송된다. 이것은, 양쪽의 페이지 버퍼들(460 및 461)로부터의 데이터가 동일한 클럭 사이클에 제어기(310)에 도착하는 것을 보장한다.

[0032] 도 8a는 도 7a 및 7b의 플로우차트들에 기술된 바와 같이 SETID 커맨드에 대한 타이밍도이다. 먼저, 메모리 제어기(310)는, 0일 수 있는 ID 번호를 가진 SETID 커맨드를 CSU, DSU 및 DATAU에서 송신한다. 도 3에서의 메모리 디바이스(320)는 ID 번호를 0으로 등록하고, 1만큼 증가될 수 있는 ID 번호를 가진 SETID 커맨드를 다음의 메모리 디바이스(321)에 패스한다. SETID 커맨드는, 그것이 메모리 제어기(310)에 도달하여, 각각 0에서 n까지 번호가 부여된 레지스터 ID를 갖는 메모리 디바이스들(320 내지 32n)을 초래할 때까지, 루프-체인내의 각각의 메모리 디바이스로부터 다음의 메모리 디바이스로 순차적으로 패스된다. 그 다음에, 메모리 제어기(310)는 0일 수 있는 역 ID 번호를 가진 SETID 커맨드를 CSD, DSD 및 DATAD에서 송신한다. 메모리 디바이스(32n)는 역 ID 번호를 0으로 등록하고, 1만큼 증가될 수 있는 역 ID 번호를 가진 SETID 커맨드를 다음의 메모리 디바이스(32n-1)에 패스한다. SETID 커맨드는, 그것이 메모리 제어기(310)에 도달하여, 각각 0에서 n까지 번호가 부여된 레지스터 역 ID를 갖는 메모리 디바이스들(32n 내지 320)을 초래할 때까지, 루프-체인내의 각각의 메모리 디바이스로부터 다음의 메모리 디바이스로 순차적으로 패스된다. 2개의 SETID 커맨드가 발행된 후에, 각각의 메모리 디바이스는, 디바이스들의 번호 및 루프-체인내의 각각의 디바이스의 위치를 나타내는, ID 번호와 역 ID 번호를 갖는다. 따라서, 각각의 디바이스는, 양쪽 절반의 워드들이 동일 클럭 사이클에 제어기(310)에 도착하도록, 제 2 포트에서 다른 절반의 워드의 전송에 대해 상대적으로 지연된 하나의 포트로부터의 절반의 워드를 송신할 수 있다. 각각의 디바이스에 2개 이상의 포트들, 예컨대, 2차원 어레이내에 6개의 포트들이 존재할 때, 각각의 포트로부터 판독되는 데이터가 동일한 사이클에 제어기에 도착하도록, 여러 디바이스 포트들이 상이한 수량만큼 지연될 수 있다는 것이 예상된다.

[0033] 도 8b는 도 7c, 7d 및 7e의 플로우차트들에 기술된 바와 같이 WRITE 커맨드에 대한 타이밍도이다. 메모리 제어기는, 0과 n 사이일 수 있는 커맨드 ID 번호를 가진 WRITE 커맨드를 CSU, DSU 및 DATAU에서 송신하고 그 뒤로 기입될 절반의 워드를 디바이스에 송신한다. 메모리 제어기는, 또한, 동일한 디바이스에 대응하는 역 커맨드 ID 번호를 가진 WRITE 커맨드를 CSD, DSD 및 DATAD에서 송신하고 그 뒤로 기입될 절반의 워드를 송신한다. WRITE 커맨드는, 커맨드 ID 번호가 디바이스 ID 번호와 매치할 때까지, 루프-체인을 통해 송신된다. WRITE 커맨드는 또한, 역 커맨드 ID 번호가 역 디바이스 ID 번호와 매치할 때까지, 반대 방향으로 루프-체인을 통해 송신된다. WRITE 커맨드를 필요보다 더 많이 전파하지 않는 것에 의해, 전체 시스템 전력이 감소된다. 다른 실시예에 있어서, WRITE 커맨드가 전체 루프-체인을 통해 전파되는 것이 가능케 되고, 그것은 각각의 디바이스의 논리 복잡성을 감소시킨다. 커맨드 ID 번호 대 디바이스 ID 번호의, 또는 역 커맨드 ID 번호 대 역 디바이스 ID 번호의 성공적인 매치 후에, 커맨드 스트로브를 활성화시키는 것에 의해 개개의 커맨드 ID 번호들이 디바이스내로 판독되고, 데이터 스트로브를 활성화시키는 것에 의해 하나 이상의 데이터가 디바이스내로 판독된다.

[0034] 도 8c 및 8d는 도 7c, 7d, 7f 및 7g의 플로우차트들에 기술된 바와 같은 READ 커맨드에 대한 타이밍도를 나타낸다. 일 실시예에 있어서, 0으로부터  $\lfloor (n+1)/2 \rfloor - 1$ 까지의 등록된 ID 번호를 가진 디바이스들을 포함하여, 메모리

제어기의 CSU, DSU 및 DATAU에 가까운 메모리 디바이스들로부터 데이터를 독출하는 동안 레이턴시를 최소화하기 위해, 메모리 제어기는 0으로부터  $[(n+1)/2]-1$ 까지일 수 있는 ID 번호를 가진 READ 커맨드를 CSU, DSU 및 DATAU에서 송신한다. 유사하게,  $(n+1)/2$ 에서  $n$ 까지의 등록된 ID 번호를 가진 디바이스들을 포함하여, 메모리 제어기의 CSD, DSD 및 DATAD에 가까운 메모리 디바이스들로부터 데이터를 독출하기 위해, 메모리 제어기는  $(n+1)/2$ 에서  $n$ 까지일 수 있는 ID 번호를 가진 READ 커맨드를 CSD, DSD 및 DATAD에서 송신한다.

[0035] 다른 실시예에 있어서, 판독 대역폭을 최적화하기 위해서, 커맨드 ID 번호를 가진 READ 커맨드가 CSU, DSU 및 DATAU에서 송신되고, 그것이 커맨드 ID 번호 및 디바이스 ID 번호가 매치하는 메모리 디바이스에 도달할 때까지, 메모리 디바이스로부터 메모리 디바이스로 패스된다. 역 커맨드 ID 번호를 가진 READ 커맨드가 또한 CSD, DSD 및 DATAD에서 발행되고, 그것이 역 커맨드 ID 번호 및 역 디바이스 ID 번호가 매치하는 메모리 디바이스에 도달할 때까지, 메모리 디바이스로부터 메모리 디바이스로 패스된다. 디바이스는 그 다음으로, 도 4에 도시된 바와 같이 페이지 버퍼(460)로부터 DATAL로 절반의 데이터 워드를 독출하고 다른 절반의 데이터 워드를 페이지 버퍼(461)로부터 DATAR로 독출한다.

[0036] 도 9a 및 9b는 동시의 READ 및 WRITE에 대한 신호들의 방향들을 나타낸다. 도 9a에 있어서, 메모리 제어기(910)는 0과  $n$  사이에 있을 수 있는 디바이스 ID 번호  $i$ 를 가진 WRITE 커맨드를 CSU, DSU 및 DATAU에서 송신하고  $i$ 와  $n$  사이에 있을 수 있는 역 디바이스 ID 번호를 가진 READ 커맨드를 CSD, DSD 및 DATAD에서 송신한다. 예를 들어, 메모리 제어기(910)는 디바이스(92 $n-1$ )로부터 판독하면서 디바이스(921)에 기입할 수 있다. 도 9b에 있어서, 메모리 제어기(910)는 메모리 제어기(910)는 0과  $n$  사이에 있을 수 있는 디바이스 ID 번호  $i$ 를 가진 READ 커맨드를 CSU, DSU 및 DATAU에서 송신하고  $i$ 와  $n$  사이에 있을 수 있는 디바이스 ID 번호를 가진 WRITE 커맨드를 CSD, DSD 및 DATAD에서 송신한다. 메모리 제어기(910)는 동시에 하나의 단일 메모리 디바이스 또는 2개의 상이한 메모리 디바이스에 데이터를 기입하고 데이터를 판독한다. 예를 들어, 메모리 제어기(910)는 디바이스(92 $n-1$ )에 기입하면서 디바이스(921)로부터 판독할 수 있고, 또는 메모리 제어기(910)가 디바이스(921)로부터 판독 및 기입을 할 수 있다.

[0037] 도 9c는 2개의 동시의 WRITE 커맨드들에 대한 신호들의 방향들을 나타낸다. 메모리 제어기(910)는 0과  $n-1$  사이에 있을 수 있는 디바이스 ID 번호  $i$ 를 가진 WRITE 커맨드를 CSU, DSU 및 DATAU에서 송신하고  $i+1$ 와  $n$  사이에 있을 수 있는 역 디바이스 ID 번호를 가진 WRITE 커맨드를 CSD, DSD 및 DATAD에서 송신한다. 메모리 제어기(910)는 2개의 상이한 메모리 디바이스들에 동시에 데이터를 기입한다.

[0038] 도 9d는 2개의 동시의 READ 커맨드들에 대한 신호들의 방향들을 나타낸다. 메모리 제어기(910)는 0과  $n-1$  사이에 있을 수 있는 디바이스 ID 번호  $i$ 를 가진 READ 커맨드를 CSU, DSU 및 DATAU에서 송신하고  $i+1$ 와  $n$  사이에 있을 수 있는 역 디바이스 ID 번호를 가진 READ 커맨드를 CSD, DSD 및 DATAD에서 송신한다. 메모리 제어기(910)는 2개의 상이한 메모리 디바이스들로부터 동시에 데이터를 판독한다.

[0039] 도 9e는 동시 액세스를 위한 메모리 디바이스(920)의 블록도의 일 실시예이다. 다른 실시예에 있어서, 페이지 버퍼들(940 및 941)은 단일의 2중 포트 메모리(single dual ported memory)이다.

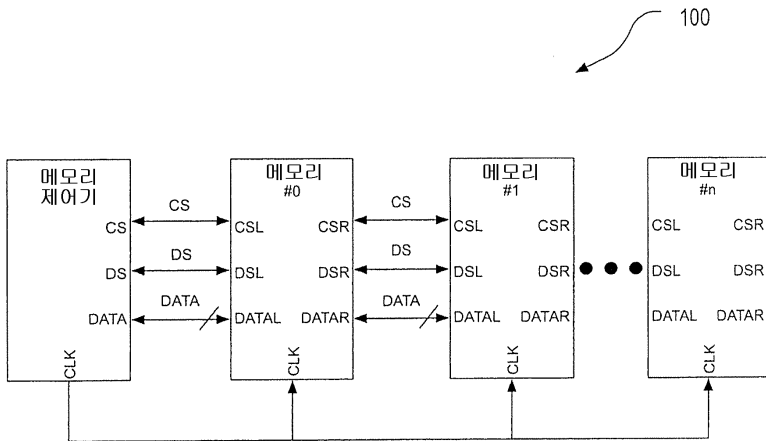
[0040] 도 10a는 소스 동기 클럭(source synchronous clock)을 가진 루프-백(loop-back) 시스템에 대한 신호들의 방향들을 나타낸다. 도 10b는 도 10a에 도시된 소스 동기 클럭에 대한 메모리 디바이스(1020)의 블록도를 나타낸다. 도 10a에 있어서, 메모리 제어기(1010)는 CLK에서 클럭을 송신한다. 메모리 디바이스들(1020 내지 102n)은 클럭(CLK)을 CLKLi로부터 CLKRo로 그리고 CLKRi로부터 CLKLo로 패스한다. 메모리 제어기(1010)는 클럭과 동기화된 커맨드들을 송신하고, 그에 의해 클럭 스큐(clock skew)를 최소화하고 높은 클럭 속도를 준다.

[0041] 메모리 디바이스들(1020 내지 102n)은 커맨드들을 CLKLi와 동기화된 커맨드 스트로브 버퍼(421), 데이터 스트로브 버퍼(420) 및 데이터 버퍼(410)에서 수신하고, 필요하다면 커맨드들을 CLKRo와 동기화된 커맨드 스트로브 버퍼(423), 데이터 스트로브 버퍼(422) 및 데이터 버퍼(411)에서 송신한다.

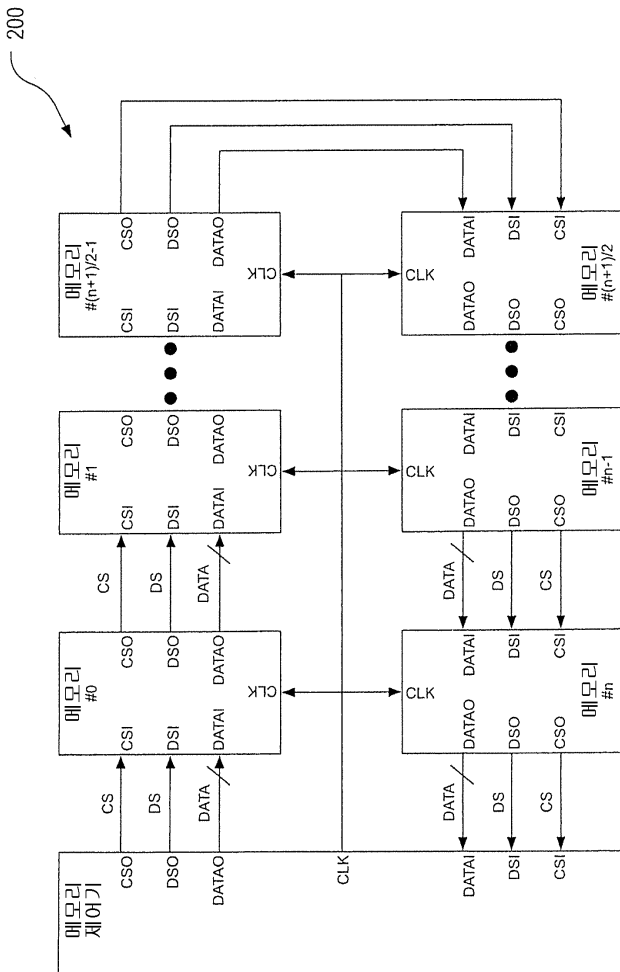
[0042] 본 발명이 특정한 바람직한 실시예들을 참조하여 도시되고 설명되었지만, 형태 및 세부에 있어서의 다양한 변경들이 하기의 청구 범위에서 규정되는 본 발명의 사상 및 권리 범위로부터 이탈하지 않고 그것에 속하여 만들어질 수 있다는 것이 당업자에게 이해될 것이다.

도면

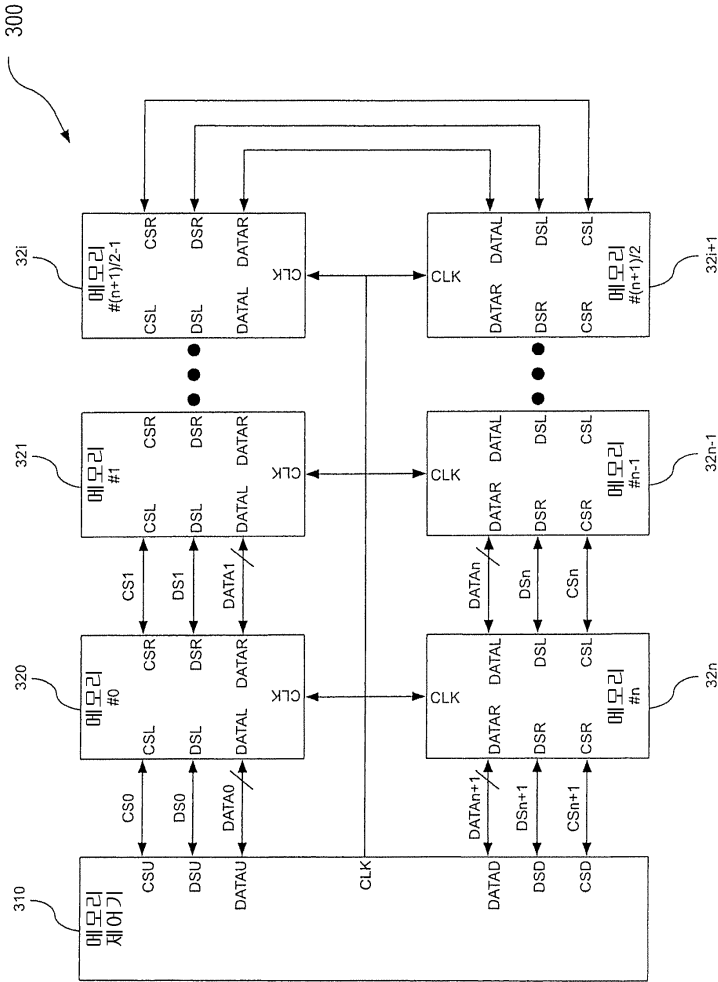
도면1



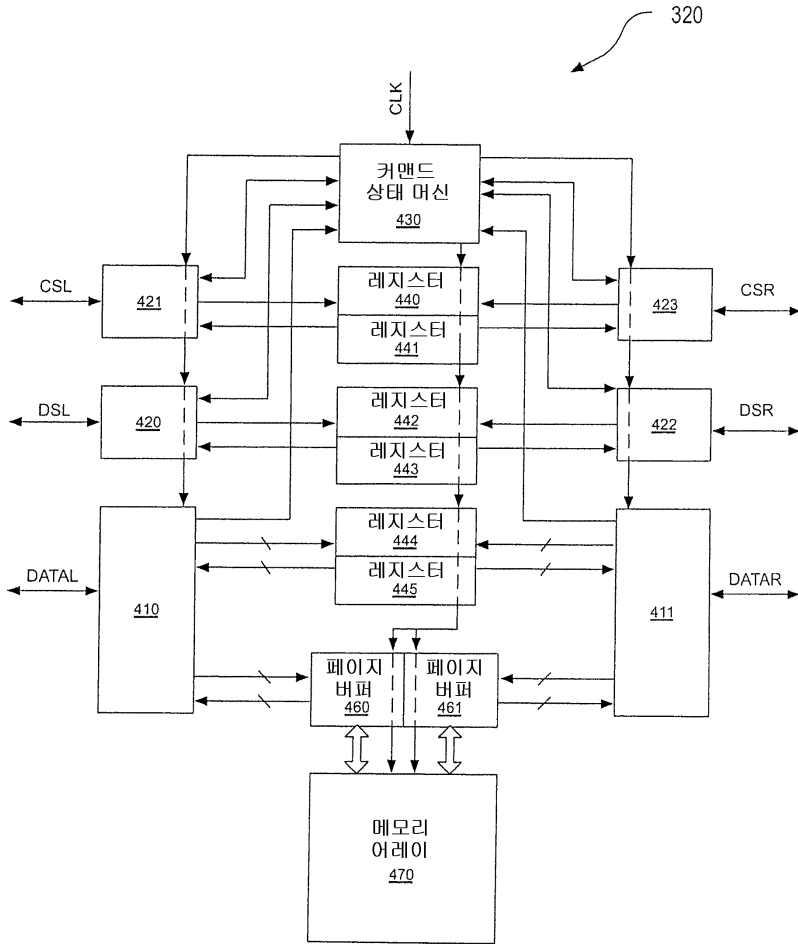
도면2



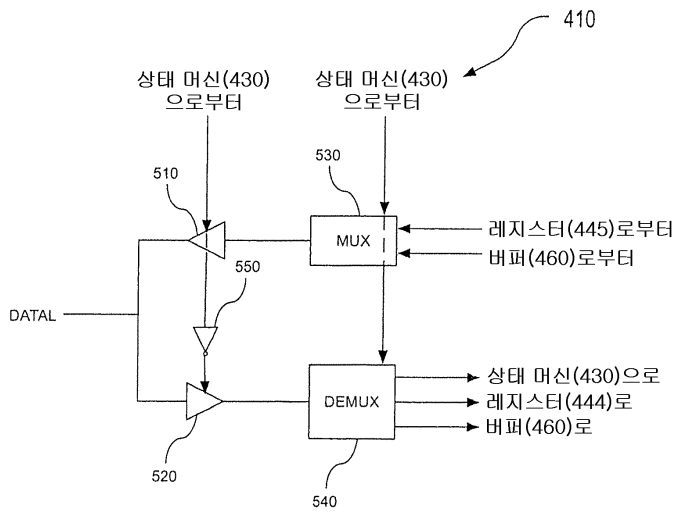
도면3



도면4

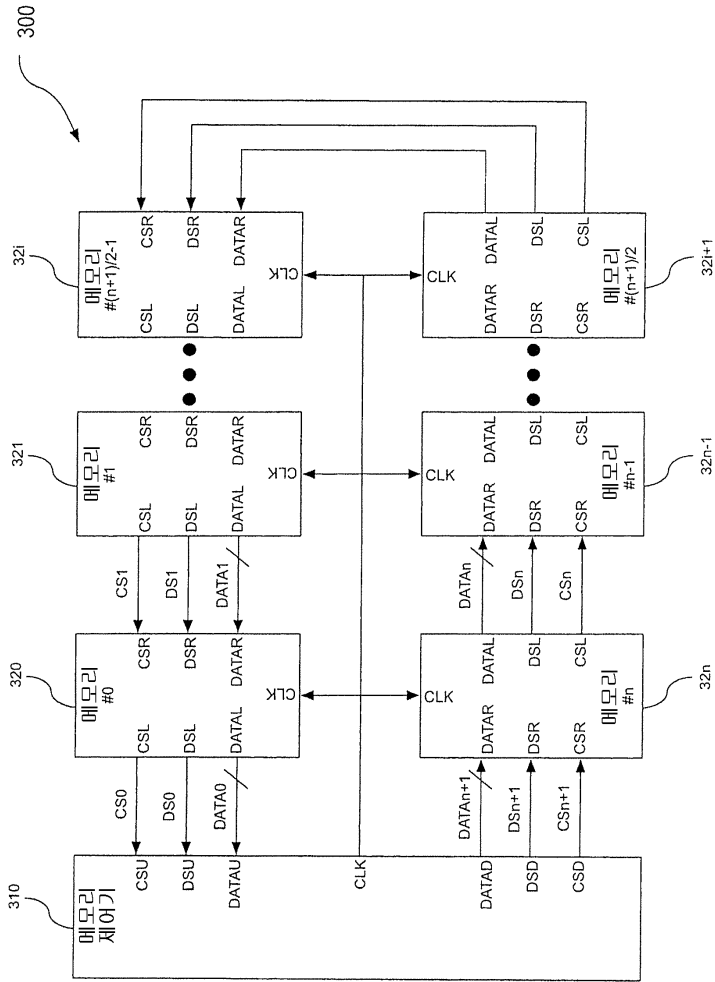


도면5a

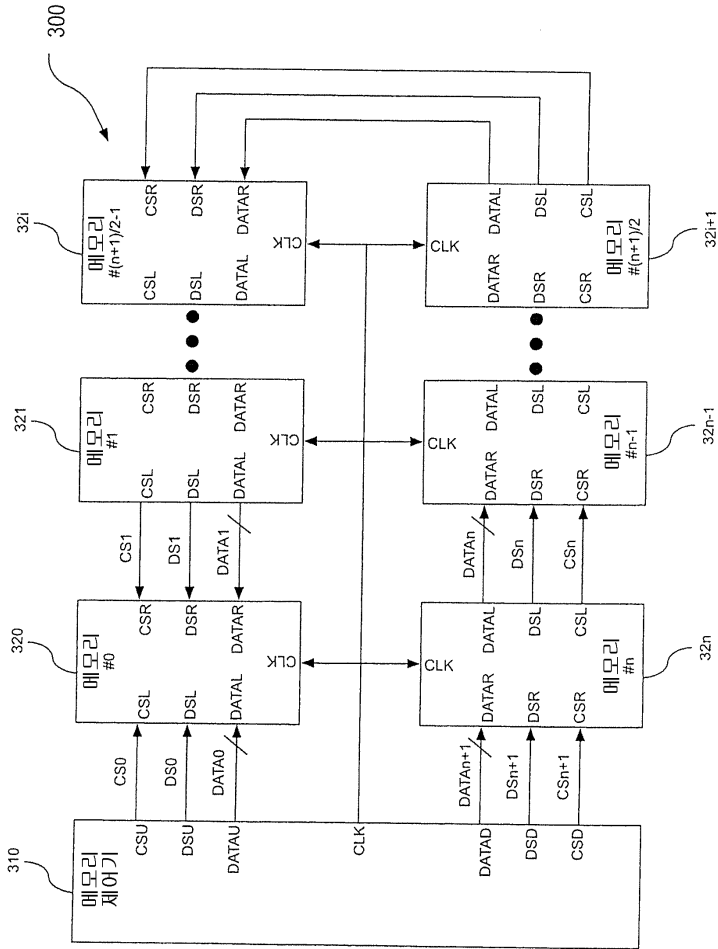




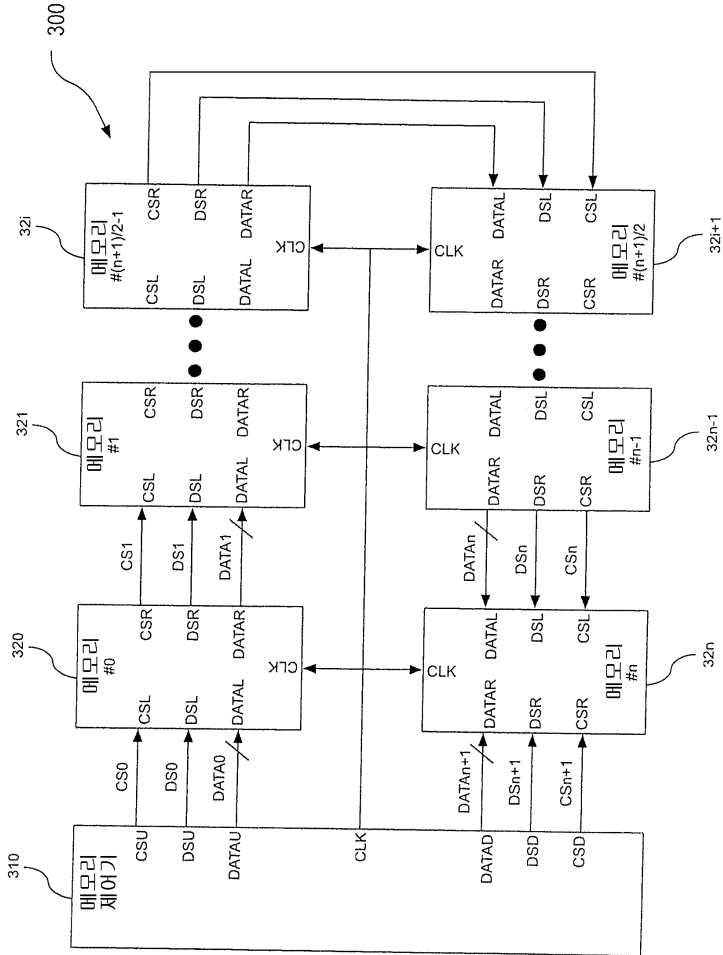
도면6b



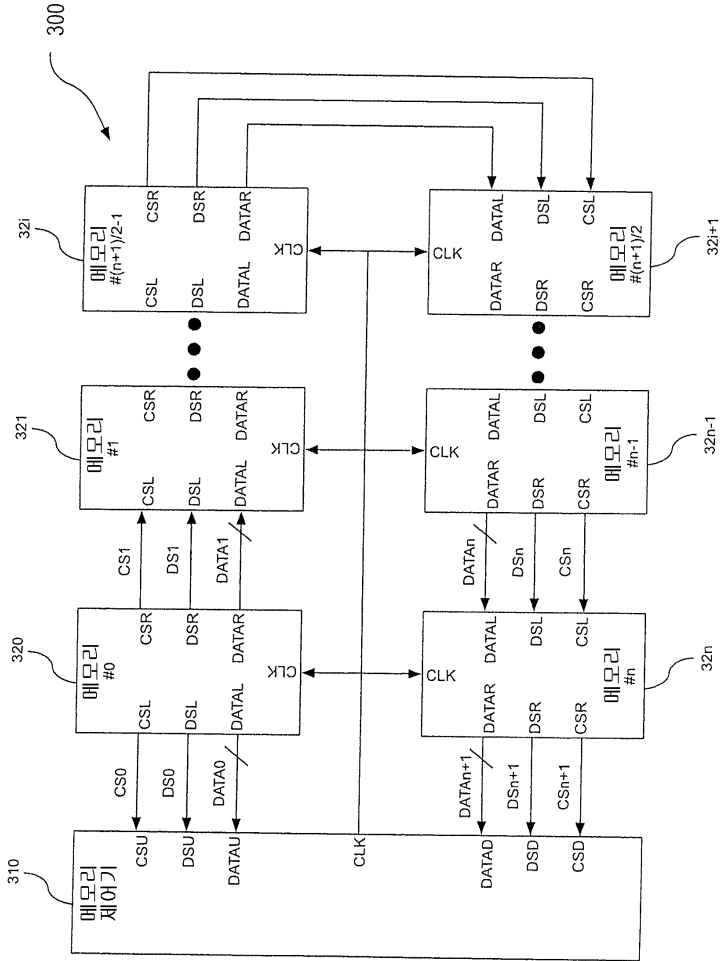
도면6c



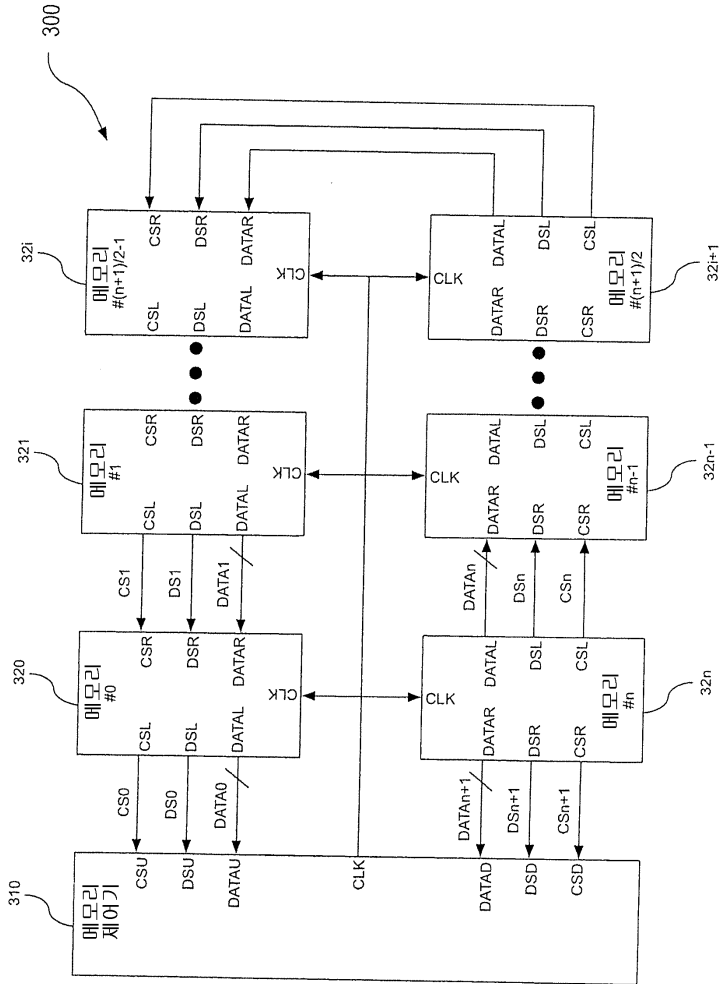
도면6d



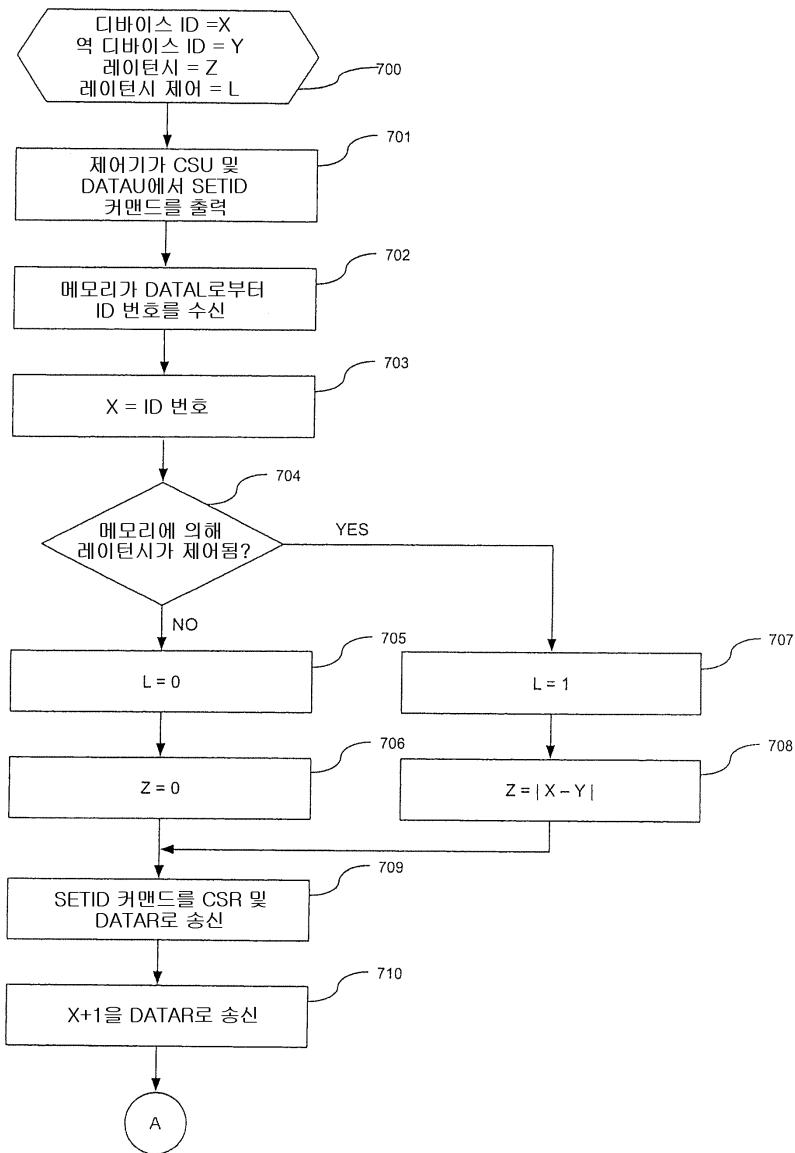
도면6e



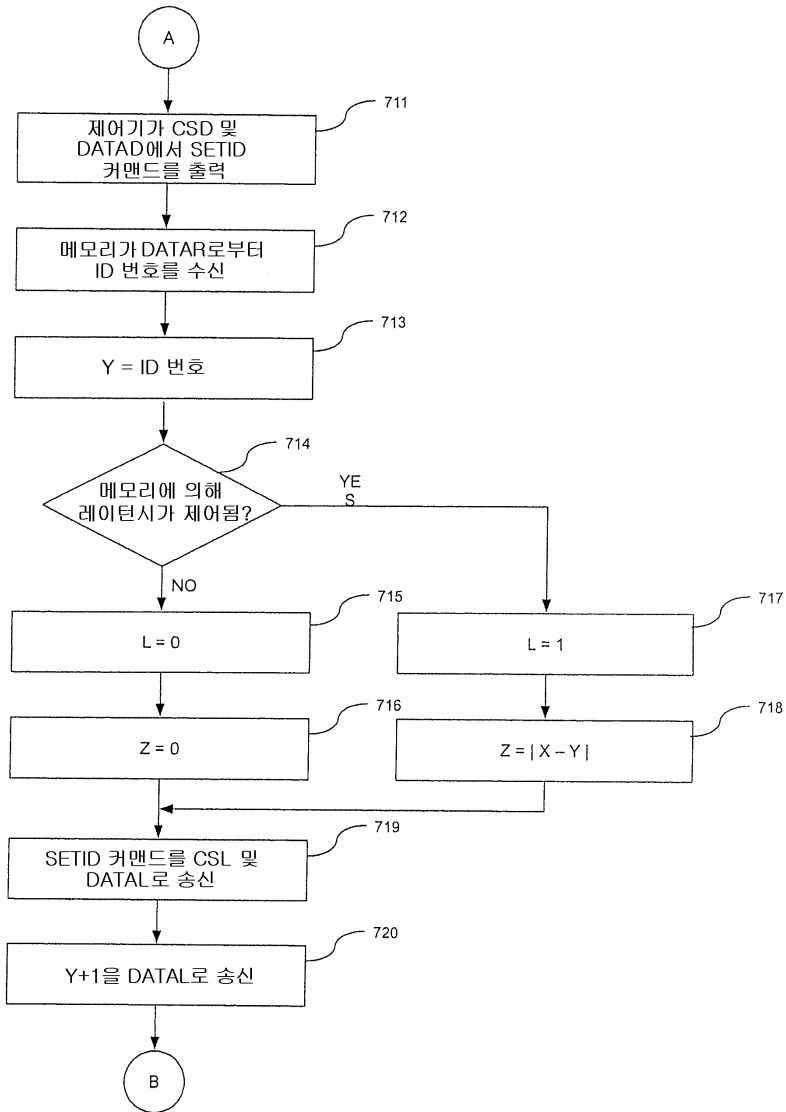
도면6f



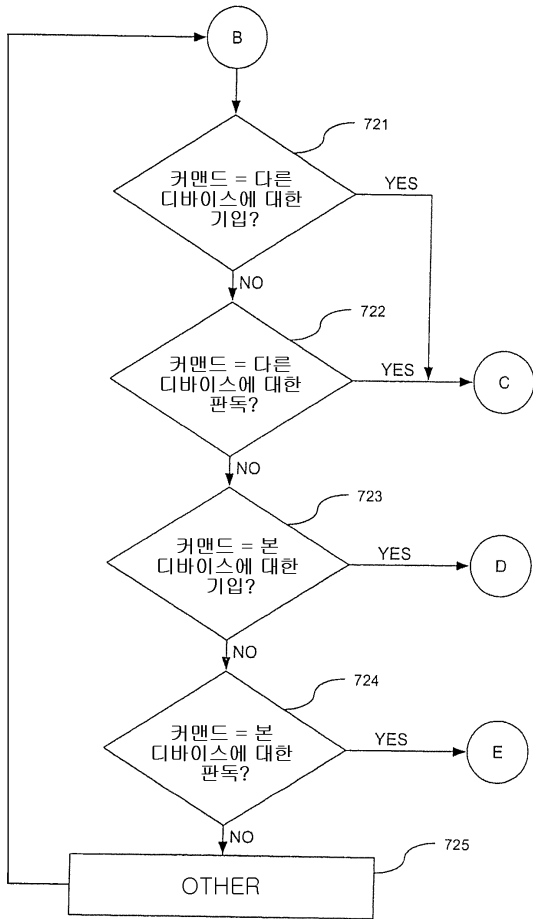
도면7a



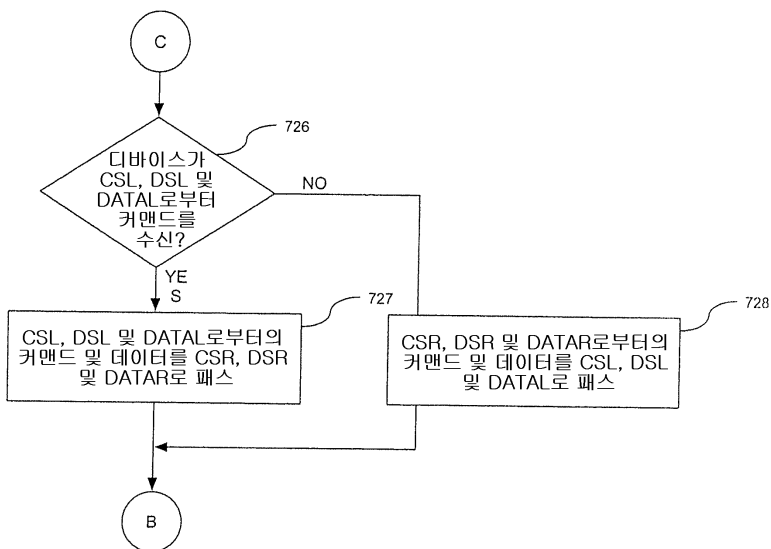
도면7b



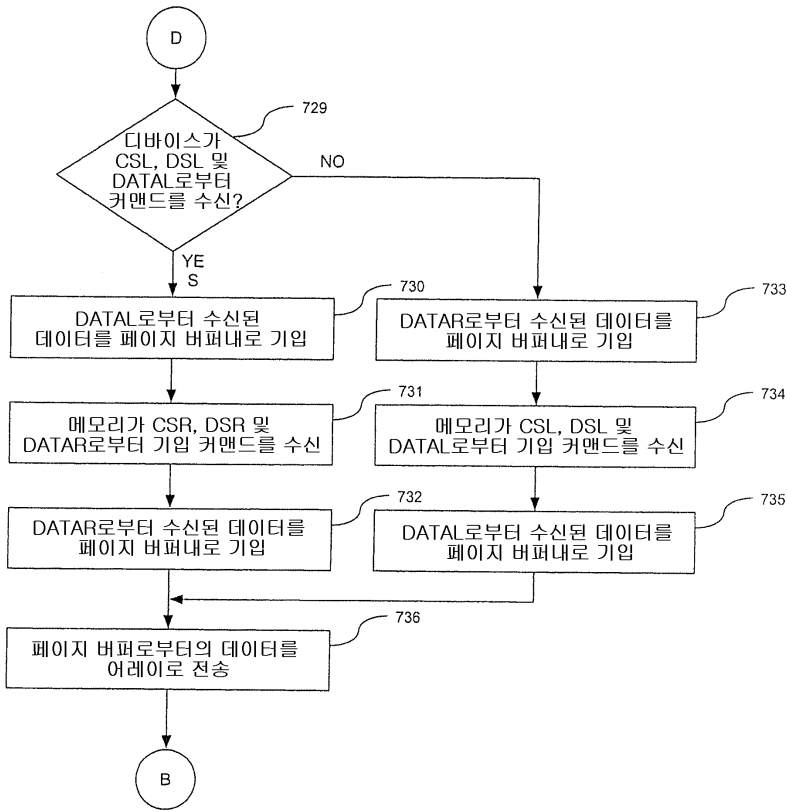
도면7c



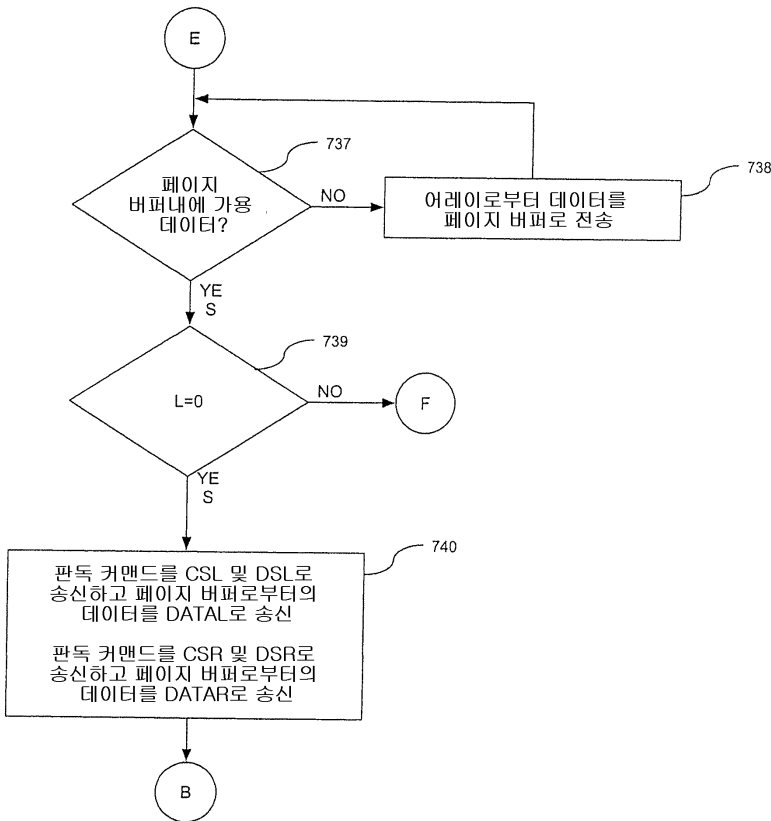
도면7d



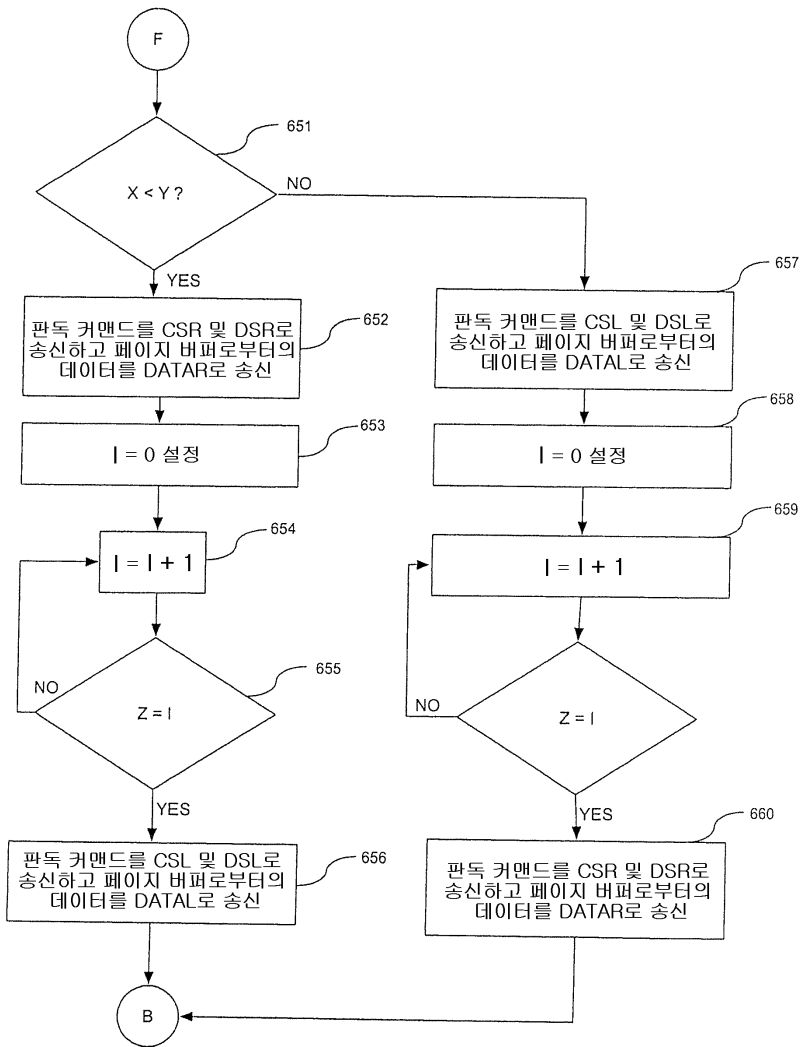
도면7e



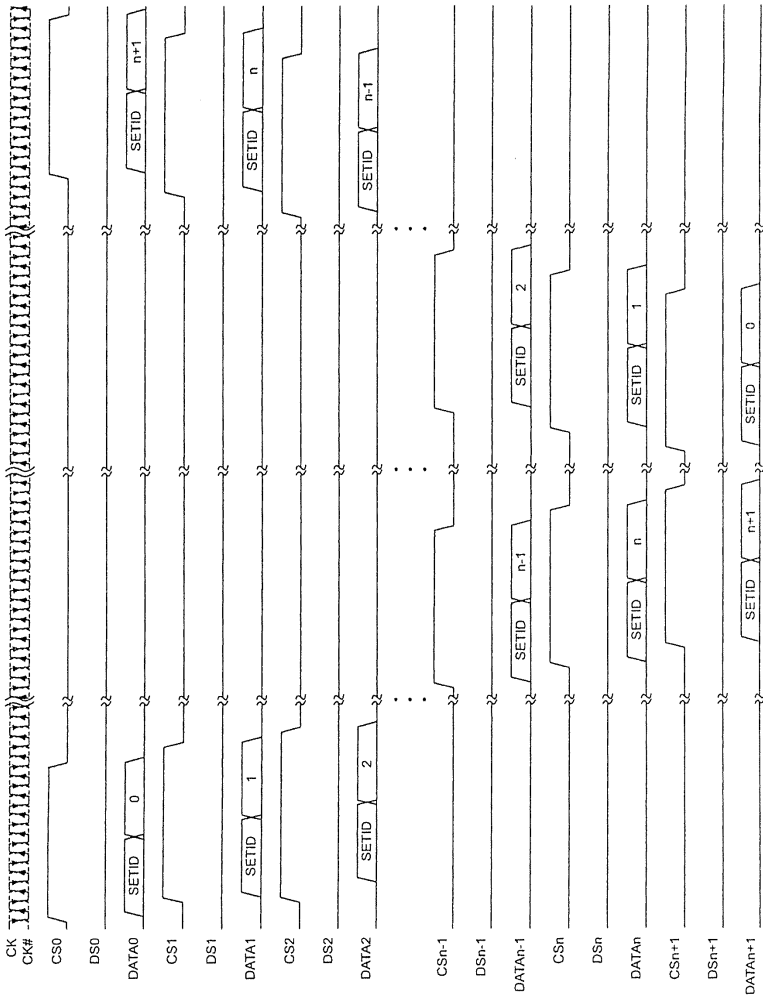
도면7f



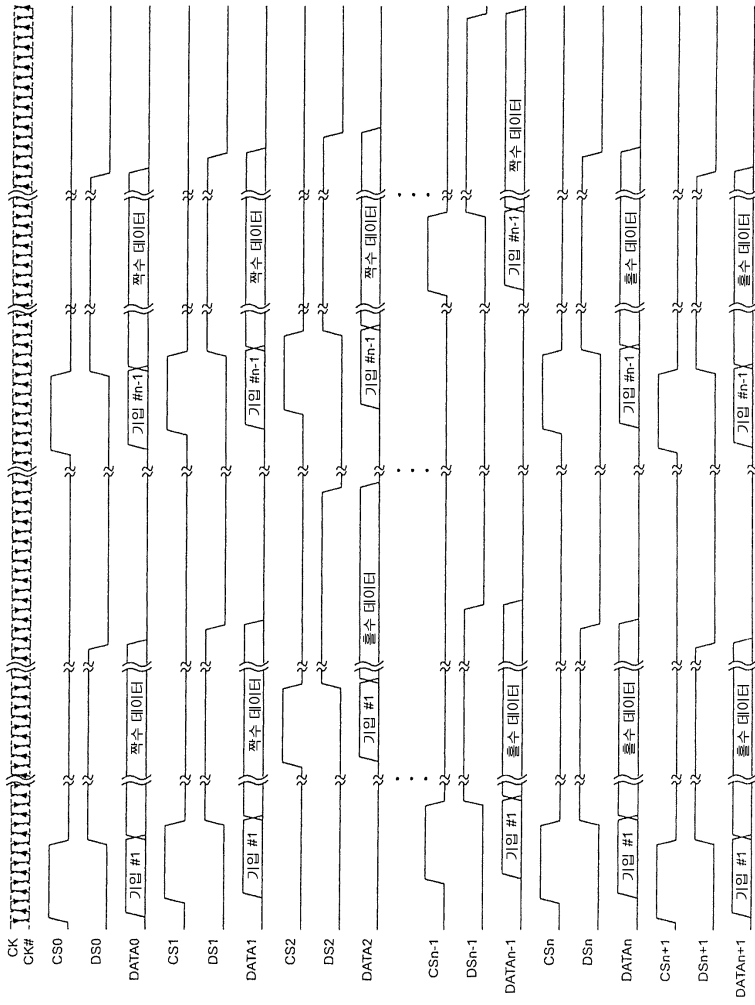
도면7g



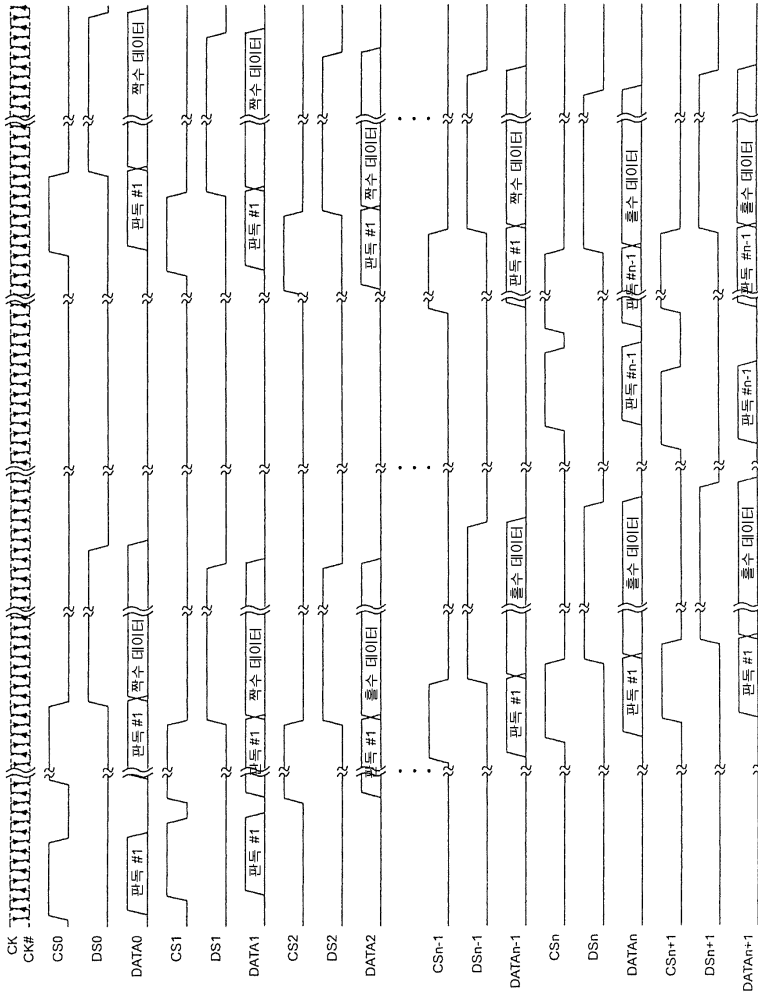
도면8a



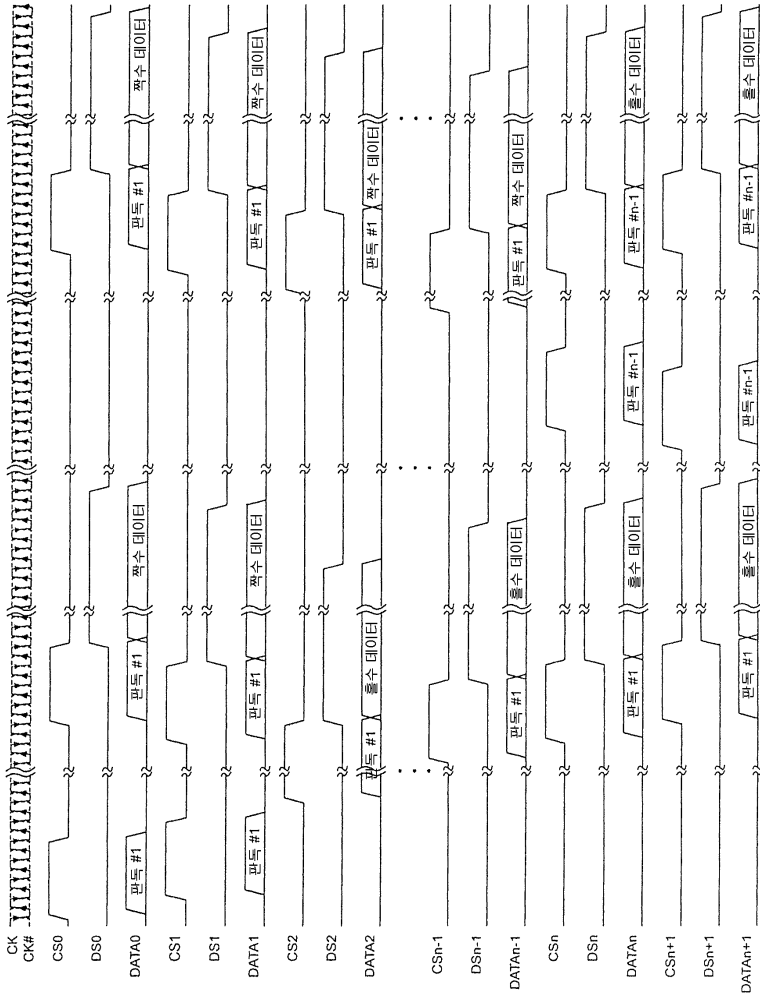
도면8b



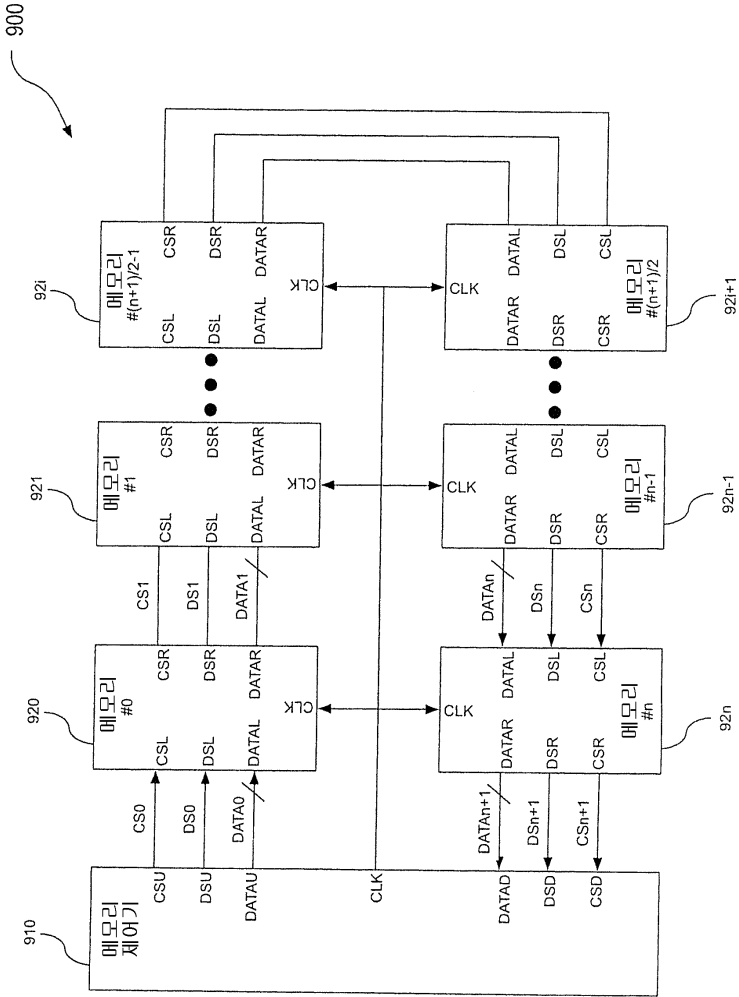
도면8c



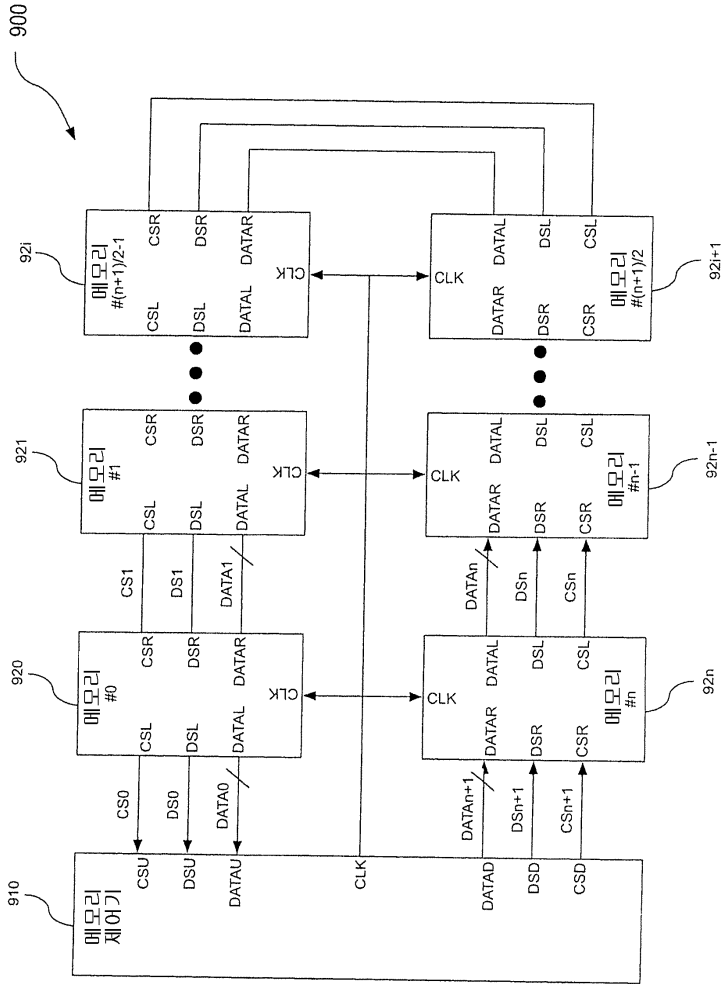
도면81



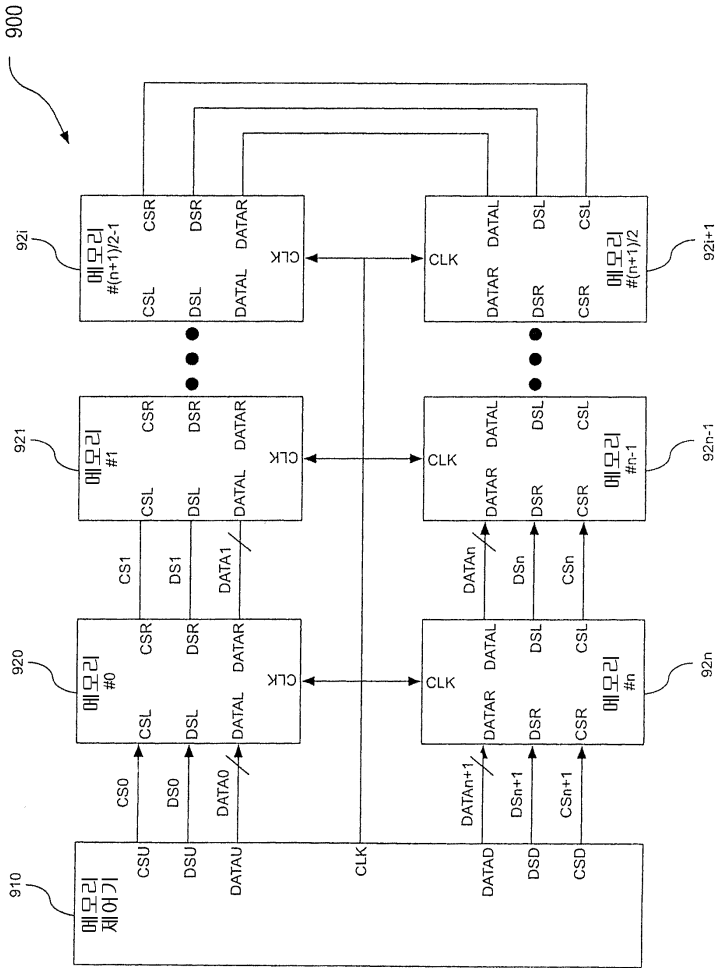
도면9a



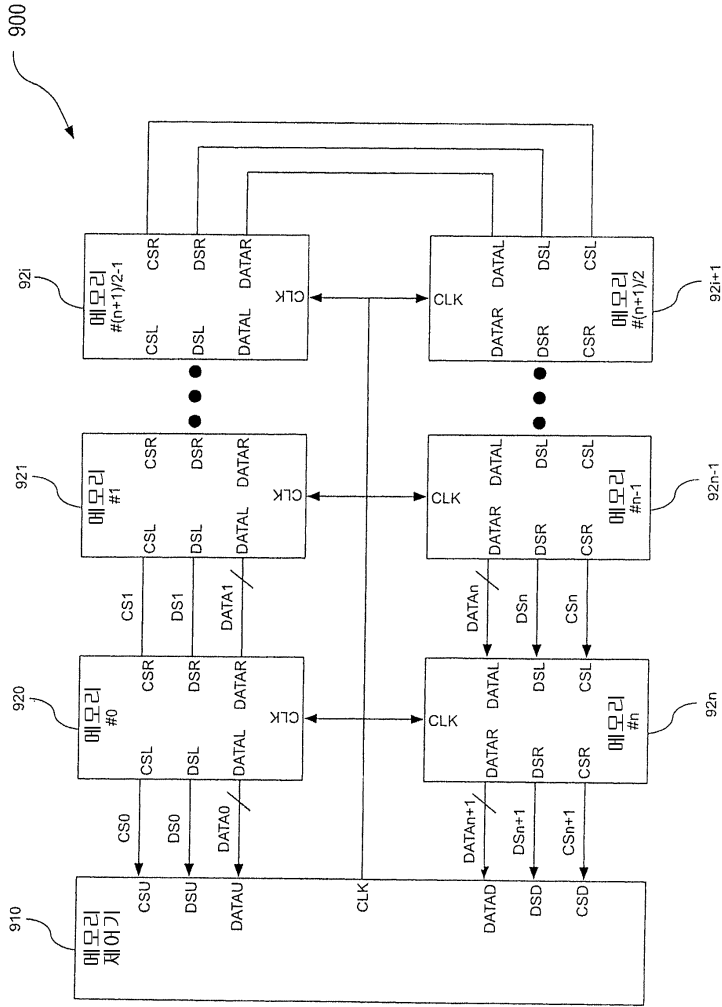
도면9b



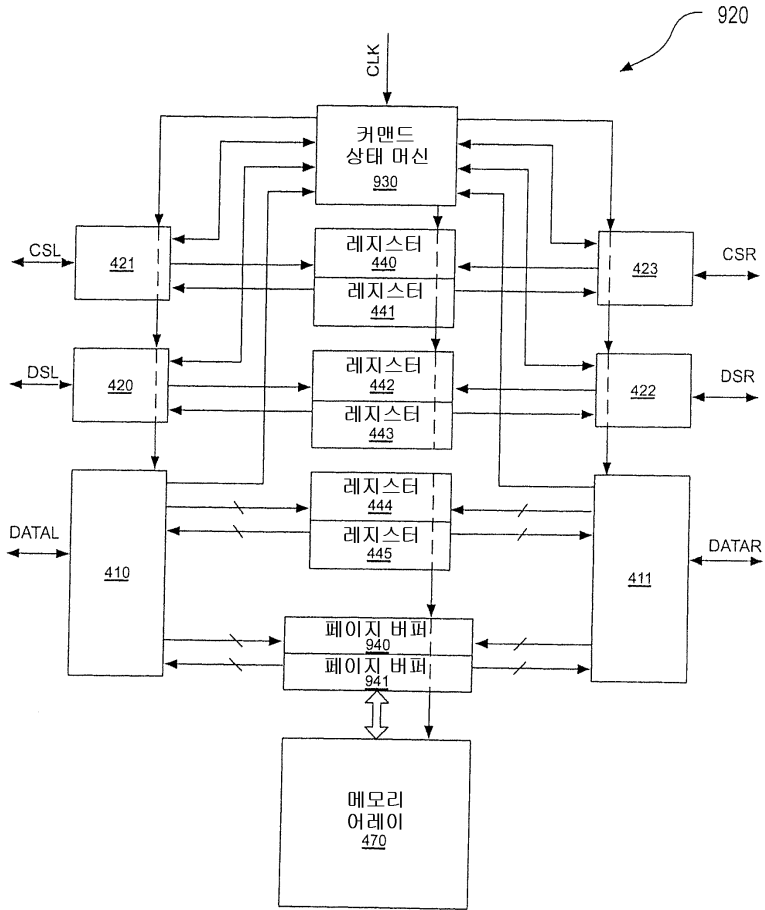
도면9c



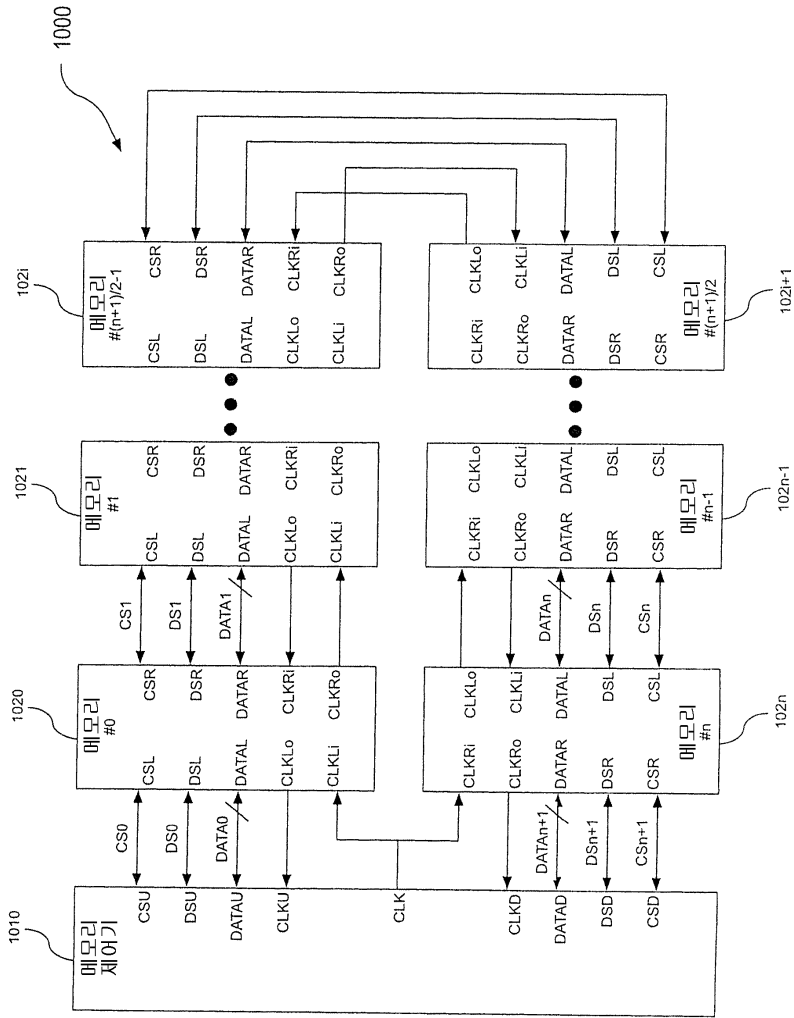
도면9d



도면9e



도면10a



도면10b

