

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-500999
(P2004-500999A)

(43) 公表日 平成16年1月15日(2004.1.15)

(51) Int. Cl.⁷
B 4 1 J 2/05

F I
B 4 1 J 3/04 1 0 3 B

テーマコード(参考)
2 C 0 5 7

審査請求有 予備審査請求有 (全 64 頁)

(21) 出願番号 特願2001-570456(P2001-570456)
(86) (22) 出願日 平成13年3月28日(2001.3.28)
(85) 翻訳文提出日 平成14年9月27日(2002.9.27)
(86) 国際出願番号 PCT/US2001/009848
(87) 国際公開番号 W02001/072523
(87) 国際公開日 平成13年10月4日(2001.10.4)
(31) 優先権主張番号 09/537,255
(32) 優先日 平成12年3月29日(2000.3.29)
(33) 優先権主張国 米国(US)

(71) 出願人 591194034
レックスマーク・インターナショナル・インコーポレーテッド
LEXMARK INTERNATIONAL, INC
アメリカ合衆国 40550 ケンタッキー、レキシントン、ウエスト・ニュー・サークル・ロード 740
(74) 代理人 100076222
弁理士 大橋 邦彦
(72) 発明者 アンダーソン、フランク、エドワード
アメリカ合衆国 40550 ケンタッキー、レキシントン、ウエスト・ニュー・サークル・ロード 740

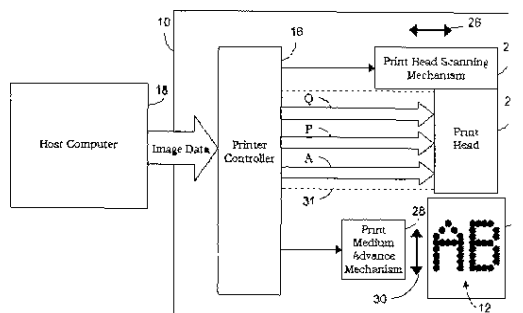
最終頁に続く

(54) 【発明の名称】 二配置のプリントヘッド・アドレッシング

(57) 【要約】

【課題】

【解決手段】 インクジェット・プリントヘッド(20)は、q個の第1の制御信号とp個の第2の制御信号の少なくとも一部に基づいて制御可能である。プリントヘッド(20)は、作動される際に熱を発生するインク-加熱抵抗体を有するプリントヘッド集積回路チップ(22)を含む。プリントヘッド・チップ(22)はまた、第1及び第2の制御信号を受信し、かつ、第1及び第2の制御信号の少なくとも一部に基づいて、選択されたインク-加熱抵抗体を通して電流が流れることを許容することによって、インク-加熱抵抗体を選択的に作動させるスイッチング回路を有する。スイッチング回路は、第1の操作モード又は第2の操作モードのいずれかにおいて操作可能であり、ここで、第1の操作モードにおいてqはq₁に等しく、第2の操作モードにおいてqはq₂に等しく、q₁はq₂の2倍である。第1の操作モードにおいてpはp₁に等しく、第2の操作モードにおいてpはp₂に等しく、p₂はp₁の2倍である。q₁にp₁を掛けた積がq₂にp₂を掛けた積に等しい。プリント



【特許請求の範囲】

【請求項 1】

q 個の第 1 の制御信号と p 個の第 2 の制御信号の少なくとも一部に基づいて制御可能である、インクジェット印刷装置に用いるインクジェット・プリントヘッドであって、該プリントヘッドは、

作動される際に熱を発生するインク - 加熱抵抗体と、前記第 1 及び第 2 の制御信号を受信し、かつ、前記第 1 及び第 2 の制御信号の少なくとも一部に基づいて、選択されたインク - 加熱抵抗体を通して電流が流れることを許容することによって、前記インク - 加熱抵抗体を選択的に作動させるスイッチング回路とを有するプリントヘッドの集積回路チップであって、前記スイッチング回路が前記第 1 の操作モード又は前記第 2 の操作モードのいずれかにおいて操作可能であり、

前記第 1 の操作モードにおいて q が q_1 に等しく、

前記第 2 の操作モードにおいて q が q_2 に等しく、

q_1 が q_2 の 2 倍に等しく、

前記第 1 の操作モードにおいて p が p_1 に等しく、

前記第 2 の操作モードにおいて p が p_2 に等しく、

p_2 が p_1 の 2 倍に等しく、

前記第 1 の操作モードにおいて q_1 に p_1 を掛けた積が、前記第 2 の操作モードにおいて q_2 に p_2 を掛けた積に等しいプリントヘッドの集積回路チップと、

前記プリントヘッドの集積回路に接続される操作モード選択手段であって、該操作モード選択手段の配置に基づいて、スイッチング回路が第 1 の操作モード又は第 2 の操作モードにおいて動作するかを決定する操作モード選択手段と、を含むインクジェット・プリントヘッド。

【請求項 2】

n 個の第 3 の制御信号の少なくとも一部に基づいて更に制御可能であり、

前記プリントヘッドの集積回路チップが更に、

少なくとも q_1 に p_1 と n を掛けた数のインク - 加熱抵抗体と、

前記第 3 の制御信号を受信し、かつ、前記第 3 の制御信号の少なくとも一部に基づいて、選択されたインク - 加熱抵抗体を通して電流が流れることを許容することによって、前記インク - 加熱抵抗体を選択的に作動させるスイッチング回路とを含み、

前記第 1 の操作モードにおける n の値が、前記第 2 の操作モードにおける n の値に等しい、請求項 1 に記載のインクジェット・プリントヘッド。

【請求項 3】

前記インク - 加熱抵抗体が、 $q_1 \times n$ 個のインク - 加熱抵抗体のグループを更に含み、同時に作動する p_1 個のインク - 加熱抵抗体を前記各グループが含み、

前記スイッチング回路が、前記第 1 及び第 3 の制御信号に基づいて前記 $q_1 \times n$ 個の各グループの作動を連続的に可能にするように前記第 1 の操作モードにおいて操作可能であり、かつ、前記第 2 の制御信号に基づいて作動可能なグループ内の前記インク - 加熱抵抗体のいずれかの 1 つを作動させるように操作可能である、請求項 2 に記載のインクジェット・プリントヘッド。

【請求項 4】

前記インク - 加熱抵抗体が、 $q_2 \times n$ 個のインク - 加熱抵抗体のグループを更に含み、同時に作動する p_2 個のインク - 加熱抵抗体を前記各グループが含み、

前記スイッチング回路が、前記第 1 及び第 3 の制御信号に基づいて前記 $q_2 \times n$ 個の各グループの作動を連続的に可能にするように前記第 2 の操作モードにおいて操作可能であり、かつ、前記第 2 の制御信号に基づいて作動可能なグループ内の前記インク - 加熱抵抗体のいずれかの 1 つを作動させるように操作可能である、請求項 2 に記載のインクジェット・プリントヘッド。

【請求項 5】

前記スイッチング回路が、

10

20

30

40

50

前記第 1 の制御信号を受信する q_1 個の第 1 の電氣的接触と、
前記第 2 の制御信号を受信する p_2 個の第 2 の電氣的接触と、
前記第 3 の制御信号を受信する n 個の第 3 の電氣的接触とを含む、請求項 2 に記載のインクジェット・プリントヘッド。

【請求項 6】

前記操作モード選択手段が、前記インクジェット印刷装置と前記プリントヘッドの集積回路上のスイッチング回路との間における電氣的接続を提供する接続回路を更に含み、
該接続回路が、
前記インクジェット印刷装置と前記第 1 の電氣的接触の少なくとも幾つかとの間の電氣的接続を提供する第 1 の導電ラインと、
前記インクジェット印刷装置と前記第 2 の電氣的接触の少なくとも幾つかとの間の電氣的接続を提供する第 2 の導電ラインと、
前記第 1 の操作モードにおいて、前記第 2 の電氣的接触の幾つかを共に短絡するジャンパーラインと、
前記インクジェット印刷装置と前記少なくとも n 個の第 3 の電氣的接触との間の電氣的接続を提供する少なくとも n 個の第 3 の導電ラインとを含む、請求項 5 に記載のインクジェット・プリントヘッド。

10

【請求項 7】

前記操作モード選択手段が、前記インクジェット印刷装置と前記プリントヘッドの集積回路上のスイッチング回路との間における電氣的接続を提供する接続回路を更に含み、
該接続回路が、
前記インクジェット印刷装置と前記第 1 の電氣的接触の少なくとも幾つかとの間の電氣的接続を提供する第 1 の導電ラインと、
前記インクジェット印刷装置と前記第 2 の電氣的接触の少なくとも幾つかとの間の電氣的接続を提供する第 2 の導電ラインと、
前記第 2 の操作モードにおいて、前記第 1 の電氣的接触の幾つかを共に短絡するジャンパーラインと、
前記インクジェット印刷装置と前記少なくとも n 個の第 3 の電氣的接触との間の電氣的接続を提供する少なくとも n 個の第 3 の導電ラインとを含む、請求項 5 に記載のインクジェット・プリントヘッド。

20

30

【請求項 8】

前記接続回路が、
前記インクジェット印刷装置と少なくとも q_1 個の前記第 1 の電氣的接触との間の電氣的接続を提供する少なくとも q_1 個の前記第 1 の導電ラインと、
前記インクジェット印刷装置と p_2 個の前記第 2 の電氣的接触における最初の半分との間の電氣的接続を提供する少なくとも p_1 個の前記第 2 の導電ラインと、
少なくとも p_1 個の前記第 2 の導電ラインを、 p_2 個の前記第 2 の電氣的接触における次ぎの半分との間で短絡する少なくとも p_1 個の前記ジャンパーラインとを更に含み、請求項 6 に記載のインクジェット・プリントヘッド。

【請求項 9】

前記接続回路が、
前記インクジェット印刷装置と少なくとも p_2 個の前記第 1 の電氣的接触との間の電氣的接続を提供する少なくとも p_2 個の前記第 2 の導電ラインと、
前記インクジェット印刷装置と q_1 個の前記第 1 の電氣的接触における最初の半分との間の電氣的接続を提供する少なくとも q_2 個の前記第 1 の導電ラインと、
少なくとも q_2 個の前記第 1 の導電ラインを、 q_1 個の前記第 1 の電氣的接触における次ぎの半分との間で短絡する少なくとも q_2 個の前記ジャンパーラインとを更に含み、請求項 7 に記載のインクジェット・プリントヘッド。

40

【請求項 10】

前記接続回路がフレキシブルテープ自動化接合 (TAB) 回路を更に含み、

50

前記第1導電ライン、第2導電ライン、第3及導電ライン及びジャンパー導電ラインが、前記TAB中に導電性金属トレースを更に含む、請求項6に記載のインクジェット・プリントヘッド。

【請求項11】

前記接続回路がフレキシブルテープ自動化接合(TAB)回路を更に含む、前記第1導電ライン、第2導電ライン、第3及導電ライン及びジャンパー導電ラインが、前記TAB中に導電性金属トレースを更に含む、請求項7に記載のインクジェット・プリントヘッド。

【請求項12】

前記第1の操作モードにおいて、 q_1 が4であり、 p_1 が8であり、 n が10である、請求項2に記載のインクジェット・プリントヘッド。 10

【請求項13】

前記第2の操作モードにおいて、 q_2 が2であり、 p_2 が16であり、 n が10である、請求項2に記載のインクジェット・プリントヘッド。

【請求項14】

少なくとも q_1 に p_1 と n を掛けた数のインク-加熱抵抗体であって、各々が前記第2の制御信号の1つを受信する高部側と、低部側を有するインク-加熱抵抗体と、スイッチング回路であって、

少なくとも q_1 に p_1 と n を掛けた数の第1のスイッチングデバイスであって、その各々が前記インク-加熱抵抗体の対応する1つに連結され、その各々が、前記第1の制御信号の1つを受信する第1の制御入力と、前記第3の制御信号の1つを受信する第1の高部側入力と、第1の低部側出力とを有する第1のスイッチングデバイスと、 20

少なくとも q_1 に p_1 と n を掛けた数の第2のスイッチングデバイスであって、その各々が前記第1のスイッチングデバイスの対応する1つと前記インク-加熱抵抗体の対応する1つとに連結され、その各々が、連結されたインク-加熱抵抗体の前記低部側に接続された第2の高部側入力と、連結された第1のスイッチングデバイスの前記第1の低部側出力に接続された第2の制御入力と、共通の接地リターンに接続された第2の低部側出力とを有する第2のスイッチングデバイスとを有するスイッチング回路とを更に含む、請求項5に記載のインクジェット・プリントヘッド。

【請求項15】 30

前記第1のスイッチングデバイスが、第1のゲート、第1のソース及び第1のドレインを有する電界効果トランジスタであり、前記第1のゲートが前記第1の制御入力であり、前記第1のドレインが前記第1の高部側入力であり、第1のソースが前記第1の低部側出力であり、

前記第2のスイッチングデバイスが、第2のゲート、第2のソース及び第2のドレインを有するパワー電界効果トランジスタであり、前記第2のゲートが前記第2の制御入力であり、前記第2のドレインが前記第2の高部側入力であり、第2のソースが前記第2の低部側出力である、請求項14に記載のインクジェット・プリントヘッド。

【請求項16】

対応する前記第1のスイッチングデバイスの前記第1のゲートにおいて前記第1の制御信号が高度であり、前記抵抗体の前記高部側において前記第2の制御信号が高度であり、前記第1のスイッチングデバイスの前記第1のドレインにおいて前記第3の制御信号が高度であるときに、前記インク-加熱抵抗体のいずれか1つが前記抵抗体を通して流れる電流によって作動される、請求項15に記載のインクジェット・プリントヘッド。 40

【請求項17】

前記プリントヘッドの集積回路が、 q_1 個の前記第1の電氣的接触に対応する q_1 個のインク-加熱抵抗体の選択グループであって、その各々が $p_1 \times n$ 個のインク-加熱抵抗体から成り、その各々が q_1 個の前記第1の制御信号の1つによって独立してアドレス可能である選択グループと、 p_2 個の前記第2の電氣的接触に対応する p_2 個の一次グループであって、その各々が q 50

$p_2 \times n$ 個のインク - 加熱抵抗体から成り、その各々が p_2 個の前記第 2 の制御信号の 1 つによって独立してアドレス可能である一次グループとを含む、請求項 6 に記載のインクジェット・プリントヘッド。

【請求項 16】

前記操作モード選択手段が、前記第 1 の操作モードにあるときに、 p_2 個の前記第 2 の電氣的接触における最初の半分以上を p_2 個の前記第 2 の電氣的接触における次ぎの半分との間で短絡する p_1 個のジャンパー導電体を有し、これによって、前記一次グループの数を p_1 に低減し、前記各一次グループにおけるインク - 加熱抵抗体の数を $q_1 \times n$ に増加させ、 p_1 個の前記第 2 の制御信号によって p_1 個の前記各一次グループが独立してアドレス可能である、請求項 15 に記載のインクジェット・プリントヘッド。

10

【請求項 17】

前記操作モード選択手段が、前記第 2 の操作モードにあるときに、 q_1 個の前記第 1 の電氣的接触における最初の半分以上を q_1 個の前記第 1 の電氣的接触における次ぎの半分との間で短絡する q_2 個のジャンパー導電体を有し、これによって、前記選択グループの数を q_2 に低減し、前記各選択グループにおけるインク - 加熱抵抗体の数を $p_2 \times n$ に増加させ、 q_2 個の前記第 1 の制御信号によって q_2 個の前記各選択グループが独立してアドレス可能である、請求項 15 に記載のインクジェット・プリントヘッド。

【請求項 18】

q 個の第 1 の制御信号と p 個の第 2 の制御信号の少なくとも一部に基づいて制御可能である、インクジェット印刷装置に用いるインクジェット・プリントヘッドであって、該プリントヘッドは、

20

作動される際に熱を発生するインク - 加熱抵抗体と、前記第 1 及び第 2 の制御信号を受信し、かつ、前記第 1 及び第 2 の制御信号の少なくとも一部に基づいて、選択されたインク - 加熱抵抗体を通して電流が流れることを許容することによって、前記インク - 加熱抵抗体を選択的に作動させるスイッチング回路とを有するプリントヘッドの集積回路チップであって、前記スイッチング回路が第 1 の操作モード又は第 2 の操作モードのいずれかにおいて操作可能であり、

前記第 1 の操作モードにおいて q が q_1 に等しく、

前記第 2 の操作モードにおいて q が q_2 に等しく、

q_1 が q_2 より大きく、

30

前記第 1 の操作モードにおいて p が p_1 に等しく、

前記第 2 の操作モードにおいて p が p_2 に等しく、

p_2 が p_1 より大きいプリントヘッドの集積回路チップと、

前記プリントヘッドの集積回路に接続される操作モード選択手段であって、該操作モード選択手段の配置に基づいて、前記スイッチング回路が前記第 1 の操作モード又は前記第 2 の操作モードにおいて動作するかを決定する操作モード選択手段と、を含むインクジェット・プリントヘッド。

【発明の詳細な説明】

【0001】

発明の分野

40

本発明は、一般にインクジェット・プリンタに関する。更に詳細には、本発明は、インクジェット・プリントヘッドの集積回路チップであって、2つの異なるプリンタコストにおける2つの異なる性能レベルを提供するための2つの異なる駆動機構を支持する集積回路チップに関する。

【0002】

発明の背景

インクジェット・プリンタは、プリントヘッドが印刷媒体を横切って移動する際に、プリントヘッドのノズルからインク滴を噴射することによって印刷媒体上に画像を形成する。ノズルは一般に、プリントヘッドの移動方向に直交して整列する1つ以上のカラム内に配列される。選択されたノズルに結合するインク - 加熱抵抗体が印刷制御信号に基づいて作

50

動する際に、この選択されたノズルからインクが噴射される。

【0003】

一般に、3次元のノズル・アドレッシング機構では、ノズルの選択は3セットの制御信号の組合せに基づく。これらの制御信号は、典型的には、フレキシブル・ワイヤリング・ハーネスによってプリンタ・コントローラ電子回路からプリントヘッド上の接点に伝達される。これらの信号は、テープ自動化接合(TAB)回路によって、プリントヘッド接触からプリントヘッドの集積回路チップに伝達され、3セットの信号における各制御信号はTAB回路における別個の金属導電体によって伝達される。TAB回路におけるこれらの金属導電体とフレキシブル・ワイヤリング・ハーネスにおける対応する導電体は、インク・ジェット・プリンタの全コストにおけるかなりの部分を占める。

10

【0004】

従来、プリントヘッドの集積回路チップの設計は、集積回路チップの配置によって決定されるような単一の印刷解像度と印刷速度を提供する単一のプリントヘッド駆動機構を支持してきた。これは、チップ設計の有効性を狭い性能範囲に限定するものであった。

【0005】

従来のプリントヘッド集積回路チップの設計は、単一の駆動機構に限定されるものであったので、チップをプリンタ電子回路に接続する制御ラインの数もまた、特定の数に限定されていた。このように、従来において、制御ラインの数を変更することによって異なるプリンタコストを達成する際に、完全に異なるプリントヘッドチップの設計が必要とされていた。

20

【0006】

したがって、1つを超えるコスト/性能の設計事項を支持する単一のプリントヘッド集積回路チップが必要とされる。

【0007】

発明の概要

上述の及び他の必要性は、 q 個の第1の制御信号と p 個の第2の制御信号の少なくとも一部に基づいて制御可能であるインクジェット・プリントヘッドによって満たされる。プリントヘッドは、作動される際に熱を発生するインク・加熱抵抗体を有するプリントヘッド集積回路チップを含む。プリントヘッド・チップはまた、前記第1及び第2の制御信号を受信し、かつ、前記第1及び第2の制御信号の少なくとも一部に基づいて、選択されたインク・加熱抵抗体を通して電流が流れることを許容することによって、インク・加熱抵抗体を選択的に作動させるスイッチング回路を有する。スイッチング回路は、第1の操作モード又は第2の操作モードのいずれかにおいて操作可能であり、ここで、第1の操作モードにおいて q は q_1 に等しく、第2の操作モードにおいて q は q_2 であり、 q_1 は q_2 より大きい。最も好適な実施態様では、 q_1 は q_2 の2倍である。第1の操作モードにおいて p は p_1 に等しく、第2の操作モードにおいて p は p_2 に等しく、 p_2 は p_1 より大きい。最も好ましくは、 p_2 は p_1 の2倍である。最も好適な実施態様では、第1の操作モードにおいて q_1 に p_1 を掛けた積が、第2の操作モードにおいて q_2 に p_2 を掛けた積に等しい。プリントヘッドはまた、プリントヘッドの集積回路に接続される操作モード選択手段を含む。操作モード選択手段は、その配置に基づいて、スイッチング回路が第1の操作モード又は第2の操作モードにおいて動作するかを決定する。

30

40

【0008】

第1の操作モードにおいて、プリントヘッドは、画像を完全に印刷するために、印刷媒体を横切って4回通過する必要があり、第2の操作モードにおいては2回の通過のみが必要である。このように、第2の操作モードによって実行されるプリントヘッドは、高度な性能の設計事項を示す。しかしながら、第1の操作モードによって実行されるプリントヘッドは、製造するのに廉価である。したがって、本発明は、2つの異なるコスト/性能の設計事項に用いる単一のプリントヘッド集積回路チップを提供するものであり、この設計事項の選択は操作モード選択回路の配置に依存する。

【0009】

50

一定の尺度で表わされておらず、かつ、幾つかの図面を通して同じ参照文字は同じ又は同様の要素を表わす図面と共に考慮する際に、好適な実施態様の詳細な説明を参照することによって、本発明の更なる利点が明らかになるであろう。

【0010】

発明の詳細な説明

印刷媒体14上に画像12を印刷するためのインクジェット・プリンタ10の機能ブロック図が、図1に示される。プリンタ10は、ホストコンピュータ18からの画像データを受信するデジタル・マイクロプロセッサのようなプリンタ・コントローラ16を含む。一般に、ホストコンピュータ18によって生成される画像データは、ビットマップ・フォーマットに画像12を記載する。このようなフォーマットは、二次元の直交座標システムにおいて、画素又は画像要素の集積として画像12を表わす。各画素に対して、画像データは、印刷媒体14上の直交座標と、画素がオン又はオフ（印刷されるか又は印刷されないか）であるかを示す。典型的には、ホストコンピュータ18は、画像12を画素の水平列に分割し、各列を横切って画素から画素へとステップし、列における各画素の順序に従って各画素の画像データを書くことによって画像データを“ラスタ化”する。

10

【0011】

ホストコンピュータ18からの画像データに基づいて、プリンタ・コントローラ16は印刷制御信号を発生する。本発明に係る好適な3次元アドレッシング・システムでは、これらの制御信号は、第1、第2及び第3の信号を含む。第1、第2及び第3の信号は、ここではクワッド選択信号、アドレス信号及び一次信号と言う。

20

【0012】

図1及び2に示すように、プリンタ10は、プリンタ・コントローラ16からの印刷制御信号を受信するプリントヘッド20を含む。プリントヘッド20上では、サーマル・インクジェットの集積回路チップ22がノズルプレートによって覆われている。ノズルプレート内では、2つのカラム・ノズルアレイ中にノズルが配置されている。プリンタ・コントローラ16からの印刷制御信号に基づき、選択されたノズルからインク滴が噴射され、印刷媒体14上に画像12の画素に対応するドットを形成する。コントローラ16からの印刷制御信号によってチップ22上の対応するインク・加熱抵抗体が作動すると、インクがノズルから選択的に噴射される。

30

【0013】

図1を参照するに、プリンタ10は、矢印26によって示される走査方向において、印刷媒体14を横切ってプリントヘッド20を走査するプリントヘッド走査機構24を含む。好ましくは、プリントヘッド走査機構24は、1つ以上のレール上を水平に滑動する運搬台、運搬台に取り付けられたベルト、ならびに、レールに沿って運搬台を移動させるベルトに係合するモータから成る。モータは、プリンタ・コントローラ16によって発生される走査命令に応答して駆動される。

【0014】

プリンタ10は印刷媒体前進機構28も含む。コントローラ16によって発生される印刷媒体前進命令に基づき、プリントヘッド20の連続走査の間、印刷媒体14が印刷媒体前進機構28によって矢印30によって示される紙前進方向に前進する。このように、印刷媒体14がスワース間において前進方向に前進する際に、多数の隣接するスワースを印刷することによって画像12が印刷媒体14上に形成される。本発明の好適な実施態様では、印刷媒体前進機構28は印刷媒体14と接するプラテンを回転させるステッパモータである。

40

【0015】

図1に示されるように、印刷制御信号は、好ましくは、ワイヤリング・ハーネス31に含まれる制御ラインQ、P及びAの3セットによって、プリントヘッド20に伝達される。制御ラインの第1のセット（Qで表わされる）は、q個のクワッド選択信号を伝達し、制御ラインの第2のセット（Aで表わされる）は、n個のアドレス信号を伝達し、制御ラインの第3のセット（Pで表わされる）は、p個の一次信号を伝達する。ここで、より詳細

50

に説明するように、 q 、 n 及び p の値である各セットの制御ラインの対応する数は、プリンタ10の選択された性能/コストの設計事項に依存する。

【0016】

テープ自動化接合(TAB)回路32がプリントヘッド20に取付けられ、好ましくは、TABはポリイミドテープのフレキシブル基板上に形成される。プリントヘッドの集積回路チップ22は、TAB回路32のウィンドウ内に取付けられる。図2に示されるように、TAB回路32の柔軟な性質により、プリントヘッド20の中心34の周囲でTAB回路32が曲げられる。プリンタ10内におけるTAB回路32と制御ラインQ、P及びAとの間の電気的接続は、TAB回路32上のTAB接触36のセットによって提供される。TAB接触36とチップ22との間の電気的接続は、TAB回路32の基板材料上に形成された導電体のセットによって提供される。導電体の位置は、図2において点外線の領域38によって表わされる。一般に、チップ22上の対応する導電体に、各TAB接触36を電気的に接続する別個の導電体が存在する。以下においてより詳細に説明するように、TAB回路32上において、かつ、ワイヤリング・ハーネス31内にあるこれら導電体の数は、プリンタ10の選択された性能/コストの設計事項に依存する。

10

【0017】

図3A及び3Bは、プリントヘッド・チップ22の好適な配置を示す。チップ22の2つの最長縁に沿って、TAB回路32上の導電体に接続点を提供する電気的接触40が設けられている。好ましくは、これらのチップ接触40は、 q_1 個の第1の電気的接触であって、ここではクワッド選択接触CQ1~CQ4と言う電気的接触と、 n 個の第3の電気的接触であって、ここではアドレス接触CA1~CA10と言う電気的接触と、 p_2 個の第2の電気的接触であって、ここでは一次接触CP1~CP16と言う電気的接触とを含む。本発明の好適な実施態様では、 q_1 は4、 n は10、 p_2 は16である。好ましくは、インクビア42がチップ22の中心近傍に配置される。インクビア42のいずれかの側において、チップ領域44a及び44bが設けられ、これらの領域にインク-加熱抵抗体と選択ロジックデバイスが配置される。

20

【0018】

図3Aは、プリンタ10の第1の操作モードを実行する、接触40に接続された導電体の配置を更に示し、第2の操作モードを実行する、接触40に接続された導電体の配置を更に示す。TAB回路32上のこれらの導電体は操作モード選択回路を含み、操作モード選択回路の配置は、プリントヘッド・チップ22が機能する操作モードと、プリンタ10の性能/コスト事項とを決定する。これらの導電体の可能な配置、ならびに、プリンタ10の操作に対するこれらの導電体の影響は、以下においてより詳細に説明される。

30

【0019】

本発明の好適な実施態様は、3百20十(320)のインク-加熱抵抗体R1~R320を含む。図4に示されるように、抵抗体R1~R320は、好ましくは、2つの主カラム46a及び46b内においてチップ22上に配置された薄いフィルム状の抵抗体であり、46a及び46bの各々のカラムは、各セット当たり20個の抵抗体を備えた8つのセットを有する。図4Aはカラム46a及び46bの下半分を示し、図4Bはその上半分を示す。カラム46aは抵抗体R1~R160を含み領域44a内に配置され(図3A~B参照)、カラム46bは抵抗体R161~R320を含み領域44b内に配置される。好ましくは、カラム46aは、抵抗体間の垂直距離の1/2だけカラム46bから垂直方向にずれている。好適な実施態様では、この垂直方向のずれは1/600インチである。

40

【0020】

16セットの抵抗体の各々は、水平方向に分離した2つのサブカラムに分割され、各サブカラムは10個の抵抗体を備える。好適な実施態様では、セット内におけるサブカラム間の水平方向のずれは、1/1200インチである。好ましくは、各サブカラム内の10個の抵抗体は、1/150インチの間隔で垂直方向に配列する。図4A及び4Bに示されるように、各セット内の2つのサブカラムは、サブカラム内におけるヒータ間隔の1/2だけ、他方のサブカラムから垂直方向にずれている。好適な実施態様では、この垂直方

50

向にずれは1/300インチである。

【0021】

好ましくは、垂直方向において隣接するセットは、サブコラム間の水平方向における間隔の2倍だけ他方のセットから水平方向にずれている。好適な実施態様では、この水平方向のずれは1/600インチである。図4A及び4Bに示されるように、各コラム46a、46b内の交互のセットは垂直方向に配列する。

【0022】

図5A～5Hは、プリントヘッド・チップ22上の回路要素の好適な実施態様の概略図を集合的に示す。この回路要素は、インク・加熱抵抗体R1～R320と、クワッド選択信号ラインQ1～Q4のクワッド選択信号、アドレス信号ラインA1～A10のアドレス信号、ならびに、一次信号ラインP1～P16の一次信号に基づいて、各抵抗体R1～R320を選択し作動させるスイッチング回路とを含む。スイッチング回路は、第1、第2及び第3のスイッチングデバイスを含み、ここではこれらのデバイスを、パス・ゲート・デバイスPG1～PG320、パワードライバー・デバイスD1～D320、ならびに、プルダウン・デバイスPD1～PD320とそれぞれ言う。好ましくは、パス・ゲート・デバイスPG1～PG320及びプルダウン・デバイスPD1～PD320は、JFETsであり、パワードライバー・デバイスD1～D320はNMOSパワートランジスタである。

10

【0023】

インク・加熱抵抗体R1～R320の各々は、一次信号ラインP1～P16の1つに接続される高部側と、パワードライバー・デバイスD1～D320の連結された1つの第2の高部側入力であって好ましくはドレインに接続される低部側とを有する。パワードライバー・デバイスD1～D320の各々は、第2の低部側出力であって好ましくはソースを有し、これは共通の接地リターンに接続される。パワードライバー・デバイスD1～D320の各々のゲートは、第2の制御入力として作用する。好適な実施態様では、パワードライバーD1～D320のゲートの制御信号が高度であるとき、パワードライバーD1～D320は、閉じられたスイッチのように働いて“オン”である。したがって、パワードライバーD1～D320が“オン”であるとき、連結されたインク・加熱抵抗体R1～R320の低部側は接地されている。連結されたパワードライバーD1～D320が“オン”であって、一次信号ラインP1～P16の連結された1つにおいて一次信号が高度になるとき、連結されたインク・加熱抵抗体R1～R320を通過して電流が流れる。この電流は、抵抗体R1～R320の表面に近接するインクに伝わる熱の形態で抵抗体R1～R320にエネルギーを放散させる。

20

30

【0024】

パワードライバーD1～D320のゲートが高度であるかどうか、したがって、パワードライバーD1～D320が“オン”であるかどうかは、連結されたクワッド選択信号ラインQ1～Q4のクワッド選択信号の状態、ならびに、連結されたアドレス信号ラインA1～A10のアドレス信号の状態に依存する。図5A～5Hに示されるように、クワッド選択信号ラインQ1～Q4の1つは、パス・ゲート・デバイスPG1～PG320の各々における第1の制御入力であって好ましくはゲートに接続される。ゲートのクワッド選択信号が高度であるとき、パス・ゲート・デバイスPG1～PG320は、閉じられたスイッチのように働いて“オン”である。アドレスラインA1～A10の1つは、パス・ゲート・デバイスPG1～PG320の第1の高部側入力であって好ましくはドレインに接続される。パス・ゲート・デバイスPG1～PG320の各々は、連結されたパワードライバーD1～D320のゲートに接続される第1の低部側出力であって好ましくはソースを有する。パス・ゲート・デバイスPG1～PG320が“オン”であるとき（クワッド選択信号が高度である）、パス・ゲート・デバイスPG1～PG320のドレインのアドレス信号が、連結されたパワードライバーD1～D320のゲートを通る。したがって、好適な実施態様では、パス・ゲート・デバイスPG1～PG320におけるゲートのクワッド選択信号とドレインのアドレス信号が共に高度であるとき、連結されたパワードライバ

40

50

— D 1 ~ D 3 2 0 は “ オン ” である。

【 0 0 2 5 】

図 5 A ~ 5 H に示されるように、プルダウン・デバイス P D 1 ~ P D 3 2 0 はパワードライバ— D 1 ~ D 3 2 0 の各々に連結される。プルダウン・デバイス P D 1 ~ P D 3 2 0 の各々の高部側入力であって好ましくはドレインが、対応するパワードライバ— D 1 ~ D 3 2 0 のゲートに接続され、プルダウン・デバイス P D 1 ~ P D 3 2 0 の各々の低部側出力であって好ましくはソースが、共通の接地リターンに接続される。プルダウン・デバイス P D 1 ~ P D 3 2 0 が “ オン ” であるとき、対応するパワードライバ— D 1 ~ D 3 2 0 のゲートは接地される。したがって、プルダウン・デバイス P D 1 ~ P D 3 2 0 が “ オン ” であるとき、対応するパワードライバ— D 1 ~ D 3 2 0 のゲートは “ オフ ” である。プリントヘッド・チップ 2 2 の操作モードの 1 つによるプルダウン・デバイス P D 1 ~ P D 3 2 0 の目的と機能が、以下により詳細に説明される。

10

【 0 0 2 6 】

図 5 A に示されるように、抵抗体 R 1 ~ R 2 0 は一次ライン P 1 に接続され、抵抗体 R 1 6 1 ~ R 1 8 0 は一次ライン P 2 に接続される。議論の便宜上、一次ライン P 1 に接続される全てのデバイスは第 1 の一次グループと言い、一次ライン P 2 に接続される全てのデバイスは第 2 の一次グループと言う。一次ライン P 1 及び P 2 は一次接触 C P 1 及び C P 2 にそれぞれ接続される。

【 0 0 2 7 】

奇数番号のパス - ゲート・デバイス P G 1 ~ P G 1 9 及び P G 1 6 1 ~ P G 1 7 9 のゲートは、クワッド選択ライン Q 1 に接続され、偶数番号のパス - ゲート・デバイス P G 2 ~ P G 2 0 及び P G 1 6 2 ~ P G 1 8 0 のゲートは、クワッド選択ライン Q 2 に接続される。議論の便宜上、クワッド選択ライン Q 1 に接続される全てのデバイスは第 1 のクワッドグループと言い、クワッド選択ライン Q 2 に接続される全てのデバイスは第 2 のクワッドグループと言う。

20

【 0 0 2 8 】

奇数番号のプルダウン・デバイス P D 1 ~ P G 1 9 及び P D 1 6 1 ~ P G 1 7 9 のゲートは、プルダウン信号ライン Q 2 P に接続され、偶数番号のプルダウン・デバイス P D 2 ~ P D 2 0 及び P D 1 6 2 ~ P D 1 8 0 のゲートは、プルダウン信号ライン Q 1 P に接続される。

30

【 0 0 2 9 】

図 5 B に示されるように、抵抗体 R 2 1 ~ R 4 0 は一次ライン P 3 に接続され、抵抗体 R 1 8 1 ~ R 2 0 0 は一次ライン P 4 に接続される。議論の便宜上、一次ライン P 3 に接続される全てのデバイスは第 3 の一次グループと言い、一次ライン P 4 に接続される全てのデバイスは第 4 の一次グループと言う。一次ライン P 3 及び P 4 は一次接触 C P 3 及び C P 4 にそれぞれ接続される。

【 0 0 3 0 】

奇数番号のパス - ゲート・デバイス P G 2 1 ~ P G 3 9 及び P G 1 8 1 ~ P G 1 9 9 のゲートは、クワッド選択ライン Q 3 に接続され、偶数番号のパス - ゲート・デバイス P G 2 2 ~ P G 4 0 及び P G 1 8 2 ~ P G 2 0 0 のゲートは、クワッド選択ライン Q 4 に接続される。議論の便宜上、クワッド選択ライン Q 3 に接続される全てのデバイスは第 3 のクワッドグループと言い、クワッド選択ライン Q 4 に接続される全てのデバイスは第 4 のクワッドグループと言う。

40

【 0 0 3 1 】

奇数番号のプルダウン・デバイス P D 2 1 ~ P G 3 9 及び P D 1 8 1 ~ P G 1 9 9 のゲートは、プルダウン信号ライン Q 4 P に接続され、偶数番号のプルダウン・デバイス P D 2 2 ~ P D 4 0 及び P D 1 8 2 ~ P D 2 0 0 のゲートは、プルダウン信号ライン Q 3 P に接続される。

【 0 0 3 2 】

好ましくは、アドレスバス A における 1 0 本のアドレスライン A 1 ~ A 1 0 の各々は、各

50

一次グループにおける1つの奇数番号及び1つの偶数番号のパス・ゲート・デバイスのドレインに接続される。

【0033】

上述のように、図5A及び5Bに示されるデバイス接続のパターンは、図5C～5Hに示されるように、残存する一次グループに対しても続けられる。残存する一次グループの各々に対して、一次ラインP5～P16は一次接触CP5～CP16にそれぞれ接続される。図5G及び5Hに示されるように、クワッド選択信号ラインQ1～Q4はクワッド選択接触CQ1～CQ4に接続され、プルダウン信号ラインQ1P～Q4Pはプルダウン接触CQ1P～CQ4Pに接続され、アドレス信号ラインA1～A10はアドレス接触CA1～CA10に接続される。

【0034】

下記表I、II、III及びIVは、クワッド選択信号ライン、一次信号ライン及びアドレス信号ラインに対する抵抗体番号の関係を示す。

【0035】

【表1】

表 1

	Q1									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P1	R1	R15	R9	R3	R17	R11	R5	R19	R13	R7
P2	R161	R175	R169	R163	R177	R171	R165	R179	R173	R167
P5	R41	R55	R49	R43	R57	R51	R45	R59	R53	R47
P6	R201	R215	R209	R203	R217	R211	R205	R219	R213	R207
P9	R81	R95	R89	R83	R97	R91	R85	R99	R93	R87
P10	R241	R255	R249	R243	R257	R251	R245	R259	R253	R247
P13	R121	R135	R129	R123	R137	R131	R125	R139	R133	R127
P14	R281	R295	R289	R283	R297	R291	R285	R299	R293	R287

【0036】

【表2】

10

20

30

40

表 2

	Q2									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P1	R2	R16	R10	R4	R18	R12	R6	R20	R14	R8
P2	R162	R176	R170	R164	R178	R172	R166	R180	R174	R168
P5	R42	R56	R50	R44	R58	R52	R46	R60	R54	R48
P6	R202	R216	R210	R204	R218	R212	R206	R220	R214	R208
P9	R82	R96	R90	R84	R98	R92	R86	R100	R94	R88
P10	R242	R256	R250	R244	R258	R252	R246	R260	R254	R248
P13	R122	R136	R130	R124	R138	R132	R126	R140	R134	R128
P14	R282	R296	R290	R284	R298	R292	R286	R300	R294	R288

10

20

【 0 0 3 7 】

【 表 3 】

表 3

	Q3									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P3	R21	R35	R29	R23	R37	R31	R25	R39	R33	R27
P4	R181	R195	R189	R183	R197	R191	R185	R199	R193	R187
P7	R61	R75	R69	R63	R77	R71	R65	R79	R73	R67
P8	R221	R235	R229	R223	R237	R231	R225	R239	R233	R227
P11	R101	R115	R109	R103	R117	R111	R105	R119	R113	R107
P12	R261	R275	R269	R263	R277	R271	R265	R279	R273	R267
P15	R141	R155	R149	R143	R157	R151	R145	R159	R153	R147
P16	R301	R315	R309	R303	R317	R311	R305	R319	R313	R307

10

20

【 0 0 3 8 】

【 表 4 】

表 4

	Q4									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P3	R22	R36	R30	R24	R38	R32	R26	R40	R34	R28
P4	R182	R196	R190	R184	R198	R192	R186	R200	R194	R188
P7	R62	R76	R70	R64	R78	R72	R66	R80	R74	R68
P8	R222	R236	R230	R224	R238	R232	R226	R240	R234	R228
P11	R102	R116	R110	R104	R118	R112	R106	R120	R114	R108
P12	R262	R276	R270	R264	R278	R272	R266	R280	R274	R268
P15	R142	R156	R150	R144	R158	R152	R146	R160	R154	R148
P16	R302	R316	R310	R304	R318	R312	R306	R320	R314	R308

30

40

50

【0039】

図5A～5Hによって示されるように、20個($q_2 \times n = 2 \times 10$)のインク-加熱抵抗体の16個(p_2)の一次グループの各々は、16本の一次ラインLP1～LP16における別個の1つに接続され、これらの一次ラインはチップ22上の対応する16個の一次接触CP1～CP16に至る。このように、チップ上における16個の一次グループの各々は、プリンタ・コントローラ16からの一次信号によって独立にアドレス可能である。同様に、80個($p_1 \times n = 8 \times 10$)のインク-加熱抵抗体の4個(q_1)のクワッド選択グループの各々は、4本のクワッド選択ラインLQ1～LQ4における別個の1つに接続され、これらのクワッド選択ラインはチップ22上の対応する4個のクワッドセンタク接触CQ1～CQ4に至る。したがって、チップ上における4個のクワッド選択グループの各々は、プリンタ・コントローラ16からのクワッド選択信号によって独立にアドレス可能である。換言すれば、チップ22上の各一次グループは他の一次グループとは独立してアドレスされ、各クワッド選択グループは他のクワッド選択グループとは独立してアドレスされる。

10

【0040】

320個の抵抗体をアドレスするのに必要なものより更に多くの独立してアドレス可能な一次グループとクワッド選択グループをチップ22が提供することを、当業者は認識するであろう。実際に、チップ22上に設けられた16本の一次ライン、4本のクワッド選択ライン及び10本のアドレスラインで、640個の抵抗体がアドレス可能であった。しかしながら、下記において更に詳細に説明されるように、単一のプリントヘッド・チップの設計を用いて2つの異なるコスト/性能の設計事項のいずれか1つにおいて操作するためにプリンタ10が製造されるように、これらの特別な信号ラインが提供される。

20

【0041】

図3Aについて再び言及すると、TAB回路32上における導電体の第1の配置は、プリントヘッド・チップ22の第1の操作モードを選択するように示されている。この第1の配置では、TAB回路32上のクワッド選択導電体LQ1、LQ2、LQ3及びLQ4は、チップ22上の対応するクワッド選択接触CQ1、CQ2、CQ3及びCQ4に接続され、TAB回路32上の一次導電体LP3、LP4、LP7、LP8、LP11、LP12、LP15及びLP16は、チップ22上の対応する一次接触CP3、CP4、CP7、CP8、CP11、CP12、CP15及びCP16に接続され、TAB回路32上のアドレス導電体LA1～LA10は、チップ22上の対応するアドレス接触CA1～CA10に接続される。TAB回路32上のプルダウン・ジャンパー導電体JQ1P、JQ2P、JQ3P及びJQ4Pは、クワッド選択導電体LQ1、LQ2、LQ3及びLQ4と、チップ22上の対応するプルダウン接触CQ1P、CQ2P、CQ3P及びCQ4Pとを短絡する。TAB回路32上の一次ジャンパー導電体JP1、JP2、JP5、JP6、JP9、JP10、JP13及びJP14は、一次接触CP1、CP2、CP5、CP6、CP9、CP10、CP13及びCP14と、一次導電体LP3、LP4、LP7、LP8、LP11、LP12、LP15及びLP16とをそれぞれ短絡する。

30

【0042】

このように、図3Aに示されるTAB回路の導電体の配置は、一次信号ラインP1～P3、P2～P4、P5～P7、P6～P8、P9～P11、P10～P12、P13～P15及びP14～P16を短絡する。この方法で、8個の一次グループの各々において40($q_1 \times n = 4 \times 10$)のインク-加熱抵抗体R1～R320により、独立してアドレス可能な一次グループの数が16個から8個に低減される。これは、プリンタ・コントローラ16からチップ22に伝達されるべき22個の制御信号全体に対して、8個の一次信号($p = p_1 = 8$)、4個のクワッド選択信号($q = q_1 = 4$)及び10個のアドレス信号($n = 10$)から成るアドレッシング機構を提供する。このように、TAB回路32の第1の実行では、ワイヤリング・ハーネス31において22個の制御信号導電体のみが必要であり、TAB回路32上において22個の制御信号接触のみが必要である。したがって、この第1の実行はプリンタ10のコストをかなり低減する。

40

50

【0043】

図6Aは、プリントヘッド・チップ22が第1の操作モードにアドレスされる際における、好適な信号タイミング機構を示すタイミング図である。図6Aに示されるように、連続したクワッド選択46a~46dの間、クワッド選択ラインQ1~Q4のクワッド選択信号は高度である。好ましくは、各クワッド選択ウインドウ46a~46dは約31.245マイクロ秒間持続する。各クワッド選択ウインドウ46a~46dの間、アドレスラインA1~A10の各アドレス信号は、約2.6マイクロ秒の期間から成る連続したアドレスウインドウ48内で高度になる。いずれのアドレスウインドウ48の間においても、画像データにより決定されるように、プリンタ・コントローラ16は、画像データによって決定されるように、8本の一次ラインP1、P2、P5、P6、P9、P10、P13及びP14上において一次信号の幾つか又は全てを駆動する。このように、第1の操作モードにおいて、プリントヘッド20が印刷媒体14を横切って走査する際に、連続して動作可能な40($q1 \times n = 4 \times 10$)グループの抵抗体が存在し、これら40グループのいずれか1つにある8個($p1 = 8$)の抵抗体が、このグループが動作可能な際に、同時に作動する。

【0044】

TAB回路32上のクワッド選択信号導電体LQ1がプルダウン接触CQ1Pとの間で短絡されるので、クワッド選択ウインドウ46aの間において偶数番号のプルダウン・デバイスPD2~PD20及びPD162~PD180の全てのゲートは高度である。このように、クワッド選択ウインドウ46aの間において、第2のクワッドグループにおけるパワードライバーPD2~PD20及びPD162~PD180は“オフ”である。また、TAB回路32上のクワッド選択信号導電体LQ2がプルダウン接触CQ2Pとの間で短絡されるので、クワッド選択ウインドウ46bの間において奇数番号のプルダウン・デバイスPD1~PD19及びPD161~PD179の全てのゲートは高度である。このように、クワッド選択ウインドウ46bの間において、第1のクワッドグループにおけるパワードライバーPD1~PD19及びPD161~PD179は“オフ”である。図には示さないが、クワッド選択ウインドウ46a及び46bの間において、パワーデバイスPD21~PD40及びPD181~PD200が“オフ”となるように、Q1及びQ2は他のプルダウン・デバイスに接続されてもよい。同様に、クワッド選択信号導電体LQ3がプルダウン接触CQ3Pとの間で短絡されるので、クワッド選択ウインドウ46cの間において偶数番号のプルダウン・デバイスPD22~PD40及びPD182~PD200の全てのゲートは高度である。このように、クワッド選択ウインドウ46cの間において、第3のクワッドグループにおけるパワードライバーPD22~PD40及びPD182~PD200は“オフ”である。さらに、クワッド選択信号導電体LQ4がプルダウン接触CQ4Pとの間で短絡されるので、クワッド選択ウインドウ46dの間において奇数番号のプルダウン・デバイスPD21~PD39及びPD181~PD199の全てのゲートは高度である。このように、クワッド選択ウインドウ46dの間において、第4のクワッドグループにおけるパワードライバーPD22~PD39及びPD181~PD199は“オフ”である。図には示さないが、クワッド選択ウインドウ46c及び46dの間において、パワーデバイスPD1~PD20及びPD161~PD180が“オフ”となるように、Q3及びQ4は他のプルダウン・デバイスに接続されてもよい。

【0045】

プリントヘッド走査機構24が、右側から左側に印刷媒体14を横切ってプリントヘッド20を走査する際に、図6Aに示される信号変化が起こる。プリントヘッド20が左側から右側に走査する際に、クワッド選択ウインドウ変化の順序は反対となり、最初はQ4が高度であり、次にQ3、Q2及びQ1が高度となる。本発明の好適な実施態様では、第1の操作モードにおけるプリントヘッド20の走査速度は約26.67インチ/秒である。このように、1つのアドレスウインドウ48の間に、プリントヘッド20は走査方向に約6.93 $\times 10^{-5}$ インチ移動する。1つのクワッド選択ウインドウ46a~46dの間に、プリントヘッド20は約8.33 $\times 10^{-4}$ (1/1200)インチ移動する。これ

は、抵抗体 R 1 ~ R 3 2 0 の全てをアドレスするのに必要な時間の間、プリントヘッド 2 0 が 4 / 1 2 0 0 (1 / 3 0 0) インチ移動することを意味する。

【 0 0 4 6 】

好ましくは、第 1 の操作モードにおいて、インクをできるだけ最速で乾燥させるために、チェッカーボードパターンでインク滴を印刷媒体 1 4 に付着させる。好ましくは、本発明は、印刷媒体 1 4 上に 1 / 6 0 0 インチの直径のスポットを満たす 2 つのインク滴を使用する。プリントヘッド 2 0 が印刷媒体 1 4 を横切って 4 回通過することは、全ての可能な印刷スワースを満たすことを要求されるので、これは 4 回パスの実行と言われている。

【 0 0 4 7 】

プリントヘッド・チップ 2 2 の第 2 の操作モードを実行するための、T A B 回路 3 2 上における導電体の第 2 の配置が、図 3 B に示される。この第 2 の配置では、T A B 回路 3 2 上のクワッド選択導電体 L Q 1 及び L Q 2 は、チップ 2 2 上の対応するクワッド選択接触 C Q 1 及び C Q 2 に接続され、T A B 回路 3 2 上の一次導電体 L P 1 ~ L P 1 6 は、チップ 2 2 上の対応する一次接触 C P 1 ~ C P 1 6 に接続され、T A B 回路 3 2 上のアドレス導電体 L A 1 ~ L A 1 0 は、チップ 2 2 上の対応するアドレス接触 C A 1 ~ C A 1 0 に接続される。チップ 2 2 上のプルダウン接触 C Q 1 P、C Q 2 P、C Q 3 P 及び C Q 4 P は、共通の接地リターンに接続される。T A B 回路 3 2 上のクワッド選択ジャンパー導電体 J Q 3 及び J Q 4 は、クワッド選択接触 C Q 3 及び C Q 4 と、クワッド選択導電体 L Q 1 及び L Q 2 とをそれぞれ短絡する。

【 0 0 4 8 】

このように、図 3 B に示される T A B 回路の導電体の配置は、クワッド選択信号ライン Q 1 ~ Q 3 及び Q 2 ~ Q 4 を短絡する。この方法で、8 個のクワッド選択グループの各々において 1 6 0 ($p_2 \times n = 16 \times 10$) のインク - 加熱抵抗体 R 1 ~ R 3 2 0 により、独立してアドレス可能なクワッド選択グループの数が 4 個から 2 個に低減される。これは、プリンタ・コントローラ 1 6 からチップ 2 2 に伝達されるべき 2 8 個の制御信号全体に対して、1 6 個の一次信号 ($p = p_2 = 16$)、2 個のクワッド選択信号 ($q = q_2 = 2$) 及び 1 0 個のアドレス信号 ($n = 10$) から成るアドレッシング機構を提供する。

【 0 0 4 9 】

図 6 B は、プリントヘッド・チップが第 2 の操作モードにおいてアドレスされる際の、好適な信号タイミング機構を示すタイミング図である。図 6 B に示されるように、クワッド選択ウインドウ 5 0 a の間、クワッド選択ライン Q 1 及び Q 3 上のクワッド選択信号は同時に高度である。続いて、クワッド選択ウインドウ 5 0 b の間、クワッド選択ライン Q 2 及び Q 4 上のクワッド選択信号は同時に高度である。好ましくは、各クワッド選択ウインドウ 5 0 a ~ 5 0 b は約 4 1 . 6 7 マイクロ秒間持続する。各クワッド選択ウインドウ 5 0 a ~ 5 0 b の間で、約 3 . 4 7 マイクロ秒の間隔をもった一連のアドレス・ウインドウにおいて、アドレスライン A 1 ~ A 1 0 の各アドレス信号は高度になる。いずれのアドレス・ウインドウ 5 2 間においても、プリンタ・コントローラ 1 6 は、画像データによって決定されるように、1 6 本の一次ライン P 1 ~ P 1 6 上において一次信号の幾つか又は全てを駆動する。このように、この第 2 の操作モードにおいて、プリントヘッド 2 0 が印刷媒体 1 4 を横切って走査する際に、連続して動作可能な 2 0 ($q_2 \times n = 2 \times 10$) グループの抵抗体が存在し、これら 2 0 グループのいずれか 1 つにある 1 6 個の抵抗体が、このグループが動作可能な際に、同時に作動する。

【 0 0 5 0 】

本発明の好適な実施態様では、第 2 の操作モードにおけるプリントヘッド 2 0 の走査速度は、約 2 0 . 0 インチ / 秒である。このように、1 つのアドレス・ウインドウ 5 2 の間に、プリントヘッド 2 0 は走査方向に約 $6 . 9 3 \times 10^{-5}$ インチ移動する。第 2 の操作モードにおける 1 つのクワッド選択ウインドウ 5 0 a ~ 5 0 b の間、プリントヘッド 1 2 は、第 1 の操作モードにおける 1 つのクワッド選択ウインドウ 4 6 a ~ 4 6 b の間とほぼ同じ距離 (1 / 1 2 0 0 インチ) 移動する。しかしながら、第 2 の操作モードにおいて、プリントヘッド 2 0 が 2 / 1 2 0 0 (又は 1 / 6 0 0) インチ移動するのに必要な時間の間

10

20

30

40

50

に、抵抗体 R 1 ~ R 3 2 0 の全てがアドレスされる。このように、第 2 の操作モードは、印刷スワースにおける全ての可能な印刷位置を満たすために、プリントヘッド 2 0 が印刷媒体 1 4 を横切って 2 回だけ通過することを必要とする。したがって、第 2 の操作モードで操作する本発明は、第 1 のモードでの操作のときより更に高速で印刷する。しかしながら、第 2 の実行は、一次ライン P 1 ~ P 1 6 の数が大きいので、製造するのにより高価である。

【 0 0 5 1 】

修正及び / 又は変更が本発明の実施態様においてなされることが企図され、これは前述の説明及び添付図面から当業者に明らかであろう。したがって、前述の説明及び添付図面は好適な実施態様の例示であり、これらに限定されるものではなく、更に、本発明の正しい意図及び範囲は、添付の特許請求の範囲を参照することによって決定されることが明白に企図される。

10

【 図面の簡単な説明 】

【 図 1 】

図 1 は、本発明の好適な実施態様によるインクジェット・プリンタの機能ブロック図である。

【 図 2 】

図 2 は、本発明の好適な実施態様によるインクジェット・プリントヘッドを示す。

【 図 3 A 】

図 3 A は、本発明の好適な実施態様による T A B 導電体形状を示す。

20

【 図 3 B 】

図 3 B は、本発明の好適な実施態様による T A B 導電体形状を示す。

【 図 4 A 】

図 4 A は、本発明の好適な実施態様によるプリントヘッド・チップ上のインク - 加熱抵抗体の形状を示す。

【 図 4 B 】

図 4 B は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体の形状を示す。

【 図 5 A 】

図 5 A は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

30

【 図 5 B 】

図 5 B は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

【 図 5 C 】

図 5 C は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

【 図 5 D 】

図 5 D は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

40

【 図 5 E 】

図 5 E は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

【 図 5 F 】

図 5 F は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

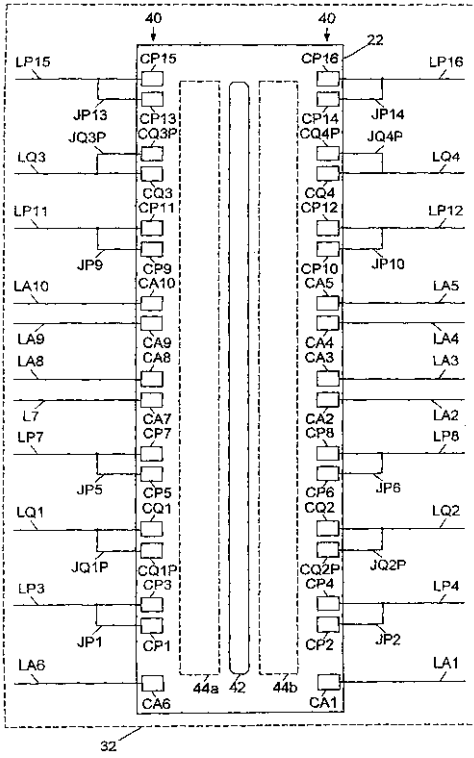
【 図 5 G 】

図 5 G は、本発明の好適な実施態様による、プリントヘッド・チップ上のインク - 加熱抵抗体と抵抗体選択回路要素を集合的に示す概略図である。

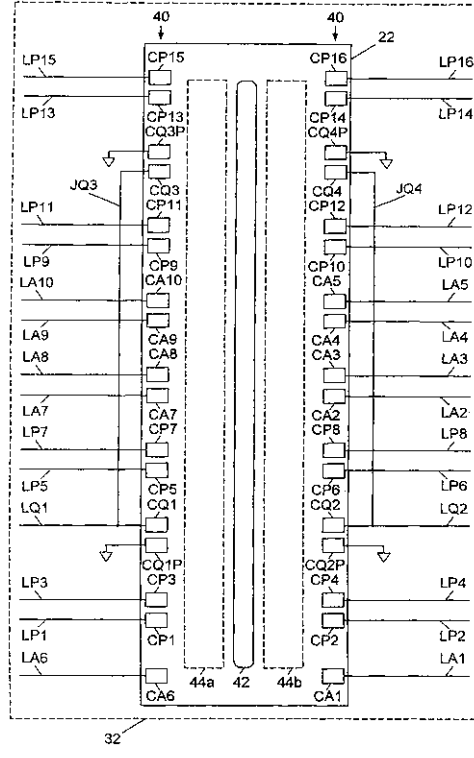
【 図 5 H 】

50

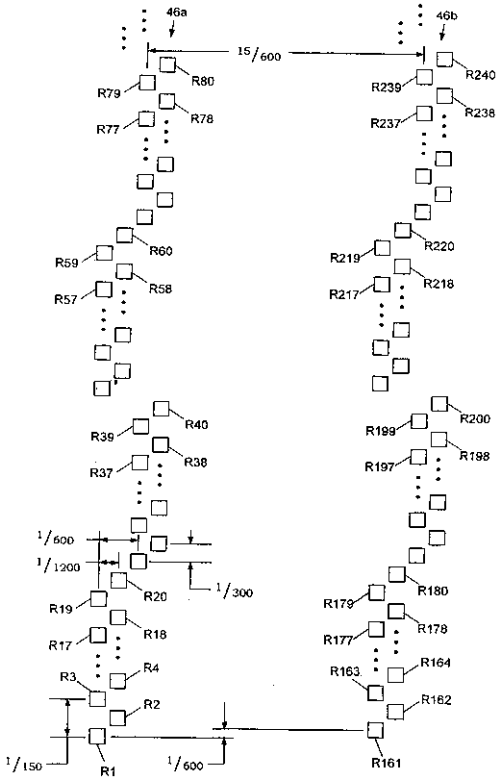
【図 3 A】



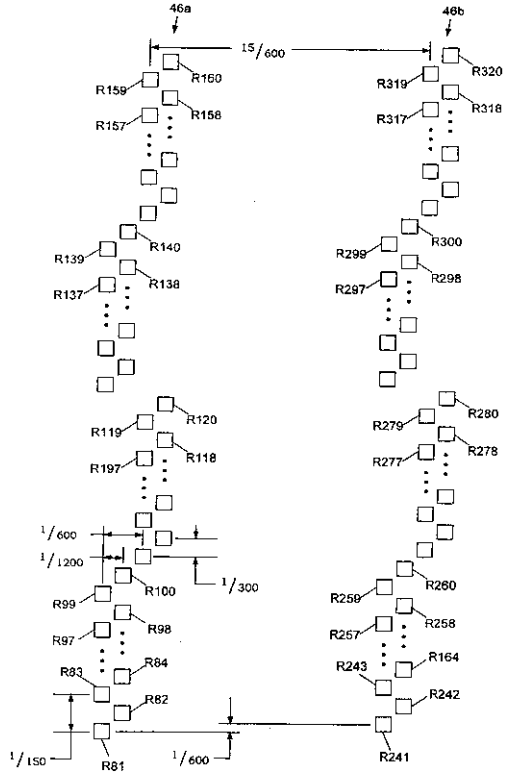
【図 3 B】



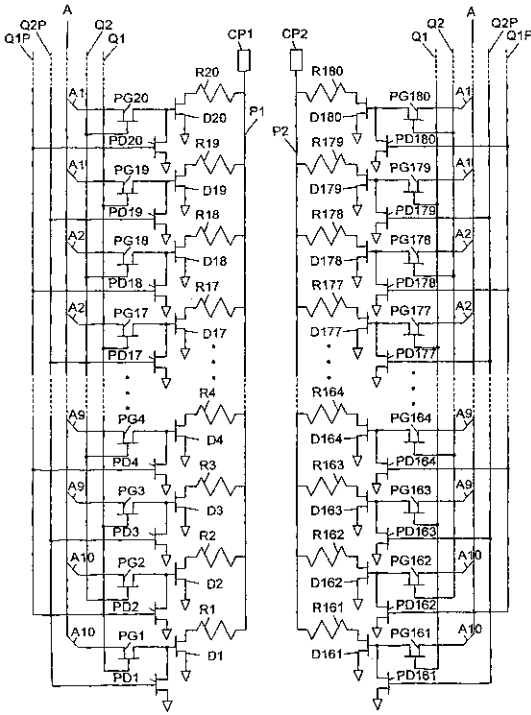
【図 4 A】



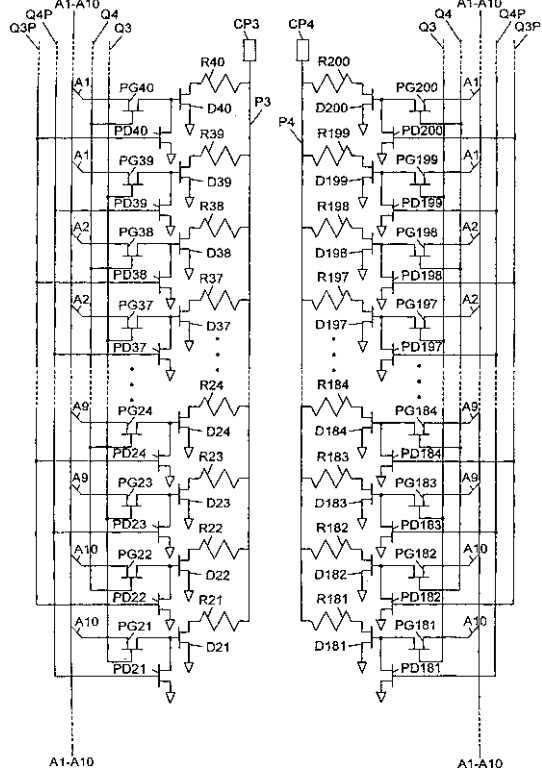
【図 4 B】



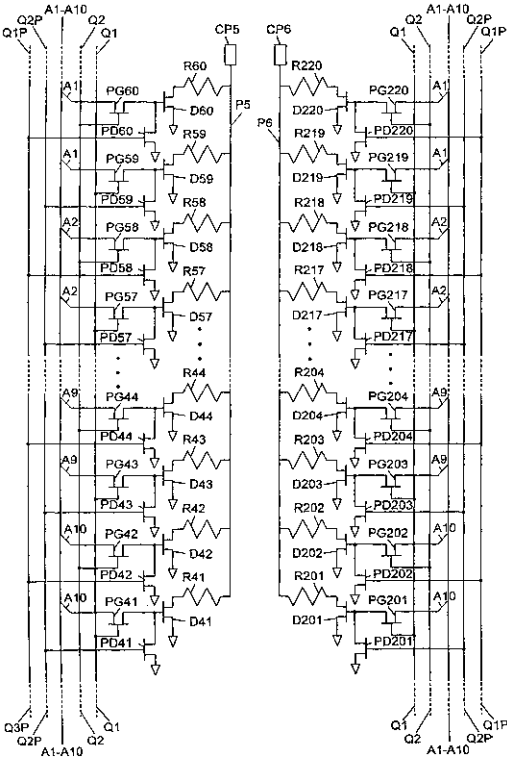
【 5 A 】



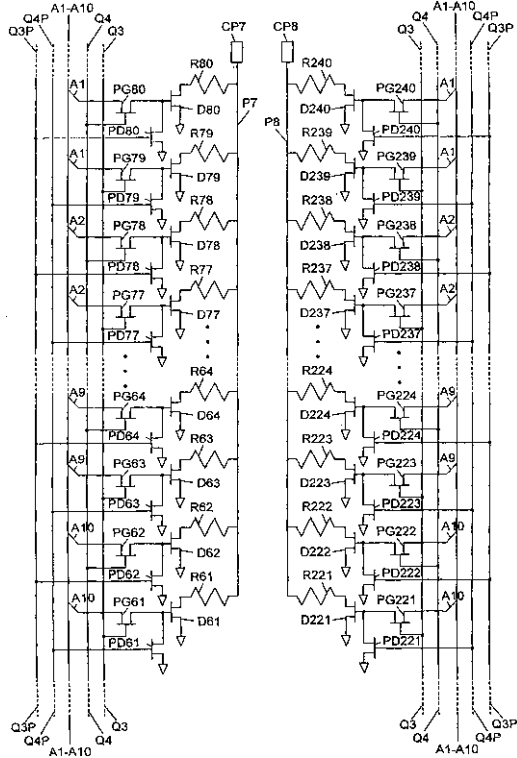
【 5 B 】



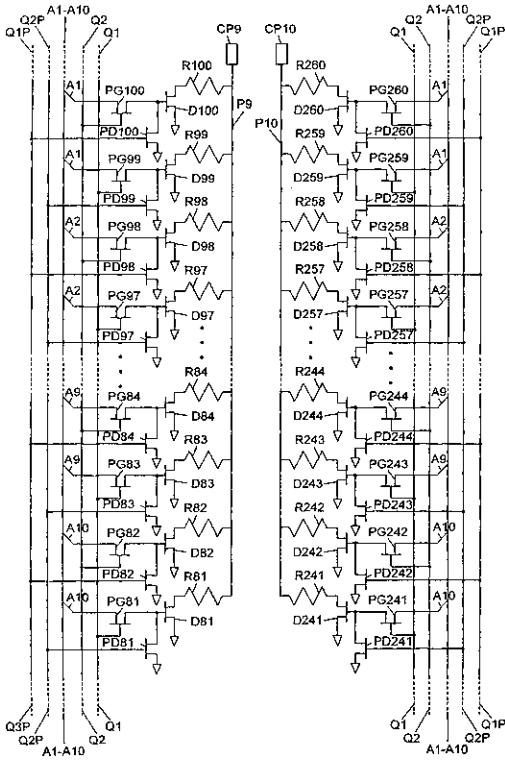
【 5 C 】



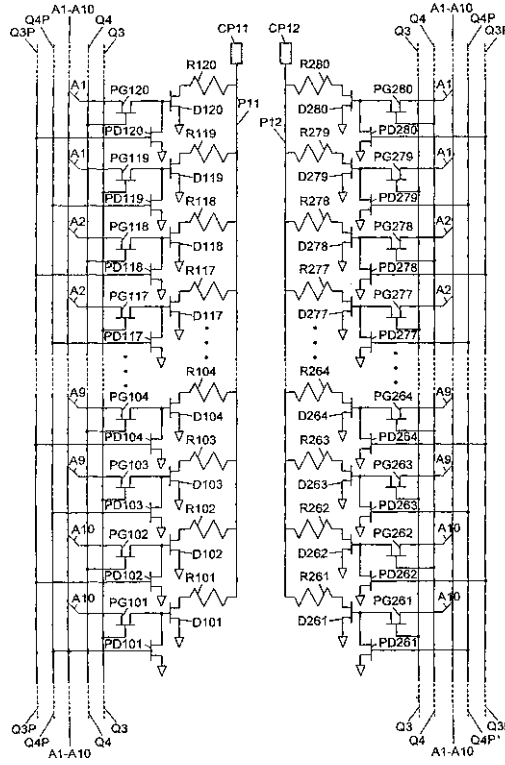
【 5 D 】



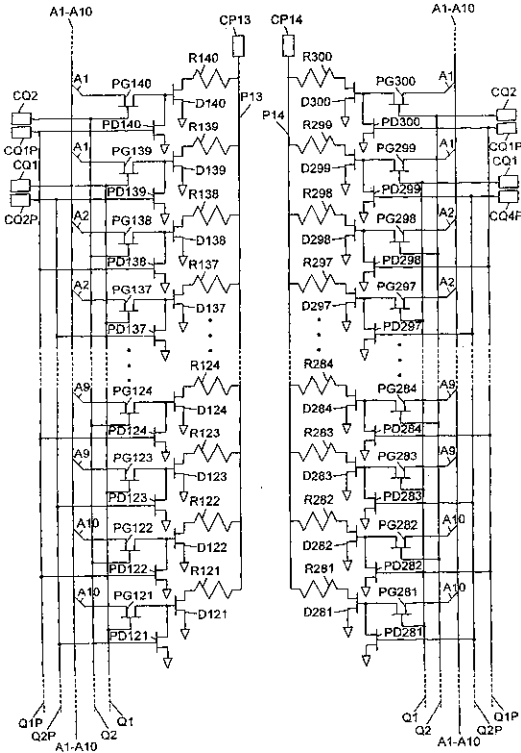
【 5 E 】



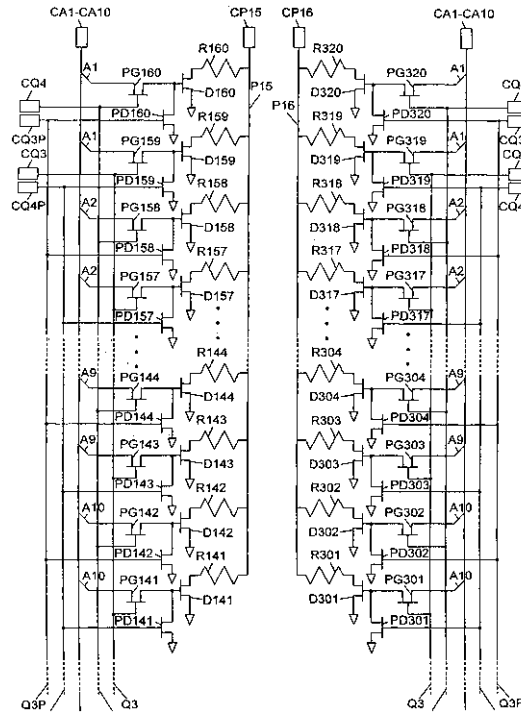
【 5 F 】



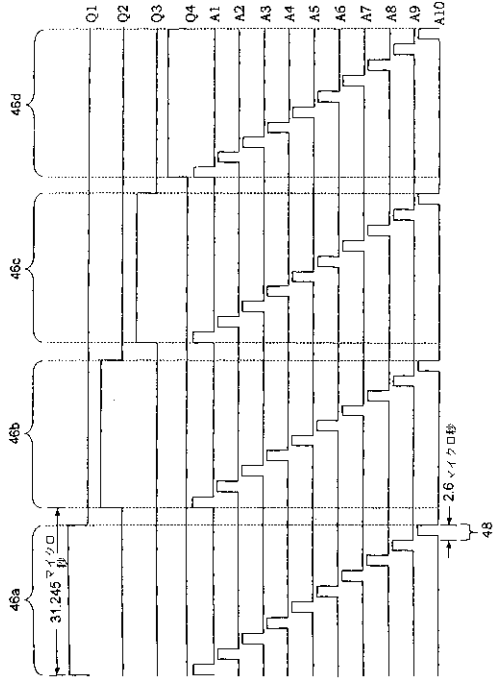
【 5 G 】



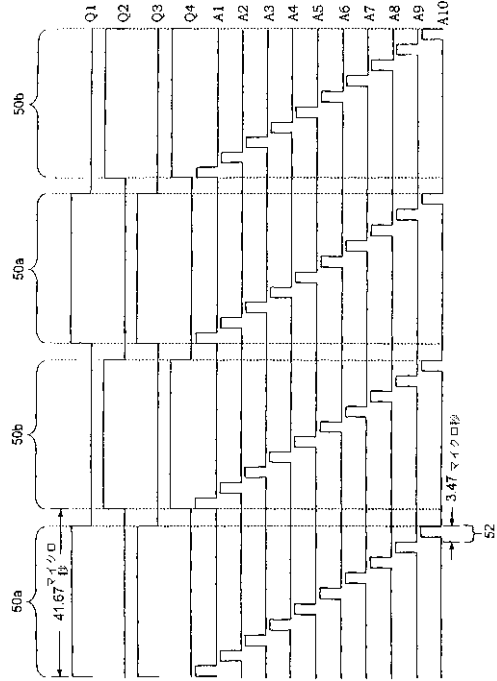
【 5 H 】



【 6 A 】



【 6 B 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
4 October 2001 (04.10.2001)

PCT

(10) International Publication Number
WO 01/72523 A1

- (51) International Patent Classification: **B41J 29/38, 2005**
- (31) International Application Number: PCT/US01/09848
- (22) International Filing Date: 28 March 2001 (28.03.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/537,255 29 March 2000 (29.03.2000) US
- (71) Applicant: **LENMARK INTERNATIONAL, INC.**
[US/US], Intellectual Property Law Department, 740 West
New Circle Road, Lexington, KY 40550 (US).
- (72) Inventors: **ANDERSON, Frank, Edward**, 740 West
New Circle Road, Lexington, KY 40550 (US). **PARISH,
George, Keith**, 11 Fontaine Blvd., Winchester, KY 40391
(US).
- (74) Agent: **SANDERSON, Michael, T.**, Lenmark Inter-
national, Inc., Intellectual Property Law Department, 740
West New Circle Road, Lexington, KY 40550 (US).

(81) Designated States (national): AF, AG, AI, AM, AU, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CL, CN, CR, CU, CZ,
DE, DK, DM, DZ, EE, ES, FI, GB, GD, GG, GU, GM, HR,
HU, ID, IL, IN, IS, JP, KH, KG, KP, KR, KZ, LC, LK, LR,
LS, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY,
NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM,
TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

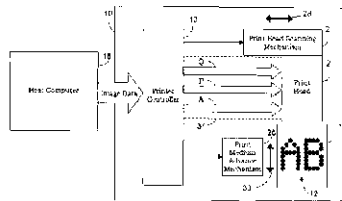
(84) Designated States (regional): ANIP (patent) (GH, GM,
KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM), Eurasian
patent (AM, AZ, BY, EG, KZ, MD, RU, TJ, TN), European
patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE,
IT, LU, MC, NL, PL, SE, TR), OAPI patent (BF, BJ, CF,
CG, CI, CM, GA, GN, GV, MI, MR, NE, SN, TD, TG).

Published:
with international search report
before the expiration of the time limit for amending the
claims and to be republished in the event of receipt of
amendments

For two-letter codes and other abbreviations, refer to the "Guide-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.



(54) Title: DUAL-CONFIGURABLE PRINT HEAD ADDRESSING



WO 01/72523 A1

(57) Abstract: An ink jet print head (20) is controllable based at least in part on q number of first control signals and p number of second control signals. The print head (20) includes a print head integrated circuit chip (22) having ink-heating resistors for generating heat when activated. The print head chip (22) also has a switching circuit for receiving the first and second control signals, and for selectively activating the resistors by allowing electrical current to flow through selected resistors based at least in part on the first and second control signals. The switching circuit is operable in either a first operating mode or a second operating mode, where q is equivalent to q1 in the first operating mode, and is equivalent to q2 in the second operating mode, where q1 is twice q2. In the first operating mode, p is equivalent to p1, and in the second operating mode, p is equivalent to p2, where p2 is twice p1. The product of q1 multiplied by p1 is equivalent to the product of q2 multiplied by p2. The print head (20) also includes an operating mode selection circuit connected to the print head integrated circuit (20). The configuration of the operating mode selection circuit determines whether the switching circuit operates in the first operating mode or second operating mode.

DUAL-CONFIGURABLE PRINT HEAD ADDRESSING

FIELD OF THE INVENTION

The present invention is generally directed to ink jet printers. More particularly, the invention is directed to an ink jet print head integrated circuit chip that supports two different drive schemes to provide two different levels of performance at two different printer costs.

BACKGROUND OF THE INVENTION

5 Ink jet printers form images on a print medium by ejecting droplets of ink from nozzles in a print head as the print head translates across the print medium. The nozzles are generally arranged in one or more columns that are aligned orthogonal to the direction of translation of the print head. Ink is ejected from a selected nozzle when an
10 ink-heating resistor associated with the selected nozzle is activated based on print control signals.

Generally, in a three-dimensional nozzle addressing scheme, nozzle selection is based upon a combination of three sets of control signals. These control signals are typically carried from printer controller electronics to contacts on the print head by way
15 of a flexible wiring harness. These signals are carried from the print head contacts to the print head integrated circuit chip by way of a tape automated bonding (TAB) circuit, with each control signal in the three sets of signals being carried by a separate metal conductor in the TAB circuit. These metal conductors in the TAB circuit and the corresponding
20 conductors in the flexible wiring harness represent a significant portion of the total cost of an ink jet printer.

In the past, print head integrated circuit designs have supported a single print head drive scheme which provided a single print resolution and print speed as determined by the layout of the integrated circuit chip. This limits the usefulness of the chip design to a narrow performance range.

25 Since conventional print head integrated circuit chip designs have been limited to a single drive scheme, the number of control lines that connect the chip to the printer electronics have also been limited to a particular number. Thus, achieving a different

WO 01/72523

PCT/US01/09848

printer cost by changing the number of control lines has in the past required a completely different print head chip design.

Therefore, a single print head integrated circuit chip that supports more than one cost/performance design point is needed.

5

SUMMARY OF THE INVENTION

The foregoing and other needs are met by an ink jet print head which is controllable based at least in part on q number of first control signals and p number of second control signals. The print head includes a print head integrated circuit chip having ink-heating resistors for generating heat when activated. The print head chip also has a switching circuit for receiving the first and second control signals, and for selectively activating the ink-heating resistors by allowing electrical current to flow through selected ink-heating resistors based at least in part on the first and second control signals. The switching circuit is operable in either a first operating mode or a second operating mode, where q is equivalent to q_1 in the first operating mode, and is equivalent to q_2 in the second operating mode, and where q_1 is greater than q_2 . In a most preferred embodiment, q_1 is twice q_2 . In the first operating mode, p is equivalent to p_1 , and in the second operating mode, p is equivalent to p_2 , where p_2 is greater than p_1 . Most preferably p_2 is twice p_1 . In the most preferred embodiment, the product of q_1 multiplied by p_1 in the first operating mode is equivalent to the product of q_2 multiplied by p_2 in the second operating mode. The print head also includes an operating mode selection circuit connected to the print head integrated circuit. The operating mode selection circuit determines, based on a configuration of the operating mode selection circuit, whether the switching circuit operates in the first operating mode or the second operating mode.

In the first operating mode, the print head requires four passes across a print medium to completely print an image, while in the second operating mode, the print head requires only two passes. Thus, a print head implemented according to the second operating mode offers a higher performance design point. However, a print head implemented according to the first operating mode is less expensive to manufacture. Therefore, the invention provides a single print head integrated circuit chip which may be used for two different cost/performance design points, the selection of which depends upon the configuration of the operating mode selection circuit.

WO 01/72523

PCT/US01/09848

BRIEF DESCRIPTION OF THE DRAWINGS

Further advantages of the invention will become apparent by reference to the detailed description of preferred embodiments when considered in conjunction with the drawings, which are not to scale, wherein like reference characters designate like or
5 similar elements throughout the several drawings as follows:

Fig. 1 is a functional block diagram of an ink jet printer according to a preferred embodiment of the invention;

Fig. 2 depicts an ink jet print head according to a preferred embodiment of the invention;

10 Figs. 3A and 3B depict TAB circuit conductor configurations according to a preferred embodiment of the invention;

Figs. 4A and 4B depict a configuration of ink-heating resistors on a print head chip according to a preferred embodiment of the invention;

15 Figs. 5A-5H are schematic diagrams that collectively show ink-heating resistors and resistor selection circuitry on a print head chip according to a preferred embodiment of the invention; and

Figs. 6A and 6B depict control signal timing diagrams according to a preferred embodiment of the invention.

DETAILED DESCRIPTION OF THE INVENTION

20 Shown in Fig. 1 is a functional block diagram of an ink jet printer 10 for printing an image 12 on a print medium 14. The printer 10 includes a printer controller 16, such as a digital microprocessor, that receives image data from a host computer 18. Generally, the image data generated by the host computer 18 describes the image 12 in a bit-map format. Such a format represents the image 12 as a collection of pixels, or picture
25 elements, in a two-dimensional rectangular coordinate system. For each pixel, the image data indicates the rectangular coordinates of the pixel on the print medium 14 and whether the pixel is on or off (printed or not printed). Typically, the host computer 18 "rasterizes" the image data by dividing the image 12 into horizontal rows of pixels, stepping from pixel-to-pixel across each row, and writing out the image data for each
30 pixel according to each pixel's order in the row.

WO 01/72523

PCT/US01/09848

Based on the image data from the host computer 18, the printer controller 16 generates print control signals. In the preferred three-dimensional addressing system of the present invention, these control signals include first, second, and third control signals.

The first, second, and third control signals are also referred to herein as quad select signals, address signals, and primitive signals.

As shown in Figs. 1 and 2, the printer 10 includes a print head 20 that receives the print control signals from the printer controller 16. On the print head 20 is a thermal ink jet integrated circuit chip 22 covered by a nozzle plate. Within the nozzle plate are nozzles situated in a dual-columnar nozzle array. Based on the print control signals from the printer controller 16, ink droplets are ejected from selected nozzles to form dots on the print medium 14 corresponding to the pixels in the image 12. Ink is selectively ejected from a nozzle when a corresponding ink-heating resistor on the chip 22 is activated by the print control signals from the controller 16.

With reference to Fig. 1, the printer 10 includes a print head scanning mechanism 24 for scanning the print head 20 across the print medium 14 in a scanning direction as indicated by the arrow 26. Preferably, the print head scanning mechanism 24 consists of a carriage which slides horizontally on one or more rails, a belt attached to the carriage, and a motor that engages the belt to cause the carriage to move along the rails. The motor is driven in response to the scan commands generated by the printer controller 16.

The printer 10 also includes a print medium advance mechanism 28. Based on print medium advance commands generated by the controller 16, the print medium advance mechanism 28 causes the print medium 14 to advance in a paper advance direction, as indicated by the arrow 30, between consecutive scans of the print head 20. Thus, the image 12 is formed on the print medium 14 by printing multiple adjacent swaths as the print medium 14 is advanced in the advance direction between swaths. In a preferred embodiment of the invention, the print medium advance mechanism 28 is a stepper motor rotating a platen which is in contact with the print medium 14.

As shown in Fig. 1, the print control signals are preferably communicated to the print head 20 by way of three sets of control lines, Q, P, and A, included in a wiring harness 31. A first set of control lines (designated by Q) communicate q number of quad select signals, a second set of control lines (designated by A) communicate n number of address signals, and a third set of control lines (designated by P) communicate p number

WO 01/72523

PCT/US01/09848

of primitive signals. As described in more detail herein, the values of q , n , and p , and the corresponding number of control lines in each set depends upon the selected performance/cost design point of the printer 10.

Attached to the print head 20 is a tape automated bonding (TAB) circuit 32, preferably formed on a flexible substrate of polyimide tape. The print head integrated circuit chip 22 is attached within a window of the TAB circuit 32. The flexible nature of the TAB circuit 32 provides for bending the TAB circuit 32 around a corner 34 of the print head 20, as shown in Fig. 2. Electrical connection between the TAB circuit 32 and the control lines Q, P, and A in the printer 10 is provided by a set of TAB contacts 36 on the TAB circuit 32. Electrical connection between the TAB contacts 36 and the chip 22 is provided by a set of conductors that are formed on the substrate material of the TAB circuit 32. The position of the conductors is represented in Fig. 2 by the dotted outline region 38. Generally, there is a separate conductor electrically connecting each TAB contact 36 to a corresponding contact on the chip 22. As described in more detail hereinafter, the number of these conductors on the TAB circuit 32 and in the wiring harness 31 depends upon the selected performance/cost design point of the printer 10.

Figs. 3A and 3B depict a preferred layout of the print head chip 22. Along the two longest edges of the chip 22 are electrical contacts 40 that provide connection points for the conductors on the TAB circuit 32. Preferably, these chip contacts 40 include q_1 number of first electrical contacts, also referred to herein as quad select contacts CQ1-CQ4, n number third electrical contacts, also referred to herein as address contacts CA1-CA10, and p_2 number of second electrical contacts, also referred to herein as primitive contacts CP1-CP16. In the preferred embodiment of the invention, q_1 is four, n is ten, and p_2 is sixteen. Preferably, an ink via 42 is situated near the center of the chip 22. On either side of the ink via 42 are chip regions 44a and 44b in which are located the ink-heating resistors and selection logic devices.

Fig. 3A further depicts a configuration of conductors connected to the contacts 40 to implement a first operating mode of the printer 10, and the Fig. 3B further depicts a configuration of conductors connected to the contacts 40 to implement a second operating mode. These conductors on the TAB circuit 32 comprise an operating mode selection circuit, the configuration of which determines the operating mode in which the print head chip 22 will function and the performance/cost point of the printer 10.

WO 01/72523

PCT/US01/09848

Possible configurations of these conductors, and their effect on the operation of the printer 10, are described in more detail hereinafter.

The preferred embodiment of the invention includes three-hundred-twenty (320) ink-heating resistors R1-R320. As depicted in Fig. 4, the resistors R1-R320 are preferably thin-film resistors arranged on the chip 22 in two main columns 46a and 46b, with each column 46a and 46b having eight sets of twenty resistors per set. Fig. 4A depicts the bottom half and Fig. 4B depicts the top half of the columns 46a and 46b. The column 46a, which includes the resistors R1-R160, is disposed within the region 44a (see Figs. 3A-B), and the column 46b, which includes the resistors R161-R320, is disposed within the region 44b. Preferably, the column 46a is vertically offset from the column 46b by one-half the vertical spacing between resistors. In the preferred embodiment, this vertical offset is $1/600$ inch.

The sixteen sets of resistors are each divided into two horizontally-separated sub-columns, with ten resistors in each sub-column. In the preferred embodiment, the horizontal offset between sub-columns within a set is $1/1200$ inch. Preferably, the ten resistors within each sub-column are vertically aligned and separated by $1/150$ inch. As shown in Figs. 4A and 4B, the two sub-columns within each set are vertically offset from one another by one-half the spacing between heaters within a sub-column. In the preferred embodiment, this vertical offset is $1/300$ inch.

Preferably, vertically-adjacent sets are horizontally offset from one another by twice the horizontal spacing between sub-columns. In the preferred embodiment, this horizontal offset is $1/600$ inch. Thus, as shown in Figs. 4A and 4B, alternating sets within each column 46a and 46b are vertically aligned.

Figs. 5A-5H collectively depict a schematic diagram of the preferred embodiment of circuitry on the print head chip 22. This circuitry includes the ink-heating resistors R1-R320 and switching circuits which provide for selection and activation of individual resistors R1-R320 based on the quad select signals on the quad select signal lines Q1-Q4, address signals on the address signal lines A1-A10, and primitive signals on the primitive signal lines P1-P16. The switching circuits include first, second, and third switching devices, also referred to herein as pass-gate devices PG1-PG320, power driver devices D1-D320, and pull-down devices PD1-PD320, respectively. Preferably, the pass-gate

WO 01/72523

PCT/US01/09848

devices PG1-PG320 and the pull-down devices PD1-PD320 are JFETs, and the power driver devices D1-D320 are NMOS power transistors.

Each of the ink-heating resistors R1-R320 has a high side that is connected to one of the primitive signal lines P1-P16 and a low side that is connected to a second high-side input, preferably the drain, of an associated one of the power driver devices D1-D320. Each of the power driver devices D1-D320 has a second low-side output, preferably the source, which is connected to a common ground return. The gate of each of the power driver devices D1-D320 serves as a second control input. In the preferred embodiment, when a control signal on the gate of a power driver D1-D320 is high, the power driver D1-D320 is "on", acting like a closed switch. Thus, when a power driver D1-D320 is "on", the low side of the associated ink-heating resistor R1-R320 is grounded. When the primitive signal goes high on the associated one of the primitive signal lines P1-P16 while the associated power driver D1-D320 is "on", current flows through the associated ink-heating resistor R1-R320. This current causes the resistor R1-R320 to dissipate energy in the form of heat that is transferred to ink that is adjacent the surface of the resistor R1-R320.

Whether the gate of a power driver D1-D320 is high, and thus whether the power driver D1-D320 is "on", depends on the states of the quad select signal on the associated quad select signal line Q1-Q4 and the address signal on the associated address signal line A1-A10. As shown in Figs. 5A-5H, one of the quad select signal lines Q1-Q4 is connected to a first control input, preferably the gate, of each of the pass-gate devices PG1-PG320. When the quad select signal on the gate is high, the pass-gate device PG1-PG320 is "on" and thus acts like a closed switch. One of the address lines A1-A10 is connected to a first high-side input, preferably the drain, of each of the pass-gate devices PG1-PG320. The pass-gate devices PG1-PG320 each have a first low-side output, preferably the source, that is connected to the gate of the associated power driver D1-D320. When a pass-gate device PG1-PG320 is "on" (quad select signal is high), the address signal on the drain of the pass-gate device PG1-PG320 passes to the gate of the associated power driver D1-D320. Therefore, in the preferred embodiment, when the quad select signal at the gate and the address signal at the drain of a pass-gate device PG1-PG320 are both high, the associated power driver D1-D320 is "on".

WO 01/72523

PCT/US01/09848

As shown in Figs. 5A-5H, associated with each power driver D1-D320 is a pull-down device PD1-PD320. The high-side input, preferably the drain, of each pull-down device PD1-PD320 is connected to the gate of a corresponding power driver D1-D320, and the low-side output, preferably the source, of each pull-down device PD1-PD320 is connected to the common ground return. Thus, when a pull-down device PD1-PD320 is "on", the gate of the corresponding power driver D1-D320 is grounded. Therefore, when a pull-down device PD1-PD320 is "on", the corresponding power driver D1-D320 is "off". The purpose and function of the pull-down devices PD1-PD320 according to one of the operational modes of the print head chip 22 is described in more detail hereinafter.

As shown in Fig. 5A, the resistors R1-R20 are connected to the primitive line P1, and the resistors R161-R180 are connected to the primitive line P2. For convenience of discussion, all of the devices that are connected to the primitive line P1 are referred to as a first primitive group, and all of the devices that are connected to the primitive line P2 are referred to as a second primitive group. The primitive lines P1 and P2 are connected to the primitive contacts CP1 and CP2, respectively.

The gates of the odd-numbered pass-gate devices PG1-PG19 and PG161-PG179 are connected to the quad select line Q1, and the gates of the even-numbered pass-gate devices PG2-PG20 and PG162-PG180 are connected to the quad select line Q2. For convenience of discussion, all of the devices that are connected to the quad select line Q1 are referred to as a first quad group, and all of the devices that are connected to the quad select line Q2 are referred to as a second quad group.

The gates of the odd-numbered pull-down devices PD1-PG19 and PD161-PG179 are connected to the pull-down signal line Q2P, and the gates of the even-numbered pull-down devices PD2-PD20 and PD162-PD180 are connected to the pull-down signal line Q1P.

As shown in Fig. 5B, the resistors R21-R40 are connected to the primitive line P3, and the resistors R181-R200 are connected to the primitive line P4. For convenience of discussion, all of the devices that are connected to the primitive line P3 are referred to as a third primitive group, and all of the devices that are connected to the primitive line P4 are referred to as a fourth primitive group. The primitive lines P3 and P4 are connected to the primitive contacts CP3 and CP4, respectively.

WO 01/72523

PCT/US01/09848

The gates of the odd-numbered pass-gate devices PG21-PG39 and PG181-PG199 are connected to the quad select line Q3, and the gates of the even-numbered pass-gate devices PG22-PG40 and PG182-PG200 are connected to the quad select line Q4. For convenience of discussion, all of the devices that are connected to the quad select line Q3 are referred to as a third quad group, and all of the devices that are connected to the quad select line Q4 are referred to as a fourth quad group.

The gates of the odd-numbered pull-down devices PD21-PG39 and PD181-PG199 are connected to the pull-down signal line Q4P, and the gates of the even-numbered pull-down devices PD22-PD40 and PD182-PD200 are connected to the pull-down signal line Q3P.

Preferably, each of the ten address lines A1-A10 in the address bus A is connected to the drain of one odd-numbered and one even-numbered pass-gate device in each primitive group.

The pattern of device connections shown in Figs. 5A and 5B, and described above, continue for the remaining primitive groups, as depicted in Figs. 5C-5H. For each of the remaining primitive groups, the primitive lines P5-P16 are connected to the primitive contacts CP5-CP16, respectively. As shown in Figs. 5G and 5H, the quad select signal lines Q1-Q4 are connected to the quad select contacts CQ1-CQ4, the pull-down signal lines Q1P-Q4P are connected to the pull-down contacts CQ1P-CQ4P, and the address signal lines A1-A10 are connected to the address contacts CA1-CA10.

Tables I, II, III, and IV below correlate resistor numbers to quad select, primitive, and address signal lines.

Table I.

	Q1									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P1	R1	R15	R9	R3	R17	R11	R5	R19	R13	R7
P2	R161	R175	R169	R163	R177	R171	R165	R179	R173	R167
P5	R41	R55	R49	R43	R57	R51	R45	R59	R53	R47

WO 01/72523

PCT/US01/09848

P6	R201	R215	R209	R203	R217	R211	R205	R219	R213	R207
P9	R81	R95	R89	R83	R97	R91	R85	R99	R93	R87
P10	R241	R255	R249	R243	R257	R251	R245	R259	R253	R247
P13	R121	R135	R129	R123	R137	R131	R125	R139	R133	R127
P14	R281	R295	R289	R283	R297	R291	R285	R299	R293	R287

Table II.

	Q2									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P1	R2	R16	R10	R4	R18	R12	R6	R20	R14	R8
P2	R162	R176	R170	R164	R178	R172	R166	R180	R174	R168
P5	R42	R56	R50	R44	R58	R52	R46	R60	R54	R48
P6	R202	R216	R210	R204	R218	R212	R206	R220	R214	R208
P9	R82	R96	R90	R84	R98	R92	R86	R100	R94	R88
P10	R242	R256	R250	R244	R258	R252	R246	R260	R254	R248
P13	R122	R136	R130	R124	R138	R132	R126	R140	R134	R128
P14	R282	R296	R290	R284	R298	R292	R286	R300	R294	R288

WO 01/72523

PCT/US01/09848

Table III.

	Q3									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P3	R21	R35	R29	R23	R37	R31	R25	R39	R33	R27
P4	R181	R195	R189	R183	R197	R191	R185	R199	R193	R187
P7	R61	R75	R69	R63	R77	R71	R65	R79	R73	R67
P8	R221	R235	R229	R223	R237	R231	R225	R239	R233	R227
P11	R101	R115	R109	R103	R117	R111	R105	R119	R113	R107
P12	R261	R275	R269	R263	R277	R271	R265	R279	R273	R267
P15	R141	R155	R149	R143	R157	R151	R145	R159	R153	R147
P16	R301	R315	R309	R303	R317	R311	R305	R319	R313	R307

5

Table IV.

	Q4									
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
P3	R22	R36	R30	R24	R38	R32	R26	R40	R34	R28
P4	R182	R196	R190	R184	R198	R192	R186	R200	R194	R188
P7	R62	R76	R70	R64	R78	R72	R66	R80	R74	R68

WO 01/72523

PCT/US01/09848

P8	R222	R236	R230	R224	R238	R232	R226	R240	R234	R228
P11	R102	R116	R110	R104	R118	R112	R106	R120	R114	R108
P12	R262	R276	R270	R264	R278	R272	R266	R280	R274	R268
P15	R142	R156	R150	R144	R158	R152	R146	R160	R154	R148
P16	R302	R316	R310	R304	R318	R312	R306	R320	R314	R308

As indicated by Figs. 5A-5H, each of the sixteen (p_2) primitive groups of twenty ($q_2 \times n = 2 \times 10$) ink-heating resistors is connected to a distinct one of the sixteen primitive lines LP1-LP16, which are brought out to sixteen corresponding primitive contacts CP1-CP16 on the chip 22. Thus, each of the sixteen primitive groups on the chip 22 is independently addressable by a primitive signal from the printer controller 16. Similarly, each of the four (q_1) quad select groups of eighty ($p_1 \times n = 8 \times 10$) ink-heating resistors is connected to a distinct one of the four quad select lines LQ1-LQ4, which are brought out to four corresponding quad select contacts CQ1-CQ4 on the chip 22. Therefore, each of the four quad select groups on the chip 22 is independently addressable by a quad select signal from the printer controller 16. In other words, each primitive group on the chip 22 may be addressed independently of any other primitive group, and each quad select group may be addressed independently of any other quad select group.

One skilled in the art will appreciate, that the chip 22 provides more independently-addressable primitive groups and quad select groups than are necessary to address 320 resistors. In fact, 640 resistors could be addressed with the sixteen primitive lines, four quad select lines, and ten address lines provided on the chip 22. However, as described in greater detail below, these extra signal lines are provided so that the printer 10 may be manufactured to operate at either one of two different cost/performance design points using a single print head chip design.

Referring again to Fig. 3A, a first configuration of conductors on the TAB circuit 32 is shown for selecting the first operating mode of the print head chip 22. In this first configuration, quad select conductors LQ1, LQ2, LQ3, and LQ4 on the TAB circuit 32

WO 01/72523

PCT/US01/09848

are connected to the corresponding quad select contacts CQ1, CQ2, CQ3, and CQ4 on the chip 22, primitive conductors LP3, LP4, LP7, LP8, LP11, LP12, LP15, and LP16 on the TAB circuit 32 are connected to the corresponding primitive contacts CP3, CP4, CP7, CP8, CP11, CP12, CP15, and CP16 on the chip 22, and address conductors LA1-
 5 LA10 on the TAB circuit 32 are connected to the corresponding address contacts CA1-CA10 on the chip 22. Pull-down jumper conductors JQ1P, JQ2P, JQ3P, and JQ4P on the TAB circuit 32 short the quad select conductors LQ1, LQ2, LQ3, and LQ4 to the corresponding pull-down contacts CQ1P, CQ2P, CQ3P, and CQ4P on the chip 22. Primitive jumper conductors JP1, JP2, JP5, JP6, JP9, JP10, JP13, and JP14 on the TAB
 10 circuit 32 short the primitive contacts CP1, CP2, CP5, CP6, CP9, CP10, CP13, and CP14 to the primitive conductors LP3, LP4, LP7, LP8, LP11, LP12, LP15, and LP16, respectively.

Thus, the configuration of TAB circuit conductors shown in Fig. 3A shorts primitive signal lines P1 to P3, P2 to P4, P5 to P7, P6 to P8, P9 to P11, P10 to P12, P13
 15 to P15, and P14 to P16. In this manner, the number of independently-addressable primitive groups is reduced from sixteen to eight, with forty ($q_1 \times n = 4 \times 10$) of the in-heating resistors R1-R320 in each of the eight primitive groups. This provides an addressing scheme of eight primitive signals ($p = p_1 = 8$), four quad select signals ($q = q_1 = 4$), and ten address signals ($n = 10$), for a total of twenty-two control signals that must
 20 be communicated from the printer controller 16 to the chip 22. Thus, in the first implementation of the TAB circuit 32, only twenty-two control signal conductors are needed in the wiring harness 31 and only twenty-two control signal contacts 36 are needed on the TAB circuit 32. Therefore, this first implementation significantly reduces the cost of the printer 10.

Fig. 6A is a timing diagram depicting the preferred signal timing scheme when the print head chip 22 is addressed in the first operating mode. As shown in Fig. 6A, the quad select signals on the quad select lines Q1-Q4 are high during sequential quad select
 25 windows 46a-46d. Preferably, each quad select window 46a-46d endures for approximately 31.245 μ s. During each quad select window 46a-46d, each of the address signals on the address lines A1-A10 go high within sequential address windows 48 of approximately 2.6 μ s duration. During any address window 48, the printer controller 16 may drive any or all of the primitive signals high on the eight primitive lines P1, P2, P5,

WO 01/72523

PCT/US01/09848

P6, P9, P10, P13, and P14 as determined by the image data. Thus, in this first operating mode, there are forty ($q_1 \times n = 4 \times 10$) groups of resistors that are enabled sequentially as the print head 20 scans across the print medium 14, and the eight ($p_1 = 8$) resistors in any one of these forty groups may be activated simultaneously when the group is enabled.

5 Since the quad select signal conductor LQ1 on the TAB circuit 32 is shorted to the pull-down contact CQ1P, the gates of all of the even-numbered pull-down devices PD2-PD20 and PD162-PD180 are high during the quad select window 46a. Thus, the power drivers PD2-PD20 and PD162-PD180 in the second quad group are "off" during the quad select window 46a. Also, since the quad select signal conductor LQ2 on the
 10 TAB circuit 32 is shorted to the pull-down contact CQ2P, the gates of all of the odd-numbered pull-down devices PD1-PD19 and PD161-PD179 are high during the quad select window 46b. Thus, the power drivers PD1-PD19 and PD161-PD179 in the first quad group are "off" during the quad select window 46b. Although not shown in the schematic, Q1 and Q2 may be connected to additional pull down devices such that the
 15 power devices PD21-PD40 and PD181-PD200 are "off" during quad select windows 46a and 46b. Similarly, because the quad select signal conductor LQ3 is shorted to the pull-down contact CQ3P, the gates of all of the even-numbered pull-down devices PD22-PD40 and PD182-PD200 are high during the quad select window 46c. Thus, the power drivers PD22-PD40 and PD182-PD200 in the third quad group are "off" during the quad
 20 select window 46c. Further, since the quad select signal conductor LQ4 is shorted to the pull-down contact CQ4P, the gates of all of the odd-numbered pull-down devices PD21-PD39 and PD181-PD199 are high during the quad select window 46d. Thus, the power drivers PD21-PD39 and PD181-PD199 in the fourth quad group are "off" during the quad select window 46d. Although not shown in the schematic, Q3 and Q4 may be
 25 connected to additional pull down devices such that the power devices PD1-PD20 and PD161-PD180 are "off" during quad select windows 46c and 46d.

The signal transitions shown in Fig. 6A occur as the print head scanning mechanism 24 scans the print head 20 across the print medium 14 from right to left. As the print head 20 scans from left to right, the order of the quad select window transitions
 30 is reversed: first Q4 is high, then Q3, Q2, and Q1. In the preferred embodiment of the invention, the scan speed of the print head 20 in the first operating mode is approximately 26.67 inch/second. Thus, during one address window 48, the print head

WO 01/72523

PCT/US01/09848

20 travels approximately 6.93×10^{-5} inch in the scan direction. During one quad select window 46a-46d, the print head 20 travels approximately 8.33×10^{-4} ($1/1200$) inch. This means that the print head 20 travels $4/1200$ ($1/300$) inch during the time required to address all of the resistors R1-R320.

5 Preferably, in the first operating mode, the ink droplets are deposited on the print medium 14 in a checkerboard pattern to allow for the fastest possible drying of the ink. Preferably, the invention uses two ink droplets to fill a $1/300$ inch diameter spot on the print medium 14. This is referred to as a four-pass implementation, since four passes of the print head 20 across the print medium 14 are required to fill all possible print positions in a print swath.

10 Shown in Fig. 3B is a second configuration of conductors on the TAB circuit 32 for implementing the second operating mode of the print head chip 22. In this second configuration, the quad select conductors LQ1 and LQ2 on the TAB circuit 32 are connected to the corresponding quad select contacts CQ1 and CQ2 on the chip 22, the primitive conductors LP1-LP16 on the TAB circuit 32 are connected to the corresponding primitive contacts CP1-CP16 on the chip 22, and the address conductors LA1-LA10 on the TAB circuit 32 are connected to the corresponding address contacts CA1-CA10 on the chip 22. The pull-down contacts CQ1P, CQ2P, CQ3P, and CQ4P on the chip 22 are connected to the common ground return. Quad select jumper conductors JQ3 and JQ4 on the TAB circuit 32 short the quad select contacts CQ3 and CQ4 to the quad select conductors LQ1 and LQ2, respectively.

15 Thus, the configuration of TAB circuit conductors shown in Fig. 3B shorts quad select signal lines Q1 to Q3 and Q2 to Q4. In this manner, the number of independently-addressable quad select groups is reduced from four to two, with 160 ($p_2 \times n = 16 \times 10$) of the ink-heating resistors R1-R320 in each of the eight quad select groups. This provides an addressing scheme of sixteen primitive signals ($p = p_2 = 16$), two quad select signals ($q = q_2 = 2$), and ten address signals ($n = 10$), for a total of twenty-eight control signals communicated from the printer controller 16 to the chip 22.

20 Fig. 6B is a timing diagram depicting the preferred signal timing scheme when the print head chip 22 is addressed in the second operating mode. As shown in Fig. 6B, the quad select signals on the quad select lines Q1 and Q3 are high simultaneously during quad select windows 50a. Subsequently, the quad select signals on the quad select lines

WO 01/72523

PCT/US01/09848

Q2 and Q4 are high simultaneously during quad select windows 50b. Preferably, each quad select window 50a-50b endures for approximately 41.67 μ s. During each quad select window 50a-50b, each of the address signals on the address lines A1-A10 go high within sequential address windows 52 of approximately 3.47 μ s duration. During any address window 52, the printer controller 16 may drive any or all of the primitive signals high on the sixteen primitive lines P1-P16 as determined by the image data. Thus, in this second operating mode, there are twenty ($q_2 \times n = 2 \times 10$) groups of resistors that are enabled sequentially as the print head 20 scans across the print medium 14, and the sixteen resistors in any one of these twenty groups may be activated simultaneously when the group is enabled.

In the preferred embodiment of the invention, the scan speed of the print head 20 in the second operating mode is approximately 20.0 inch/second. Thus, during one address window 52, the print head 20 travels approximately 6.93×10^{-5} inch in the scan direction. During one quad select window 50a-50b in the second operating mode, the print head 20 travels approximately the same distance ($1/1200$ inch) as during one quad select window 46a-46d in the first operating mode. However, in the second operating mode, all of the resistors R1-R320 may be addressed in during the time required for the print head 20 to travel $2/1200$ (or $1/600$) inch. Thus, the second operating mode requires only two passes of the print head 20 across the print medium 14 to fill all possible print positions in a print swath. Therefore, the invention operating in the second operating mode prints much faster than when operating in the first mode. However, the second implementation is more expensive to manufacture due to the larger number of primitive lines P1-P16.

It is contemplated, and will be apparent to those skilled in the art from the preceding description and the accompanying drawings that modifications and/or changes may be made in the embodiments of the invention. Accordingly, it is expressly intended that the foregoing description and the accompanying drawings are illustrative of preferred embodiments only, not limiting thereto, and that the true spirit and scope of the present invention be determined by reference to the appended claims.

WO 01/72523

PCT/US01/09848

CLAIMS

1. An ink jet print head for use in an ink jet printing device, the print head controllable based at least in part on q number of first control signals and p number of second control signals, the print head comprising:
- a print head integrated circuit chip having:
- 5 ink-heating resistors for generating heat when activated; and
- a switching circuit for receiving the first and second control signals, and for selectively activating the ink-heating resistors by allowing electrical current to flow through selected ink-heating resistors based at least in part on the first and second control signals, the switching circuit operable in either a first operating mode or a second
- 10 operating mode,
- where q is equivalent to q_1 in the first operating mode,
- where q is equivalent to q_2 in the second operating mode,
- where q_1 is equivalent to twice q_2 ,
- where p is equivalent to p_1 in the first operating mode,
- 15 where p is equivalent to p_2 in the second operating mode,
- where p_2 is equivalent to twice p_1 , and
- where the product of q_1 multiplied by p_1 in the first operating mode is equivalent to the product of q_2 multiplied by p_2 in the second operating mode;
- and
- 20 operating mode selection means connected to the print head integrated circuit for determining, based on a configuration of the operating mode selection means, whether the switching circuit operates in the first operating mode or the second operating mode.
2. The ink jet print head of claim 1 further controllable based at least in part on n number of third control signals, wherein the print head integrated circuit chip further comprises:
- at least q_1 multiplied by p_1 multiplied by n number of the ink-heating resistors;
- 5 and

WO 01/72523

PCT/US01/09848

the switching circuit further for receiving the third control signals, and for selectively activating the ink-heating resistors by allowing electrical current to flow through selected ink-heating resistors based at least in part on the third control signals,

where the value of n in the first operating mode is equivalent to the value of n in the second operating mode.

3. The ink jet print head of claim 2 wherein:

the ink-heating resistors further comprise $q_1 \times n$ number of groups of ink-heating resistors, each group including p_1 number of ink-heating resistors that may be simultaneously activated; and

the switching circuit is operable in the first operating mode to sequentially enable activation of each of the $q_1 \times n$ number of groups based on the first and third control signals, and for activating any one of the ink-heating resistors within an enabled group based on the second control signal.

4. The ink jet print head of claim 2 wherein:

the ink-heating resistors further comprise $q_2 \times n$ number of groups of ink-heating resistors, each group including p_2 number of ink-heating resistors that may be simultaneously activated; and

the switching circuit is operable in the second operating mode to sequentially enable activation of each of the $q_2 \times n$ number of groups based on the first and third control signals, and for activating any one of the ink-heating resistors within an enabled group based on the second control signal.

5. The ink jet print head of claim 2, wherein the switching circuit further comprises:

q_1 number of first electrical contacts for receiving the first control signals;

p_2 number of second electrical contacts for receiving the second control signals; and

n number of third electrical contacts for receiving the third control signals.

6. The ink jet print head of claim 5, wherein the operating mode selection means further comprise an interconnection circuit for providing electrical connections

WO 01/72523

PCT/US01/09848

between the ink jet printing device and the switching circuit on the print head integrated circuit, the interconnection circuit having:

- 5 first conductive lines for providing electrical connection between the ink jet printing device and at least some of first electrical contacts;
- second conductive lines for providing electrical connection between the ink jet printing device and at least some of the second electrical contacts;
- jumper lines for shorting some of the second electrical contacts together in the
- 10 first operating mode; and
- at least n number of third conductive lines for providing electrical connection between the ink jet printing device and the at least n number of third electrical contacts.

7. The ink jet print head of claim 5, wherein the operating mode selection means further comprise an interconnection circuit for providing electrical connections between the ink jet printing device and the switching circuit on the print head integrated circuit, the interconnection circuit having:

- 5 first conductive lines for providing electrical connection between the ink jet printing device and at least some of first electrical contacts;
- second conductive lines for providing electrical connection between the ink jet printing device and at least some of the second electrical contacts;
- jumper lines for shorting some of the first electrical contacts together in the
- 10 second operating mode; and
- at least n number of third conductive lines for providing electrical connection between the ink jet printing device and the at least n number of third electrical contacts.

8. The ink jet print head of claim 6, wherein the interconnection circuit further comprises:

- at least q_1 number of the first conductive lines for providing electrical connection between the ink jet printing device and the at least q_1 number of the first electrical
- 5 contacts;
- at least p_1 number of the second conductive lines for providing electrical connection between the ink jet printing device and a first half of the p_2 number of the second electrical contacts; and

WO 01/72523

PCT/US01/09848

at least p_1 number of the jumper lines for shorting the at least p_1 number of the
10 second conductive lines to a second half of the p_2 number of the second electrical
contacts.

9. The ink jet print head of claim 7, wherein the interconnection circuit
further comprises:

at least p_2 number of the second conductive lines for providing electrical
connection between the ink jet printing device and the at least p_2 number of the first
5 electrical contacts;

at least q_2 number of the first conductive lines for providing electrical connection
between the ink jet printing device and a first half of the q_1 number of the first electrical
contacts; and

at least q_2 number of the jumper lines for shorting at least q_2 number of the first
10 conductive lines to a second half of the q_1 number of the first electrical contacts.

10. The ink jet print head of claim 6, wherein the interconnection circuit
further comprises a flexible tape automated bonding (TAB) circuit, and the first, second,
third, and jumper conductive lines further comprise conductive metal traces in the TAB
circuit.

11. The ink jet print head of claim 7, wherein the interconnection circuit
further comprises a flexible tape automated bonding (TAB) circuit, and the first, second,
third, and jumper conductive lines further comprise conductive metal traces in the TAB
circuit.

12. The ink jet print head of claim 2, where q_1 is four, p_1 is eight, and n is ten
in the first operating mode.

13. The ink jet print head of claim 2, where q_2 is two, p_2 is sixteen, and n is
ten in the second operating mode.

14. The ink jet print head of claim 5 further comprising:

at least q_1 multiplied by p_1 multiplied by n number of the ink-heating resistors,
each ink-heating resistor having a high side for receiving one of the second control
signals, and a low side; and

WO 01/72523

PCT/US01/09848

5 the switching circuit having:
at least q_1 multiplied by p_1 multiplied by n number of first switching devices, each first switching device associated with a corresponding one of the ink-heating resistors, each first switching device having a first control input for receiving one of the first control signals, a first high-side input for receiving one of the third control signals, and a first low-side output; and

10 at least q_2 multiplied by p_2 multiplied by n number of second switching devices, each second switching device associated with a corresponding one of the first switching devices and associated with a corresponding one of the ink-heating resistors, each second switching device having a second high-side input connected to the low side of an associated ink-heating resistor, a second control input connected to the first low-side output of an associated first switching device, and a second low-side output connected to a common ground return.

15 15. The ink jet print head of claim 14 wherein:

the first switching devices are field effect transistors having a first gate, a first source, and a first drain, the first gate being the first control input, the first drain being the first high-side input, and the first source being the first low-side output; and

5 the second switching devices are power field effect transistors having a second gate, a second source, and a second drain, the second gate being the second control input, the second drain being the second high-side input, and the second source being the second low-side output.

16. The ink jet print head of claim 15 wherein any one of the ink-heating resistors is activated by an electrical current flowing through the resistor when the first control signal is high on the first gate of the corresponding first switching device, the second control signal is high on the high side of the resistor, and the third control signal is high on the first drain of the first switching device.

17. The ink jet print head of claim 6 wherein the print head integrated circuit further comprises:

q_1 number of select groups of ink-heating resistors corresponding to the q_1 number of first electrical contacts, each select group consisting of $p_1 \times n$ number of ink-

WO 01/72523

PCT/US01/09848

5 heating resistors, each select group being independently addressable by one of the q_1 number of first control signals; and

p_2 number of primitive groups corresponding to the p_2 number of second electrical contacts, each primitive group consisting of $q_2 \times n$ number of ink-heating resistors, each primitive group being independently addressable by one of the p_2 number
10 of second control signals.

16. The ink jet print head of claim 15 wherein the operating mode selection means have p_1 number of jumper conductors when in the first operating mode for shorting a first half of the p_2 number of the second electrical contacts to a second half of the p_2 number of the second electrical contacts, thereby reducing the number of primitive
5 groups to p_1 and increasing the number of ink-heating resistors in each of the primitive groups to $q_1 \times n$, each of the p_1 number of primitive groups being independently addressable by p_1 number of the second control signals.

17. The ink jet print head of claim 15 wherein the operating mode selection means have q_2 number of jumper conductors when in the second operating mode for shorting a first half of the q_1 number of the first electrical contacts to a second half of the q_1 number of the first electrical contacts, thereby reducing the number of select groups to
5 q_2 and increasing the number of ink-heating resistors in each of the select groups to $p_2 \times n$, each of the q_2 number of select groups being independently addressable by q_2 number of the first control signals.

18. An ink jet print head for use in an ink jet printing device, the print head controllable based at least in part on q number of first control signals and p number of second control signals, the print head comprising:

a print head integrated circuit chip having:

6 ink-heating resistors for generating heat when activated; and
a switching circuit for receiving the first and second control signals, and for selectively activating the ink-heating resistors by allowing electrical current to flow through selected ink-heating resistors based at least in part on the first and second control signals, the switching circuit operable in either a first operating mode or a second
10 operating mode,

WO 01/72523

PCT/US01/09848

where q is equivalent to q_1 in the first operating mode,

where q is equivalent to q_2 in the second operating mode,

where q_1 is greater than q_2 ,

where p is equivalent to p_1 in the first operating mode,

15 where p is equivalent to p_2 in the second operating mode, and

where p_2 is greater than p_1 ; and

operating mode selection means connected to the print head integrated circuit for determining, based on a configuration of the operating mode selection means, whether the switching circuit operates in the first operating mode or the second operating mode.

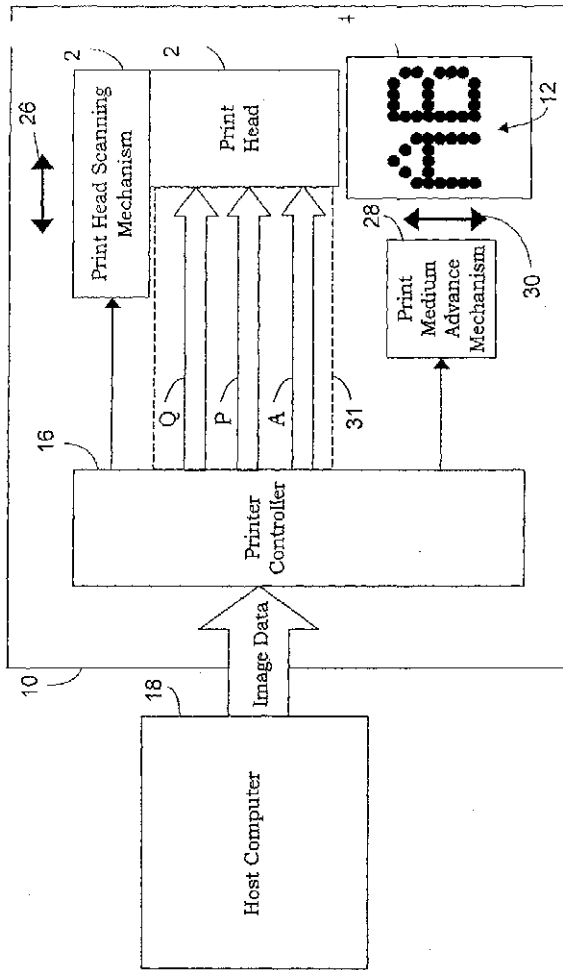
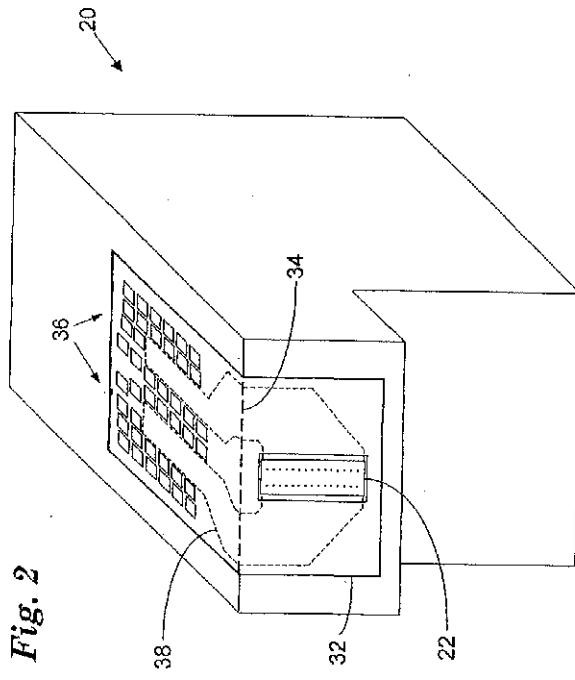


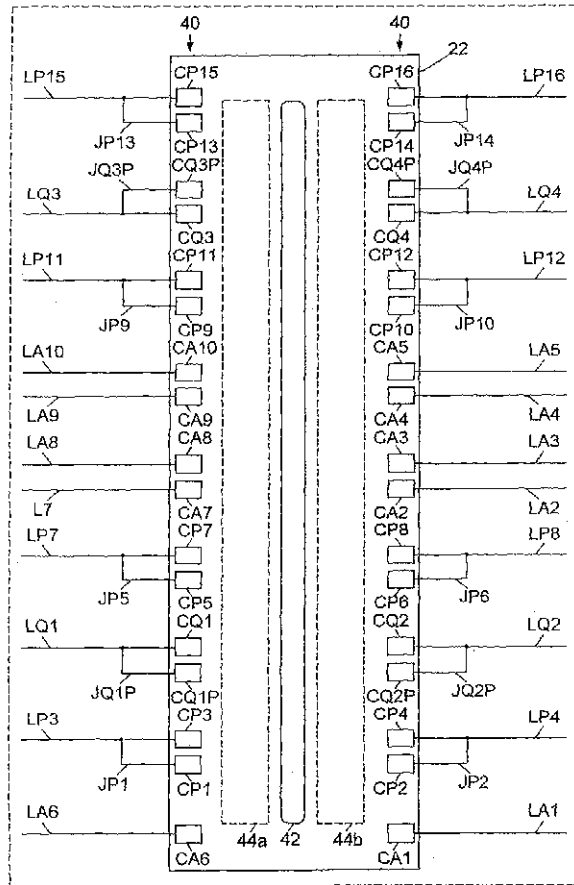
Fig. 1

WO 01/72523

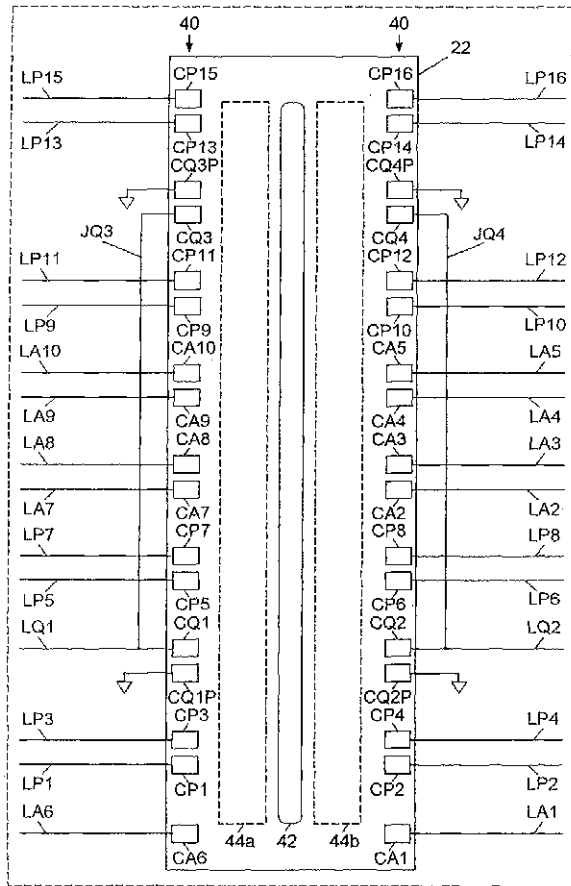
PCT/US01/09848

2/16





32 **Fig. 3A**

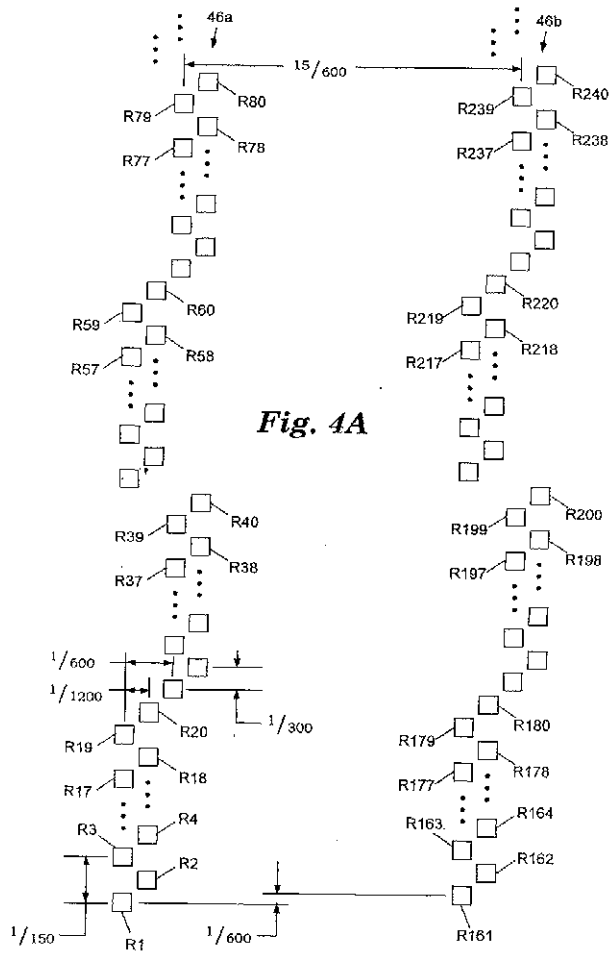


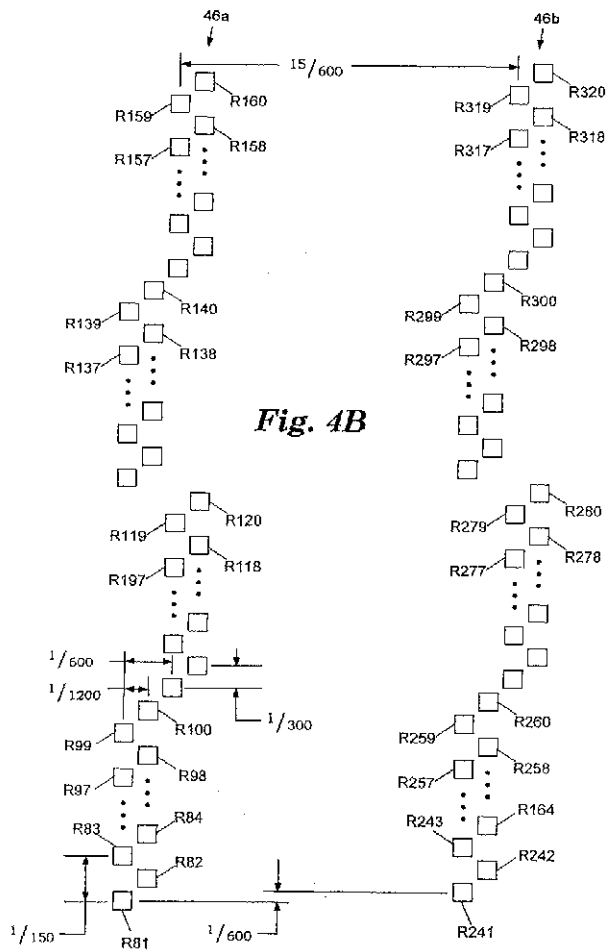
32
Fig. 3B

WO 01/72523

PCT/US01/09848

5/16





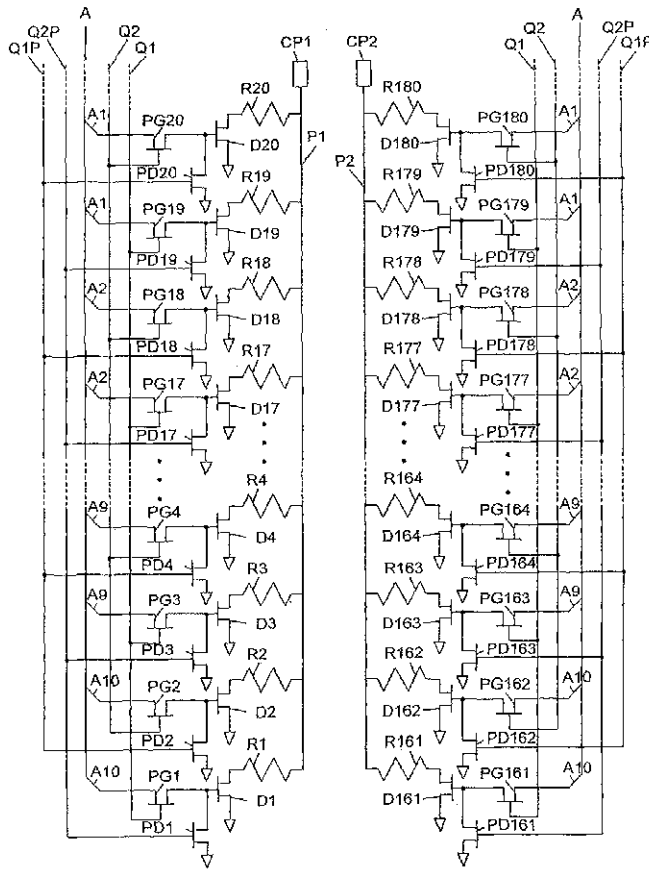


Fig. 5A

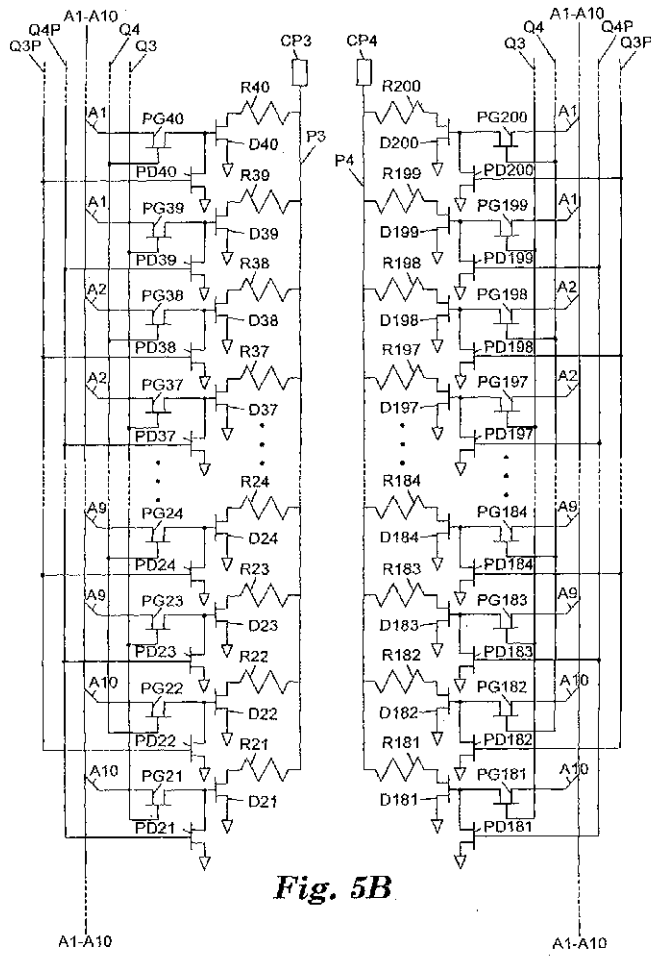


Fig. 5B

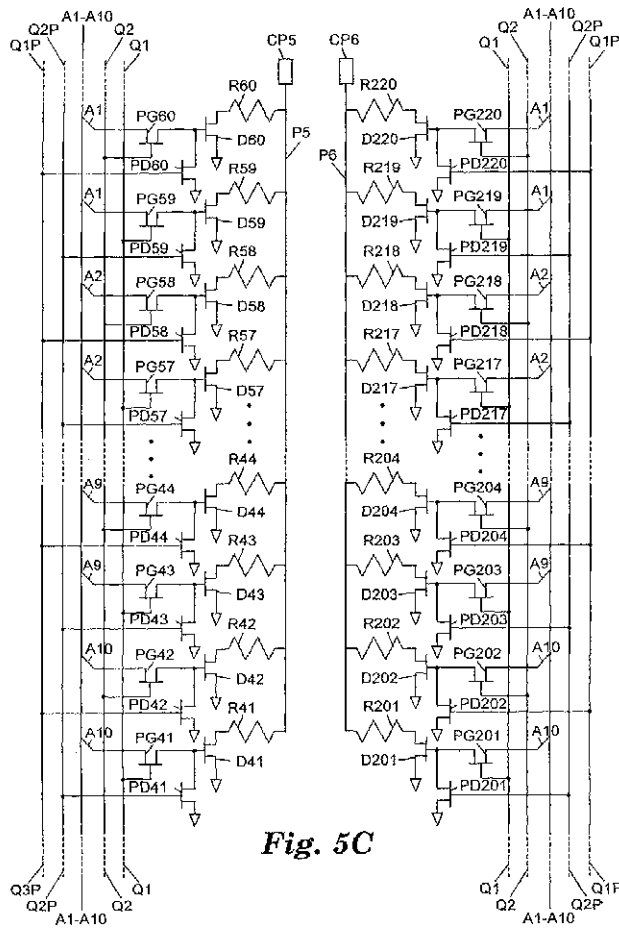
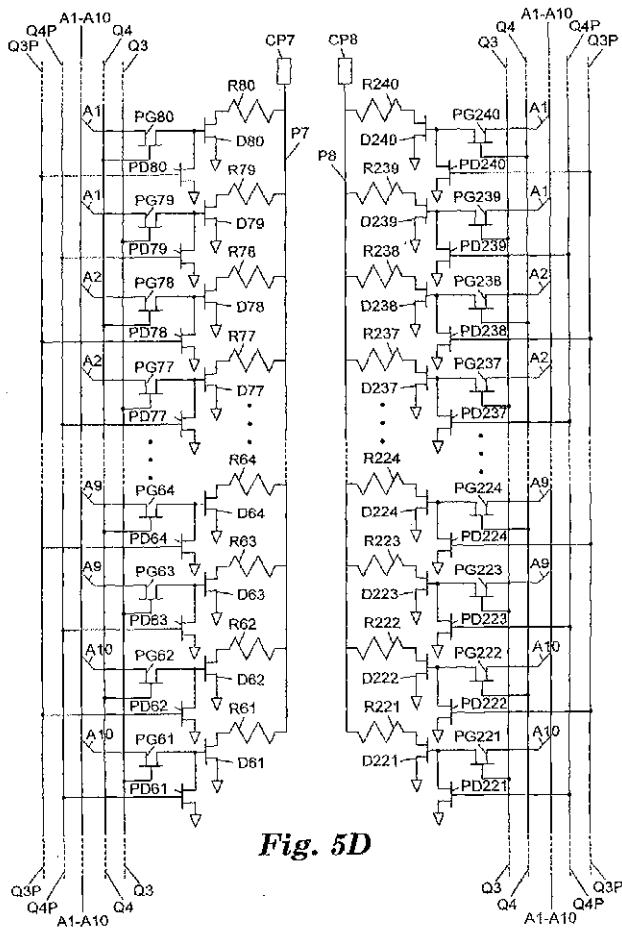


Fig. 5C



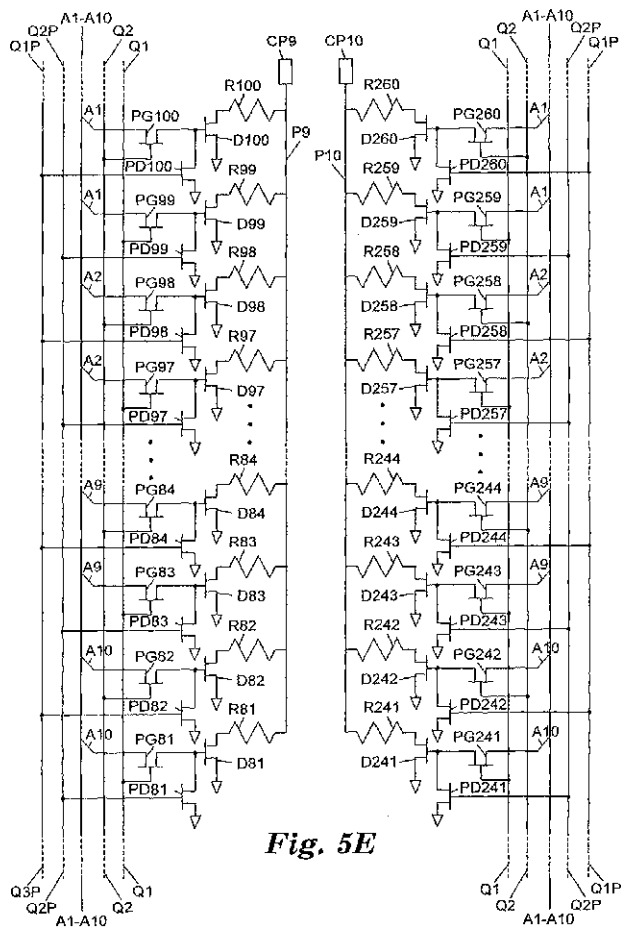


Fig. 5E

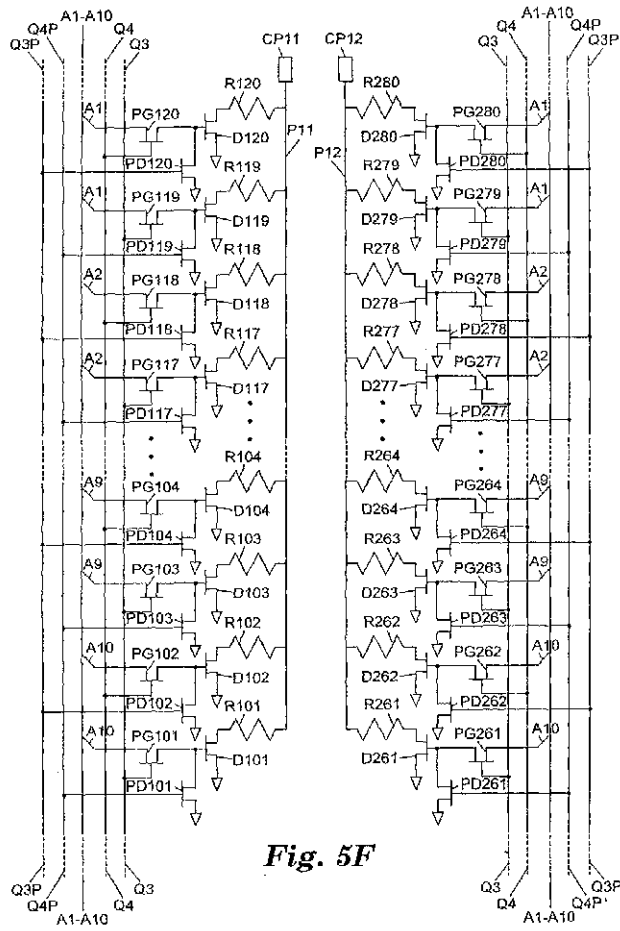


Fig. 5F

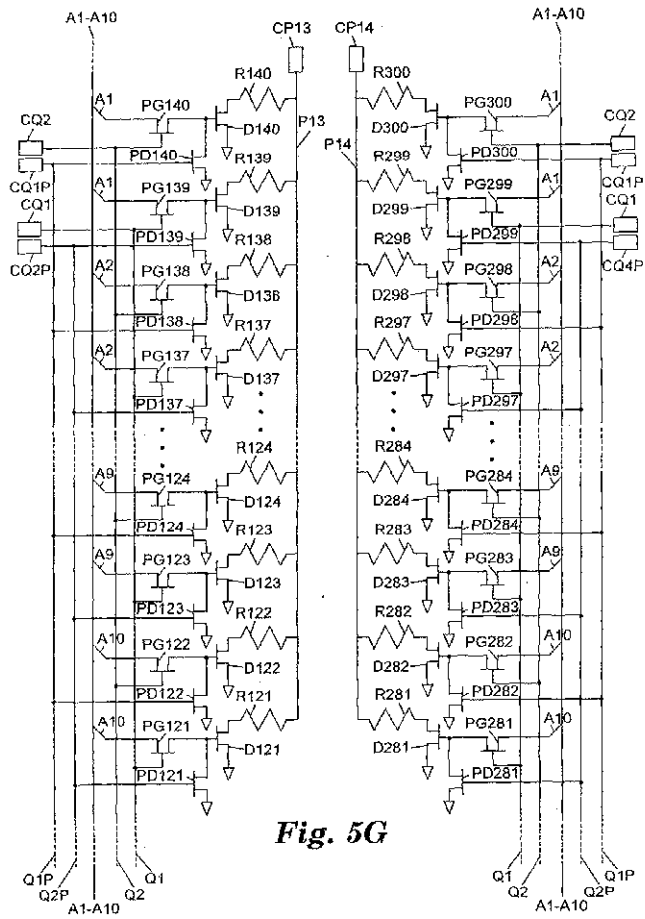


Fig. 5G

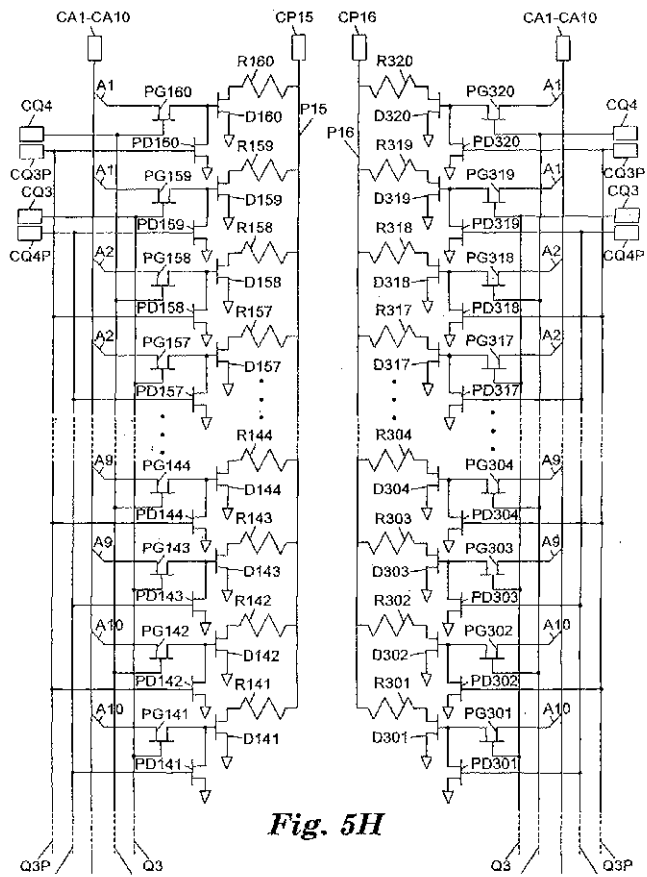


Fig. 5H

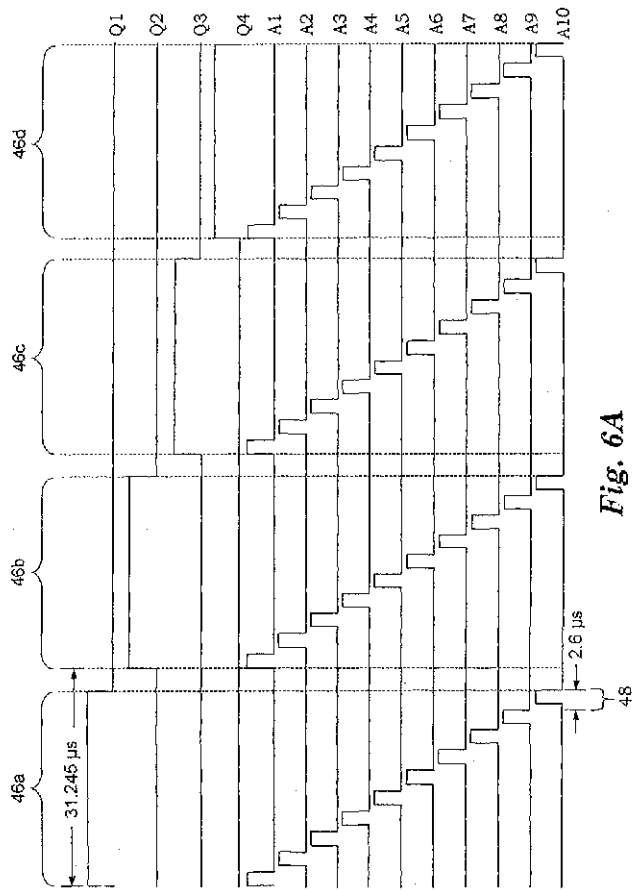


Fig. 6A

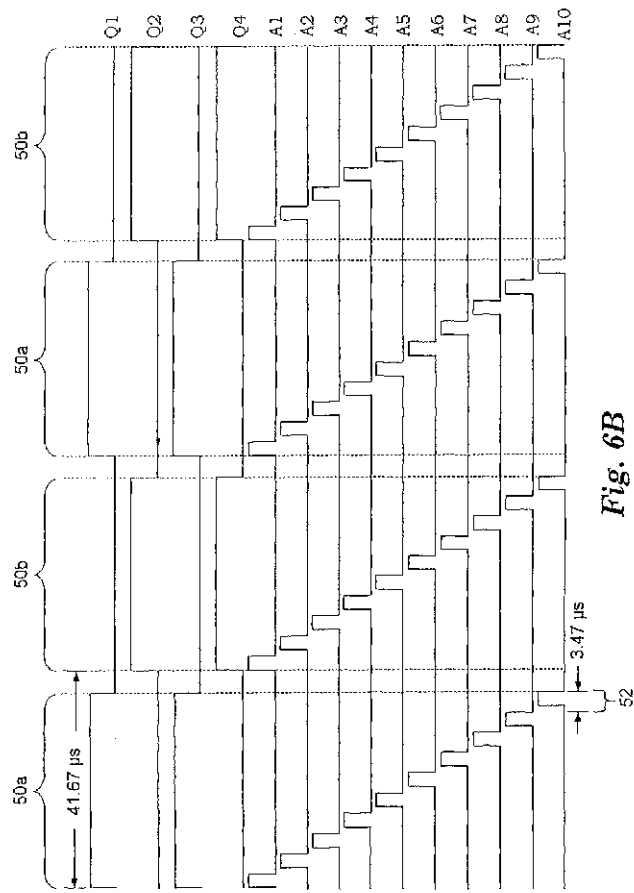


Fig. 6B

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internat'l application No. PCT/US01/09848
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : B41J 29/38, 2/05 US CL : 347/57, 12 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 347/57, 12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) East		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages.	Relevant to claim No.
X ---	US 5,790,140 A (KOIZUMI et al.) 04 August 1998 (04.08.98), specification.	1-8 -----
Y	US 5,146,236 A (HIRATA et al.) 08 September 1992 (08.09.92), specification.	9-18
Y		9-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier documents published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date of priority date and not included with the application but cited to understand the principle or theory underlying the invention "X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" documents of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" documents member of the same patent family		
Date of the actual completion of the international search 11 JUNE 2001		Date of mailing of the international search report 01 AUG 2001
Name and mailing address of the ISA/US Comptroller of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer CHARLES STEWART Telephone No. (703) 308-7252

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,S G,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 パリッシュ、ジョージ、キース

アメリカ合衆国 40391 ケンタッキー、ウィンチェスター、フォンテン・ブルバード 11
Fターム(参考) 2C057 AR03 AR14 AR16 BA13

【要約の続き】

ヘッド(20)はまた、プリントヘッドの集積回路(20)に接続される操作モード選択回路を含む。操作モード選択回路の配置は、スイッチング回路が第1の操作モード又は第2の操作モードにおいて動作するかを決定する。