

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3696211号

(P3696211)

(45) 発行日 平成17年9月14日(2005.9.14)

(24) 登録日 平成17年7月8日(2005.7.8)

(51) Int.Cl.⁷

H02M 3/155

F I

H02M 3/155

S

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2003-32308 (P2003-32308)	(73) 特許権者	000003078
(22) 出願日	平成15年2月10日 (2003.2.10)		株式会社東芝
(65) 公開番号	特開2004-242484 (P2004-242484A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年8月26日 (2004.8.26)	(74) 代理人	100075812
審査請求日	平成15年4月14日 (2003.4.14)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 パワースイッチング装置

(57) 【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板に互いに並列接続するように形成され、電源から負荷への電流をゲート電極の電位に基づいてスイッチングする複数のセルと、前記ゲート電極に接続され、前記複数のセルの配列内に分散配置され、若しくは、前記複数のセルの周辺に分散配置された複数のドライバとを備えたスイッチング回路、

前記複数のドライバを制御する制御回路および、

前記スイッチング回路に流れる電流を検出し、この検出の結果を前記制御回路へフィードバックする検出回路を備え、

前記制御回路は、前記スイッチング回路に流れる電流に基づいて前記複数のドライバをそれぞれ独立して制御することを特徴とするパワースイッチング装置。

10

【請求項 2】

前記検出回路は、当該パワースイッチング装置の入力と出力との間に直列接続された検出抵抗に流れる電流を検出することを特徴とする請求項 1 に記載のパワースイッチング装置。

【請求項 3】

半導体基板と、前記半導体基板に配列して形成され、電源から負荷への電流をゲート電極の電位に基づいてスイッチングする複数のセルと、前記ゲート電極に接続され、前記複数のセルの配列内に分散配置され、若しくは、前記複数のセルの周辺に分散配置された複数のドライバとを備えたスイッチング回路および、

20

前記複数のドライバを制御する制御回路、および、

前記複数のドライバのそれぞれに対応して設けられており、前記スイッチング回路に流れる電流を検出し、この検出の結果を前記制御回路へフィードバックする検出回路を備える、

前記制御回路は、前記前記スイッチング回路に流れる電流の変化から得られた前記スイッチング回路の動作周波数に基づいて、前記複数のドライバをそれぞれ独立して制御することを特徴とするパワースwitchング装置。

【請求項4】

前記複数のドライバの重心は、前記複数のセルの重心に一致するように配置されていることを特徴とする請求項1または請求項3に記載のパワースwitchング装置。

10

【請求項5】

前記ゲート電極は前記複数のドライバのそれぞれに対応して分割され、分割された各ゲート電極は互いに電氣的に絶縁されていることを特徴とする請求項1または請求項3に記載のパワースwitchング装置。

【請求項6】

前記制御回路は、当該パワースwitchング装置の動作周波数が上昇すると、前記複数のドライバのうち動作するドライバの数を減少させることを特徴とする請求項5に記載のパワースwitchング装置。

【請求項7】

前記制御回路は、当該パワースwitchング装置に流れる電流が上昇すると、前記複数のドライバのうち動作するドライバの数を上昇させることを特徴とする請求項5に記載のパワースwitchング装置。

20

【請求項8】

前記複数のドライバはそれぞれに対応するゲート電極のほぼ中心に位置することを特徴とする請求項5に記載のパワースwitchング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はパワースwitchング装置に関する。

【0002】

30

【従来の技術】

パワーMOSFETやIGBT (Insulated Gate Bipolar Transistor) などのMIS (Metal Insulated Semiconductor) トランジスタは、電源やインバータ等の様々な電子機器に用いられている。

【0003】

図9は、従来の典型的なDC-DCコンバータの回路図である。DC-DCコンバータ500は、入力INと出力OUTとの間に接続されたパワーMOSFET Q_1 (以下、トランジスタ Q_1 ともいう) を備えている。トランジスタ Q_1 は、制御回路 IC_1 によって高周波数で制御されるドライバ DR_1 によって駆動される。

【0004】

40

DC-DCコンバータ500は、インダクタンス L 、キャパシタ C_{in} およびキャパシタ C_{out} をさらに備えている。インダクタンス L 、キャパシタ C_{in} およびキャパシタ C_{out} は、トランジスタ Q_1 がオンまたはオフへスイッチングされることによって、入力電圧 V_{in} を出力電圧 V_{out} へ変換する。

【0005】

DC-DCコンバータ500は、ダイオード DI およびパワーMOSFET Q_2 (以下、トランジスタ Q_2 ともいう) をさらに備えている。ダイオード DI およびトランジスタ Q_2 は、トランジスタ Q_1 がオンからオフへスイッチングされたときに、DC-DCコンバータの出力電流を補う。従って、トランジスタ Q_1 がオンであるときにはトランジスタ Q_2 はオフであり、トランジスタ Q_1 がオンからオフへスイッチングされたときにトラン

50

ジスタ Q_2 はオフからオンへスイッチングされる。即ち、DC-DCコンバータ500は、同期整流型DC-DCコンバータである。トランジスタ Q_2 は、制御回路IC₁によって制御されたドライバDR₂によって駆動される。

【0006】

【特許文献1】

特開平6-216315号公報

【特許文献2】

特開平8-274182号公報

【特許文献3】

特開2002-16486号公報

10

【特許文献4】

特開平8-204183号公報（米国特許第5,693,966号）

【0007】

【発明が解決しようとする課題】

従来のトランジスタ Q_1 は、1つのゲート電極によって総てのセルを駆動していた。トランジスタ Q_1 は、入力から出力へ大電流を流すために互いに並列に接続された多数のセルを有する。ゲート電極がこれらのセル上にそれぞれ設けられており、ゲート電極にはアルミニウム配線が接続されている。アルミニウム配線は、ボンディングパッド（図示せず）に接続されている。ボンディングパッドを介してアルミニウム配線に電圧を印加することによって、総てのセルのゲート電極の電位が変化する。それによって総てのセルがオンまたはオフに切り替えられる。これは、活性化されるセル領域の面積（以下、活性化面積という）が、チップサイズに依存し、一定であることを意味する。

20

【0008】

トランジスタ Q_1 のスイッチング速度を速くするためには、アルミニウム配線の抵抗またはインダクタンスを低下させることが有効である。従来の技術では、アルミニウム配線の抵抗またはインダクタンスを低下させるために、アルミニウム配線の幅をより広く製造し、若しくは、複数のアルミニウム配線を製造していた。

【0009】

しかし、アルミニウム配線の抵抗を低下させた場合、ドライバDR₁は大電流を流さなければならない。よって、ドライバDR₁の負担が増大する。さらに、この場合、ゲート電極へのボンディングワイヤに大電流が流れるので、ボンディングワイヤの抵抗およびインダクタンスを考慮する必要があるが生じる。

30

【0010】

そこで、本発明の目的は、高速にスイッチング動作をすることができるパワースwitchング装置を提供することである。

【0011】

【課題を解決するための手段】

本発明に係る実施形態に従ったパワースwitchング装置は、半導体基板と、前記半導体基板に互いに並列接続するように形成され、電源から負荷への電流をゲート電極の電位に基づいてスイッチングする複数のセルと、前記ゲート電極に接続され、前記複数のセルの配列内に分散配置され、若しくは、前記複数のセルの周辺に分散配置された複数のドライバとを備えたスイッチング回路、

40

前記複数のドライバを制御する制御回路および、

前記スイッチング回路に流れる電流を検出し、この検出の結果を前記制御回路へフィードバックする検出回路を備え、

前記制御回路は、前記スイッチング回路に流れる電流に基づいて前記複数のドライバをそれぞれ独立して制御する。

【0012】

本発明に係る実施形態に従ったパワースwitchング装置は、半導体基板と、前記半導体基板に配列して形成され、電源から負荷への電流をゲート電極の電位に基づいてスイッチ

50

ングする複数のセルと、前記ゲート電極に接続され、前記複数のセルの配列内に分散配置され、若しくは、前記複数のセルの周辺に分散配置された複数のドライバとを備えたスイッチング回路および、

前記複数のドライバを制御する制御回路、および、

前記複数のドライバのそれぞれに対応して設けられており、前記スイッチング回路に流れる電流を検出し、この検出の結果を前記制御回路へフィードバックする検出回路を備え、

前記制御回路は、前記前記スイッチング回路に流れる電流の変化から得られる前記スイッチング回路の動作周波数に基づいて、前記複数のドライバをそれぞれ独立して制御する。

10

【0022】

【発明の実施の形態】

以下、図面を参照し、本発明による実施の形態を説明する。これらの実施の形態は本発明を限定するものではない。

【0023】

従来、パワースwitchング装置を駆動させるドライバは制御回路内に設けられられていた（図9のDR₁を参照）。本発明による実施の形態は、パワースwitchング装置のセルの配列内またはその周辺に分散配置された複数のドライバを備えている。これにより、本発明による実施の形態は、分散された複数のポイントからゲート電極へ電流を供給し、セルの活性化面積を制御することができる。

20

【0024】

図1は、本発明に係るパワースwitchング装置の第1の実施の形態に従ったパワーMISFET Q₁₀（以下 トランジスタQ₁₀ともいう）の平面図である。トランジスタQ₁₀はフレーム10に搭載された半導体チップ20を備えている。半導体チップ20は、半導体基板22、ゲート電極24および複数のドライバ30を備えている。半導体基板22には、複数のセルが配列して形成されている。但し、これらのセルはゲート電極24の下に形成されているので図示していない。

【0025】

ドライバ30は、ゲート電極24に接続されている。ドライバ30にゲート信号が入力されると、ドライバ30はゲート信号を増幅し、ゲート電流をゲート電極24に供給する。これによって、ゲート電極24の電位が変化するので、各セルがスイッチングし、電流が電源から負荷へ流れ得る。各セルが流すことができる電流量は小さいが、多くのセルを並列接続することによってトランジスタQ₁₀は大電流を流すことができる。

30

【0026】

本実施の形態によれば、4つのドライバ30が、複数のセルの配列内に分散配置されている。ドライバ30は、半導体チップ20の表面上において、前後左右に偏ることなく均一に分散配置されている。換言すると、ドライバ30は、4つのドライバ30の重心が全セルの重心にほぼ一致するように配置されている。

【0027】

従来のトランジスタQ₁においては、1つのポイント（ゲートに接続されたボンディングパッド）からゲート電流が供給されていた。しかし、本実施の形態によれば、複数のドライバ30がセルの配列内に組み込まれているので、ゲート電流は、ゲート電極24の複数のポイントから供給され得る。従って、トランジスタQ₁₀のゲート電極24の容量がトランジスタQ₁のゲート電極の容量に等しい場合であっても、トランジスタQ₁₀のドライバ30はゲート電極24を速く昇圧することができる。その結果、トランジスタQ₁₀は従来のトランジスタQ₁よりもスイッチング速度が速くなる。但し、この場合、複数のドライバ30はそれぞれ同じタイミングでゲート電極24に電圧を印加する。

40

【0028】

ゲート電流は、複数のポイントからゲート電極24へ供給されるので、ゲート電極24のインダクタンスが低下する。これにより、電子機器の動作が安定する。また、複数のドラ

50

イバ30が分散配置されているので、ゲート電極24へ電流を供給するポイントから各セルまでの距離が短くなる。これにより、アルミニウム配線の抵抗およびインダクタンスが低減する。一般に、パワーMISFETのゲート抵抗やインダクタンスは、ドライバ30からゲート電極24までのアルミニウム配線に起因する。従って、アルミニウム配線の抵抗およびインダクタンスを低下させることによって、パワーMISFETのゲート抵抗やインダクタンスが低下する。よって、トランジスタ Q_{10} のスイッチング速度が速くなる。

【0029】

本実施の形態は、ゲート電極24の複数のポイントからゲート電流を供給するので、ゲート電流が各ドライバ30に分散される。よって、1つのドライバ30に大電流が集中することがなく、ドライバ30への負担が従来に比べて小さい。さらに、ドライバ30はセルの配列内に均一に分散配置されているので、ほぼ等しい電流がそれぞれのドライバ30に流れる。ボンディングワイヤには信号電流のみが流れ、増幅された後の大電流は流れないので、ボンディングワイヤの抵抗およびインダクタンスを考慮する必要がない。さらに、複数のドライバ30から各セルまでの距離を従来よりも短縮することができる。よって、アルミニウム配線の抵抗およびインダクタンスが低下する。その結果、トランジスタ Q_{10} のスイッチング速度が従来よりも速くなる。スイッチング速度が速くなることは、スイッチング時間 t_{sw} が短くなることを意味するので、下記の式2に示すスイッチング損失が低下する。

【0030】

また、本実施の形態によれば、複数のドライバ30のそれぞれを異なるタイミングで制御することができる。それによって、複数のドライバ30は、ゲート電極24への電流を制御し、ゲート電圧の上昇速度または低下速度を変更することができる。例えば、ゲート電極24の電位の立下りの初期において、図5に示す制御回路ICは総てのドライバ30を動作させる。それによって、ゲート電流の増幅率が比較的大きいので、ゲート電極24の電位は比較的素早く低下する。その後、ゲート電極24の電位の立下りが完了する直前に、制御回路ICは、動作させるドライバ30の個数を減少させる。それによって、ゲート電流の増幅率が比較的小さくなるので、ゲート電極24の電位は比較的緩やかに低下する。このように、立下りが完了する直前に、ゲート電極24の電位を比較的緩やかに低下させることによって、スイッチング速度が抑制される。これにより、スイッチングノイズが低減する。一方で、ゲート電極24の電位の立下りの初期において、ゲート電極24の電位を素早く低下させるので、スイッチング損失が発生する時間は、従来のスイッチング動作とほぼ同じである。スイッチング速度の低下の度合いは従来よりも小さい。

【0031】

ゲート電極24の電位の立上りに関しても、その立下りと同様に、スイッチング速度の低下をある程度抑制しつつ、スイッチングノイズを低減させることができる。

【0032】

複数配置したドライバの電流増幅率を変えることによって、スイッチングノイズは低減する。しかし、従来は、スイッチング時間 t_{sw} を変更するために、外付けのゲート抵抗を用いていた。ゲート抵抗は、スイッチング時間 t_{sw} 中に亘ってゲート電流を抑えるので、スイッチングの間、一律にスイッチング速度を低下させる。その結果、スイッチング損失を増大させるという結果をもたらす。これに対し、本実施の形態によれば、外付けのゲート抵抗を用いることなく、スイッチング時間のうちある部分的な期間だけドライバの電流増幅率を変え、スイッチング速度を変更することができる。即ち、本実施の形態は、スイッチングの間にスイッチング速度を変更することによって、ノイズを効果的に抑制することができる。例えば、ドレイン電流が完全に立上がる直前に、スイッチング速度を低下させることによって、ノイズは効果的に抑制され得る。

【0033】

オン抵抗 $R_{DS(on)}$ は、トランジスタ内で並列接続するセル数を増加させることにより低下する。しかし、各セルは並列接続されているので、セル数を増加させることは、ゲ

10

20

30

40

50

ート電極の容量を増大させる。ゲート電極の容量が増加すると、スイッチング時間 t_{SW} が遅くなってしまう。従って、オン抵抗 $R_{DS(ON)}$ とスイッチング時間 t_{SW} とは、並列接続するセルの個数に関してトレードオフの関係にある。

【0034】

従来からこのトレードオフの関係を改善する試みが多かった。しかし、本発明の発明者は、過渡現象においてインダクタンス、キャパシタおよび抵抗は等価であることに着目した。これに基づいた本実施の形態は、複数のドライバ30をセルの配列内に分散配置させた。それによって、アルミニウム配線の抵抗およびインダクタンスを低減させることができた。本実施の形態によれば、オン抵抗 $R_{DS(ON)}$ を低下させるためにゲート電極24の容量が増加した場合であっても、アルミニウム配線の抵抗およびインダクタンスを低減させることによって、スイッチング時間 t_{SW} の増加を抑えることができる。従って、本実施の形態によれば、ゲート電極24の容量を変更することなく、オン抵抗 $R_{DS(ON)}$ およびスイッチング時間 t_{SW} のトレードオフを改善し、その結果、電力損失 P を低下させることができる。これは、図5に示すようなDC-DCコンバータにおいて電源の変換効率を改善し、電子機器の消費電力を低減することができる。

10

【0035】

図2は、本発明に係るパワースイッチング装置の第2の実施の形態に従ったパワーMISFET Q_{11} (以下 トランジスタ Q_{11} ともいう) の平面図である。トランジスタ Q_{11} は、フレーム10上にドライバ30を搭載している点でトランジスタ Q_{10} と異なる。ドライバ30は、半導体チップ20とは別個に製造されたドライバチップとしてよい。トランジスタ Q_{11} の他の構成はトランジスタ Q_{10} と同様である。本実施の形態において、ドライバ30は、トランジスタ Q_{10} と同様に、4つのドライバ30の重心が全セルの重心にほぼ一致するように配置されている。

20

【0036】

本実施の形態によれば、ドライバ30がセルの配列内に存在しないので、第1の実施の形態よりも多くのセルを半導体チップ20内に設けることができる。さらに、本実施の形態は、トランジスタ Q_{10} と同様の効果を得ることができる。

【0037】

図3は、本発明に係るパワースイッチング装置の第3の実施の形態に従ったパワーMISFET Q_{12} (以下 トランジスタ Q_{12} ともいう) の平面図である。本実施の形態は、ゲート電極が24a、24b、24cおよび24dに分割されている点で第1の実施の形態と異なる。ゲート電極24a、24b、24cおよび24dは互いに電氣的に絶縁されている。図3および図4において、ゲート電極24aから24dの分離領域を破線で示している。ゲート電極24a、24b、24cおよび24dは、それぞれドライバ30a、30b、30cおよび30dに接続されている。ドライバ30aから30dは、アルミニウム配線の抵抗およびインダクタンスを低下させるために、それぞれゲート電極24aから24dのほぼ中心に設けられている。本実施の形態の他の構成は、第1の実施の形態と同様である。

30

【0038】

本実施の形態によれば、ドライバ30aから30dが同じタイミングでゲート電極24aから24dに電圧を与える場合には、第1の実施の形態と同様に動作する。

40

【0039】

一方で、ドライバ30aから30dがそれぞれ異なるタイミングでゲート電極24aから24dに電圧を与える場合には、ドライバ30aから30dはゲート電極24aから24dのそれぞれの下にあるセルのみを駆動させることができる。

【0040】

一般に、同期整流型DC-DCコンバータが高速動作をする場合には、それに用いられるパワーMOSトランジスタの電力損失 P は、主にオン抵抗損失(定常損失)およびスイッチング損失の和である。パワーMOSトランジスタのオン抵抗を $R_{DS(ON)}$ とし、パワーMOSトランジスタのスイッチング時間を t_{SW} とすると、一般的に、電力損失 P は

50

式 1 のように表すことができる。

【 0 0 4 1 】

【 数 1 】

$$P = I_D V_{in} t_{sw} f + I_D^2 R_{DS(ON)} \frac{V_{out}}{V_{in}} \geq 2 \sqrt{I_D V_{in} t_{sw} f \times I_D^2 R_{DS(ON)} \frac{V_{out}}{V_{in}}} \quad (\text{式 1})$$

尚、 I_D はドレイン電流であり、 f は D C - D C コンバータの動作周波数である。スイッチング損失は式 2 で表され、オン抵抗損失は式 3 で表される。

【 0 0 4 2 】

10

【 数 2 】

$$I_D V_{in} t_{sw} f \quad (\text{式 2})$$

$$I_D^2 R_{DS(ON)} \frac{V_{out}}{V_{in}} \quad (\text{式 3})$$

スイッチング損失とオン抵抗損失とが等しいとき、即ち、下記の式 4 が成り立つときは、式 1 の等号が成り立ち、電力損失 P は最小値となる。式 4 が成立することが、D C - D C コンバータにとって最適な条件となる。

20

【 0 0 4 3 】

【 数 3 】

$$I_D V_{in} t_{sw} f = I_D^2 R_{DS(ON)} \frac{V_{out}}{V_{in}} \quad (\text{式 4})$$

ドレイン電流 I_D 、入力電圧 V_{in} 、出力電圧 V_{out} および D C - D C コンバータの動作周波数 f が与えられると、式 4 を満たすオン抵抗 $R_{DS(ON)}$ とスイッチング時間 t_{sw} との比が決定する。

【 0 0 4 4 】

30

従来のトランジスタ Q_1 は、製造された後、活性化面積が一定であるので、ゲート電極の抵抗、インダクタンスおよび容量も一定となる。活性化面積、ゲート電極の抵抗、インダクタンスおよび容量は、オン抵抗 $R_{DS(ON)}$ およびスイッチング時間 t_{sw} を決定する要因である。従って、1つのトランジスタ Q_1 は、ある負荷 R_L に対して、上記の最適な条件をたった1つしか提供することができなかった。即ち、従来のトランジスタ Q_1 は負荷 R_L の変化に対応した最適な条件を提供することができなかった。

【 0 0 4 5 】

これに対して、本実施の形態は、ドライバ 30 a から 30 d の動作を制御することによって、活性化面積を変更することができる。これにより、式 4 が成立するようにオン抵抗 $R_{DS(ON)}$ とスイッチング時間 t_{sw} とを調節することができる。

40

【 0 0 4 6 】

さらに、本実施の形態は第 1 の実施の形態が有する効果と同様の効果を有する。

【 0 0 4 7 】

図 4 は、本発明に係るパワースwitchング装置の第 4 の実施の形態に従ったパワー M I S F E T Q_{1-3} (以下 トランジスタ Q_{1-3} ともいう) の平面図である。本実施の形態は、ゲート電極が 24 a、24 b、24 c および 24 d に分割されている点で第 2 の実施の形態と異なる。ゲート電極 24 a、24 b、24 c および 24 d は互いに電氣的に絶縁されている。ゲート電極 24 a、24 b、24 c および 24 d は、それぞれドライバ 30 a、30 b、30 c および 30 d に接続されている。本実施の形態の他の構成は、第 2 の実施の形態と同様である。

50

【0048】

本実施の形態は、第2の実施の形態および第3の実施の形態の両方の効果を有する。

【0049】

パワースイッチング装置の第1から第4の実施の形態は、パワーMOSFETまたはIGBTでもよい。これらのパワースイッチング装置は、P型のFETまたはN型のFETの何れでもよい。

【0050】

ドライバ30の個数は限定しない。第3および第4の実施の形態において、ドライバ30の個数とゲート電極24の個数とは等しい。

【0051】

これらの実施の形態において、ドライバ30は、アルミニウム配線の抵抗およびインダクタンスを低下させるために、全ドライバ30の重心が全セルの重心にほぼ一致するように配置された。しかし、ゲート電極24に電流を効率よく供給することができる位置であれば、ドライバ30は自由に配置してよい。

【0052】

図5は、本発明に係るDC-DCコンバータの第1の実施の形態を示す回路図である。本実施の形態によるDC-DCコンバータ100は、トランジスタ Q_{12} 、制御回路 IC_1 および検出回路Sを備えている。トランジスタ Q_{12} は、入力INと出力OUTとの間に接続されている。トランジスタ Q_{12} は、図3に示されている。図5または図7の実施の形態において、トランジスタ Q_{12} に代えて、図4に示されたトランジスタ Q_{13} を用いてもよい。

【0053】

制御回路 IC_1 は、トランジスタ Q_{12} 内に設けられた複数のドライバ30を制御する。ドライバ30がトランジスタ Q_{12} 内に設けられているので、制御回路 IC_1 はドライバDR₁を有しない。制御回路 IC_1 はドライバ30を制御してトランジスタ Q_{12} を高周波数でスイッチングさせる。

【0054】

検出回路Sは、入力INと出力OUTとの間に直列に接続された検出抵抗 R_s を備えている。検出抵抗 R_s は出力OUTの近傍に設けられている。さらに、検出回路Sは、検出抵抗 R_s に対して並列に接続されたセンスアンプAMP₁からAMP₄を備えている。センスアンプAMP₁からAMP₄は互いに並列に接続されている。センスアンプAMP₁からAMP₄の入力の一方は、検出抵抗 R_s の入力IN側の端に接続されている。それらの入力他方は、それぞれ電圧源 V_1 から V_4 を介して検出抵抗 R_s の出力OUT側の端に接続されている。センスアンプAMP₁からAMP₄の出力は、制御回路 IC_1 へ接続されている。

【0055】

センスアンプAMP₁からAMP₄は、トランジスタ Q_{12} 内の複数のドライバ30のそれぞれに対して1つずつ設けられている。従って、本実施の形態では、センスアンプAMP₁からAMP₄の個数は、ドライバ30の個数と同じである。

【0056】

検出回路Sは、検出抵抗 R_s に流れる電流、即ち、トランジスタ Q_{12} に流れる電流を検出し、この検出結果を制御回路 IC_1 へフィードバックする。

【0057】

検出回路Sの動作をより詳細に説明する。検出抵抗 R_s に流れる電流が大きくなると、検出抵抗 R_s の両端に電位差が大きくなる。このときの検出抵抗 R_s の入力IN側の端の電圧を V_a とし、検出抵抗 R_s の出力OUT側の端の電圧を V_b とする。センスアンプAMP₁は、電圧 V_a と電圧 V_b との電位差が電圧 V_1 を超えたときに、検出信号を制御回路 IC_1 へフィードバックする。制御回路 IC_1 は、この検出信号に基づいて、複数のドライバ30のうちセンスアンプAMP₁に対応する1つのドライバ30を動作させる。同様に、センスアンプAMP₂からAMP₄は、電圧 V_a と電圧 V_b との電位差がそれぞ

10

20

30

40

50

れ電圧 V_2 から電圧 V_4 を超えたときに、検出信号を制御回路 IC_{10} へフィードバックする。制御回路 IC_{10} はこの検出信号に基づいて、複数のドライバ 30 のうちセンサアンプ AMP_2 から AMP_4 のそれぞれに対応するドライバ 30 を動作させる。

【0058】

さらに、センサアンプ AMP_1 から AMP_4 は、電圧 V_a と電圧 V_b との電位差がそれぞれ電圧 V_1 から V_4 より低下したときには、検出信号を制御回路 IC_{10} へフィードバックする。制御回路 IC_{10} は、これらの検出信号に基づいて、複数のドライバ 30 のうちセンサアンプ AMP_1 から AMP_4 のそれぞれに対応するドライバ 30 を停止させる。

【0059】

このように、DC-DCコンバータ 100 は、トランジスタ Q_{12} に設けられた複数のドライバ 30 のそれぞれを独立して制御することができる。一方で、電圧 V_1 から V_4 を等しくすることによって、DC-DCコンバータ 100 は、トランジスタ Q_{12} に設けられた複数のドライバ 30 を同時に制御することができる。

【0060】

また、周波数変調で制御する場合、トランジスタ Q_{12} の動作周波数が変化すると、トランジスタ Q_{12} に流れる電流、即ち、検出抵抗 R_s に流れる電流が変化する。検出回路 S が動作周波数の変化に伴う電流の変化を検出し、制御回路 IC_{10} へ検出信号を送る。制御回路 IC_{10} は、この検出信号に基づいてドライバ 30 を制御することができる。

【0061】

例えば、動作周波数が上昇した場合に、制御回路 IC_{10} は、複数のドライバ 30 のうち一部のドライバ 30 をオフにし、活性化されるセルの個数を減少させる。その結果、オン抵抗 $R_{DS(on)}$ が上昇し、スイッチング時間 t_{sw} が短くなる。一方で、動作周波数が低下した場合に、制御回路 IC_{10} は、動作させるドライバ 30 を増加させる。その結果、オン抵抗 $R_{DS(on)}$ が低下し、スイッチング時間 t_{sw} が長くなる。これにより、オン抵抗損失とスイッチング損失との比を調整することができる。よって、本実施の形態は、動作周波数 f が変化しても式 4 を成立させることができる。

【0062】

例えば、パーソナルコンピュータ内の DC-DCコンバータに用いられるパワー MOSFET Q_{12} または Q_{13} に流れる電流は、CPU が処理を実行しているとき、または、HDD (Hard Disk Drive) が高速回転しているときなど、負荷が大きい場合に増加する。式 2 および式 3 に示すとおり、スイッチング損失は電流 I_D の 1 次関数であり、オン抵抗損失は電流 I_D の 2 次関数であるので、電力損失 P に占めるオン抵抗損失の割合がスイッチング損失の割合に比べて増大する。この場合には、動作させるドライバ 30 の個数を増加させることによって、活性化させるセルの個数を増加させる。これにより、パワー MOSFET Q_{12} または Q_{13} のオン抵抗を低下させる。その結果、オン抵抗損失とスイッチング損失とが等しくなるように調整することができる。このように、本実施の形態は、動作させるドライバ 30 の個数を変更することによって、式 4 を成立させることができる。

【0063】

本実施の形態において、検出抵抗 R_s に代えて、CT (Current Transformer)、トランスまたはホール IC のいずれかを用いることができる。図 6 (A) から図 6 (C) に CT、トランスおよびホール IC の実施の形態を示す。CT、トランスまたはホール IC のいずれかを用いる場合、図 5 に示すノード Na からノード Nb までの配線、ノード Nc からノード Nd までの配線およびノード Na からノード Nd までの検出抵抗 R_s を含む配線に代えて、図 6 (A) から図 6 (C) のいずれかに示す端子 Ta、Tb、Tc および Td をそれぞれノード Na、Nb、Nc および Nd に接続すればよい。このような変形例も、図 5 に示す実施の形態の効果の有する。

【0064】

図 7 は、本発明に係る DC-DCコンバータの第 2 の実施の形態を示す回路図である。本実施の形態による DC-DCコンバータ 200 は、検出抵抗を有さず、検出回路 S がトラ

10

20

30

40

50

ンジスタ Q_{12} に流れる電流を直接に検出する点でDC-DCコンバータ100と異なる。

【0065】

本実施の形態の検出回路Sは、トランジスタ Q_{12} に対して並列に接続されたセンスアンプAMP₁からAMP₄を備えている。センスアンプAMP₁からAMP₄は互いに並列に接続されている。センスアンプAMP₁からAMP₄の入力の一方は、トランジスタ Q_{12} のドレインに接続されている。それらの入力他方は、それぞれ電圧源 V_1 から V_4 を介してトランジスタ Q_{12} のソースに接続されている。本実施の形態のその他の構成は、図5に示すDC-DCコンバータ100と同様である。

【0066】

トランジスタ Q_{12} のソースドレイン間には抵抗成分がある。トランジスタ Q_{12} のソースドレイン間に流れる電流が大きくなると、ソースドレイン間の電位差が大きくなる。検出回路Sは、この電位差に基づいて検出信号を制御回路IC₁₀へフィードバックする。本実施の形態の他の動作は、図5に示すDC-DCコンバータ100の動作と同様である。

【0067】

本実施の形態によれば、検出抵抗 R_s が不要である。さらに、本実施の形態は、図5に示す第1の実施の形態と同様の効果を有する。

【0068】

図8は、本発明に係るDC-DCコンバータの第3の実施の形態を示す回路図である。本実施の形態によるDC-DCコンバータ300は、検出回路Sを有さず、制御回路IC₁₁が動作周波数またはパルス幅に基づいてトランジスタ Q_{10} 内のドライバ30を制御する点でDC-DCコンバータ100、200と異なる。

【0069】

制御回路IC₁₁は、動作周波数に基づいてドライバ30を制御する。それによって、本実施の形態は、DC-DCコンバータ100と同様に、動作周波数 f （式2参照）またはパルス幅に基づいてオン抵抗損失とスイッチング損失の比を調整することができる。即ち、本実施の形態は、動作周波数 f またはパルス幅に基づいて電流が変化しても式4を成立させることができる。

【0070】

制御回路IC₁₁は、スタンバイ信号STBを入力し、この信号STBに基づいてトランジスタ Q_{10} を制御することができる。例えば、負荷がスタンバイ状態である場合には、制御回路IC₁₁は、動作させるドライバ30の個数を低減させ、活性化させるセルの個数を少なくする。それによって、負荷のスタンバイ時におけるゲート電極24からのリーク電流を抑えることができる。

【0071】

本実施の形態において、トランジスタ Q_{10} に代えて、トランジスタ Q_{11} 、 Q_{12} または Q_{13} のいずれかを用いてもよい。

【0072】

【発明の効果】

本発明に従ったパワースイッチング装置は、高速にスイッチング動作をすることができる。

【図面の簡単な説明】

【図1】本発明に係るパワースイッチング装置の第1の実施の形態に従ったトランジスタ Q_{10} の平面図。

【図2】本発明に係るパワースイッチング装置の第2の実施の形態に従ったトランジスタ Q_{11} の平面図。

【図3】本発明に係るパワースイッチング装置の第3の実施の形態に従ったトランジスタ Q_{12} の平面図。

【図4】本発明に係るパワースイッチング装置の第4の実施の形態に従ったトランジスタ

10

20

30

40

50

Q₁₃の平面図。

【図5】本発明に係るDC-DCコンバータの第1の実施の形態を示す回路図。

【図6】図5に示す実施の形態において、検出抵抗R_sに代えて用いることができるCT、トランスまたはホールICの回路図。

【図7】本発明に係るDC-DCコンバータの第2の実施の形態を示す回路図。

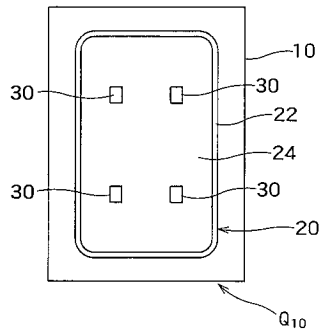
【図8】本発明に係るDC-DCコンバータの第3の実施の形態を示す回路図。

【図9】従来のDC-DCコンバータの回路図。

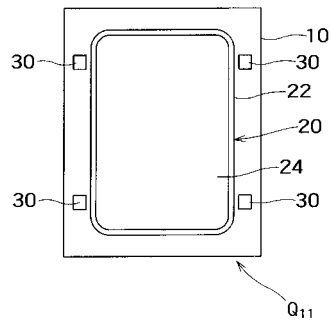
【符号の説明】

10	フレーム	
20	半導体チップ	10
22	半導体基板	
24	ゲート電極	
30	ドライバ	
100、200、300	DC-DCコンバータ	
Q ₁₀ 、Q ₁₁ 、Q ₁₂ 、Q ₁₃	パワーMISFET	
IC	制御回路	
L	インダクタンス	
C _{in} C _{out}	キャパシタ	
IN	入力	
OUT	出力	20
R _{DS(ON)}	オン抵抗	
t _{sw}	スイッチング時間	
f	動作周波数	
S	検出回路	
R _s	検出抵抗	
AMP	センスアンプ	
STB	スタンバイ信号	

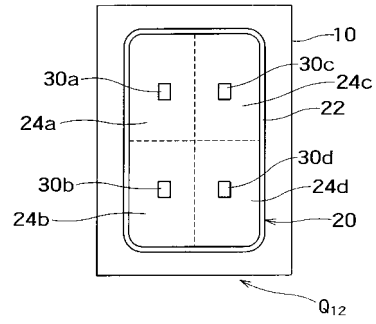
【図 1】



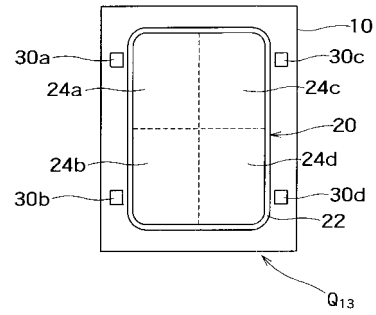
【図 2】



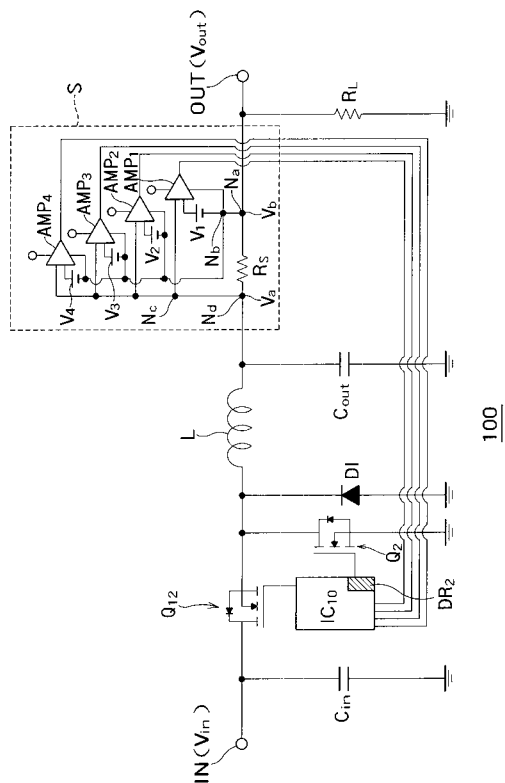
【図 3】



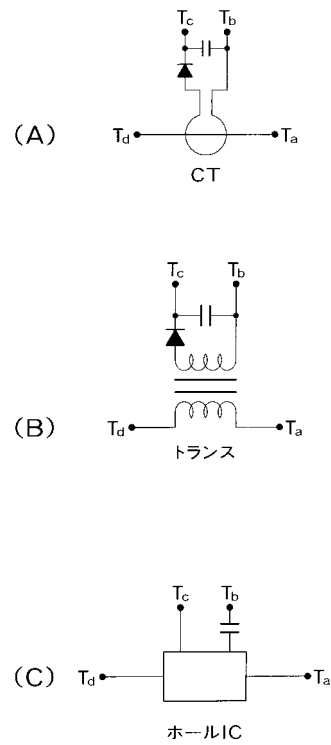
【図 4】



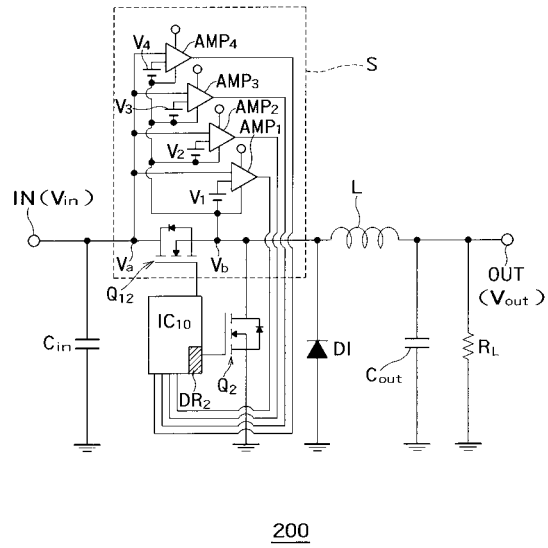
【図 5】



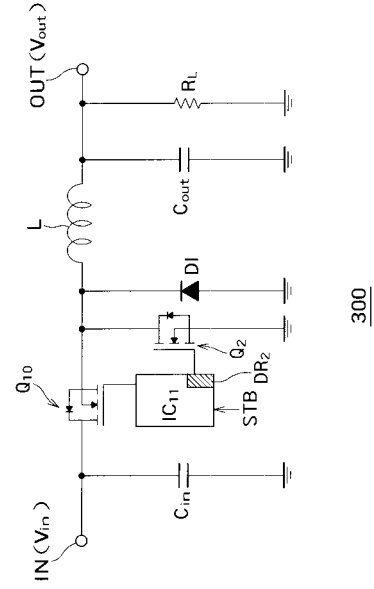
【図 6】



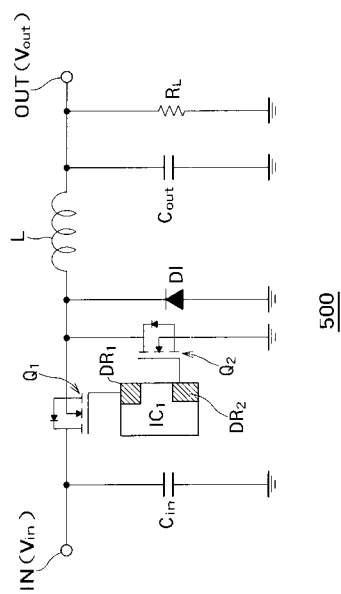
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 亀 田 充 弘

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 川端 修

(56)参考文献 特開2002-281743 (JP, A)

特開2002-016486 (JP, A)

特開平10-146047 (JP, A)

特開平08-274182 (JP, A)

特開平06-216315 (JP, A)

特開平05-121650 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H02M 3/155