

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年10月17日(17.10.2019)



(10) 国際公開番号

WO 2019/198360 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2019/007383

(22) 国際出願日: 2019年2月26日(26.02.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-076368 2018年4月11日(11.04.2018) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO.,LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).

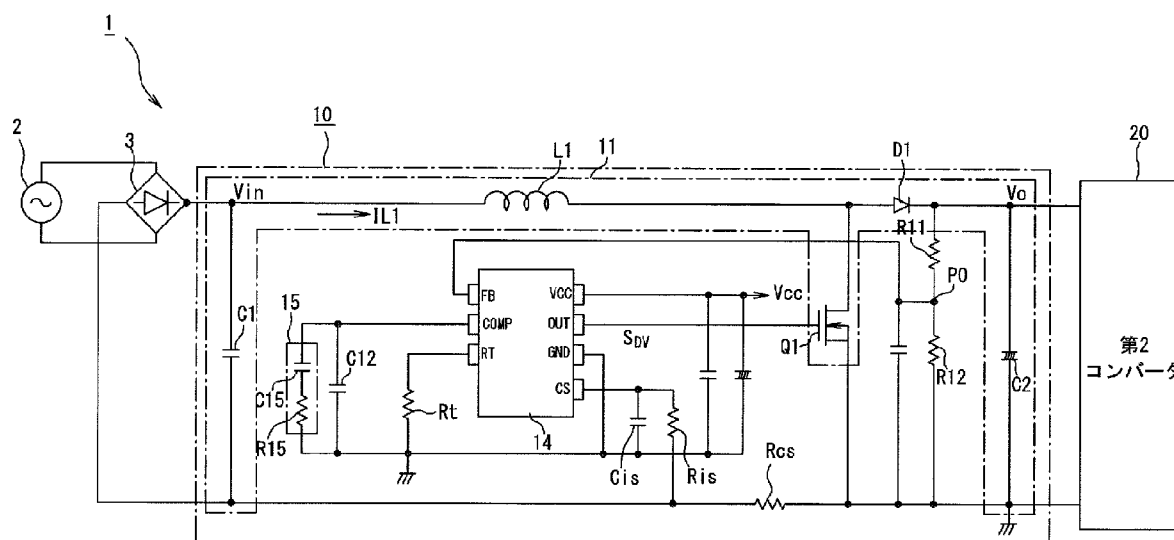
(72) 発明者: 日朝 信行 (**HIASA Nobuyuki**); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 廣瀬 一, 外 (**HIROSE Hajime et al.**); 〒1056032 東京都港区虎ノ門四丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** POWER FACTOR IMPROVEMENT CIRCUIT AND SWITCHING POWER SUPPLY DEVICE USING SAME

(54) 発明の名称: 力率改善回路及びこれを使用したスイッチング電源装置



20 Second converter

(57) **Abstract:** Provided is a power factor improvement circuit capable of suppressing the occurrence of an overshoot even during instantaneous stop in such a short time that conventionally a soft start operation is impossible, and also provided is a switching power supply device using the power factor improvement circuit. The power factor improvement circuit is provided with: an error signal generation unit for outputting a signal for amplifying the difference between the output voltage of a boost chopper and a reference voltage; a response control unit for controlling the response characteristic of the error signal generation unit; an oscillation unit for outputting a triangle wave signal; a zero current detection unit for

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

detecting the zero current of the inductor current of the boost chopper; a drive signal generation unit for generating a drive signal for switching elements on the basis of a zero current detection signal, an error signal, and the triangle wave signal; and an input interruption detection unit for detecting an interruption state of an AC input voltage on the basis of the zero current detection signal. When the input interruption detection unit detects an input interruption state, the oscillation unit performs control so as to increase the slope of the triangle wave signal as compared with when not detecting the input interruption state.

(57) 要約: 従来はソフトスタート動作できないような短時間の瞬間停止時にもオーバーシュートの発生を抑制できる力率改善回路及びこれを使用したスイッチング電源装置を提供する。昇圧チョップパの出力電圧と基準電圧との差を増幅する信号を出力する誤差信号生成部と、この誤差信号生成部の応答特性を制御する応答制御部と、三角波信号を出力する発振部と、昇圧チョップパのインダクタ電流のゼロ電流を検出するゼロ電流検出部と、ゼロ電流検出信号、誤差信号及び三角波信号に基づいてスイッチング素子に対する駆動信号を生成する駆動信号生成部と、ゼロ電流検出信号に基づいて交流入力電圧の遮断状態を検出する入力遮断検出部とを備えている。発振部は三角波信号の傾きを、入力遮断検出部が入力遮断状態を検出したときに、入力遮断状態を検出していないときに比較して大きな傾きに制御する。

明 細 書

発明の名称：

力率改善回路及びこれを使用したスイッチング電源装置

技術分野

[0001] 本発明は、力率改善回路及びこれを使用したスイッチング電源装置に関する。

背景技術

[0002] 75W以上のスイッチング電源装置は、高調波電流規制を満たすために力率改善機能を有する必要がある。この種のスイッチング電源装置としては、交流商用電源の交流電圧を整流する全波整流回路と、この全波整流回路の出力側に接続された力率を改善しながら所定の出力電圧を得るPFC（Power Factor Correction）コンバータを適用したACDCコンバータで構成される第1コンバータと、この第1コンバータの出力側に接続されたDCDCコンバータで構成される第2コンバータとを備えた構成が提案されている（例えば、特許文献1参照）。

[0003] この特許文献1に記載された先行技術では、第1コンバータの出力電圧を出力電圧モニタ回路で3つの閾値電圧を用いてモニタすることにより、電源回路の動作状態を3段階にモニタし、モニタ結果をVАОクランプコントロール回路に出力する。このVАОクランプコントロール回路では、電圧アンプ（エラーアンプ）の出力電圧を2段階以上で任意にクランプ電圧を制御する。

したがって、電圧アンプの出力最高電圧を2種以上にクランプして実質的に昇圧コンバータのスイッチング素子に対する最大オン幅を抑制し、ソフトスタート機能を発揮するようにしている。

[0004] また、交流入力電圧のオフ状態を検出し交流入力電圧の瞬間停止時にもソフトスタート動作を行わせるようにことが提案されている（特許文献2参照）。

さらに、近年では、力率改善回路（PFC）の応答性を制御することにより、力率改善回路の出力電圧のオーバーシュート、過電圧や過度のアンダーシュート、出力電圧低下を抑制したいユーザーの要求に対応するためにエラーアンプの応答性を補助する機能を持った制御ICが提案されている（非特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2010-279190号公報

特許文献2：特開2000-116134号公報

非特許文献

[0006] 非特許文献1：“電流連続モード制御 力率改善IC” 15／30頁、[online]、[平成30年2月13日検索]、インターネット<URL：<https://feilib.fujielectric.co.jp/download/details.htm?dataid=1734586&site=japan&lang=ja>>

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に記載された先行技術では、力率改善回路のエラーアンプ出力電圧に対するクランプ電圧が離散的に準備されるため、入力復電に応じてエラーアンプの出力電圧がクランプ電圧に掛からずスムーズに変化して出力電力供給可能な場合と、クランプ電圧に掛かるために供給電力制限が掛かり電源装置の出力が低下する場合が発生する可能性があり、各クランプ電圧を電源装置の電力容量毎などで変更する必要があるという課題がある。

また、特許文献2に記載された先行技術では、交流入力のおフ状態を検出し、瞬時停止時にもソフトスタート動作を行わせることができるが、ソフトスタート動作による供給電力制限によって出力電圧低下を抑制することが難しいという課題がある。

[0008] さらに、非特許文献1に記載された先行技術では、力率改善回路のエラー

アンプの応答性を補助する機能を有しているが、比較的短時間の瞬間停止において、制御IC電源電圧が低下するものの低電圧誤動作防止信号UVLOがHレベルとなる電圧までは低下しないときは、ソフトスタート機能をリセットすることができない。そのため、交流入力が復電したときに、応答性の補助によってエラーアンプ出力が必要以上に高くなってしまって広いオン幅でスイッチングを再開し、補助をしない場合以上のオーバーシュートを発生させる可能性があるという未解決の課題がある。

[0009] そこで、本発明は、上記従来技術の課題に着目してなされたものであり、電源システムコストを増加させることなく、入力急変や負荷急変時の力率改善回路の出力電圧変化を抑制しつつ、制御回路のリセットが掛からずソフトスタート動作できないような短時間の瞬間停止時にもオーバーシュートの発生を抑制できる力率改善回路及びこれを使用したスイッチング電源装置を提供すること目的としている。

課題を解決するための手段

[0010] 本発明の一態様である力率改善回路は、昇圧チョッパのスイッチング素子を制御して、交流入力電圧を全波整流した直流電圧から所定の出力電圧を得る力率改善回路であって、昇圧チョッパの前記出力電圧と基準電圧との差を増幅する信号を出力する誤差信号生成部と、三角波信号を出力する発振部と、昇圧チョッパのインダクタ電流のゼロ電流を検出するゼロ電流検出部と、このゼロ電流検出部のゼロ電流検出信号、誤差信号生成部からの誤差信号及び発振部からの三角波信号に基づいてスイッチング素子に対する駆動信号を生成する駆動信号生成部と、ゼロ電流検出部の検出信号に基づいて交流入力電圧の遮断状態を検出する入力遮断検出部とを備えている。発振部は、三角波信号の傾きを、入力遮断検出部が入力遮断状態を検出したときに、入力遮断状態を検出していないときに比較して大きな傾きに制御する

また、本発明に係るスイッチング電源装置の一態様は、上記構成を有する力率改善回路を備えている。

発明の効果

[0011] 本発明の一態様によれば、電源システムコストが増加することなく、入力急変や負荷急変時の力率改善回路の出力変化を抑制しつつ、制御回路のリセットが掛からずソフトスタートできないような短時間の瞬間停止時にもオーバーシュートが発生しない力率改善回路及びこれを使用したスイッチング電源を提供することができる。

図面の簡単な説明

[0012] [図1]本発明に係る力率改善回路を備えたスイッチング電源装置の一実施形態を示す回路図である。

[図2]図1の力率改善回路の具体的構成を示す回路図である。

[図3]図2におけるランプ発振部の具体的構成を示す回路図である。

[図4]図3の第1定電流回路及び第2定電流回路の具体的構成を示す回路である。

[図5]ランプ発振部の動作を示す信号波形図である。

[図6]プルアップ制御部の動作を説明する信号波形図である。

[図7]本発明による力率改善回路の動作を説明する信号波形図である。

[図8]入力遮断検出部を設けない場合の交流入力電圧の瞬間停止状態が短い場合の動作を示す信号波形図である。

[図9]入力遮断検出部を設けない場合の交流入力電圧の瞬間停止状態が長い場合の動作を示す信号波形図である。

発明を実施するための形態

[0013] 次に、図面を参照して、本発明の一実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

また、以下に示す実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

以下、本発明の一実施形態に係るスイッチング電源装置について図面を参

照して説明する。

[0014] スイッチング電源装置 1 は、図 1 に示すように、交流電源 2 と、この交流電源 2 の交流入力電圧を全波整流する全波整流回路 3 とを備えている。また、スイッチング電源装置 1 は、全波整流回路 3 の直流出力電圧が入力される力率改善回路となる昇圧型の第 1 コンバータ 10 と、電流共振型コンバータからなる第 2 コンバータ 20 とを備えている。

第 1 コンバータ 10 は、全波整流回路 3 の正極出力側及び負極出力側間に接続された昇圧チョッパ 11 を備えている。この昇圧チョッパ 11 は、平滑用コンデンサ C1 と、全波整流回路 3 の正極出力側に接続されたインダクタ L1 と、ダイオード D1 との直列回路とを備えている。また、昇圧チョッパ 11 は、ダイオード D1 のカソード側と全波整流回路 3 の負極出力側との間に接続された出力コンデンサ C2 と、インダクタ L1 とダイオード D1 のアノード側との接続点と全波整流回路 3 の負極出力側との間に接続された昇圧用スイッチング素子 Q1 とを備えている。さらに、第 1 コンバータ 10 は、昇圧用スイッチング素子 Q1 を駆動する力率改善制御回路としての力率改善制御用 IC14 を備えている。

[0015] 力率改善制御用 IC14 は、制御用電源端子 VCC、出力電圧検出端子としてのフィードバック端子 FB と、電圧誤差検出補償用端子 COMP と、電流検出端子 CS と、ランプ発振部 27 の発振波形を決定する抵抗を接続する抵抗接続用端子 RT と、出力端子 OUT とを備えている。

制御用電源端子 VCC には、図示しないが、第 2 コンバータ 20 に設けられたトランスの補助巻線に誘起される電圧によって生成される制御電圧 V_{cc} が入力される。

フィードバック端子 FB には、出力コンデンサ C2 と第 2 コンバータ 20 の接続点および接地との間に接続された分圧抵抗 R11 及び R12 の接続点 P0 が接続され、第 1 コンバータ 10 の出力電圧 V_o の分圧電圧がフィードバック電圧 V_{FB} として入力される。

[0016] 電圧誤差検出補償用端子 COMP には、後述するエラーアンプ 21 の増幅

出力のリプル成分を除去するコンデンサ C_{12} とRC位相補償回路15とが並列に接続されている。RC位相補償回路15は、抵抗 R_{15} とコンデンサ C_{15} とが直列に接続されてエラーアンプ21の増幅出力に含まれる入力周波数の2倍の周波数より高い帯域をカットすべく当該帯域のゲインを0dBより落とすようにしている。

電流検出端子CSには、全波整流回路3の直流負極出力側と接地との間に接続されてインダクタ電流 I_{L1} を検出する電流検出用抵抗 R_{cs} の検出電圧が、抵抗 R_{is} を介して入力されている。また、抵抗 R_{is} と電流検出端子CSとの接続点と接地との間にフィルタ用コンデンサ C_{is} が接続されている。

出力端子OUTからは昇圧用スイッチング素子Q1を駆動するパルス幅変調された駆動信号 S_{DV} が出力される。

[0017] また、力率改善制御用IC14は、図2に示すように、誤差信号生成部となるエラーアンプ21と、ゼロ電流検出部22と、低電圧誤動作防止部23、力率制御動作検出部24、軽負荷状態検出部25、過電圧保護部26、発振部となるランプ発振部27と、入力遮断検出部28と、駆動信号生成部29とを備えている。

エラーアンプ21は、フィードバック端子FBに入力されるフィードバック電圧 V_{FB} が反転入力側に供給され、非反転入力側に目標出力電圧を指示する基準電圧 V_{ref1} が供給されている。このエラーアンプ21およびコンデンサ C_{12} とRC位相補償回路15とによって基準電圧 V_{ref1} とフィードバック電圧 V_{FB} との差電圧を増幅した誤差信号 V_{COMP} が生成される。エラーアンプ21の出力電流に含まれるリプル分をコンデンサ C_{12} とRC位相補償回路15により平滑化することにより、定常状態の誤差信号 V_{COMP} は略直流電圧となる。

[0018] ゼロ電流検出部22は、インダクタ $L1$ を流れる脈流電流のゼロ又はゼロに近い値を検出する。電流検出用抵抗 R_{cs} で検出したインダクタ電流 I_{L1} に応じた負電圧はレベルシフト部30でプルアップする。このレベルシフト

部30の出力電圧 V_{LS} は、電流検出用抵抗 R_{CS} に流れる電流の絶対値が小さいほど高い電圧となる。このレベルシフト部30の出力電圧 V_{LS} は、フィルタ22aでノイズ除去してからコンパレータ22bの非反転入力端子に入力される。このコンパレータ22bの反転入力端子にはゼロ電流に相当する電圧より少し低い電圧である基準電圧 V_{ref2} が入力されている。したがって、昇圧用スイッチング素子Q1がオフすることによりインダクタ電流 I_{L1} が減少してゼロ電流となると、コンパレータ22bからハイレベルとなる検出信号が出力される。

[0019] コンパレータ22bの出力側には、マスク回路22cが接続され、このマスク回路22cには、後述する駆動信号生成部29のRS型フリップフロップ29dの否定出力端子/Qから出力される否定出力信号QBが供給されている。このマスク回路22cは昇圧用スイッチング素子Q1がオフした直後のノイズによる誤動作を防止するためのもので、否定出力信号QBがハイレベルに立ち上がると（すなわち昇圧用スイッチング素子Q1がターンオフすると）所定時間（例えば700ns）経過するまで入力信号であるコンパレータ22bの出力の変化を後段に伝達しない（否定出力信号QBがハイレベルに立ち上がる直前の出力を保持する）ものとなっている。

[0020] 一方、交流入力電圧が遮断されると、インダクタ $L1$ に電流が流れなくなることから、コンパレータ22bおよびマスク回路22cの出力はハイレベルを維持するようになる。

このゼロ電流検出部22から出力されるゼロ電流検出信号ZCDは、入力遮断検出部28及び駆動信号生成部29に出力される。

低電圧誤動作防止部23は、制御用電源端子VCCに反転入力端子が接続されたヒステリシス特性を有するコンパレータ23aを有する。このコンパレータ23aの非反転入力端子には、低電圧閾値となる基準電圧 V_{ref3} （ヒステリシス特性を有するため、実際は上側の基準電圧 V_{ref32} と下側の基準電圧 V_{ref31} の2つの基準電圧からなっている）が入力されている。このコンパレータ23aは、制御電圧Vccが基準電圧 V_{ref3} よ

り高い場合に正常状態を表すローレベルの低電圧誤動作防止信号 $UVLO$ を出力し、制御電圧 V_{cc} が基準電圧 V_{ref3} より低い場合に低電圧異常を表すハイレベルの低電圧誤動作防止信号 $UVLO$ を出力する。

[0021] 力率制御動作検出部 24 は、フィードバック端子 FB に非反転入力端子が接続されたコンパレータ 24a を有する。このコンパレータ 24a の反転入力側には、力率改善動作閾値電圧となる基準電圧 V_{ref4} が入力されている。したがって、コンパレータ 24a は、フィードバック電圧 V_{FB} が基準電圧 V_{ref4} 以上であるときにはハイレベルとなり、フィードバック電圧 V_{FB} が基準電圧 V_{ref4} 未満であるときにはローレベルとなる力率改善動作検出信号 PFC_OK を出力する。コンパレータ 24a の出力側は、入力遮断検出部 28 に設けられたオアゲート 28e の一方の入力側に接続されている。これにより、力率改善動作検出信号 PFC_OK がオアゲート 28e に入力される。

軽負荷状態検出部 25 は、誤差信号 V_{COMP} が反転入力端子に供給されるヒステリシス特性を有するコンパレータ 25a を有する。このコンパレータ 25a の非反転入力端子には、例えば 0.60V 及び 0.70V の基準電圧 V_{ref5} が入力されている。したがって、コンパレータ 25a から、誤差信号 V_{COMP} が 0.60V 以下となるとハイレベルとなり、その後 0.70V 以上となったときにはローレベルに復帰する軽負荷検出信号 LLD が出力される。この軽負荷検出信号 LLD は、入力遮断検出部 28 に供給される。誤差信号 V_{COMP} は負荷が軽いほど小さくなるので、負荷がある程度軽くなると軽負荷検出信号 LLD はハイレベルになる。

[0022] 過電圧保護部 26 は、フィードバック端子 FB のフィードバック電圧 V_{FB} が非反転入力端子に供給されるコンパレータ 26a を有する。このコンパレータ 26a の非反転入力端子には、最大のフィードバック電圧 V_{FB} に近い基準電圧 V_{ref6} が供給されている。したがって、フィードバック電圧 V_{FB} が基準電圧 V_{ref6} 以上となると過電圧状態と判断して、ハイレベルの過電圧保護信号 OV_P を出力する。この過電圧保護信号 OV_P は、後述する応

答制御部40のプルダウン制御部42に供給される。

ランプ発振部27は、三角波信号となる鋸歯状波信号を出力するとともに、ワンショット回路（ワンショットパルス生成部の一例）53から出力されるワンショットパルス P_{os} が入力された後、次のワンショットパルス P_{os} が所定時間入力されないとハイレベルとなるパルス信号 T_{onmax} を出力する。

[0023] このランプ発振部27の具体的構成を図3に、その動作を示す信号波形図を図5に示す。ランプ発振部27は、図3に示すように、制御電圧 V_{cc} が入力される端子に接続された第1定電流回路27aと、制御電圧 V_{cc} が入力される端子に接続された第2定電流回路27b及びPチャネルMOSFET27cの直列回路との並列回路とこの並列回路と接地との間に直列に接続されたPチャネルMOSFET27d及び充放電用コンデンサ C_t と、この充放電用コンデンサ C_t と並列に接続された放電用のNチャネルMOSFET27eとを備えている。PチャネルMOSFET27dを介して直列に接続された第1定電流回路27aおよび充放電用コンデンサ C_t によって充電部が構成されている。

また、ランプ発振部27は、PチャネルMOSFET27dと充放電用コンデンサ C_t 及びNチャネルMOSFET27eとの接続点に非反転入力端子が接続されたコンパレータ27fと、このコンパレータ27fの反転入力端子に接続された基準電圧生成部27gとを備えている。コンパレータ27fは、充放電用コンデンサ C_t の充電電圧を基準電圧 V_{ref27f} （詳細は後述）と比較する比較部の一例に相当する。また、ランプ発振部27は、さらにRS型フリップフロップ27kとタイマー27mを備えている。

[0024] 基準電圧生成部27gは、第1基準電源27h1と、第2基準電源27h2と、これら第1基準電源27h1及び第2基準電源27h2を選択する選択部27iとを備えている。第1基準電源27h1の第1基準電圧 V_{ref71} （第1参照電圧の一例）が鋸歯状波信号の下限電圧を決定し、第2基準電源27h2の第2基準電圧 V_{ref72} （第2参照電圧の一例）が鋸歯状

波信号の上限電圧を決定している。すなわち、 $V_{ref72} > V_{ref71}$ に設定されている。

選択部27iは、第1基準電源27h1及び第2基準電源27h2に個別に直列に接続されたアナログスイッチAS1及びAS2を備え、コンパレータ27fの出力がローレベルであるときには第2基準電圧 V_{ref72} を選択し、コンパレータ27fの出力がハイレベルであるときには第1基準電圧 V_{ref71} を選択する。そして、選択された第2基準電圧 V_{ref72} 又は第1基準電圧 V_{ref71} が基準電圧 V_{ref27f} としてコンパレータ27fの反転入力端子に入力される。このように、選択部27iは、コンパレータ27fの出力信号（比較信号の一例）に基づいてコンパレータ27fに供給する第1基準電圧 V_{ref71} と第1基準電圧 V_{ref71} より高い第2基準電圧 V_{ref72} を基準電圧 V_{ref27f} として選択する基準電圧選択部の一例に相当する。

[0025] そして、コンパレータ27fの出力端子がNチャネルMOSFET27eのゲートおよびRS型フリップフロップ27kのセット端子Sに接続されている。このRS型フリップフロップ27kのリセット端子Rは後述するワンショット回路53のワンショットパルス P_{os} が入力されるスタート信号入力端子Sに接続され、肯定出力端子QはPチャネルMOSFET27dのゲートに接続されている。ワンショット回路53のワンショットパルス P_{os} はタイマー27mのリセット入力端子Rに入力され、タイマー27mの出力端子Oはパルス出力端子POに接続されている。タイマー27mは、ハイレベルとなるワンショットパルス P_{os} が所定時間入力されないと、パルス信号 T_{onmax} を出力する。

[0026] また、PチャネルMOSFET27cのゲートが入力遮断検出部28からのスロープ制御信号SLCが入力されるスロープ制御端子SCに論理反転回路27jを介して接続され、充放電用コンデンサCt及び放電用のNチャネルMOSFET27eの接続点がランプ出力端子Rampに接続されている。以下、符号「Ramp」は、ランプ出力端子Rampから出力されるラン

プ信号の符号にも用いられる。

ここで、第1定電流回路27a及び第2定電流回路27bは、図4に示すようにカレントミラー回路として構成されている。すなわち、カレントミラー回路は、制御電圧 V_{cc} が供給される端子と抵抗接続用端子 R_T との間に、ドレインとゲートを結合したダイオード接続の入力側PチャネルMOSFET Q_{P0} と、NチャネルMOSFET Q_{N1} とが直列に接続されている。抵抗接続用端子 R_T と接地との間にはランプ発振部27の鋸歯状波信号の形状を決定する抵抗 R_t （抵抗値も R_t とする）が接続されている。

[0027] NチャネルMOSFET Q_{N1} のゲートには、オペアンプ（演算増幅器）OPの出力端子が接続され、このオペアンプOPの非反転入力側には基準電圧 V_{ref0} が入力され、反転入力端子にはNチャネルMOSFET Q_{N1} のソースが接続されている。入力側PチャネルMOSFET Q_{P0} のゲートには、第1定電流回路27aを構成するPチャネルMOSFET Q_{P1} のゲートと第2定電流回路27bを構成するPチャネルMOSFET Q_{P2} のゲートとが接続されている。オペアンプOPの仮想短絡により抵抗 R_t には基準電圧 V_{ref0} が印加され、基準電流 $I_0 = V_{ref0} / R_t$ の電流 I_0 が Q_{P0} 、 Q_{N1} 、 R_t の直列回路に流れる。

[0028] このカレントミラー回路では、オペアンプOPに供給される基準電圧 V_{ref0} に応じた基準電流 I_0 に比例する電流が、第1定電流回路27aを構成するPチャネルMOSFET Q_{P1} 及び Q_{P2} に流れる。

そして、ランプ発振部27は、充放電用コンデンサ C_t の電圧が第2基準電圧 V_{ref72} に達してコンパレータ27fの出力信号、すなわちNチャネルMOSFET27eのゲート電圧 V_{g27e} がハイレベルとなるとNチャネルMOSFET27eがオンして充放電用コンデンサ C_t の電荷が放電され、充放電用コンデンサ C_t の電圧が第1基準電圧 V_{ref71} に達するとコンパレータ27fの出力信号、すなわちNチャネルMOSFET27eのゲート電圧 V_{g27e} がローレベルとなって充放電用コンデンサ C_t の放電が停止される。このように、NチャネルMOSFET27eは、コンパレ

ータ 27 f の出力信号（比較信号の一例）に基づいて充放電用コンデンサ C_t の充電電荷を放電する放電部の一例に相当する。

[0029] コンパレータ 27 f の反転入力端子に入力される基準電圧 $V_{ref\ 27\ f}$ は、図 5 に示すように、充放電用コンデンサ C_t が放電される短時間のみ第 1 基準電圧 $V_{ref\ 7\ 1}$ となり、それ以外の時間は第 2 基準電圧 $V_{ref\ 7\ 2}$ となっている。

なお、Nチャネル MOSFET 27 e のソースを接地電位ではなく第 1 基準電圧 $V_{ref\ 7\ 1}$ に接続しておけば、鋸歯状波のランプ信号 $Ramp$ の最低電圧をより確実に第 1 基準電圧 $V_{ref\ 7\ 1}$ とすることができる。この充放電用コンデンサ C_t の充電は、スロープ制御端子 SC に入力されるスロープ制御信号 SLC がローレベルであるときには、Pチャネル MOSFET 27 c がオフ状態となることから、第 1 定電流回路 27 a からの定電流のみによって充電される。このため、鋸歯状波のランプ信号 $Ramp$ の傾きが図 5 (a) に示すように緩やかになる。

これに対して、スロープ制御信号 SLC がハイレベルであるときには、Pチャネル MOSFET 27 c がオン状態となることにより、第 1 定電流回路 27 a 及び第 2 定電流回路 27 b の定電流の和の定電流によって充電される。このため、図 5 (b) に示すように、鋸歯状波のランプ信号 $Ramp$ の傾きが急になる。

[0030] ランプ発振部 27 の発振動作はスタート信号入力端子 S に入力されるワンショット回路 53 のワンショットパルス P_{os} により開始される。ワンショットパルス P_{os} が入力されると RS 型フリップフロップ 27 k がリセットされて Pチャネル MOSFET 27 d のゲート電圧 $V_{g\ 27\ d}$ がローレベルとなり、充放電用コンデンサ C_t の充電が開始される。なお、充電開始直前の充放電用コンデンサ C_t の電圧は、上述のように Nチャネル MOSFET 27 e による放電の結果、第 1 基準電圧 $V_{ref\ 7\ 1}$ となっている。

そして、鋸歯状波のランプ信号 $Ramp$ が上限の第 2 基準電圧 $V_{ref\ 7\ 2}$ に達すると、RS 型フリップフロップ 27 k がセットされて Pチャネル M

OSFET 27 d のゲート電圧 V_{g27d} がハイレベルとなり、充放電用コンデンサ C_t の充電が停止する。また、このタイミングで、上述のように充放電用コンデンサ C_t が放電されて、充放電用コンデンサ C_t の第1基準電圧 V_{ref71} に保たれる。この状態は次のワンショットパルス P_{os} が入力されるまで継続する。

[0031] 入力遮断検出部 28 は、図2に示すように、D型フリップフロップ 28 a と、2つの遮断信号保持用のRS型フリップフロップ 28 b 及び 28 c と、オアゲート 28 e とを備えている。D型フリップフロップ 28 a は、データ端子 D、反転クロック端子 CK、リセット端子 R 及び肯定出力端子 Q を備えている。データ端子 D には、ゼロ電流検出部 22 のゼロ電流検出信号 ZCD が入力されている。反転クロック端子 CK には、後述する駆動信号生成部 29 のRS型フリップフロップ 29 d の肯定出力端子 Q から出力される駆動用パルス信号 QQ が入力されている。リセット端子 R には、低電圧誤動作防止部 23 の低電圧誤動作防止信号 UVO が入力されている。

[0032] したがって、D型フリップフロップ 28 a は、駆動用パルス信号 QQ が立ち下がる時点で、ゼロ電流検出信号 ZCD がハイレベルすなわち、インダクタンス電流がゼロ電流であることを検出している状態になっていると、肯定出力端子 Q から交流入力電圧の遮断状態を表すハイレベルの入力遮断検出信号 ACS を出力する。これは、後述のように、交流入力電圧が遮断されていなければ昇圧用スイッチング素子 Q1 がオン状態であると電流検出用抵抗 R_{cs} に流れる電流が増え続けるので、昇圧用スイッチング素子 Q1 がターンオフする瞬間のゼロ電流検出信号 ZCD は必ずローレベルとなるはずである、という原理に基づいている。そして、このハイレベルの入力遮断検出信号 ACS は、D型フリップフロップ 28 a のリセット端子 R にハイレベルの低電圧誤動作防止信号 UVO 又が入力されたとき、もしくは駆動用パルス信号 QQ が立ち下がる時点でゼロ電流検出信号 ZCD がローレベルになっているとき（すなわちゼロ電流ではなくなっているとき）にローレベルに反転される。

[0033] このD型フリップフロップ28aの肯定出力端子Qから出力されるハイレベルの入力遮断検出信号ACSが2つのRS型フリップフロップ28b及び28cに保持される。RS型フリップフロップ28bはセット端子Sへの入力遮断検出信号ACSの立ち上がりエッジでセットされるフリップフロップ（例えば、データ入力端子がハイレベル固定、クロック端子に入力遮断検出信号ACSが入力されているD型フリップフロップ回路で構成する。）で、入力遮断検出信号ACSの保持状態が、軽負荷検出信号LLDがハイレベルとなるまで継続され、保持された入力遮断検出信号ACSが後述するプルダウン制御部42に供給される。

[0034] また、RS型フリップフロップ28cはセット優先のフリップフロップで、ハイレベルの入力遮断検出信号ACSの保持状態が、入力遮断検出信号ACSがローレベルとなるとともに低電圧誤動作防止信号UVO又は力率改善動作検出信号PFC_OKがハイレベル（すなわち、オアゲート28eの出力信号がハイレベル）となるまで継続され、保持された入力遮断検出信号ACSがスロープ制御信号SLCとしてランプ発振部27のスロープ制御端子SCに入力される。

また、D型フリップフロップ28aの肯定出力端子Qから出力される入力遮断検出信号ACSが、後述するプルアップ制御部41に供給される。

[0035] 誤差信号V_{COMP}は応答制御部40によって、応答特性が制御される。この応答制御部40は、エラーアンプ21の出力をプルアップするプルアップ制御部41と、エラーアンプ21の出力をプルダウンして低電圧誤動作防止部23の閾値電圧より低い低電圧（低電位）に固定するプルダウン制御部42とを備えている。

プルアップ制御部41は、内部バイアス電源端子とエラーアンプ21の出力との間に接続されるPチャネルMOSFET41aとプルアップ抵抗41bとの直列回路を備えている。また、プルアップ制御部41は、コンパレータ41cと、RS型フリップフロップ41dと、オアゲート41eとを備えている。

[0036] コンパレータ41cは、フィードバック端子FBに入力されるフィードバック電圧 V_{FB} が非反転入力端子に入力され、反転入力端子に第1基準電圧 V_{ref81} 及び第2基準電圧 V_{ref82} が選択スイッチ41fを介して入力されている。ここで、第1基準電圧 V_{ref81} と第2基準電圧 V_{ref82} とは、第1基準電圧 V_{ref81} が第2基準電圧 V_{ref82} に対して大きな値($V_{ref81} > V_{ref82}$)に設定されている。

そして、選択スイッチ41fは、RS型フリップフロップ41dの肯定出力端子Qから出力される出力信号がローレベルであるときに第1基準電圧 V_{ref81} を選択し、ハイレベルであるときに第2基準電圧 V_{ref82} を選択する。

[0037] RS型フリップフロップ41dは、セット端子Sにコンパレータ41cの出力信号 UVP が入力され、リセット端子Rに低電圧誤動作防止部23の低電圧誤動作防止信号 UVO が入力され、肯定出力端子Qから出力される出力信号が選択スイッチ41f及びオアゲート41eの負論理入力端子に供給されている。

オアゲート41eは、入力端子に入力遮断検出部28のD型フリップフロップ28aから出力される入力遮断検出信号 ACS 及びコンパレータ41cの出力信号 UVP が入力され、負論理入力端子にRS型フリップフロップ41dの出力信号 S_{FFQ} が入力されている。そして、オアゲート41eの出力端子がPチャネルMOSFET41aのゲートに供給されている。

[0038] ここで、プルアップ制御部41の動作について図6を伴って説明する。

まず、低電圧誤動作防止信号 UVO が、図6(a)に示すように時点 t_{01} でローレベルになって、昇圧チョッパ11の昇圧用スイッチング素子Q1のスイッチングが開始されると、これに応じて昇圧チョッパ11の出力電圧が上昇する。これに応じてフィードバック電圧 V_{FB} が図6(b)に示すように増加を開始する。このとき、RS型フリップフロップ41dの肯定出力端子Qの出力信号 S_{FFQ} はローレベルを維持するため、選択スイッチ41fで第1基準電圧 V_{ref81} が選択されている。

[0039] その後、フィードバック電圧 V_{FB} が増加して時点 t_{02} で第1基準電圧 V_{ref81} に達すると、コンパレータ41cの出力信号 UVP が図6(c)に示すようにハイレベルとなる。これによって、RS型フリップフロップ41dがセットされて、肯定出力端子Qから出力される出力信号 S_{FFQ} が図6(d)に示すようにローレベルからハイレベルに反転する。

このため、選択スイッチ41fで、第2基準電圧 V_{ref82} が選択される。その後、例えば負荷が重くなって軽負荷状態から重負荷状態に切り替わり、フィードバック電圧 V_{FB} が時点 t_{03} で第2基準電圧 V_{ref82} 以下に低下すると、コンパレータ41cの出力信号 UVP が図6(c)に示すように、ハイレベルからローレベルに反転する。このとき、低電圧誤動作防止信号 UVO がローレベルを維持していることにより、RS型フリップフロップ41dはセット状態を維持する。

[0040] この状態で、交流入力電圧が入力されているものとする、入力遮断検出部28のD型フリップフロップ28aの肯定出力端子Qから出力される入力遮断検出信号 ACS はローレベルを維持する。したがって、オアゲート41eの出力信号はハイレベルからローレベルに反転し、PチャネルMOSFET41aのゲートに供給される。このため、PチャネルMOSFET41aはオン状態となり、エラーアンプ21の出力がプルアップされる。フィードバック電圧 V_{FB} は、第1コンバータ10の出力電圧 V_o 、すなわち昇圧チョッパ11の出力電圧の分圧電圧である。つまり、フィードバック電圧 V_{FB} は昇圧チョッパ11の出力電圧に基づく電圧である。したがって、プルアップ制御部41は、昇圧チョッパ11の出力電圧に基づいて軽負荷状態から重負荷状態に切り換わる際にエラーアンプ21の出力電圧をプルアップするように構成されている。

[0041] エラーアンプ21の出力がプルアップされて誤差信号 V_{COMP} の値が大きくなると昇圧用スイッチング素子Q1のオン幅が広がって出力側により大きなエネルギーが伝達され、出力電圧 V_o およびその分圧電圧でありフィードバック電圧 V_{FB} が上昇に転ずる。その後フィードバック電圧 V_{FB} が時点 t_{04} で

第2基準電圧 V_{ref82} を超えると、コンパレータ41cの出力信号 V_{UVP} がハイレベルに復帰し、このハイレベルの出力信号 V_{UVP} がオアゲート41eを介してPチャネルMOSFET41aのゲートに供給される。このため、PチャネルMOSFET41aがオフ状態となり、プルアップ動作が停止される。

[0042] また、制御電圧 V_{cc} が低下して低電圧誤動作防止信号 $UVLO$ がローレベルからハイレベルになると、リセット優先のRS型フリップフロップ41dの肯定出力端子Qの出力信号がローレベルとなることからオアゲート41eの出力信号がハイレベルとなり、PチャネルMOSFET41aがオフ状態となり、エラーアンプ21の出力のプルアップ動作が停止される。

したがって、プルアップ制御部41では、フィードバック電圧 V_{FB} が第1基準電圧 V_{ref81} を超えてから第2基準電圧 V_{ref82} 以下となるまでの間、および制御電圧 V_{cc} が基準電圧 V_{ref3} 以下になって低電圧誤動作防止信号 $UVLO$ がハイレベルになっている間はプルアップ動作が停止される。このため、起動時や低電圧誤動作防止状態となったときに応答性を高めて過電圧状態となることを抑制できる。

[0043] プルダウン制御部42は、エラーアンプ21の出力端子と接地との間に接続されたプルダウン抵抗42a及びNチャネルMOSFET42bの直列回路を有する。また、プルダウン制御部42は、RS型フリップフロップ42d、アンドゲート42e、オアゲート42f及びタイマー42gを備えている。

RS型フリップフロップ42dは、リセット端子にタイマー42gの出力信号が入力され、セット端子に低電圧誤動作防止信号 $UVLO$ が入力され、肯定出力端子Qから出力される出力信号がアンドゲート42eの一方の入力端子に供給されている。

[0044] アンドゲート42eの他方の入力端子には過電圧保護部26の過電圧保護信号 OV_P が入力されていて、アンドゲート42eの出力信号はオアゲート42fおよびタイマー42gに入力されている。

タイマー42gはその入力信号、すなわちアンドゲート42eの出力信号がハイレベルとなった状態が所定期間継続するとハイレベルのパルス信号を出力し、RS型フリップフロップ42dをリセットする。これにより、アンドゲート42eの出力がハイレベルとなってNチャネルMOSFET42bをオンさせる期間に制限を設けることができる。

[0045] なお、RS型フリップフロップ42dは、スイッチング電源装置1の起動時に低電圧誤動作防止信号UVLOによってセットされているので、過電圧保護信号OVPがハイレベルになると、アンドゲート42eの出力がハイレベルになってNチャネルMOSFET42bがオンする。そして、上述のように、アンドゲート42eの出力信号がハイレベルとなった状態が所定期間継続するとRS型フリップフロップ42dがリセットされて、プルダウン制御部42のプルダウン動作が終了する。これ以降、過電圧保護信号OVPによるプルダウン動作は、低電圧誤動作防止信号UVLOが再度ハイレベルになるまでアクティブにはならない。

[0046] オアゲート42fには、アンドゲート42eの出力信号の他、低電圧誤動作防止信号UVLO及び入力遮断検出部28のRS型フリップフロップ28bの肯定出力端子Qから出力される出力信号が入力されている。このオアゲート42fの出力信号がNチャネルMOSFET42bのゲートに入力されている。

したがって、プルダウン制御部42では、RS型フリップフロップ28bの肯定出力又は低電圧誤動作防止信号UVLOがハイレベルとなったとき（低電圧誤動作防止部23が動作状態）、もしくは、過電圧保護信号OVPがハイレベルとなり、且つRS型フリップフロップ42dがセットされているときに、NチャネルMOSFET42bがオン状態となる。これによって、誤差信号 V_{COMP} がプルダウンされてスイッチング停止閾値（ V_{ref71} ）より低い電圧に固定される。

[0047] 駆動信号生成部29は、スタート信号生成部29aと、パルス幅変調用コンパレータ（パルス幅変調部の一例）29bと、オアゲート29cと、RS

型フリップフロップ29dと、アンドゲート29eと、ドライバ29fと、リスタートタイマ29gとを備えている。

スタート信号生成部29aは、前述したゼロ電流検出部22のゼロ電流検出信号ZCDが入力される遅延回路51と、この遅延回路51の遅延信号とリスタートタイマ29gの出力信号とが入力されたオアゲート52と、このオアゲート52の出力信号に基づいてワンショット信号を出力するワンショット回路53とを備えている。

パルス幅変調用コンパレータ29bには、非反転入力端子にランプ発振部27から出力されるランプ信号Rampが入力され、反転入力端子に誤差信号 V_{COMP} が入力され、出力端子からパルス幅変調信号を出力する。

オアゲート29cには、パルス幅変調用コンパレータ29bのパルス幅変調信号、ランプ発振部27から出力されるパルス信号Tonmax、過電流保護部60からの過電流保護信号OCPが入力されている。

[0048] RS型フリップフロップ29dは、セット端子Sにスタート信号生成部29aのワンショットパルス P_{OS} が入力され、リセット端子Rにオアゲート29cの出力信号が入力されている。このRS型フリップフロップ29dの肯定出力端子Qから出力される駆動用パルス信号QQが前述した入力遮断検出部28に入力されているとともに、リスタートタイマ29gに入力されている。また、RS型フリップフロップ29dの否定出力端子 $\bar{Q}$ から出力される否定出力信号QBが、マスク回路22cに入力されている。

アンドゲート29eには、RS型フリップフロップ29dの駆動用パルス信号QQが入力されるとともに、低電圧誤動作防止信号UVOが負論理入力端子に入力されている。このアンドゲート29eの出力信号がドライバ29fに供給され、このドライバ29fから出力される駆動信号 S_{DV} が出力端子OUTから昇圧チョッパ11の昇圧用スイッチング素子Q1のゲートに出力される。

[0049] 次に、上記実施形態の動作について図7を伴って説明する。

交流電源2から交流電源を全波整流回路3に供給している状態では、交流

電源が全波整流回路 3 で全波整流されて図 7 (a) に示す正弦波の半周期分を折り返した形状の電圧波形を有する入力電圧 V_{in} がインダクタ L_1 に供給される。この交流電源を供給している状態では、図示しない電源回路から力率改善制御用 IC 14 に制御電圧 V_{cc} が供給される。

そして、入力電圧 V_{in} がインダクタ L_1 及び昇圧用スイッチング素子 Q_1 により昇圧されてダイオード D_1 を通り、出力コンデンサ C_2 で平滑化されて、略直流電圧となる一定の出力電力として第 2 コンバータ 20 に供給される。この第 2 コンバータ 20 は、例えば、共振用コンデンサ、絶縁トランス及びスイッチング素子を有する LLC 電流共振型コンバータで構成され、トランスの二次側から安定化直流電力を出力する。

[0050] ここで、交流電源が正常に供給されている場合には、駆動信号生成部 29 から図 7 (g) に示す駆動信号 S_{DV} が昇圧用スイッチング素子 Q_1 のゲートに供給され、力率改善制御用 IC 14 のフィードバック端子 FB に入力されるフィードバック電圧 V_{FB} は図 7 (b) に示すように、略一定電圧を維持している。

このため、誤差信号 V_{COMP} も図 7 (i) に示すように、略一定値となっている。

この状態では、力率改善制御用 IC 14 の電流検出端子 CS に入力される電流検出用抵抗 R_{CS} で検出されるインダクタ電流に応じた電圧は、負電圧で、電流検出用抵抗 R_{CS} に流れる電流が多いほど絶対値が大きくなる。電流検出用抵抗 R_{CS} に流れる電流がゼロであると電流検出端子 CS の電圧もゼロとなる。この電流検出端子 CS に入力される電流はレベルシフト部 30 でレベルシフトされて正の電圧に変換される。変換された出力電圧 V_{LS} は、電流検出用抵抗 R_{CS} に流れる電流が小さいほど高くなる。

[0051] この出力電圧 V_{LS} がゼロ電流検出部 22 に供給されて、コンパレータ 22 b でゼロ電流に相当する電圧より少し低い基準電圧 V_{ref2} と比較することにより、 $V_{LS} \geq V_{ref2}$ となったときにコンパレータ 22 b の出力信号がハイレベルとなって、ゼロ電流と判断することができる。このコンパレー

タ 2 2 b の出力信号をマスク回路 2 2 c に通すことにより、ゼロ電流検出信号 Z C D は、スイッチング直後のノイズの影響を除去した検出信号とすることができる。

このゼロ電流検出信号 Z C D が駆動信号生成部 2 9 のスタート信号生成部 2 9 a に供給されて遅延回路 5 1 で所定時間遅延されてからオアゲート 5 2 を介してワンショット回路 5 3 に供給される。このワンショット回路 5 3 から出力されるワンショットパルス P_{OS} は、R S 型フリップフロップ 2 9 d のセット端子に供給されて、この R S 型フリップフロップ 2 9 d をセットする。すなわち、昇圧用スイッチング素子 Q 1 がオフしてインダクタ電流がゼロになったことを検出すると、昇圧用スイッチング素子 Q 1 をターンオンさせるという臨界動作を行っている。昇圧用スイッチング素子 Q 1 がターンオンするとゼロ電流検出信号 Z C D が短時間でローレベルに戻るので、このときのゼロ電流検出信号 Z C D は短パルス信号となる。

[0052] これと同時に、ゼロ電流検出信号 Z C D は、入力遮断検出部 2 8 の D 型フリップフロップ 2 8 a のデータ端子 D に供給される。この D 型フリップフロップ 2 8 a の負論理のクロック端子には駆動信号生成部 2 9 の R S 型フリップフロップ 2 9 d の肯定出力端子 Q から出力される駆動用パルス信号 Q Q が入力される。このとき、駆動用パルス信号 Q Q は、ゼロ電流検出信号 Z C D に対して遅延回路 5 1 で遅延された遅延信号をワンショット回路 5 3 に供給してワンショットパルス P_{OS} を形成しているので、ゼロ電流検出信号 Z C D の立ち上がりに対して遅れて立ち上がる。

[0053] したがって、D 型フリップフロップ 2 8 a では、ゼロ電流検出信号 Z C D の状態を駆動用パルス信号 Q Q の立ち下がりで出力することになる。このとき、ゼロ電流検出信号 Z C D は、交流入力電圧が供給されている状態では、電流検出用抵抗 R_{CS} に流れる電流がゼロまたは極僅かな電流である場合を除けばローレベルとなっている。一方、昇圧用スイッチング素子 Q 1 がオン状態であると電流検出用抵抗 R_{CS} に流れる電流が増え続け得るので、昇圧用スイッチング素子 Q 1 がターンオフする瞬間のゼロ電流検出信号 Z C D は必ず

ローレベルとなるはずである。

[0054] このため、D型フリップフロップ28aは、昇圧用スイッチング素子Q1のターンオフを決める駆動用パルス信号QQの立ち下がりではゼロ電流検出信号ZCDの値を記憶するので、D型フリップフロップ28aの肯定出力端子Qから出力される信号がローレベルではなく、ハイレベルであると、交流入力電圧が遮断されていると判断することができる。したがって、D型フリップフロップ28aの肯定出力端子Qから出力される出力信号を入力遮断検出信号ACSとすることができる。

時点t1～時点t2までの間では、交流入力電圧が入力されており、全波整流回路3から全波整流出力がインダクタL1に供給されているので、D型フリップフロップ28aから出力される入力遮断検出信号ACSは、図7(h)に示すように、ローレベルを維持する。

[0055] このため、RS型フリップフロップ28b及び28cもリセット状態を維持する。

D型フリップフロップ28aから出力される入力遮断検出信号ACSがプルアップ制御部41のオアゲート41eに供給される。このプルアップ制御部41では、フィードバック電圧 V_{FB} が第1基準電圧 V_{ref81} を超えて、RS型フリップフロップ41dがセットされているものとする。この状態では、選択スイッチ41fで第2基準電圧 V_{ref82} が選択されており、フィードバック電圧 V_{FB} が第2基準電圧 V_{ref82} より高いものとする、コンパレータ41cの出力信号UVPがハイレベルとなっている。このため、コンパレータ41cの出力信号UVPがオアゲート41eを通じてPチャンネルMOSFET41aのゲートに供給されることにより、このPチャンネルMOSFET41aがオフ状態となり、エラーアンプ21の出力に対するプルアップ動作が停止される。

[0056] 一方、入力遮断検出部28のRS型フリップフロップ28bがリセット状態であるので、ローレベルの出力信号がプルダウン制御部42のオアゲート42fに供給される。このとき、過電圧保護部26のコンパレータ26aで

は、フィードバック電圧 V_{FB} が基準電圧 V_{ref6} より低いので、過電圧保護信号 OV_P がローレベルとなっている。このため、アンドゲート $42e$ の出力はローレベルを維持している。そして、低電圧誤動作防止信号 $UVLO$ もローレベルであるので、オアゲート $42f$ の出力信号がローレベルとなり、 N チャネル $MOSFET$ $42b$ がオフ状態に制御される。このため、プルダウン制御部 42 によるエラーアンプ 21 に対するプルダウン動作が停止されている。

[0057] さらに、入力遮断検出部 28 の RS 型フリップフロップ $28c$ がリセット状態を維持することから、ローレベルの出力信号がランプ発振部 27 のスロープ制御端子 SC に供給される。このため、ランプ発振部 27 では、ローレベルの出力信号が論理反転回路 $27j$ で論理反転されて P チャネル $MOSFET$ $27c$ のゲートに供給されるので、この P チャネル $MOSFET$ $27c$ がオフ状態となる。

したがって、第1定電流回路 $27a$ の定電流のみが充放電用コンデンサ C_t に供給されるので、充放電用コンデンサ C_t の電荷の蓄積が緩やかとなる。これにより、図5(a)に示すように、充放電用コンデンサ C_t の端子間電圧が緩やかに上昇し、第2基準電圧 V_{ref72} に達したときに、充放電用コンデンサ C_t が放電されてその端子間電圧が第1基準電圧 V_{ref71} まで一気に低下する、傾きの小さい鋸歯状波が生成される。この傾きの小さい鋸歯状波がランプ信号 $Ramp$ として駆動信号生成部 29 のパルス幅変調用コンパレータ $29b$ に供給される。

[0058] パルス幅変調用コンパレータ $29b$ は、ランプ信号 $Ramp$ と誤差信号 V_{COMP} に基づいてパルス幅変調信号を生成し、このパルス幅変調信号がオアゲート $29c$ を介して RS 型フリップフロップ $29d$ のリセット端子 R に供給される。 RS 型フリップフロップ $29d$ の肯定出力端子 Q からは駆動用パルス信号 QQ が出力され、否定出力端子 $\bar{Q}$ からは否定出力信号 QB が出力される。駆動用パルス信号 QQ はアンドゲート $29e$ 及びドライバ $29f$ を介して出力端子 OUT から昇圧用スイッチング素子 $Q1$ のゲートに出力されると

ともに、入力遮断検出部 28 の D 型フリップフロップ 28 a に出力される。

[0059] 次に、この交流電源が正常に入力されている状態から、時点 t_2 で交流電源 2 の瞬間停止が発生すると、全波整流回路 3 からインダクタ L_1 に入力電圧 V_{in} が入力されない（平滑用コンデンサ C_1 は容量が小さいため、 C_1 の電荷は短時間でなくなる）ことにより、フィードバック電圧 V_{FB} が、図 7（c）に示すように、徐々に低下する。これと同時に、力率改善制御用 IC 14 に供給される制御電圧 V_{cc} も図 7（f）に示すように、徐々に低下する。

また、駆動信号生成部 29 では、しばらく駆動信号 S_{DV} の出力を継続し、昇圧用スイッチング素子 Q_1 がオン・オフ状態を継続するが、交流入力遮断されているので、昇圧用スイッチング素子 Q_1 のソース・ドレイン間電圧 V_{ds} は図 7（e）に示すようにゼロのままとなり、フィードバック電圧 V_{FB} は増加することなく減少を継続する。

[0060] このように、交流電源が遮断されると、電流検出用抵抗 R_{CS} に流れる電流がゼロとなることから、ゼロ電流検出部 22 のコンパレータ 22 b の出力信号がハイレベルのままとなり、図 7（b）に示すように、ほぼ時点 t_2 でハイレベルのままとなるゼロ電流検出信号 ZCD が入力遮断検出部 28 に出力される。なお、ゼロ電流検出信号 ZCD は、交流電源が正常に印加されて昇圧用スイッチング素子 Q_1 のスイッチング動作が正常に行われているときに、上述のようにスイッチング素子がオフからオンに切り替わるタイミングでハイレベルとなるパルスが生成されるが、説明の簡単化のために図 7（b）には当該パルスを図示せず、交流電源が遮断されたときに生成されるハイレベルの信号のみを示している。

[0061] このため、D 型フリップフロップ 28 a の肯定出力端子 Q から駆動信号生成部 29 の RS 型フリップフロップ 29 d の駆動用パルス信号 QQ が立ち下がる時点（ t_3 ）でハイレベルのゼロ電流検出信号 ZCD が記憶されて、図 7（h）に示すように、ハイレベルに立ち上がる入力遮断検出信号 ACS として RS 型フリップフロップ 28 b 及び 28 c に供給され、これら RS 型フ

リップフロップ28b及び28cをセットする。

このため、RS型フリップフロップ28bの肯定出力端子Qから出力されるハイレベルの出力信号がプルダウン制御部42のオアゲート42fを介してNチャネルMOSFET42bに供給される。このためNチャネルMOSFET42bがオン状態となり、エラーアンプ21の出力に対するプルダウン動作を開始する。なお、時点(t3)において入力遮断検出信号ACSがハイレベルに立ち上がることにより、オアゲート41eにはハイレベルの入力遮断検出信号ACSが入力される。これにより、PチャネルMOSFET41aはオフ状態となり、エラーアンプ21の出力のプルアップが中止(停止)される。このように、プルアップ制御部41は、入力遮断検出部28が交流入力電圧の遮断状態を検出したとき(すなわち入力遮断検出信号ACSがハイレベルに立ち上がったとき)に、エラーアンプ21の出力電圧のプルアップを中止するように構成されている。

[0062] そのため、誤差信号 V_{COMP} が図7(i)に示すように、比較的急な勾配で減少する。

これと同時に、RS型フリップフロップ28cのハイレベルの肯定出力信号がランプ発振部27のスロープ制御端子SCに供給される。このため、ランプ発振部27では、ハイレベルの肯定出力信号が論理反転回路27jによってローレベルに反転されてPチャネルMOSFET27cに供給されることにより、このPチャネルMOSFET27cがオン状態となる。したがって、充放電用コンデンサCtに第1定電流回路27a及び第2定電流回路27bの定電流が加算されて供給されることにより、充放電用コンデンサCtが急速に充電される。このため、ランプ発振部27から図7(m)に示すように、立ち上がりの傾きが大きな鋸歯状波のランプ信号Rampがパルス幅変調用コンパレータ29bに出力される。

[0063] このため、同じ誤差信号 V_{COMP} に対するパルス幅変調用コンパレータ29bから出力されるパルス幅変調信号のパルス幅が、スロープ制御端子SCに供給される信号がローレベルの場合に比べて狭くなる。

なお、ゼロ電流検出部 22 から出力されるゼロ電流検出信号 ZCD がハイレベルを維持することにより、スタート信号生成部 29a でゼロ電流検出信号 ZCD に基づいてワンショット信号 S_{OS} を形成することができない。この場合に対し、RS 型フリップフロップ 29d の駆動用パルス信号 QQ に基づいてリスタートタイマ 29g によってスタート信号を生成し、これをオアゲート 52 に供給するようにしている。

[0064] そして、時点 t_4 で誤差信号 V_{COMP} がスイッチング停止閾値すなわちランプ発振部 27 の第 1 基準電圧 V_{ref71} に達すると、パルス幅変調用コンパレータ 29b の出力が常にハイレベルとなり、リセット優先の RS 型フリップフロップ 29d が常にリセットされているようになるので、駆動信号 S_{Dv} の出力が図 7 (g) に示すように停止される。

また、プルダウン制御部 42 の機能により誤差信号 V_{COMP} が減少を続け、時点 t_5 で誤差信号 V_{COMP} が軽負荷状態検出部 25 の基準電圧 V_{ref5} 以下となると、コンパレータ 25a から出力される軽負荷検出信号 LLD がハイレベルとなる。このため、入力遮断検出部 28 の RS 型フリップフロップ 28b がリセットされ、その出力がローレベルになる。

[0065] このとき、制御電圧 V_{cc} は低電圧誤動作防止部 23 の基準電圧 V_{ref3} 以下には低下していないので、低電圧誤動作防止信号 UVO はローレベルを維持する。このため、プルダウン制御部 42 のオアゲート 42f の出力がローレベルになり、Nチャネル MOSFET 42b がオフしてプルダウン制御部 42 によるプルダウン動作が停止する。これにより、2つの入力信号の差に基づき、誤差信号 V_{COMP} を高めようとするエラーアンプ 21 の本来の機能が働きだして、誤差信号 V_{COMP} が時点 t_5 で上昇を開始する。

しかしながら、ランプ発振部 27 から出力されるランプ信号 $Ramp$ の立ち上がりの傾斜が急になっているので、パルス幅変調用コンパレータ 29b から出力されるパルス幅変調信号のオン状態の幅が狭い状態に制限される。このため、交流電源からの入力が復活した時点で誤差信号 V_{COMP} がある程度大きくなっていても、昇圧用スイッチング素子 Q1 のオン時間が通常時より

短くなるため、ソフトスタート機能を発揮することができる。

[0066] その後時点 t_6 で、誤差信号 V_{COMP} がスイッチング停止閾値の第2基準電圧 V_{ref72} を超えるとパルス幅変調用コンパレータ 29b から再度パルス幅変調信号が出力され、RS型フリップフロップ 29d が常によりリセットされている状態ではなくなる。これにより、肯定出力端子 Q から駆動用パルス信号 Q_Q が出力され、出力端子 OUT から駆動信号 S_{DV} が昇圧用スイッチング素子 Q1 のゲートに出力される。

しかしながら、この時点 t_6 でも交流の入力電圧 V_{in} が遮断状態を継続するので、ゼロ電流検出部 22 から出力されるゼロ電流検出信号 ZCD はハイレベルを維持する。昇圧用スイッチング素子 Q1 のソース・ドレイン間電圧 V_{ds} も、図 7 (e) に示すようにゼロのままである。

[0067] 一方、フィードバック電圧 V_{FB} が力率制御動作検出部 24 の基準電圧 V_{ref4} 以下に低下すると、コンパレータ 24a の出力信号である力率改善動作検出信号 PFC_OK が図 7 (d) に示すように、ハイレベルからローレベルに反転する。

この状態では、まだ交流の入力電圧 V_{in} の供給が遮断されている状態を継続しているので、フィードバック電圧 V_{FB} は図 7 (c) に示すように減少傾向を継続する。

そして、時点 t_7 で交流の入力電圧 V_{in} の供給が再開されると、ゼロ電流検出信号 ZCD がハイレベルからローレベルに反転し、スイッチング素子のスイッチングに伴いゼロ電流又はその近傍後である僅かな期間のみハイレベルとなる通常動作となる。

[0068] すなわち、スタート信号生成部 29a でゼロ電流検出信号 ZCD によるスタート信号の生成が開始され、ゼロ電流検出信号 ZCD によるワンショットパルス P_{os} で RS 型フリップフロップ 29d が順次セットされるようになる。

スイッチング素子のスイッチングが開始される時点 t_7 からフィードバック電圧 V_{FB} が増加を開始するが、この時点 t_7 でランプ発振部 27 から出力

されるランプ信号 $Ramp$ の立ち上がりの傾斜が急であるので、昇圧用スイッチング素子 $Q1$ のオン状態の期間が短く規制され、ソフトスタート機能が発揮される。

[0069] その後、時点 $t8$ で、フィードバック電圧 V_{FB} の力率制御動作検出部 24 の基準電圧 V_{ref4} を超えるので、そのコンパレータ 24a の出力信号である力率改善動作検出信号 PFC_OK が図 7 (d) に示すようにローレベルからハイレベルに反転する。このため、入力遮断検出部 28 の RS 型フリップフロップ 28c がリセットされ、ランプ発振部 27 のスロープ制御端子 SC に入力される出力信号がローレベルに反転する。

したがって、ランプ発振部 27 の P チャンネル MOSFET 27c がオフ状態に制御されて、充放電用コンデンサ C_t に供給される充電電流が第 1 定電流回路 27a のみに制限される。このため、充放電用コンデンサ C_t の端子間電圧の増加率 (dV/dt) が少なくなり、鋸歯状波の立ち上がり時の傾斜が緩やかとなる。このランプ信号 $Ramp$ が駆動信号生成部 29 のパルス幅変調用コンパレータ 29b に入力されるので、パルス幅変調信号のオンの幅が広くなり、フィードバック電圧 V_{FB} の増加率が増大する。

[0070] このように、上記実施形態によると、交流入力電圧の瞬間停止が発生したときに、入力遮断検出部 28 で交流入力電圧の遮断状態を検出し、交流入力電圧の遮断状態が継続している間、ランプ発振部 27 から出力されるランプ信号 $Ramp$ の立ち上がりの傾斜を、交流入力電圧の遮断が発生していないときの傾斜より大きく制御する鋸歯状波のスロープ制御を行うようにしている。

このため、交流入力電圧の瞬間停止が発生したときに、昇圧チョッパを構成するスイッチング素子に供給する駆動信号のオン状態のパルス幅を狭く制限してソフトスタート機能を発揮することができる。したがって、瞬間停止や起動時のオーバーシュートの発生を抑制することができる。

[0071] しかも、ソフトスタート機能を発揮するための構成が、ランプ発振部 27 の充放電コンデンサに対して充電を行う定電流回路に並列に定電流回路とス

スイッチ部との直列回路を設け、スイッチ部を開閉制御するだけで、鋸歯状波の傾きを容易に変更することができる。

また、エラーアンプ21の応答特性をプルアップ制御部41及びプルダウン制御部42で制御するようにしている。そして、交流入力電圧の遮断を検出したときには、制御電源が第1の基準電圧を超えるまでの間はエラーアンプ21の応答特性を高めるプルアップ制御部41のプルアップ動作を制限するようにしている。このため、交流入力電圧の回復後に過度のプルアップ動作によって過電圧状態となることを防止することができる。

ちなみに、前述した実施形態において、入力遮断検出部28を設けない場合には、ランプ発振部27の鋸歯状波の傾きを制御できないので、交流電源の瞬間停止に昇圧コンバータのスイッチング素子に供給する駆動信号のパルス幅を制限してソフトスタート機能を発揮することができず、オーバーシュートが生じる場合がある。

[0072] まず、図8に示すように、交流電源の瞬間停止が、制御電圧 V_{cc} が低電圧誤動作防止部23の基準電圧 V_{ref31} 以下まで低下せず、低電圧誤動作防止信号 $UVLO$ がハイレベルとはならない場合を考える。交流電源が停止した時点 t_{12} で、フィードバック電圧 V_{FB} が減少し、制御電圧 V_{cc} も減少する。前述した実施形態とは異なり、交流電源が停止した状態でも、プルダウン制御部42のオアゲート42fに入力遮断検出信号 ACS でセットされるRS型フリップフロップ28bの出力信号が入力されることがないので、プルダウン動作は実行されない。また、プルアップ制御部41のオアゲート41eにハイレベルの入力遮断検出信号 ACS が入力されることがないので、プルアップ動作が実行されて誤差信号 V_{COMP} が上昇する。さらに、ランプ発振部27から出力されるランプ信号 $Ramp$ の立ち上がりの傾斜を変化させることがないので、ソフトスタート機能を発揮することができない。

[0073] その後、時点 t_{13} で交流電源の入力が再開すると、プルアップ制御部のプルアップ動作により誤差信号 V_{COMP} が過大になっているので、これに応じて出力電圧 V_o は大きな傾きで急上昇し、時点 t_{14} でオーバーシュートを

発生する。

一方、交流電源の瞬間停止が長くなって、制御電圧 V_{cc} が低電圧誤動作防止部 23 の基準電圧 V_{ref31} 以下まで低下する場合には、図 9 に示すように、制御電圧 V_{cc} が低電圧誤動作防止部 23 の基準電圧 V_{ref31} に達した時点 $t_{12'}$ で低電圧誤動作防止信号 $UVLO$ がハイレベルとなる。

[0074] これにより、RS 型フリップフロップ 41d がリセットされてオアゲート 41e の負論理入力端子の入力がローレベルとなり、オアゲート 41e の出力がハイレベルとなってプルアップ制御部 41 のプルアップ動作が停止する。また、プルダウン制御部 42 の N チャンネル MOSFET 42b がオン状態となって、エラーアンプ 21 の出力に対してプルダウン動作を実行し、誤差信号 V_{COMP} がスイッチング停止閾値より低い電圧に固定される。

その後時点 t_{13} で交流電源からの交流入力電圧の供給が再開されると、これに応じてフィードバック電圧 V_{FB} が上昇するとともに、制御電圧 V_{cc} も上昇する。

[0075] そして、時点 $t_{13'}$ で制御電圧 V_{cc} が低電圧誤動作防止部 23 の基準電圧 V_{ref32} に達すると、低電圧誤動作防止信号 $UVLO$ がローレベルに復帰し、プルダウン制御部 42 のプルダウン動作が解除される。これにより、エラーアンプ 21 が通常の動作を開始して、誤差信号 V_{COMP} が上昇し、時点 $t_{14'}$ で駆動信号 S_{DV} の出力が再開される。これによって、フィードバック電圧 V_{FB} が上昇する。この場合は、誤差信号 V_{COMP} が低い値から徐々に上昇するので、ソフトスタート動作が実現されている。

したがって、入力遮断検出部 28 を設けない場合には、交流電源の瞬間停止が短く制御電圧 V_{cc} が低電圧誤動作防止部 23 の基準電圧 V_{ref31} に達しない場合には出力電圧のオーバーシュートを生じてしまう。

[0076] 本実施形態では、交流電源の遮断状態を検出する入力遮断検出部 28 を設けるとともに、ランプ発振部 27 で入力遮断状態を検出したときに、鋸歯状波の立ち上がりの傾き (dV/dt) を大きくするスロープ制御を行うの

で、短時間の交流電源の瞬間停止時にもソフトスタート機能を発揮することができ、出力電圧のオーバーシュートを防止することができる。

なお、上記実施形態では、昇圧用スイッチング素子Q1としてMOSFETを適用したが、IGBT、バイポーラトランジスタ等のスイッチング素子を適用することもできる。

符号の説明

[0077] 1…スイッチング電源装置、2…交流電源、3…全波整流回路、10…第1コンバータ、11…昇圧チョッパ、14…力率改善制御用IC、21…エラーアンプ、22…ゼロ電流検出部、23…低電圧誤動作防止部、24…力率制御動作検出部、25…軽負荷状態検出部、26…過電圧保護部、27…ランプ発振部、28…入力遮断検出部、40…応答制御部、41…プルアップ制御部、42…プルダウン制御部

請求の範囲

- [請求項1] 昇圧チョッパのスイッチング素子を制御して、交流入力電圧を全波整流した直流電圧から所定の出力電圧を得る力率改善回路であって、
- 前記昇圧チョッパの前記出力電圧と基準電圧との差を増幅する信号を出力する誤差信号生成部と、
- 三角波信号を出力する発振部と、
- 前記昇圧チョッパのインダクタ電流のゼロ電流を検出するゼロ電流検出部と、
- 該ゼロ電流検出部のゼロ電流検出信号、前記誤差信号生成部からの誤差信号及び前記発振部からの三角波信号に基づいて前記スイッチング素子に対する駆動信号を生成する駆動信号生成部と、
- 前記ゼロ電流検出部の検出信号に基づいて前記交流入力電圧の遮断状態を検出する入力遮断検出部とを備え、
- 前記発振部は、前記三角波信号の傾きを、前記入力遮断検出部が入力遮断状態を検出したときに、入力遮断状態を検出していないときに比較して大きな傾きに制御することを特徴とする力率改善回路。
- [請求項2] 前記入力遮断検出部は、前記駆動信号生成部の駆動信号が前記スイッチング素子のターンオフを指示するタイミングで前記ゼロ電流検出部がゼロ電流を検出していると前記交流入力電圧が遮断していると判断することを特徴とする請求項1に記載の力率改善回路。
- [請求項3] 前記入力遮断検出部は、前記ゼロ電流検出部のゼロ電流検出信号がデータ端子に入力され、前記駆動信号生成部の駆動信号がクロック端子に入力されるD型フリップフロップと、該D型フリップフロップの出力信号を保持するRS型フリップフロップを有することを特徴とする請求項2に記載の力率改善回路。
- [請求項4] 入力される制御電源の低下による誤動作を防止する誤動作防止信号を生成する低電圧誤動作防止部を備えていることを特徴とする請求項

1 から 3 の何れか一項に記載の力率改善回路。

[請求項5] 前記誤差信号生成部の応答特性を制御する応答制御部を有し、
該応答制御部は、前記発振部で前記発振部の三角波信号の傾きを大きな傾きに制御している間は前記誤差信号生成部の応答特性を高める制御を中止することを特徴とする請求項 4 に記載の力率改善回路。

[請求項6] 前記応答制御部は、前記昇圧チョッパの出力電圧に基づいて軽負荷状態から重負荷状態に切り換わる際に前記誤差信号生成部の出力電圧をプルアップするプルアップ制御部と、前記低電圧誤動作防止部が動作状態であるときに前記誤差信号生成部の出力電圧をプルダウンして低電位に固定するプルダウン制御部とを備え、前記プルアップ制御部は、前記入力遮断検出部が交流入力電圧の遮断状態を検出したときに、前記誤差信号生成部の出力電圧のプルアップを中止することを特徴とする請求項 5 に記載の力率改善回路。

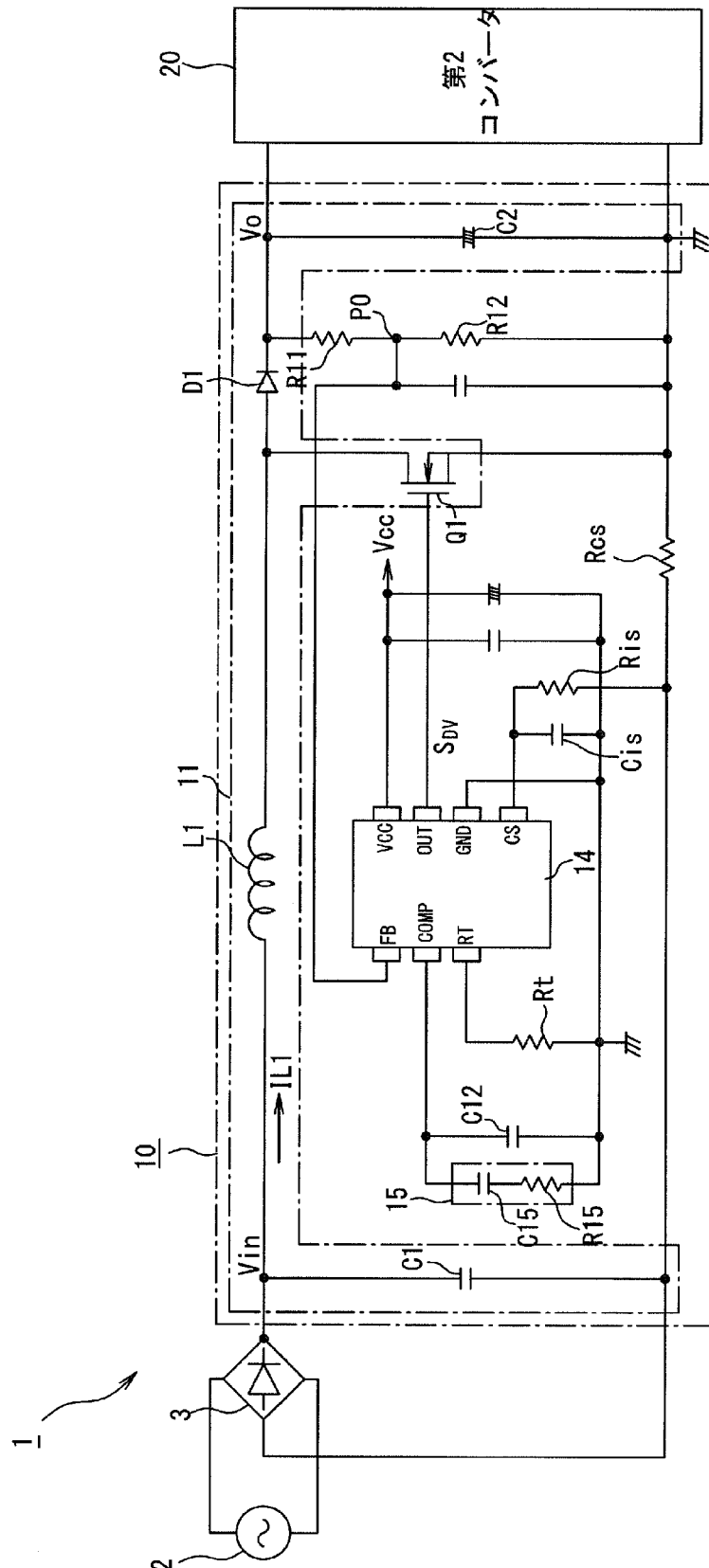
[請求項7] 前記駆動信号生成部は、前記誤差信号生成部からの誤差信号及び前記発振部からの三角波信号に基づいてパルス幅変調信号を生成するパルス幅変調部と、前記ゼロ電流検出部からのゼロ電流検出信号に基づいてワンショットパルスを生成するワンショットパルス生成部と、該ワンショットパルス生成部から出力されるワンショットパルスがセット端子に入力され、前記パルス幅変調部から出力されるパルス幅変調信号がリセット端子に入力される R S 型フリップフロップとを備えていることを特徴とする請求項 1 から 6 の何れか一項に記載の力率改善回路。

[請求項8] 前記発振部は、第 1 定電流回路とコンデンサを直列に接続した充電部と、前記第 1 定電流回路と並列に接続された第 2 定電流回路及びスイッチング素子の直列回路と、前記コンデンサの充電電圧を基準電圧と比較する比較部と、該比較部の比較信号に基づいて前記コンデンサの充電電荷を放電する放電部と、前記比較部の比較信号に基づいて前記比較部に供給する第 1 参照電圧と当該第 1 参照電圧より高い第 2 参

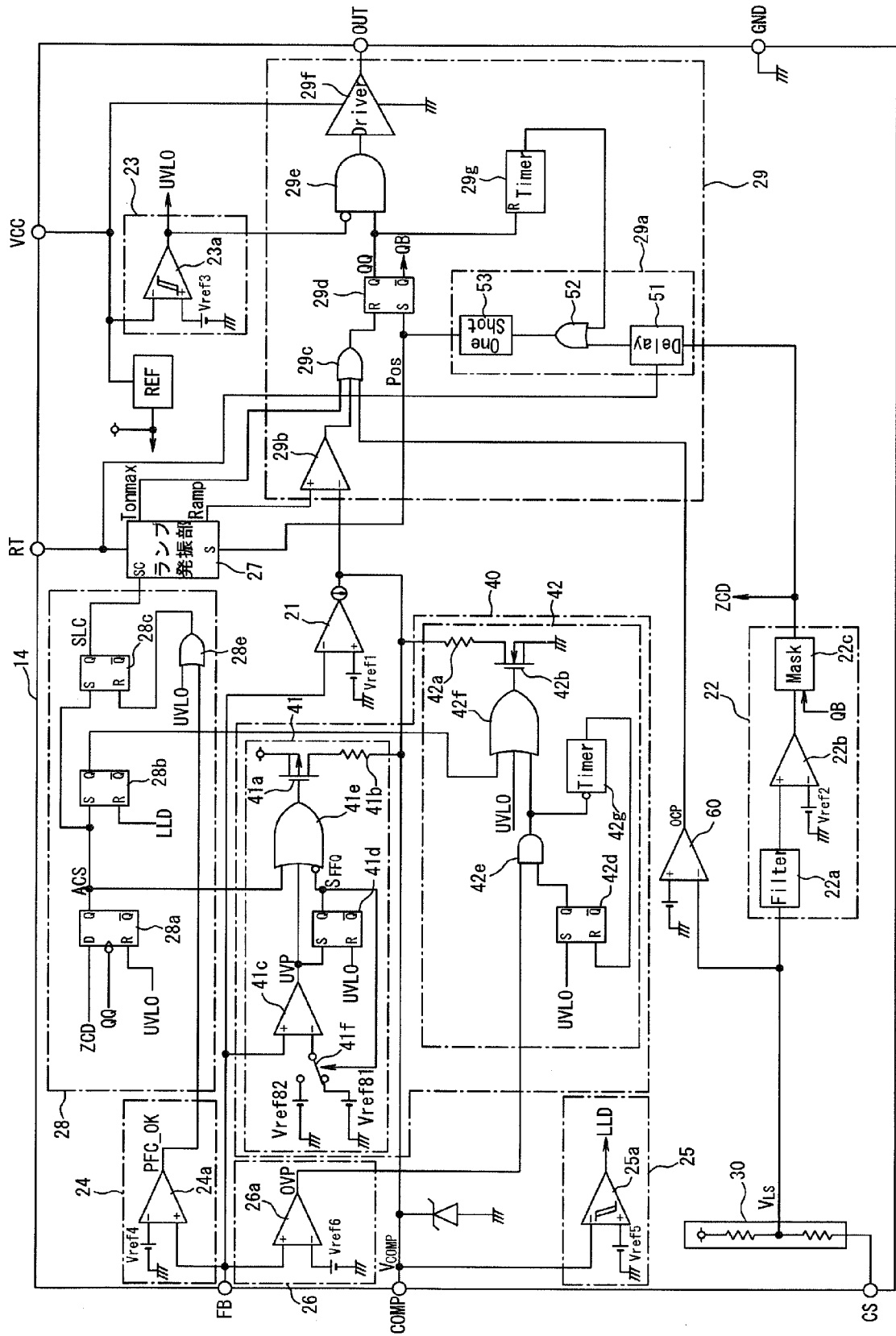
照電圧を基準電圧として選択する基準電圧選択部とを備えていることを特徴とする請求項 1 から 7 の何れか一項に記載の力率改善回路。

[請求項9] 第 1 コンバータとして請求項 1 から 8 の何れか一項に記載の力率改善回路を備え、前記第 1 コンバータの出力に接続された第 2 コンバータを有することを特徴とするスイッチング電源装置。

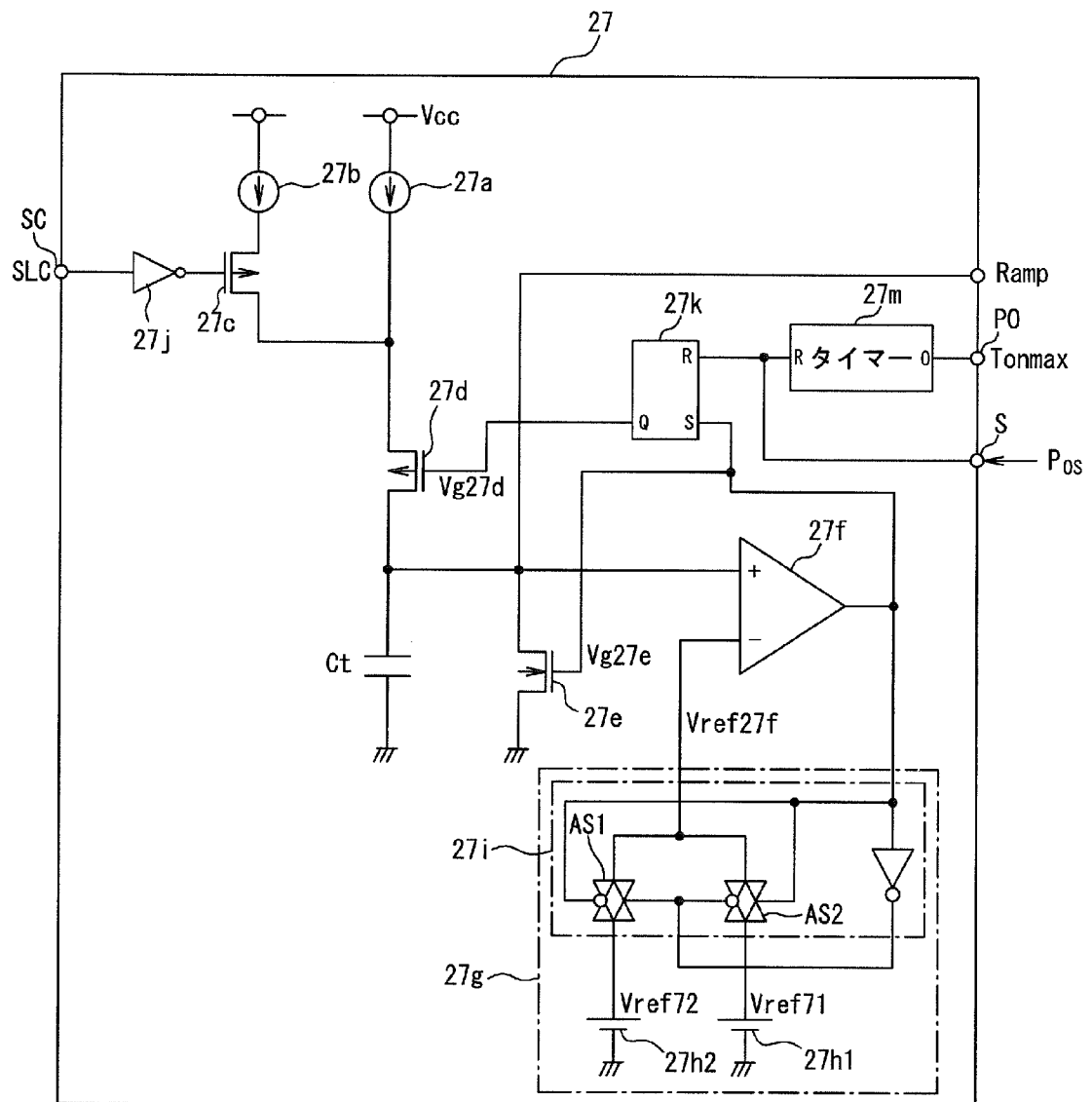
[図1]



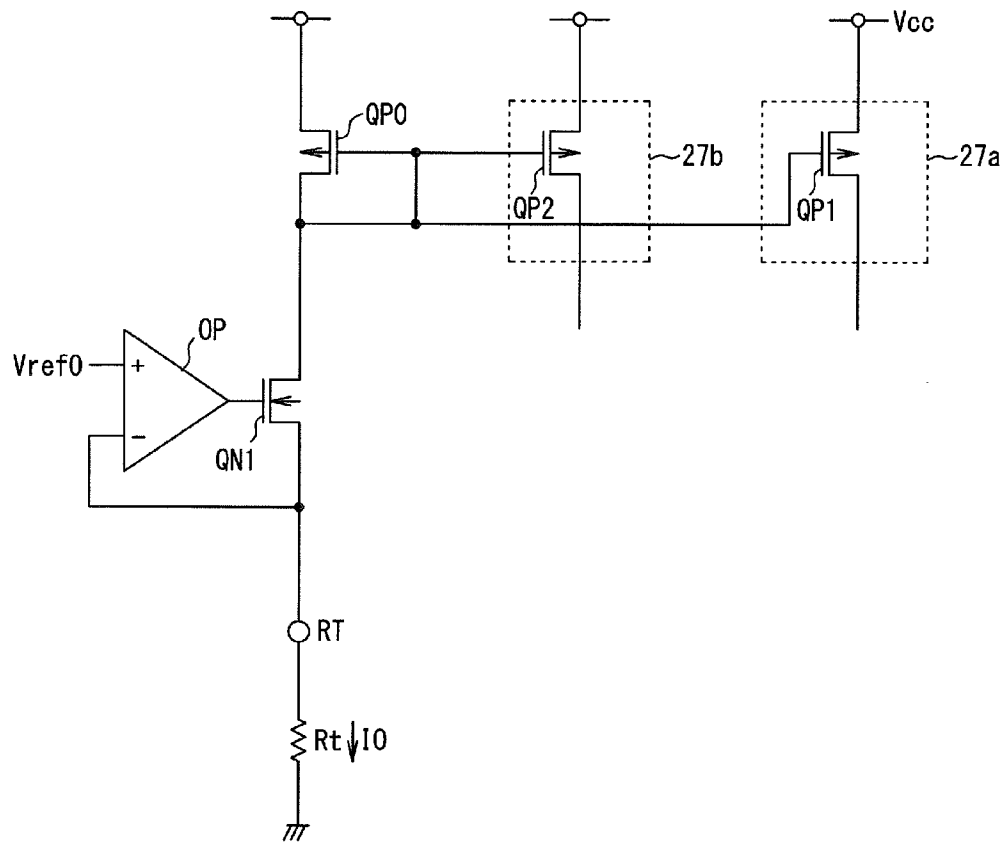
[図2]



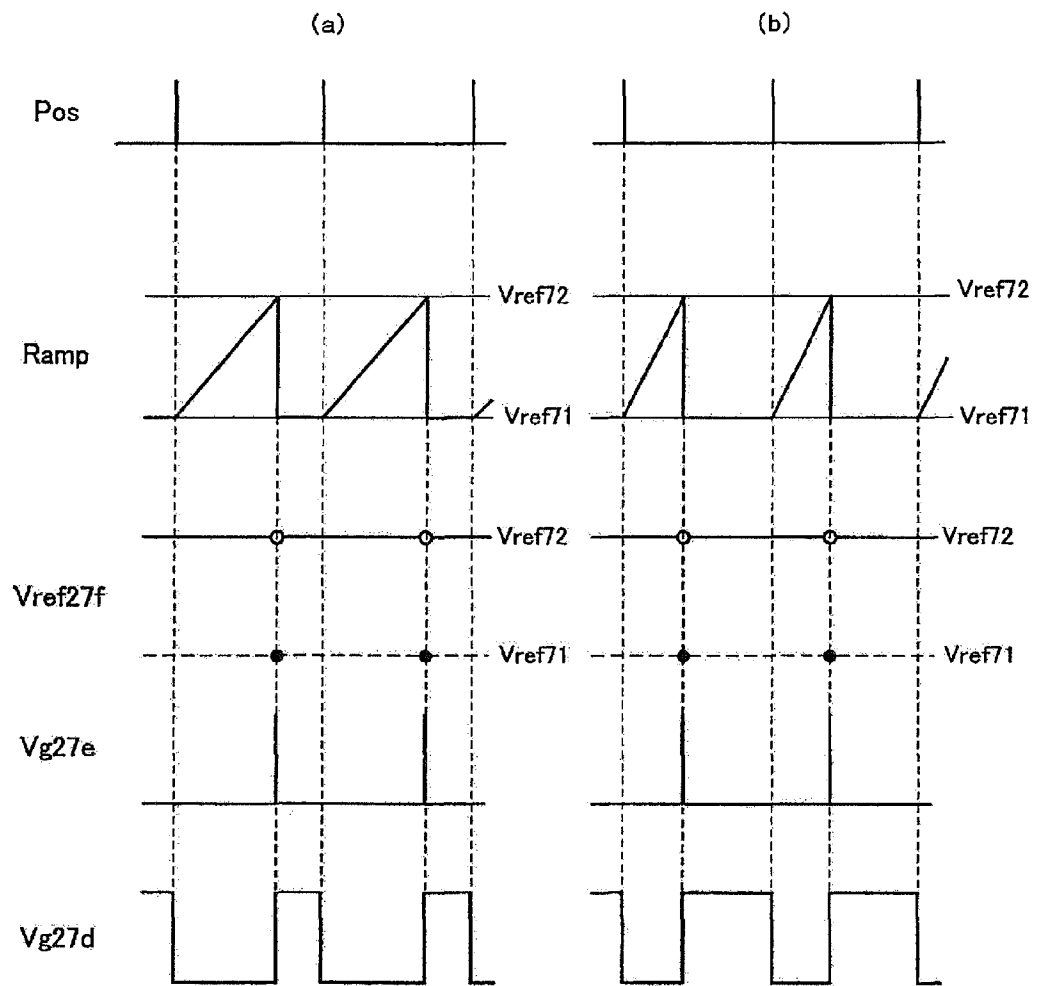
[図3]



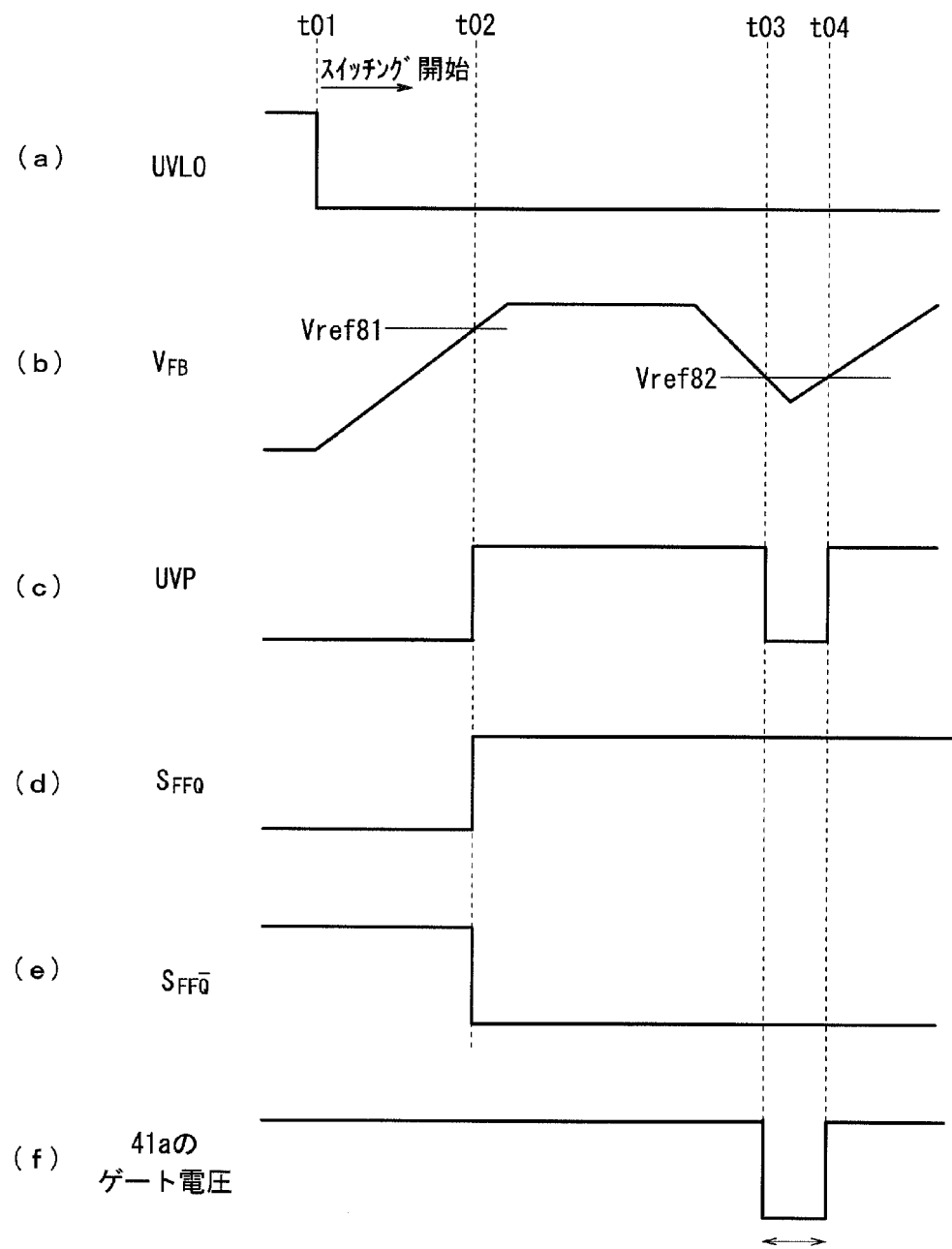
[図4]



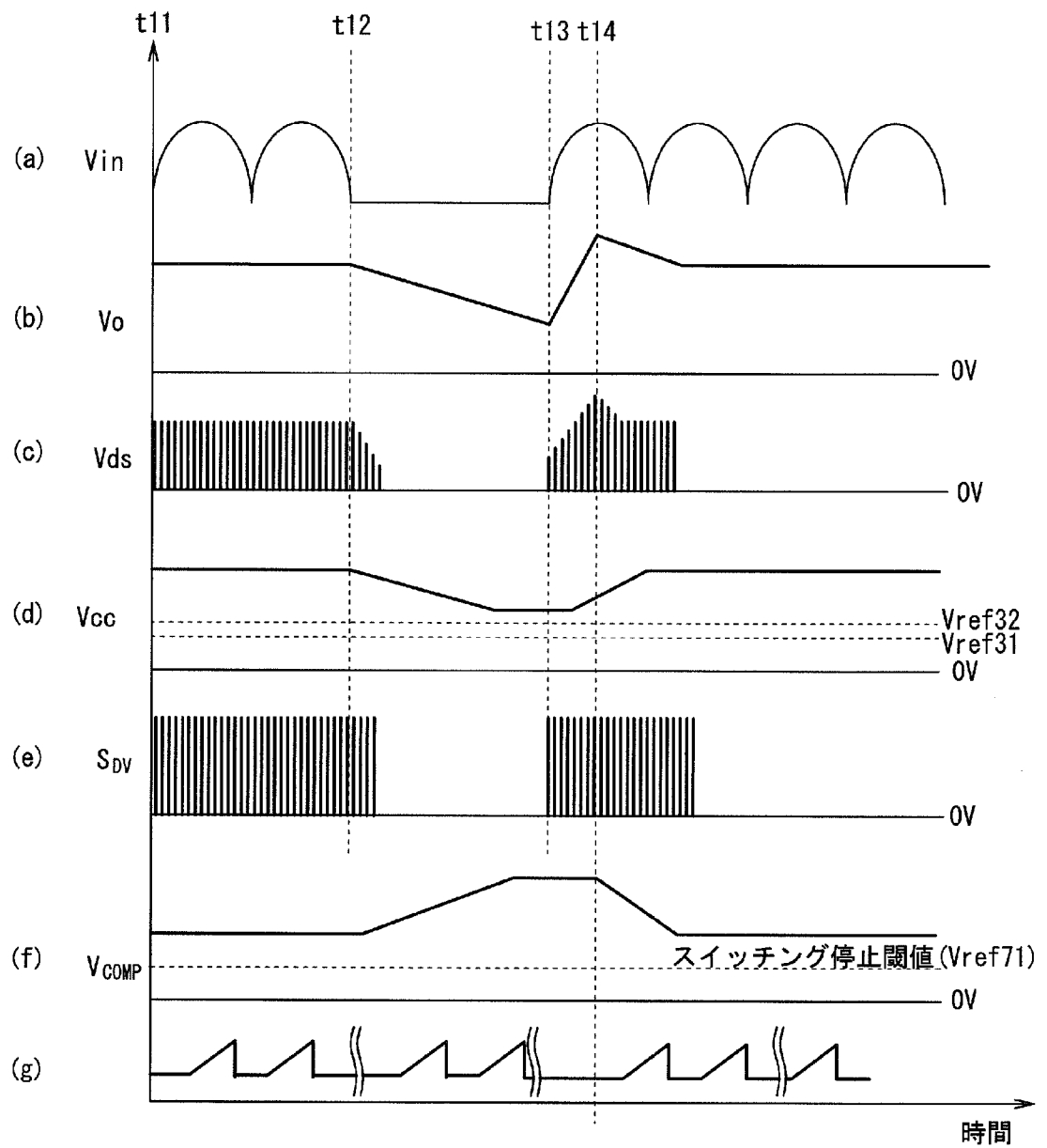
[図5]



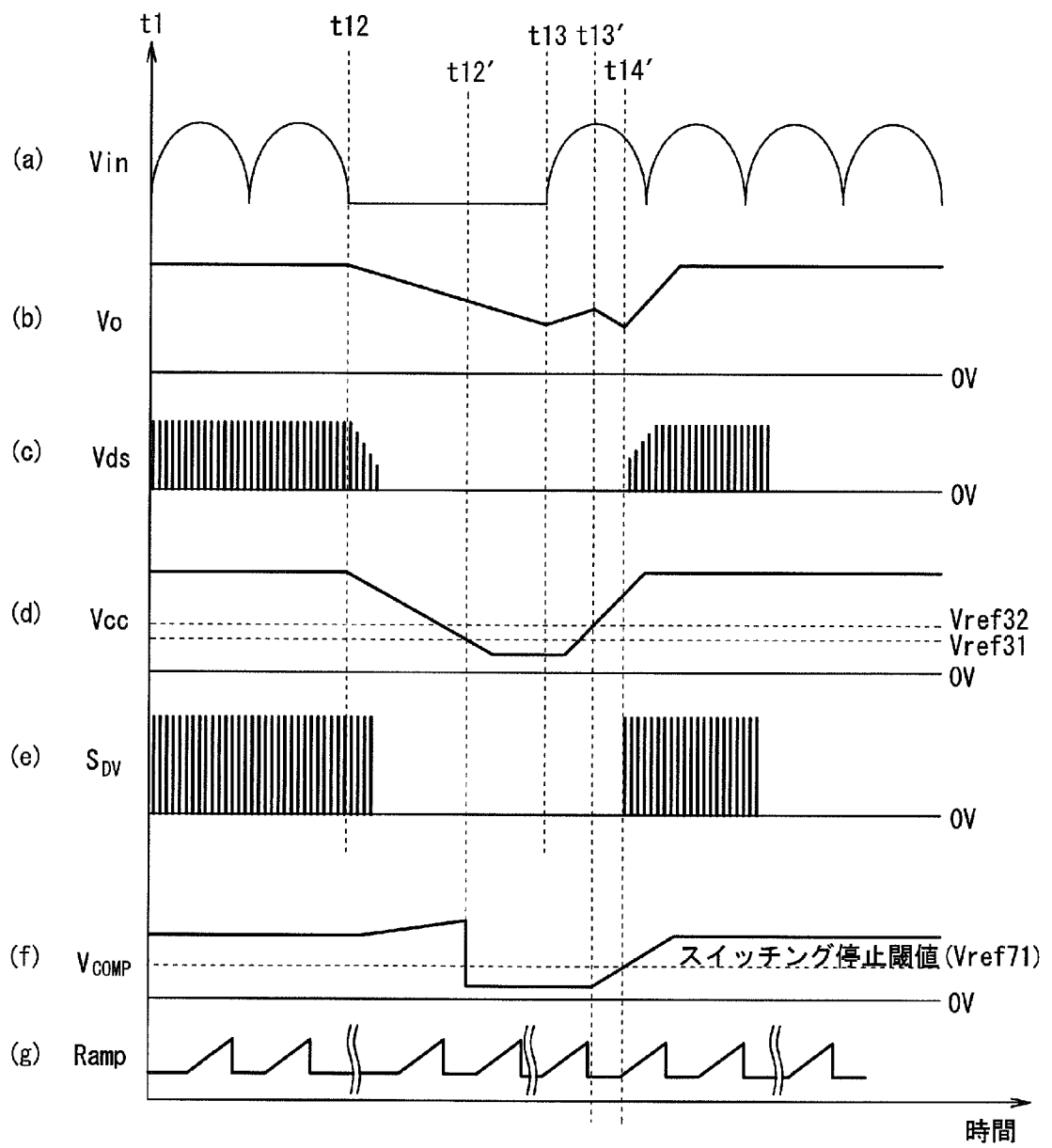
[図6]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/007383

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M3/155 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-63603 A (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 25 April 2016, entire text, all drawings (Family: none)	1-9
A	JP 2010-220330 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 30 September 2010, entire text, all drawings (Family: none)	1-9
A	JP 2017-229209 A (FUJI ELECTRIC CO., LTD.) 28 December 2017, entire text, all drawings & US 2017/0373604 A1, entire text, all drawings	1-9
A	WO 2013/180297 A2 (NAGASAKI UNIVERSITY) 05 December 2013, entire text, all drawings & US 2015/0155778 A1, entire text, all drawings & EP 2858222 A2 & CN 104620483 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 March 2019 (27.03.2019)

Date of mailing of the international search report
09 April 2019 (09.04.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-63603 A（東芝ライテック株式会社）2016.04.25, 全文, 全図（ファミリーなし）	1-9
A	JP 2010-220330 A（富士電機システムズ株式会社）2010.09.30, 全文, 全図（ファミリーなし）	1-9
A	JP 2017-229209 A（富士電機株式会社）2017.12.28, 全文, 全図 & US 2017/0373604 A1, 全文, 全図	1-9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.03.2019

国際調査報告の発送日

09.04.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

遠藤 尊志

5G

3052

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/180297 A2 (国立大学法人長崎大学) 2013. 12. 05, 全文, 全図 & US 2015/0155778 A1, 全文, 全図 & EP 2858222 A2& CN 104620483 A	1-9