

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6832082号
(P6832082)

(45) 発行日 令和3年2月24日(2021.2.24)

(24) 登録日 令和3年2月3日(2021.2.3)

(51) Int.Cl. F I
H02M 3/155 (2006.01) H02M 3/155 C

請求項の数 17 (全 14 頁)

(21) 出願番号	特願2016-128919 (P2016-128919)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成28年6月29日 (2016.6.29)	(74) 代理人	100105924 弁理士 森下 賢樹
(65) 公開番号	特開2018-7357 (P2018-7357A)	(74) 代理人	100133215 弁理士 真家 大樹
(43) 公開日	平成30年1月11日 (2018.1.11)	(72) 発明者	長弓 乃恵衣 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
審査請求日	令和1年6月21日 (2019.6.21)	(72) 発明者	坂本 忠之 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		審査官	白井 孝治

最終頁に続く

(54) 【発明の名称】 DC/DCコンバータおよびその制御回路、インダクタのショート検出方法、制御方法、電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数チャンネルを有するマルチフェーズのDC/DCコンバータの制御回路であって、
前記DC/DCコンバータの出力電圧に応じたフィードバック信号とその目標値の誤差を増幅し、誤差信号を生成するエラーアンプと、

前記誤差信号にもとづいて、複数チャンネルのパルス信号を生成するパルス変調器と、
複数チャンネルに対応し、それぞれが対応するパルス信号にもとづいて、対応するスイッチングトランジスタを駆動する複数のドライバと、

複数チャンネルそれぞれのインダクタのショートを検出するショート検出回路と、
ショートが検出されたチャンネルの動作を停止する保護回路と、
を備え、

前記ショート検出回路は、前記DC/DCコンバータのスイッチングトランジスタの電流がしきい値を超える第1過電流状態と、前記DC/DCコンバータの整流素子の電流がしきい値を超える第2過電流状態とが連続して発生すると、前記インダクタのショートと判定することを特徴とする制御回路。

【請求項 2】

複数チャンネルを有するマルチフェーズのDC/DCコンバータの制御回路であって、
前記DC/DCコンバータの出力電圧に応じたフィードバック信号とその目標値の誤差を増幅し、誤差信号を生成するエラーアンプと、

前記誤差信号にもとづいて、複数チャンネルのパルス信号を生成するパルス変調器と、

複数チャンネルに対応し、それぞれが対応するパルス信号にもとづいて、対応するスイッチングトランジスタを駆動する複数のドライバと、

複数チャンネルそれぞれのインダクタのショートを検出するショート検出回路と、
ショートが検出されたチャンネルの動作を停止する保護回路と、
を備え、

前記ショート検出回路は、前記DC/DCコンバータのスイッチングトランジスタの電流がしきい値を超える第1過電流状態と、前記DC/DCコンバータの整流素子の電流がしきい値を超える第2過電流状態との連続が、複数サイクルにわたり連続して発生すると、前記インダクタのショートと判定することを特徴とする制御回路。

【請求項3】

前記スイッチングトランジスタの電流に応じた第1検出信号を所定の第1しきい値信号と比較し、第1過電流検出信号を生成する第1過電流検出コンパレータと、

前記整流素子の電流に応じた第2検出信号を所定の第2しきい値信号と比較し、第2過電流検出信号を生成する第2過電流検出コンパレータと、

をさらに備え、

前記ショート検出回路は、前記第1過電流検出信号および前記第2過電流検出信号にもとづいて、前記インダクタのショートを検出することを特徴とする請求項1または2に記載の制御回路。

【請求項4】

前記第1検出信号は、前記スイッチングトランジスタのドレインソース間電圧にもとづいて生成されることを特徴とする請求項3に記載の制御回路。

【請求項5】

前記整流素子は、同期整流トランジスタであり、

前記第2検出信号は、前記同期整流トランジスタのドレインソース間電圧にもとづいて生成されることを特徴とする請求項3または4に記載の制御回路。

【請求項6】

前記第1検出信号は、前記スイッチングトランジスタに対して直列に設けられたインピーダンス素子の電圧降下、もしくは、前記スイッチングトランジスタと並列に接続されたレプリカトランジスタに対して直列に設けられたインピーダンス素子の電圧降下にもとづいて生成されることを特徴とする請求項3に記載の制御回路。

【請求項7】

あるチャンネルにおいて前記インダクタのショートが検出された結果、動作チャンネルの個数が減った場合に、位相差を変更することを特徴とする請求項1から6のいずれかに記載の制御回路。

【請求項8】

前記DC/DCコンバータのチャンネル数はMであり、

Nチャンネル($N < M$)で動作中に、あるチャンネルにおいて前記インダクタのショートが検出されると、不使用チャンネルのひとつを動作状態に切りかえることを特徴とする請求項1から7のいずれかに記載の制御回路。

【請求項9】

インダクタのショートが検出されたとき、外部に通知する通知部をさらに備えることを特徴とする請求項1から8のいずれかに記載の制御回路。

【請求項10】

複数チャンネルそれぞれのインダクタのオープンを検出するオープン検出回路をさらに備えることを特徴とする請求項1から9のいずれかに記載の制御回路。

【請求項11】

前記保護回路は、オープンが検出されたチャンネルの動作を停止することを特徴とする請求項10に記載の制御回路。

【請求項12】

あるチャンネルにおいて前記インダクタのオープンが検出された結果、動作チャンネル

10

20

30

40

50

の個数が減った場合に、位相差を変更することを特徴とする請求項 1 1 に記載の制御回路。

【請求項 1 3】

前記 DC / DC コンバータのチャンネル数は M であり、

N チャンネル ($N < M$) で動作中に、あるチャンネルにおいて前記インダクタのオープンが検出されると、不使用チャンネルのひとつを動作状態に切りかえることを特徴とする請求項 1 0 または 1 1 に記載の制御回路。

【請求項 1 4】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 1 3 のいずれかに記載の制御回路。

10

【請求項 1 5】

請求項 1 から 1 4 のいずれかに記載の制御回路を備えることを特徴とする DC / DC コンバータ。

【請求項 1 6】

請求項 1 5 に記載の DC / DC コンバータを備えることを特徴とする電子機器。

【請求項 1 7】

DC / DC コンバータのインダクタのショート検出方法であって、

前記 DC / DC コンバータのスイッチングトランジスタの電流がしきい値を超える第 1 過電流状態を検出するステップと、

前記 DC / DC コンバータの整流素子の電流がしきい値を超える第 2 過電流状態を検出するステップと、

20

前記第 1 過電流状態および前記第 2 過電流状態が連続して発生すると、前記インダクタのショートと判定するステップと、

を備えることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC / DC コンバータに関する。

【背景技術】

【0002】

さまざまな電子機器において、ある電圧値の直流電圧を別の電圧値の直流電圧に変換する DC / DC コンバータが使用される。図 1 は、DC / DC コンバータ 800 の基本構成を示すブロック図である。図 1 の DC / DC コンバータ 800 は、降圧型 (Buck コンバータ) であり、入力ライン 802 の入力電圧 V_{IN} を降圧して目標電圧 $V_{OUT(REF)}$ に安定化された出力電圧 V_{OUT} を生成し、出力ライン 804 に接続される負荷 (不図示) に供給する。DC / DC コンバータ 800 は、出力回路 810 と、制御回路 900 を備える。出力回路 810 は、スイッチングトランジスタ M1、同期整流トランジスタ M2、インダクタ L1、出力キャパシタ C1 を含む。制御回路 900 は、出力電圧 V_{OUT} が目標電圧 $V_{OUT(REF)}$ に近づくように、スイッチングトランジスタ M1 および同期整流トランジスタ M2 のスイッチングのデューティ比をフィードバック制御する。

30

40

【0003】

抵抗 R11, R12 は、フィードバック (FB) 端子に入力された出力電圧 V_{OUT} を分圧し、フィードバック電圧 V_{FB} を生成する。制御回路 900 のエラーアンプ 902 は、フィードバック電圧 V_{FB} と基準電圧 V_{REF} の誤差を増幅し、誤差信号 V_{ERR} を生成する。パルス変調器 904 は、誤差信号 V_{ERR} に応じたデューティ比を有するパルス信号 S_{PWM} を生成する。ドライバ 906 は、パルス信号 S_{PWM} に応じてスイッチングトランジスタ M1 および同期整流トランジスタ M2 をスイッチングし、スイッチング (LX) 端子に、入力電圧 V_{IN} と接地電圧 V_{GND} をとる矩形電圧 V_{LX} を発生させる。

【発明の概要】

【発明が解決しようとする課題】

50

【0004】

DC/DCコンバータ800は過電流保護(OC P: Over Current Protection)機能を備えるのが一般的であり、制御回路900は、OC P回路910を備える。OC P回路910は、スイッチングトランジスタM1および/または同期整流トランジスタM2に流れる電流 I_1 、 I_{M2} を監視し、所定のしきい値を超えると、あるいはその状態が持続すると、OC P信号をアサートする。OC P信号がアサートされると、制御回路900は、スイッチングトランジスタM1および同期整流トランジスタM2のスイッチングを停止する。

【0005】

したがって図1のDC/DCコンバータ800では、過電流状態において、負荷に電力が供給できなくなる。DC/DCコンバータ800の負荷が、DC/DCコンバータ800を搭載する電子機器のメインプロセッサである場合、電子機器そのものが動作不能になってしまう。

10

【0006】

本発明に係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、異常状態においても負荷に電力を供給可能なDC/DCコンバータの提供にある。

【課題を解決するための手段】

【0007】

本発明のある態様は、複数チャンネルを有するマルチフェーズのDC/DCコンバータの制御回路に関する。制御回路は、DC/DCコンバータの出力電圧に応じたフィードバック信号とその目標値の誤差を増幅し、誤差信号を生成するエラーアンプと、誤差信号にもとづいて、複数チャンネルのパルス信号を生成するパルス変調器と、複数チャンネルに対応し、それぞれが対応するパルス信号にもとづいて、対応するスイッチングトランジスタを駆動する複数のドライバと、複数チャンネルそれぞれのインダクタのショートを検出するショート検出回路と、ショートが検出されたチャンネルの動作を停止する保護回路と、を備える。

20

【0008】

この態様によると、ショートが検出されたチャンネル以外の動作を継続することにより、負荷に電力を供給し続けることができる。ショートのチャンネルについては、スイッチングを停止して、インダクタの一端をハイインピーダンスに固定することで、他のチャンネルへの影響を防止できる。

30

【0009】

ショート検出回路は、DC/DCコンバータのスイッチングトランジスタの電流がしきい値を超える第1過電流状態と、DC/DCコンバータの整流素子の電流がしきい値を超える第2過電流状態とが連続して発生すると、インダクタのショートと判定してもよい。

インダクタがショートすると、インダクタンスが実質的にゼロとなる。したがって、スイッチングトランジスタおよび整流素子それぞれの電流がいずれも過電流状態となる。この態様によれば、2つの過電流状態を監視することで、インダクタのショートを検出できる。

【0010】

ショート検出回路は、第1過電流状態と第2過電流状態が複数サイクルにわたり連続して発生すると、インダクタのショートと判定してもよい。これにより、ノイズ等によるショートの誤検出を防止できる。

40

【0011】

制御回路は、スイッチングトランジスタの電流に応じた第1検出信号を所定の第1しきい値信号と比較し、第1過電流検出信号を生成する第1過電流検出コンパレータと、整流素子の電流に応じた第2検出信号を所定の第2しきい値信号と比較し、第2過電流検出信号を生成する第2過電流検出コンパレータと、をさらに備えてもよい。ショート検出回路は、第1過電流検出信号および第2過電流検出信号にもとづいて、インダクタのショートを検出してよい。

50

過電流検出用のコンパレータをインダクタのショート検出に利用することで、ハードウェアの増加を抑制できる。

【0012】

第1検出信号は、スイッチングトランジスタのドレインソース間電圧にもとづいて生成してもよい。整流素子は、同期整流トランジスタであり、第2検出信号は、同期整流トランジスタのドレインソース間電圧にもとづいて生成してもよい。トランジスタの既知のオン抵抗を利用することで、回路構成を簡素化できる。

【0013】

第1検出信号は、スイッチングトランジスタに対して直列に設けられたインピーダンス素子の電圧降下、もしくは、スイッチングトランジスタと並列に接続されたレプリカトランジスタに対して直列に設けられたインピーダンス素子の電圧降下にもとづいて生成されてもよい。インピーダンス素子は抵抗であってもよいし、アルミなどの配線であってもよい。

10

【0014】

あるチャンネルにおいてインダクタのショートが検出された結果、動作チャンネルの個数が減った場合に、位相差を変更してもよい。これにより系の安定性を高めることができる。

【0015】

DC/DCコンバータのチャンネル数はMであり、Nチャンネル($N < M$)で動作中、あるチャンネルにおいてインダクタのショートが検出されると、不使用チャンネルのひとつを動作状態に切りかえてもよい。つまりチャンネルに空きがある場合には、それを代替利用することで、同じチャンネル数を維持できる。

20

【0016】

制御回路は、インダクタのショートが検出されたとき、外部に通知する通知部をさらに備えてもよい。

【0017】

制御回路は、複数チャンネルそれぞれのインダクタのオープンを検出するオープン検出回路をさらに備えてもよい。保護回路は、オープンが検出されたチャンネルの動作を停止してもよい。

【0018】

あるチャンネルにおいてインダクタのオープンが検出された結果、動作チャンネルの個数が減った場合に、位相差を変更してもよい。これにより系の安定性を高めることができる。

30

【0019】

DC/DCコンバータのチャンネル数はMであり、Nチャンネル($N < M$)で動作中、あるチャンネルにおいてインダクタのオープンが検出されると、不使用チャンネルのひとつを動作状態に切りかえてもよい。これにより動作チャンネル数を維持できる。

【0020】

制御回路は、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

40

【0021】

本発明の別の態様はDC/DCコンバータに関する。DC/DCコンバータは上述のいずれかの制御回路を備える。

【0022】

本発明の別の態様は、電子機器に関する。電子機器は、上述のDC/DCコンバータを備えてもよい。

【0023】

本発明の別の態様は、複数Mチャンネルを有するマルチフェーズのDC/DCコンバー

50

タに関する。このDC/DCコンバータは、負荷が要求する電力をNチャンネル($N < M$)で供給可能であり、いずれかのチャンネルにおいて異常が検出されたとき、そのチャンネルのみを停止し、残りのチャンネルで負荷に電力を供給し続ける。

【0024】

なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置、システムなどの中で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0025】

本発明のある態様によれば、異常状態においても負荷に電力を供給できる。

【図面の簡単な説明】

10

【0026】

【図1】DC/DCコンバータの基本構成を示すブロック図である。

【図2】実施の形態に係る制御回路を備えるDC/DCコンバータの回路図である。

【図3】図3(a)、(b)は、図2のDC/DCコンバータの第1の保護動作を説明する図である。

【図4】図4(a)、(b)は、図2のDC/DCコンバータの第2の保護動作を説明する図である。

【図5】図5(a)、(b)は、図2のDC/DCコンバータの第3の保護動作を説明する図である。

【図6】図6(a)、(b)は、第1のショート検出方法を説明する図である。

20

【図7】制御回路の過電流検出に関連する構成を示す回路図である。

【図8】インダクタのオープン検出回路の回路図である。

【図9】実施の形態に係るDC/DCコンバータを備える電子機器の一例を示す図である。

【発明を実施するための形態】

【0027】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

30

【0028】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

【0029】

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさず、あるいは機能を阻害しない他の部材を介して間接的に接続される場合も含む。

【0030】

40

また、「信号A(電圧、電流)が信号B(電圧、電流)に応じている」とは、信号Aが信号Bと相関を有することを意味し、具体的には、(i)信号Aが信号Bである場合、(ii)信号Aが信号Bに比例する場合、(iii)信号Aが信号Bをレベルシフトして得られる場合、(iv)信号Aが信号Bを増幅して得られる場合、(v)信号Aが信号Bを反転して得られる場合、(vi)あるいはそれらの任意の組み合わせ、等を意味する。「に応じて」の範囲は、信号A、Bの種類、用途に応じて定まることが当業者には理解される。

【0031】

図2は、実施の形態に係る制御回路200を備えるDC/DCコンバータ100の回路図である。DC/DCコンバータ100は、図1と同様に、マルチチャンネル、マルチフェーズの降圧コンバータ(Buck Converter)であり、入力ライン102に直流入力電圧V

50

V_{IN} を受け、それ降圧して所定の目標電圧 $V_{OUT(REF)}$ に安定化された出力電圧 V_{OUT} を生成し、出力ライン104に接続された負荷（不図示）に供給する。

【0032】

DC/DCコンバータ100は、Mチャンネル（Mは2以上の整数）で構成される。チャンネル数Mは任意であり、2チャンネル、3チャンネル、4チャンネル、6チャンネル、8チャンネル、12チャンネル、16チャンネルなど、DC/DCコンバータ100の用途に応じて決めればよい。

【0033】

このDC/DCコンバータ100は、負荷が要求する電力をNチャンネル（ $N < M$ ）で供給可能である。たとえばM=2の場合、N=1チャンネルで、負荷の要求電力をまかなえるよう構成され、M=4の場合、N=3チャンネル（もしくは2チャンネル、もしくは1チャンネル）で、負荷の要求電力をまかなえるよう構成される。DC/DCコンバータ100は、いずれかのチャンネルにおいて異常が検出されたとき、そのチャンネルのみを停止し、残りのチャンネルで負荷に電力を供給し続ける。これがDC/DCコンバータ100の基本的な特徴である。

10

【0034】

以下、DC/DCコンバータ100の構成を説明する。DC/DCコンバータ100は、出力回路110および制御回路200を備える。出力回路110は、チャンネルごとに、スイッチングトランジスタM1、同期整流トランジスタM2、インダクタL1を有し、Mチャンネルに共通の出力キャパシタC1および抵抗R11、R12を有する。本実施の形態において、スイッチングトランジスタM1、同期整流トランジスタM2および抵抗R11、R12は、制御回路200に集積化されているが、外付けのディスクリット素子、チップ部品を用いてもよい。

20

【0035】

制御回路200は、単一の半導体基板に集積化された機能IC（Integrated Circuit）である。制御回路200には、チャンネルごとに、入力（ V_{IN} ）端子、スイッチング（LX）端子、接地（GND）端子が設けられ、また全チャンネルに共通のフィードバック（FB）端子が設けられる。FB端子には、出力電圧 V_{OUT} に応じた電圧がフィードバックされる。制御回路200は、出力電圧 V_{OUT} に応じたフィードバック信号 V_{FB} がその目標値 V_{REF} に近づくように、複数チャンネルCH1～CHMのスイッチングトランジスタM1および同期整流トランジスタM2を駆動する。

30

【0036】

制御回路200は、エラーアンプ202、パルス変調器204、ドライバ206__1～206__M、メインロジック210、ショート検出回路220、オープン検出回路230を備える。エラーアンプ202は、出力電圧 V_{OUT} に応じたフィードバック信号 V_{FB} とその目標値 V_{REF} の誤差を増幅し、誤差信号 V_{ERR} を生成する。

【0037】

パルス変調器204は、誤差信号 V_{ERR} に応じたデューティ比（あるいは周波数）を有するパルス信号 S_{PWM1} ～ $S_{PWM M}$ を生成する。パルス変調器204の構成、変調方式は特に限定されないが、たとえばピーク電流モードのパルス幅変調器を用いることができる。

40

【0038】

複数のドライバ206は、複数チャンネルに対応する。各チャンネルのドライバ206__iは、対応するパルス信号 $S_{PWM i}$ に応じて、対応するスイッチングトランジスタM1および同期整流トランジスタM2を駆動する。

【0039】

メインロジック210は、制御回路200を統合的に制御するロジック回路であり、起動シーケンスの制御や、複数チャンネルの位相差などを制御する。

【0040】

ショート検出回路220は、複数チャンネルCH1～CHMそれぞれのインダクタL1

50

のショートを検出する。メインロジック 210 の保護回路 212 は、ショートが検出されたチャンネルの動作を停止する。

【0041】

またオープン検出回路 230 は、複数チャンネル CH1 ~ CHM それぞれのインダクタ L1 のオープンを検出する。保護回路 212 は、オープンが検出されたチャンネルの動作を停止する。

【0042】

通知部 240 は、インダクタのショートあるいはオープンが検出されると、外部の回路に、異常の発生を通知してもよい。通知部 240 は、ピン 242 を介して I^2C などのバスと接続されるシリアルインタフェース回路であってもよい。あるいは通知部 240 は、異常の有無に応じて、ピン 242 の電気的狀態を変化させてもよい。

10

【0043】

以上が DC/DC コンバータ 100 の基本構成である。続いてその動作を説明する。図 3(a)、(b) は、図 2 の DC/DC コンバータ 100 の第 1 の保護動作を説明する図である。M = 2 であり、図 3(a) は正常時の動作を示す。正常時には、第 1 チャンネル CH1 の LX 端子と第 2 チャンネル CH2 の LX 端子は、180 度の位相差でスイッチングする。

【0044】

図 3(b) は第 1 チャンネル CH1 のインダクタ L1 がショートしたときの動作を示す。このとき、保護回路 212 は、第 1 チャンネル CH1 のスイッチングトランジスタ M1、同期整流トランジスタ M2 を両方オフとしてスイッチングを停止し、LX 端子をハイインピーダンス状態とする。その結果、DC/DC コンバータ 100 は、第 2 チャンネル CH2 のみがアクティブのシングルフェーズの DC/DC コンバータとして動作し続ける。

20

【0045】

図 4(a)、(b) は、図 2 の DC/DC コンバータ 100 の第 2 の保護動作を説明する図である。M = 2 であり、図 3(a) は出力電流 I_{OUT} が小さい軽負荷状態における正常時の動作を示す。メインロジック 210 は、軽負荷時において、チャンネル数を減らす制御を行う。具体的には、第 2 チャンネル CH2 を不使用チャンネルとし、スイッチングトランジスタ M1、同期整流トランジスタ M2 をオフする。第 2 チャンネル CH2 の LX 端子はハイインピーダンスとなっており、第 1 チャンネル CH1 の LX 端子がスイッチングするシングルフェーズ動作を行う。

30

【0046】

図 4(b) は軽負荷時において第 1 チャンネル CH1 のインダクタ L1 がショートしたときの動作を示す。このとき、保護回路 212 は、第 1 チャンネル CH1 のスイッチングトランジスタ M1、同期整流トランジスタ M2 を両方オフとしてスイッチングを停止し、LX 端子をハイインピーダンス状態とする。そして、不使用チャンネルであった第 2 チャンネル CH2 を使用チャンネルに切りかえる。その結果、DC/DC コンバータ 100 は、第 2 チャンネル CH2 のみがアクティブのシングルフェーズの DC/DC コンバータとして動作し続ける。

【0047】

図 5(a)、(b) は、図 2 の DC/DC コンバータ 100 の第 3 の保護動作を説明する図である。M = 4 であり、図 5(a) は正常時の動作を示す。正常時には、第 1 チャンネル CH1 の LX 端子 ~ 第 4 チャンネル CH4 の LX 端子は、90 度の位相差でスイッチングしている。

40

【0048】

図 5(b) は、第 1 チャンネル CH1 のインダクタ L1 がショートしたときの動作を示す。このとき、保護回路 212 は、第 1 チャンネル CH1 のスイッチングトランジスタ M1、同期整流トランジスタ M2 を両方オフとしてスイッチングを停止し、LX 端子をハイインピーダンス状態とする。その結果、DC/DC コンバータ 100 は、第 2 チャンネル CH2 ~ 第 4 チャンネル CH4 の 3 チャンネルがアクティブで動作し続ける。メインロジ

50

ック210は、動作チャンネルの個数が減った場合に、変更後のアクティブなチャンネル数にもとづいて位相差を変更する。この例では、変更後のチャンネル数は $N = 3$ であるから、位相差は $360 \text{度} / 3 = 120 \text{度}$ に切りかえられる。

【0049】

以上がDC/DCコンバータ100の動作である。

このDC/DCコンバータ100によれば、ショートが検出されたチャンネル以外の動作を継続することにより、負荷に電力を供給し続けることができる。ショートのチャンネルについては、スイッチングを停止して、インダクタの一端をハイインピーダンスに固定することで、他のチャンネルへの影響を防止できる。

【0050】

また図4(a)、(b)に示したように、チャンネルに空きがある場合には、空きチャンネルを代替利用することで、同じチャンネル数を維持できる。

【0051】

なお、いずれかのチャンネルにおいてインダクタのオープンが検出された場合についても、同様の保護動作が実行される。

【0052】

本発明は、図2のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

【0053】

続いて、インダクタのショート検出について説明する。

(第1ショート検出方法)

図6(a)、(b)は、第1のショート検出方法を説明する図である。図6(a)は正常時の波形図である。図6(b)は、インダクタがショートしたときの波形を示す。インダクタ L_1 がショートすると、インダクタンスが実質的にゼロとなり、ショート経路に流れる電流 I_{L_1}' のピーク値が増加する。この電流 I_{L_1}' は、スイッチングトランジスタ M_1 および同期整流トランジスタ M_2 から供給されるため、それぞれの電流 I_{M_1} 、 I_{M_2} がいずれも過電流状態となる。

【0054】

そこで、ショート検出回路220は、スイッチングトランジスタ M_1 の電流 I_{M_1} がしきい値 I_{OCP1} を超える第1過電流状態1と、整流素子である同期整流トランジスタ M_2 の電流 I_{M_2} がしきい値 I_{OCP2} を超える第2過電流状態2とが連続して発生すると、インダクタ L_1 のショートと判定する。

【0055】

より好ましくは、ショート検出回路220は、第1過電流状態1と第2過電流状態2の連続が、複数サイクルにわたり連続して発生すると、インダクタのショートと判定してもよい。サイクル数は特に限定されないが、2~5サイクル程度が好適である。これにより、ノイズ等によるショートの誤検出を防止できる。

【0056】

図7は、制御回路200の過電流検出に関連する構成を示す回路図である。第1過電流検出コンパレータ OCP_COMP1 は、スイッチングトランジスタ M_1 の電流 I_{M_1} に応じた第1検出信号 CS_1 を所定の第1しきい値信号 I_{OCP1} と比較し、比較結果を示す第1過電流検出(OCP)信号 S_{OCP1} を生成する。第2過電流検出コンパレータ OCP_COMP2 は、同期整流トランジスタ M_2 の電流 I_{M_2} に応じた第2検出信号 CS_2 を所定の第2しきい値信号 I_{OCP2} と比較し、比較結果を示す第2過電流検出(OCP)信号 S_{OCP2} を生成する。第1OCP信号 S_{OCP1} および第2OCP信号 S_{OCP2} は、OCP回路250に供給される。OCP回路250は、通常の過電流保護のために設けられており、第1OCP信号 S_{OCP1} が数サイクルにわたり連続してアサートされた場合、あるいは第2OCP信号 S_{OCP2} が数サイクルにわたり連続してアサートさ

10

20

30

40

50

れた場合に、全チャンネルのスイッチングを停止させる。

【0057】

ショート検出回路220は、第1OCP信号 S_{OCP1} および第2OCP信号 S_{OCP2} にもとづいて、インダクタL1のショートを検出する。過電流検出用のコンパレータをインダクタのショート検出に利用することで、ハードウェアの増加を抑制できる。

【0058】

第1検出信号 CS_1 は、スイッチングトランジスタM1のドレインソース間電圧 V_{DS1} にもとづいて生成してもよい。同様に第2検出信号 CS_2 は、同期整流トランジスタM2のドレインソース間電圧 V_{DS2} にもとづいて生成してもよい。トランジスタの既知のオン抵抗を利用することで、回路構成を簡素化できる。

10

【0059】

あるいは、第1検出信号 CS_1 および第2検出信号 CS_2 は、スイッチングトランジスタM1および整流素子M2に直列に設けられたインピーダンス素子の電圧降下にもとづいて生成してもよい。インピーダンス素子は抵抗素子であってもよいし、アルミなどの配線であってもよい。

【0060】

あるいは第1検出信号 CS_1 は、スイッチングトランジスタM1と並列にレプリカトランジスタを接続し、レプリカトランジスタに流れる電流 I_{M1}' を電圧に変換した信号であってもよい。同様に第2検出信号 CS_2 は、同期整流トランジスタM2と並列にレプリカトランジスタを接続し、レプリカトランジスタに流れる電流 I_{M2}' を電圧に変換した信号であってもよい。

20

【0061】

このように、スイッチングトランジスタM1、同期整流トランジスタM2の電流を検出する方法は特に限定されない。

【0062】

(第2ショート検出方法)

図6(b)に示すように、インダクタのショート状態において、スイッチングトランジスタM1、同期整流トランジスタM2それぞれの電流 I_{M1} 、 I_{M2} は急峻となる。そこで電流 I_{M1} 、 I_{M2} の傾きがしきい値を超える状態が連続すると、インダクタのショートと判定してもよい。

30

【0063】

(オープン検出方法)

図8は、インダクタのオープン検出回路の回路図である。図8には、1チャンネル分の構成のみが示されるが、その他のチャンネルも同様に構成することができる。オープン検出回路230は、抵抗 R_{21} 、 R_{22} およびキャパシタ C_{21} を含む。抵抗 R_{21} 、 R_{22} は、インダクタL1と並列に接続され、キャパシタ C_{21} は抵抗 R_{21} と並列に接続される。ノードAには、インダクタL1の電流 I_{L1} に応じた電圧が発生し、インダクタL1がオープンになるとノードAの電圧 V_A は低下するため、電圧 V_A を監視することによりオープン状態を検出できる。たとえばオープン検出回路230は、ノードAの電圧 V_A をしきい値 V_{OPEN} と比較するコンパレータ232を含み、 $V_A < V_{OPEN}$ が発生すると、インダクタL1のオープン異常と判定してもよい。コンパレータ232は制御回路200に集積化することができる。

40

【0064】

あるいはインダクタがオープンになると、スイッチングトランジスタM1、同期整流トランジスタM2の電流が両方ゼロとなる。したがって、オープン検出回路230は、電流 I_{M1} 、 I_{M2} がいずれも、ゼロ近傍に設定されたしきい値電流より小さいときに、インダクタのオープン状態と判定してもよい。

【0065】

(用途)

DC/DCコンバータ100は、タブレット端末、スマートホン、ノートPC、デジタ

50

ルカメラなどの電池駆動型の電子機器に搭載することができる。図9は、実施の形態に係るDC/DCコンバータ100を備える電子機器700の一例を示す図である。電子機器700は、筐体702、電池704、マイクロプロセッサ706およびDC/DCコンバータ100を備える。DC/DCコンバータ100は、その入力端子に電池704からの電池電圧 $V_{BAT} (= V_{IN})$ を受け、出力端子に接続されるマイクロプロセッサ706に、出力電圧 V_{OUT} を供給する。

【0066】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

10

【0067】

DC/DCコンバータ100は、ダイオード整流型であってもよい。また降圧コンバータには限定されず、昇圧型、あるいは昇降圧型にも本発明は適用可能である。またハイサイドのトランジスタは、NチャンネルMOSFETであってもよい。またスイッチングトランジスタM1や同期整流トランジスタM2として、MOSFETに代えてIGBTやバイポーラトランジスタを用いてもよい。

【0068】

実施の形態では、あるチャンネルにおいてインダクタのオープンが検出されると、当該チャンネルのスイッチングを停止したが、スイッチングを継続してもよい。インダクタがオープンであれば、他のチャンネルには影響がないからである。ただし、実施の形態で説明したようにスイッチングを停止した場合には、無駄な電力消費を抑制でき、あるいはスイッチングノイズを低減できるという利点がある。

20

【0069】

実施の形態にもとづき、具体的な語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

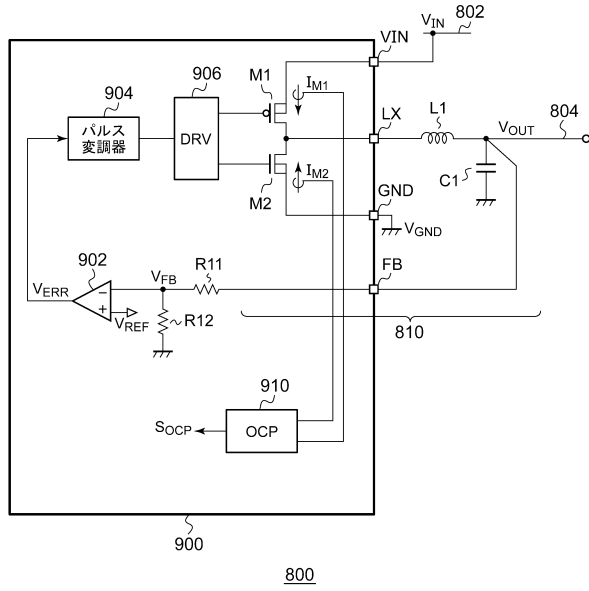
【符号の説明】

【0070】

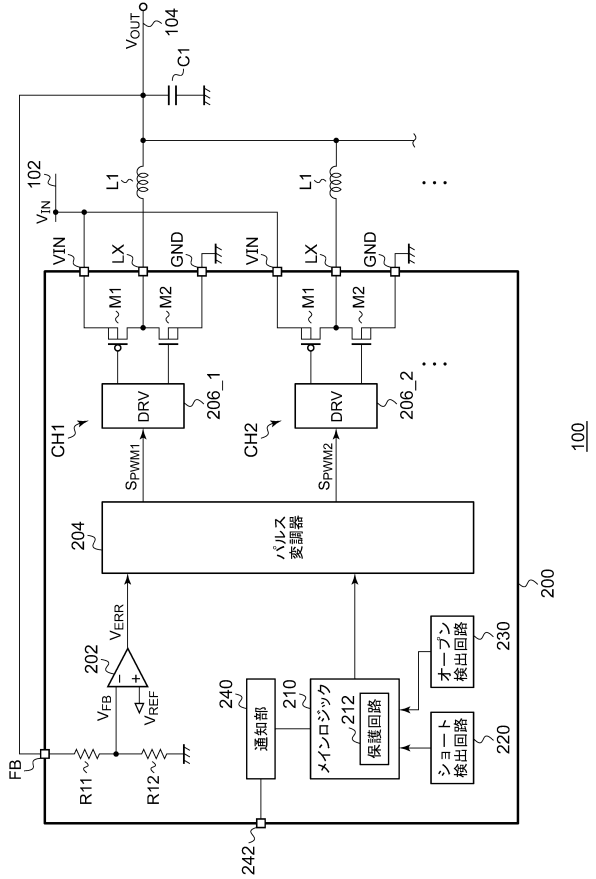
100...DC/DCコンバータ、102...入力ライン、104...出力ライン、110...出力回路、M1...スイッチングトランジスタ、M2...同期整流トランジスタ、L1...インダクタ、C1...出力キャパシタ、200...制御回路、202...エラーアンプ、204...パルス変調器、206...ドライバ、210...メインロジック、212...保護回路、220...ショート検出回路、230...オープン検出回路、700...電子機器、702...筐体、704...電池、706...マイクロプロセッサ。

30

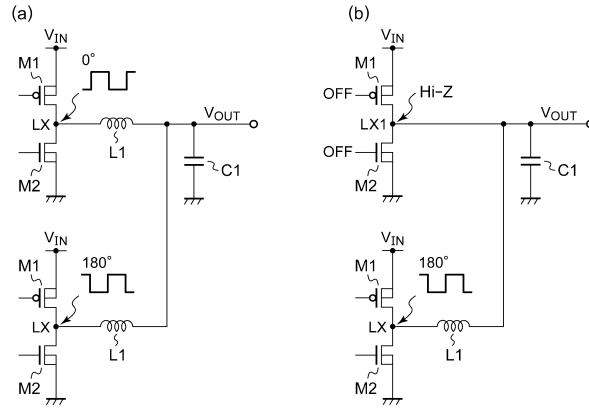
【図1】



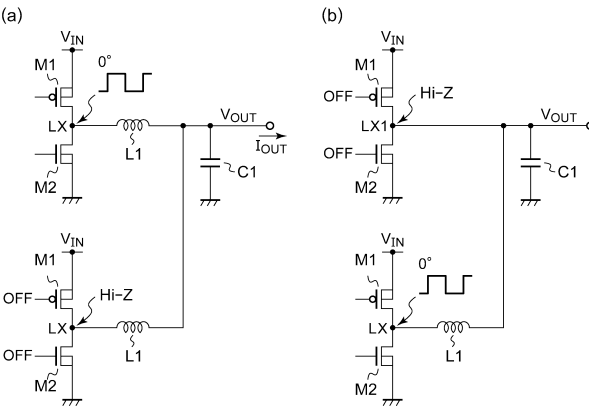
【図2】



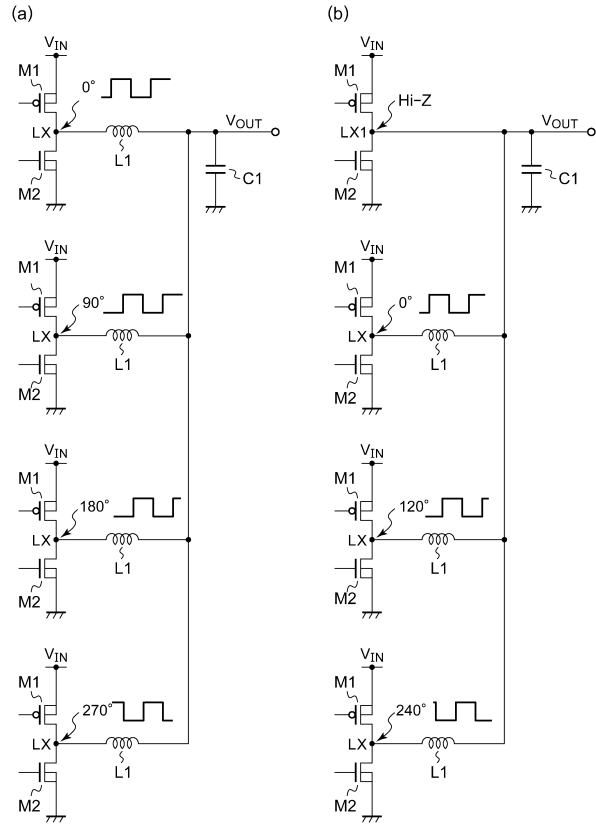
【図3】



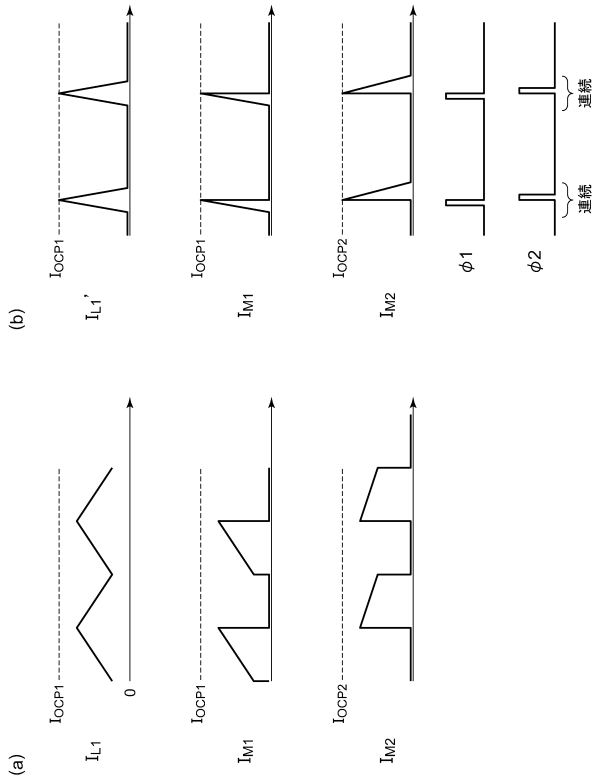
【図4】



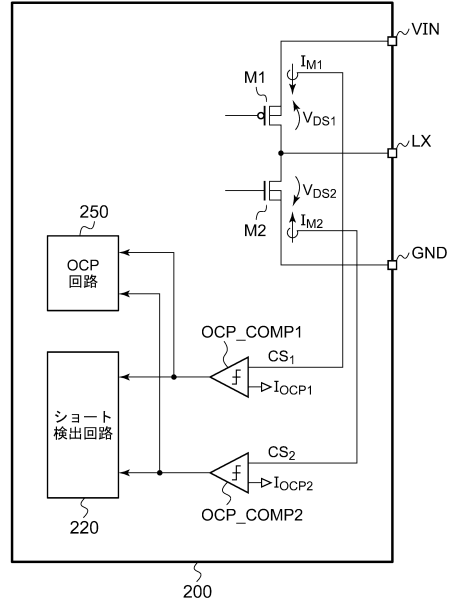
【図5】



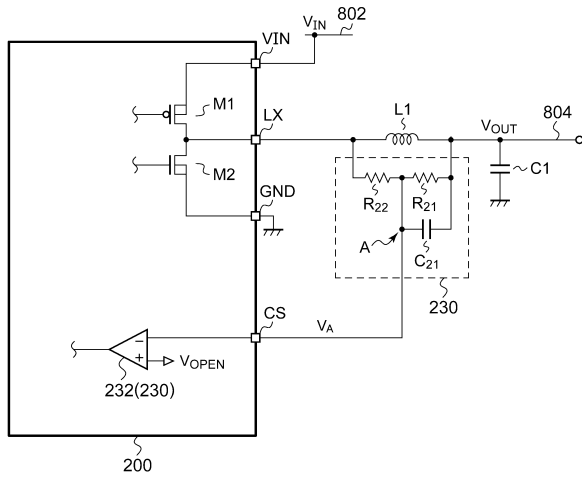
【図6】



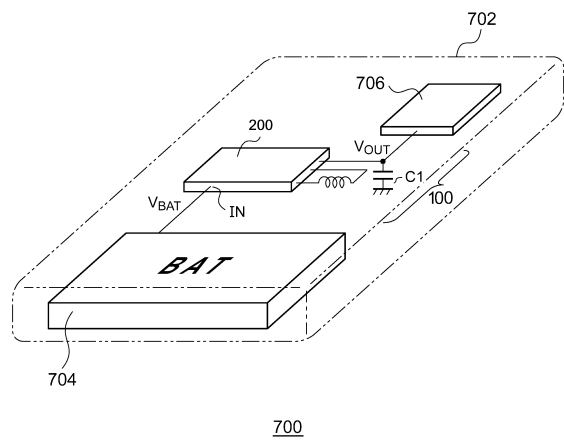
【図7】



【図8】



【図9】



フロントページの続き

- (56)参考文献 特開2015-073423(JP,A)
特開2015-008603(JP,A)
特開2006-340442(JP,A)
特開2009-005555(JP,A)
特開2014-128183(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 ~ 1/44

H03K17/00 ~ 17/70