

公告本

316325

申請日期	84.11.14
案 號	84112003
類 別	140121/31

316325

A4
C4

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半 導 體 裝 置 及 其 製 法
	英 文	
二、發明 創作人	姓 名	松 浦 正 純
	國 籍	日 本
三、申請人	住、居所	日本國東京都千代田區丸の内2丁目2番3號 三菱電機株式會社内
	姓 名 (名稱)	三菱電機股份有限公司 (三菱電機株式會社)
	國 籍	日 本
	住、居所 (事務所)	日本國東京都千代田區丸の内2丁目2番3號
	代 表 人 姓 名	北 岡 隆

裝

訂

線

310325

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期995-10-23 案號：7-274010，☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

經濟部中央標準局員工消費合作社印製

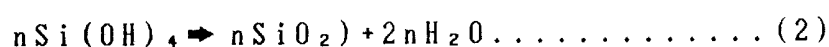
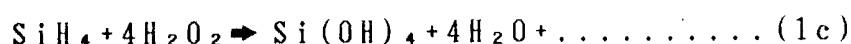
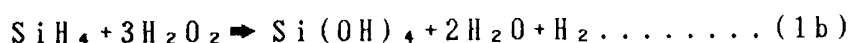
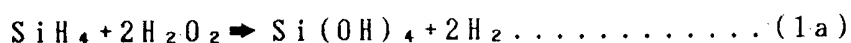
五、發明說明(1)

[發明所屬之技術領域]

本發明為關於一般之半導體裝置，更特定為，關於減少層間絕緣膜之膜收縮，並降低膜應力之改良之半導體裝置。又本發明為關於此類半導體裝置之製法。

[先前之技術]

使用矽烷氣體(SiH_4)和過氧化氫(H_2O_2)，並以CVD(化學氣體澱積，Chemical Vapor Deposition)所形成之矽氧化膜為可埋入 $0.25\mu\text{m}$ 以下之極微細的配線間，更且，流動性優異，並由其顯示出自我平坦化作用。所以，本方法為被注目以次世代層間絕緣膜之平坦化方法取代先前所使用之scg(Spin-On Glasses)。此先前方法為被詳述於文獻1"Novel Self-planarizing CVD Oxide for interlayer dielectric applications"(Technical digest of IEDM 1994)和文獻2"Planarisation for sub-micron devices utilizing a New Chemistry"(Proceedings of DUMIC conference 1995)。經由此先前方法之矽氧化膜的形成反應為如以下之化學式所示。



首先， SiH_4 為經由 H_2O_2 之氧化作用，變化成矽烷醇($\text{Si}(\text{OH})_4$) (反應式1a、1b、1c)。所產生之矽烷醇為藉由水解或熱能，而引起脫水聚合反應，變化成矽氧化物

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

(SiO_2) (反應式(2))。此類反應若於基板上進行，則形成為層間絕緣膜之矽氧化膜。

其次，使用上述之先前方法，說明關於形成層間絕緣膜之步驟。

參照圖6，準備基板11。基板11為含有矽基板，與於其上所形成之元件，與絕緣層(未圖示)。於基板11上，形成第1鋁配線12a與第2鋁配線12b。令第1及第2鋁配線12a、12b覆被，則形成第1之等離子體氣化膜13。

參照圖7，使用 SiH_4 及 H_2O_2 ，以CVD法，形成矽氧化膜14。矽氧化膜14為埋設於第1鋁配線12a與第2鋁配線12b間之空隙。

參照圖8，經由在矽氧化膜14上形成第2等離子體氧化膜15，而完成平坦之層間絕緣膜16。

參照圖7，使用 SiH_4 及 H_2O_2 以CVD法形成之矽氧化膜14，為藉由在膜形成過程所生成之矽烷醇為具有優異的流動性，而可埋入極微細的配線間，且進而實現優異的自我平坦化特性。

[發明所欲解決之問題]

然而，參照上述反應式(2)，由於矽烷醇為在變化成矽氧化物之過程引脫水縮合反應，故所形成之矽氧化膜為具有取決於膜收縮之大的應力。此應力為在太大之情形時，乃令矽氧化膜本身發生裂縫，且對設置在下層之金屬配線的信賴性產生不良影響。

本發明為解決上述之問題點，提供可降低矽氧化膜中膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

應力之之改良的半導體裝置為其目的。

又本發明為提供此種半導體裝置之製造方法為其目的。

[解決問題之手段]

依據本發明第1形態的半導體裝置為具備基板。於上述基板上，乃形成第1金屬配線與第2金屬配線。令上述第1及第2之金屬配線覆被，且埋於前述第1金屬配線與前述第2之金屬配線間之空隙，而在上述基板上設置的矽氧化膜。上述之矽氧化膜的化學構造式為含有Si-F鍵。

若依據本發明之第1形態的半導體裝置，則因在層間絕緣膜中導入Si-F鍵，故SiOH鍵為比先前之層間絕緣膜少。因此，由於使連續引起的脫水縮合反應被緩和，故使膜收縮減少，進而降低膜應力。又，因在層間絕緣膜中導入Si-F鍵，故使層間絕緣膜之誘電率減少，且亦達到所謂使殘留的SiOH鍵降低的效果。

若依據本發明之第2形態的半導體裝置的製造方法，矽氧化膜為使用具有結合氟原子之矽原子的原料氣體與過氧化氫之混合氣體，以化學氣相成長法所形成。因此，在生成的層間絕緣膜中，乃導入Si-F鍵。其結果，使得矽烷醇中所含有的Si-OH鍵變得比先前之方法中少。結果，因為使得連續引起的脫水縮合反應被緩和，而使膜收縮減少。結果，降低膜應力，而產生層間絕緣膜。

[發明之實施形態]

以下，本發明之實施形態以圖說明。

發明之實施形態1

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

參照圖1，於基板1之上形成第1之鋁配線2a與第2之鋁配線2b。令第1及第2之鋁配線2a，2b覆被，而在基板1之上形成第1之等離子體氧化膜3。第1之等離子體氧化膜3為以等離子體CVD法所形成。第1等離子體氧化膜3之一般形成條件為，形成溫度為300℃，壓力為750mTorr，高周波功率為500W，使用之原料氣體為SiH₄與過氧化氮(N₂O)。所形成之第1等離子體氧化膜3之膜原為1000Å。此情形，亦可使用TEOS(四乙氧基矽烷)和氧氣做為原料氣體，以等離子體CVD法形成(此情形，形成溫度為400℃，壓力為5 Torr，高周波功率為500W為較佳)。

參照圖2，於第1之等離子體氧化膜3上，使用SiH₄及H₂O₂以CVD法，形成矽氧化膜(以下略稱為HSO膜)4。本發明實施形態之特徵為HSO膜4之形成方法。具體而言，其特徵為在SiH₄中添加氟矽烷(SiH_xF_{4-x})。尚，亦可單獨使用氟矽烷做為原料氣體。本發明之實施形態中所用之氟矽烷為二氟矽烷(SiH₂F₂)。代表性的HSO膜形成條件為如下述。

形成溫度：1℃(-10℃~100℃之範圍為較佳)

形成壓力：850(mTorr)(200mTorr~600Torr之範圍為較佳)

氣體流量：SiH₄ 40SCCM(標準立方公分每分鐘，standard cubic centimeter per minute)

SiH₂F₂：40 SCCM

N₂：500 SCCM

H₂O₂：0.65克/分鐘

(請先閱讀背面之注意事項再填寫本頁)

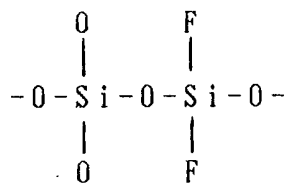
訂

線

五、發明說明(5)

若形狀溫度為100℃以上，則取得粒狀物，而無法形成膜。若形成壓力超過600Torr，則取得粒狀物，而無法形成膜。

依上述條件形成之矽氧化膜，於模式上具有圖4所示之化學構造式。如由圖2所顯明，於使用SiH₄與SiH₂F₂之情形中，矽氧化膜之化學構造式為具有下述單位，即以氧原子連結之第1矽原子與第2矽原子，且於第1矽原子上再結合3個氧原子，而於第2矽原子上具有結合2個單位之氟原子。



又，為了比較，於圖5中示出以先前法（使用SiH₄及H₂O₂之CVD法）所形成之矽氧化膜的分子構造。依據先前法之矽氧化膜為由Si-O⁰鍵及Si-OH鍵所構成。另一方面，依據本發明實施形態之矽氧化膜為由Si-O鍵，Si-F鍵及Si-OH鍵所構成。若考慮生成之矽烷醇，使用上述所示氣體系之情形，生成的矽烷醇鍵的內部為，Si-OH鍵為75%，Si-F鍵為25%。由於Si-F鍵在上述膜形成條件下為非常安定，故可直接置入矽氧化膜中。另一方面，於原料氣體為SiH₄100%，也就是SiH₄為80SCCM之情形，生成之矽烷醇為以Si-OH鍵100%所構成。因此，依據本發明實施形態之矽氧化膜，由於在膜形成過程中生成之矽烷醇所含有的Si-OH鍵，為較先前法所形成者少，故可使連續引起的脫水縮合反應被

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(6)

緩和。因此，可減少膜收縮，進而降低膜應力。

又，由於在膜中導入Si-F鍵，故可減少膜的比誘電率，且亦可達到降低殘留的Si-OH鍵的交效果。

參照圖3，於HSO膜4之上，形成第2之等離子體氧化膜5。第2之等離子體氧化膜5的形成條件可為與第1之等離子體氧化膜3的形成條件為相同條件，亦可為相異條件。縱使以相異條件，亦對以本發明實施形態所產生之效果不會產生影響。

尚，雖未圖示，但若於第2之等離子體氧化膜5之上，形成第2之鋁配線，則完成半導體裝置。

若依據本發明之實施形態，以HSO膜4之第1及第2鋁配線2a、2b上之厚度做為a，而HSO膜4之於基板1上且於第1之鋁配線2a與第2之鋁配線2b間之部份的厚度做為b，則成立所謂的 $a < b$ 之不等式。

又，若在HSO膜4形成時，於原料氣體中注入 PH_3 或 P_2H_6 ，則可取得硼原子或磷原子被塗布之矽氧化膜。若硼原子或磷原子被注入，則產生除氣效果。

硼原子或磷原子之注入量以5莫耳%~10莫耳%為較佳。

發明之實施形態2

於發明之實施形態1中，雖例示使用 SiH_2F_2 做為氟矽烷之情形，但本發明並非被侷限於此，即使使用三氟矽烷(SiHF_3)及單氟矽烷(SiH_3F)亦可達到同樣的效果。

於使用三氟矽烷做為氟矽烷之情形中，所得之矽氧化膜的化學構造式為具有下述單位。

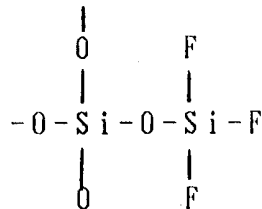
(請先閱讀背面之注意事項再填寫本頁)

訂

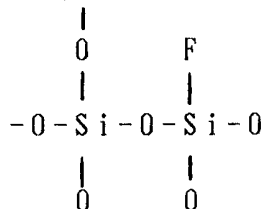
線

五、發明說明(7)

[化2]



於使用單氟矽烷做為氟矽烷之情形中，所得之層間絕緣膜的化學構造式為具有下述單位。

發明之實施形態3

於上述發明之實施形態中雖例示使用氟矽烷做為矽化合物之情形，但即使使用以TEFS(三乙氧基氟矽烷)為代表之含有有機基(烷基)之有機矽化合物，亦可實現同樣的效果。

尚，於此情形中，層間絕緣膜的厚度為令其滿足 $a=b$ 。

[圖面之簡單說明]

[圖1]為圖於發明實施形態1之半導體裝置之製造方法順序的第1工程中的半導體裝置斷面圖。

[圖2]為在發明實施形態1之半導體裝置之製造方法順序的第2工程中的半導體裝置斷面圖。

[圖3]為在發明實施形態1之半導體裝置之製造方法順序的第3工程中的半導體裝置斷面圖。

[圖4]為示出發明實施形態1中所形成之矽氧化膜的化學構造式之圖。

[圖5]為示出使用先前方法形成之層間絕緣膜的化學構

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

造式之圖。

[圖6]為在先前半導體裝置之製造方法順序的第1工程中的半導體裝置斷面圖。

[圖7]為在先前半導體裝置之製造方法順序的第2工程中的半導體裝置斷面圖。

[圖8]為在先前半導體裝置之製造方法順序的第3工程中的半導體裝置斷面圖。

[符號之說明]

1 基板，2a，2b 鋁配線，4 矽氧化膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置及其製法)

[課題]提供具有膜收縮減少，且膜應力被降低之改良的層間絕緣膜之半導體裝置。

[解決手段]於基板1上形成金屬配線2a、2b。為覆被金屬配線2a、2b，且為埋入金屬配線2a與金屬配線2b間之空隙，而於基板1上設置矽氧化膜。矽氧化膜4之化學構造式為含有Si-F鍵。

[選擇圖]圖3

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，其具有基板；及在前述基板上所形成之第1金屬配線與第2金屬配線；及令前述第1及第2金屬配線覆被且埋於前述第1金屬配線與前述第2金屬配線之空隙，而在前述基板上設置的矽氧化膜；且前述矽氧化膜的化學構造式為含有Si-F鍵。

2. 如申請專利範圍第1項之半導體裝置，其中前述之矽氧化膜的化學構造式為具有以氧原子連結之第1矽原子與第2矽原子，且在前述第1矽原子中，再結合以3個氧原子，而在前述第2矽原子中結合以1~3個氟原子之單位。

3. 如申請專利範圍第1項之半導體裝置，其中以前述矽氧化膜之前述第1及第2金屬配線上之厚度做為a，且以前述矽氧化膜之前述基板上且在第1金屬配線與前述第2金屬配線間之部份的厚度做為b時，使以下之不等式成立。

$$a < b$$

4. 如申請專利範圍第1項之半導體裝置，其中在前述之矽氧化膜中含有硼原子或磷原子。

5. 如申請專利範圍第1項之半導體裝置，其中在前述之硼原子或磷原子為含有5莫耳%~10莫耳%。

6. 如申請專利範圍第1項之半導體裝置，其中再具備覆被前述第1及第2金屬配線之等離子體氧化膜。

7. 一種半導體裝置之製造方法，其具備金屬配線為在其上形成之基板的準備工程，及使用有氟原子結合矽原子之原料氣體與過氧化氫之混合氣體，以化學氣相成長法，使前述金屬配線覆被，而在前述基板上形成矽氧化膜的工程。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

8.如申請專利範圍第7項之半導體裝置之製造方法，其中使用二氟矽烷做為前述原料氣體。

9.如申請專利範圍第7項之半導體裝置之製造方法，其中使用三氟矽烷或單氟矽烷做為前述原料氣體。

10.如申請專利範圍第7項之半導體裝置之製造方法，其中使用氟烷氧基矽烷做為前述原料氣體。

11.如申請專利範圍第7項之半導體裝置之製造方法，其中前述矽氧化膜的形成為 $-10^{\circ}\text{C} \sim 100^{\circ}\text{C}$ 之溫度下進行。

12.如申請專利範圍第7項之半導體裝置之製造方法，其中前述矽氧化膜的形成為在 $200\text{mTorr} \sim 600\text{mTorr}$ 之壓力下進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖1

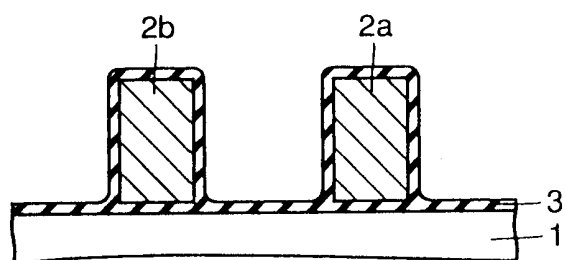


圖2

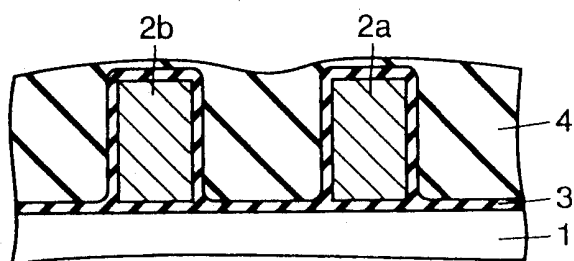


圖3

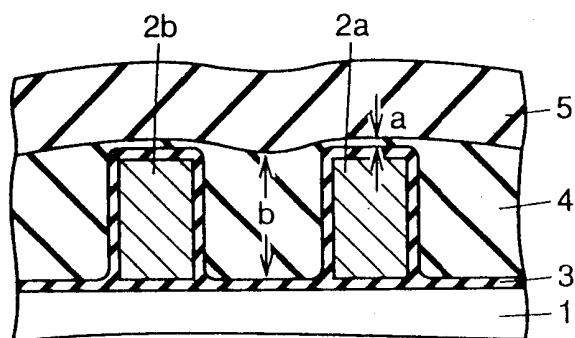


圖6

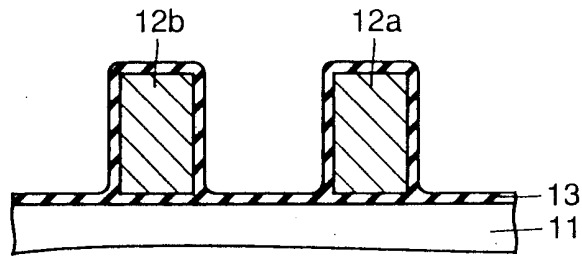


圖7

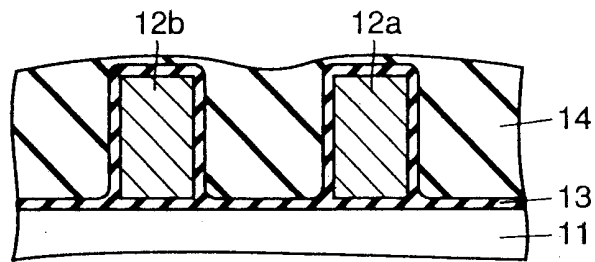


圖8

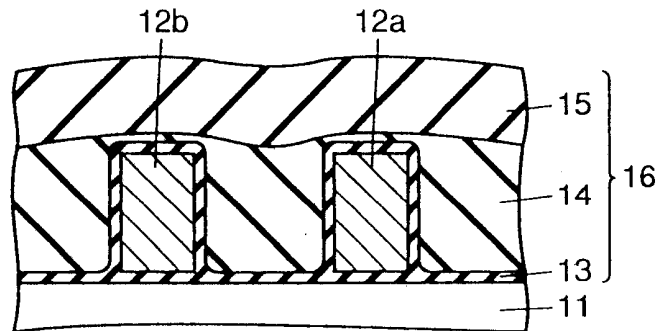


圖4

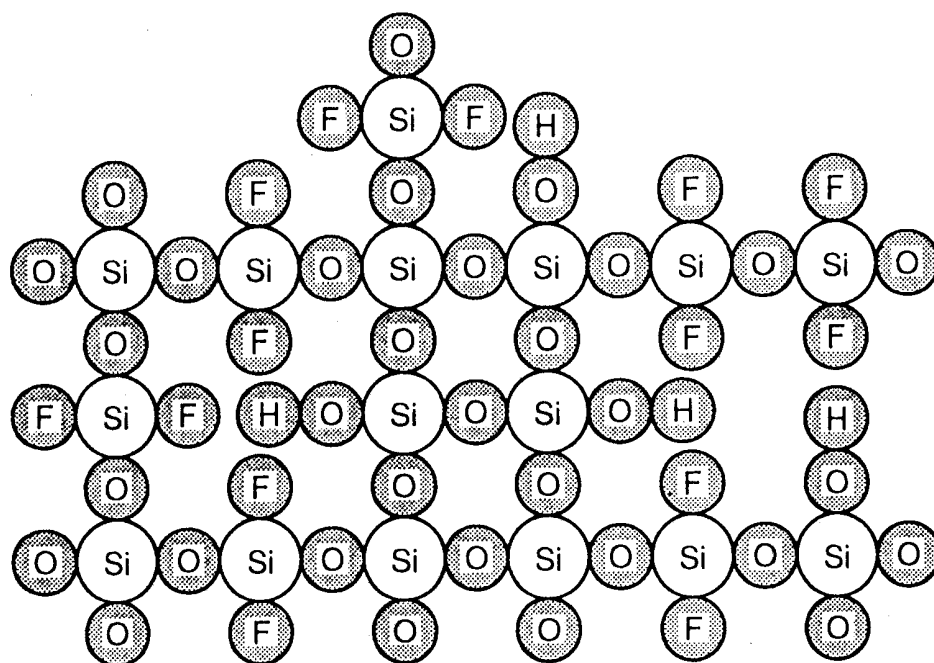


圖5

