

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6234975号  
(P6234975)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 C
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 21/337 (2006.01)	
HO 1 L 29/808 (2006.01)	

請求項の数 4 (全 9 頁) 最終頁に続く

(21) 出願番号	特願2015-196735 (P2015-196735)	(73) 特許権者	000003609 株式会社豊田中央研究所 愛知県長久手市横道41番地の1
(22) 出願日	平成27年10月2日 (2015.10.2)	(73) 特許権者	000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地
(65) 公開番号	特開2017-69515 (P2017-69515A)	(74) 代理人	110000110 特許業務法人快友国際特許事務所
(43) 公開日	平成29年4月6日 (2017.4.6)	(72) 発明者	兼近 将一 愛知県長久手市横道41番地の1 株式会 社豊田中央研究所内
審査請求日	平成28年10月4日 (2016.10.4)	(72) 発明者	上田 博之 愛知県長久手市横道41番地の1 株式会 社豊田中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

GaNで形成されている電子走行層と、  
前記電子走行層上に形成されており、 $In_{x1}Al_{y1}Ga_{1-x1-y1}N$  ( $0 < x1 < 1, 0 < y1 < 1, 0 < 1 - x1 - y1 < 1$ ) で形成されている電子供給層と、  
前記電子供給層上の相互に離れた位置に形成されているソース電極とドレイン電極と、  
前記ソース電極と前記ドレイン電極の間に位置する前記電子供給層上の一部に形成されており、p型の $In_{x2}Al_{y2}Ga_{1-x2-y2}N$  ( $0 < x2 < 1, 0 < y2 < 1, 0 < 1 - x2 - y2 < 1$ ) で形成されている閾値電圧調整層と、  
前記閾値電圧調整層上に形成されているゲート電極を備えており、  
前記ゲート電極と前記閾値電圧調整層の間と、前記閾値電圧調整層と前記電子供給層の間の双方に、高抵抗層が介在しており、  
前記電子供給層がAlを含み、そのAl組成比が前記閾値電圧調整層の側で高く前記電子走行層の側で低く、  
前記Al組成比の高い層が、前記閾値電圧調整層と前記電子供給層の間の前記高抵抗層となっている半導体装置。

【請求項2】

前記ゲート電極がWを含み、  
前記ゲート電極と前記閾値電圧調整層の界面に、前記閾値電圧調整層上にWまたはWを含む金属をスパッタリングした際に生じた結晶欠陥層が露出しており、その結晶欠陥層が

前記ゲート電極と前記閾値電圧調整層の間の前記高抵抗層となっている請求項1に記載の半導体装置。

【請求項3】

前記閾値電圧調整層がp型のGa<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>Nで形成されており、

前記ゲート電極と前記閾値電圧調整層の間に、不純物を低濃度に含むp型Ga<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>N、i型のGa<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>N、n型Ga<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>N、絶縁層(SiO<sub>2</sub>, SiN, AlO, GaO)、または、前記閾値電圧調整層との間にヘテロ接合を形成する窒化物半導体層が介在している請求項1に記載の半導体装置。

【請求項4】

前記電子供給層と前記閾値電圧調整層のうちの一方がInを含み、他方がInを含まない請求項1から3のいずれかの一項に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、窒化物半導体のヘテロ接合界面に生じる2次元電子ガスを利用する半導体装置であって、ゲート電極からのリーク電流が低く抑えられ、閾値電圧の変化が抑制されている半導体装置を開示する。

【背景技術】

【0002】

GaN層上にIn<sub>x<sub>1</sub></sub>Al<sub>y<sub>1</sub></sub>Ga<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>N(0<x<sub>1</sub><1, 0<y<sub>1</sub><1, 0<1-x<sub>1</sub>-y<sub>1</sub><1)層を積層すると、GaN層のうちのヘテロ接合界面に沿った領域に2次元電子ガスが生じる。本明細書では、2次元電子ガスが生じるGaN層を電子走行層といい、2次元電子ガスを作り出すIn<sub>x<sub>1</sub></sub>Al<sub>y<sub>1</sub></sub>Ga<sub>1-x<sub>1</sub>-y<sub>1</sub></sub>N層を電子供給層という。電子供給層上の相互に離れた位置にソース電極とドレイン電極を形成すると、2次元電子ガスによってソース・ドレイン間抵抗が低下した半導体装置を実現することができる。

20

【0003】

ソース電極とドレイン電極の間に位置する電子供給層上の一部に、p型のIn<sub>x<sub>2</sub></sub>Al<sub>y<sub>2</sub></sub>Ga<sub>1-x<sub>2</sub>-y<sub>2</sub></sub>N(0<x<sub>2</sub><1, 0<y<sub>2</sub><1, 0<1-x<sub>2</sub>-y<sub>2</sub><1)層を形成し、その上にゲート電極を形成すると、p型のIn<sub>x<sub>2</sub></sub>Al<sub>y<sub>2</sub></sub>Ga<sub>1-x<sub>2</sub>-y<sub>2</sub></sub>N層の不純物濃度等によって閾値電圧を調整することができる。必要に応じて閾値電圧が正の値を持つように、すなわち半導体装置がノーマリオフの特性を持つように調整することもできる。本明細書では、電子供給層とゲート電極の間に形成されているp型のIn<sub>x<sub>2</sub></sub>Al<sub>y<sub>2</sub></sub>Ga<sub>1-x<sub>2</sub>-y<sub>2</sub></sub>N層を閾値電圧調整層という。

30

【0004】

窒化物半導体のヘテロ接合と閾値電圧調整層を利用する半導体装置では、ゲート電極からのリーク電流が問題となる。特許文献1と2の技術では、ゲート電極とp型の閾値電圧調整層の間にn型のGaN層を設け、pn接合を利用してゲート電極からのリーク電流を低く抑える。特許文献3の技術では、ゲート電極と閾値電圧調整層の間に不純物濃度が低くて高抵抗なp型のGaN層を設け、ゲート電極からのリーク電流を低く抑える。i型のGaN層を設けることによってリーク電流を低く抑えることも可能である。特許文献4の技術では、ゲート電極と閾値電圧調整層の間に、閾値電圧調整層に対してヘテロ接合する窒化物半導体層を設ける。ヘテロ接合に形成される障壁によってゲート電極からのリーク電流を低く抑える。特許文献5の技術では、ゲート電極と閾値電圧調整層の間にGaを含まない絶縁層を設ける。Gaを含まない絶縁層はGaを含む絶縁層より高抵抗であり、ゲート電極からのリーク電流を低く抑えることができる。

40

【0005】

閾値電圧調整層と電子供給層の間に高抵抗層を設ける技術も提案されている。特許文献6と7の技術では、GaNで形成されている閾値電圧調整層とAlGaNで形成されている電子供給層の間に、電子供給層を形成するAlGaNよりバンドギャップが広い窒化物

50

半導体層を設ける。バンドギャップが広い窒化物半導体層が高抵抗層となり、閾値電圧調整層から電子供給層を介して電子走行層に正孔が注入されるのを防止し、チャンネルに正孔が蓄積してオン抵抗が上昇するのを防止する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-29507号公報

【特許文献2】特開2013-80894号公報

【特許文献3】特開2015-70151号公報

【特許文献4】特願2014-81277号の明細書と図面

10

【特許文献5】特開2013-4967号公報

【特許文献6】特開2013-74179号公報

【特許文献7】特願2013-189147号の明細書と図面

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1～5の技術は、ゲート電極からのリーク電流を低く抑える点で有用な技術であるが、本発明に至るその後の研究によって、閾値電圧が、場合によっては経時的に変化する現象を抑制できないことが判明した。

特許文献6～7の技術は、オン抵抗の増加を防止することを意図した技術であるが、結果的にはゲート電極からのリーク電流を低く抑える効果を持つ。しかしながら、この技術によっても、閾値電圧が、場合によっては経時的に変化する現象を抑制できないことが判明した。

20

本明細書では、ゲート電極からのリーク電流が低く抑えられ、閾値電圧の変化が抑制されている半導体装置を開示する。

【課題を解決するための手段】

【0008】

特許文献1～5の技術では、閾値電圧が変化してしまう原因を種々に研究した。特許文献1～5の技術では、ゲート電極と閾値電圧調整層の間に高抵抗層を設ける。その結果、ゲート電極から閾値電圧調整層にキャリアが移動して閾値電圧調整層の帯電電荷量に変化することは防止できる。しかしながら、閾値電圧調整層から電子供給層にキャリアが移動することには対策しておらず、閾値電圧調整層の帯電電荷量が一定に維持されない。閾値電圧調整層は、p型の窒化物半導体層で形成されており、p型元素のドーピングに起因する結晶欠陥を備えている。その結晶欠陥にキャリアがトラップされるために、閾値電圧調整層の帯電電荷量が閾値電圧に影響を与える。閾値電圧調整層の帯電電荷量が一定に維持されないと、閾値電圧が変化してしまう。特許文献1～5の技術では、閾値電圧調整層の帯電電荷量が、場合によってあるいは経時的に変化し、それによって閾値電圧が変化することが判明した。

30

特許文献6～7の技術では、閾値電圧調整層から電子供給層にキャリアが移動して閾値電圧調整層の帯電電荷量に変化することを防止できる。しかしながら、ゲート電極から閾値電圧調整層にキャリアが移動することには対策しておらず、閾値電圧調整層の帯電電荷量が一定に維持されない。特許文献6～7の技術でも、閾値電圧調整層の帯電電荷量が、場合によってあるいは経時的に変化し、それによって閾値電圧が変化してしまう。

40

【0009】

本明細書で開示する半導体装置は、電子走行層と、電子供給層と、ソース電極と、ドレイン電極と、閾値電圧調整層と、ゲート電極を備えており、ゲート電極と閾値電圧調整層の間と、閾値電圧調整層と電子供給層の間の双方に、高抵抗層が介在していることを特徴とする。

電子走行層は  $GaN$  で形成されている。電子供給層は、 $In_{x_1}Al_{y_1}Ga_{1-x_1-y_1}N$  ( $0 < x_1 < 1$ ,  $0 < y_1 < 1$ ,  $0 < 1 - x_1 - y_1 < 1$ ) で形成されており、

50

電子走行層上に形成されている。ソース電極とドレイン電極は、電子供給層上に形成されている。ソース電極とドレイン電極は、相互に離れた位置に形成されている。閾値電圧調整層は、p型の  $\text{In}_{x_2}\text{Al}_{y_2}\text{Ga}_{1-x_2-y_2}\text{N}$  ( $0 < x_2 < 1, 0 < y_2 < 1, 0 < 1 - x_2 - y_2 < 1$ ) で形成されており、電子供給層上に形成されている。閾値電圧調整層は、ソース電極とドレイン電極の間の一部に位置している。ゲート電極は、閾値電圧調整層上に形成されている。

【0010】

上記の半導体装置では、ゲート電極と閾値電圧調整層の間でキャリアが移動するのを防止するのみならず、閾値電圧調整層と電子供給層の間でキャリアが移動するのを防止する。その結果、閾値電圧調整層の帯電電荷量が、場合によっては経時的に変化することを防止できる。その結果、閾値電圧が安定し、閾値電圧が場合によって変化したり、あるいは経時的に変化したりするのを抑制することができる。

10

【0011】

高抵抗層の形成方法には特に制約されず、既知の方法を含む種々の手法を採用することができる。ゲート電極と閾値電圧調整層の間に高抵抗層を形成するには、例えば下記の手法が利用可能である。

(1) 閾値電圧調整層の上にタングステン(W)またはWを含む金属をスパッタリングする。すると、閾値電圧調整層に結晶欠陥層が形成され、それが高抵抗層となる。その手法によって形成した半導体装置は、ゲート電極がタングステン(W)を含んでおり、ゲート電極と閾値電圧調整層の界面に、閾値電圧調整層上にWまたはWを含む金属をスパッタリングした際に生じた結晶欠陥層が露出している。

20

閾値電圧調整層がp型のGaNで形成されている場合は、ゲート電極と閾値電圧調整層の間に、

- (2) 不純物を低濃度に含む(従って高抵抗な)p型GaNを介在させる、
- (3) i型のGaN(意図的な不純物添加をしていないGaN)を介在させる、
- (4) n型GaNを介在させる、
- (5) いわゆる絶縁層( $\text{SiO}_2$ ,  $\text{SiN}$ ,  $\text{AlO}$ ,  $\text{GaO}$ など)を介在させる、または
- (6) 閾値電圧調整層との間にヘテロ接合を形成する窒化物半導体層が介在させるといった手法を用いることができる。

ここでいう高抵抗層は、閾値電圧調整層よりも高抵抗な層をいう。また層といっても厚みを有するものに限られず、pn接合あるいはヘテロ接合に形成される障壁がキャリアの移動を阻止するものを含む。高抵抗層に、いわゆる絶縁層を用いることが好ましい。絶縁層は抵抗が著しく高く、閾値電圧の変動抑制に最も効果的である。

30

【0012】

閾値電圧調整層と電子供給層の間に高抵抗層を形成するには、下記の手法が利用可能である。

電子供給層がアルミニウム(Al)を含んでいる場合、そのAl組成比を、閾値電圧調整層側で高くして電子走行層側で低くする。Al組成比が高い領域が高抵抗層となる。

ここでいう高抵抗層とは、閾値電圧調整層と電子供給層の双方よりも高抵抗なことをいう。前記の場合、高抵抗層が電子供給層の一部であるといえる。この場合、閾値電圧調整層に接する範囲の電子供給層の抵抗が、それ以外の範囲の電子供給層の抵抗より高抵抗であるので、閾値電圧調整層と電子供給層の間に高抵抗層が介在しているといえることができる。

40

【0013】

本明細書に記載の半導体装置では、ゲート電極と閾値電圧調整層の間でもキャリアの移動が防止され、閾値電圧調整層と電子供給層の間でもキャリアの移動が防止され、閾値電圧調整層の帯電電荷量が変化することを防止できる。閾値電圧が安定し、閾値電圧が、場合によって変化したり経時的に変化したりするのを抑制することができる。

【図面の簡単な説明】

【0014】

50

【図 1】第 1 実施例の半導体装置の断面図を示す。

【図 2】第 2 実施例の半導体装置の断面図と、Al 組成の分布を示す。

【発明を実施するための形態】

【0015】

以下、本明細書で開示する技術の特徴を整理する。なお、以下に記す事項は、各々単独で技術的な有用性を有している。

(特徴 1) ゲート電極はタングステンで形成されている。ゲート電極を構成するタングステンと閾値電圧調整層を構成する窒化物半導体の間にはショットキー容量 (C2) が存在する。また閾値電圧調整層を構成する窒化物半導体と電子供給層を構成する窒化物半導体の間にも容量 (C1) が存在する。容量 C2 と容量 C1 の合成容量によって、閾値電圧を制御することができる。

10

(特徴 2) ゲート電極はタングステンシリサイドで形成されている。Si 半導体の製造ラインではゲート電極形成用にタングステンシリサイドが多用される。その多用技術を流用することができる。

(特徴 3) 電子供給層が AlGa<sub>1-x</sub>N で形成され、閾値電圧調整層が GaN で形成されている。

(特徴 4) 電子供給層の Al 組成が深さともに連続的または断続的に変化している。

(特徴 5) 閾値電圧調整層に接する範囲では、電子供給層の Al 組成が、Al と In と Ga の総量に対して 25% 以上である。

(特徴 6) 電子供給層は In を含み、閾値電圧調整層は In を含まない。

20

(特徴 7) 電子供給層は In を含まず、閾値電圧調整層は In を含む。

(特徴 8) p 型の In<sub>x2</sub>Al<sub>y2</sub>Ga<sub>1-x2-y2</sub>N で形成されている閾値電圧調整層には結晶欠陥が存在し、その結晶欠陥にキャリアをトラップしている。

【実施例】

【0016】

(第 1 実施例)

図 1 は、第 1 実施例の半導体装置 (2 次元電子ガスを利用する電界効果トランジスタ) の断面図であり、基板 2 上にバッファ層 4 が結晶成長し、バッファ層 4 上に i 型の GaN 層 6 が結晶成長し、i 型の GaN 層 6 上に i 型の Al<sub>y1</sub>Ga<sub>1-y1</sub>N 層 8 (0 < y1 < 1) が結晶成長している。本明細書では、p 型または n 型にするための不純物を添加する処理をしないで結晶成長した場合を i 型という。本実施例では、y1 = 0.25 であり、その膜厚は 30 nm である。Al を含まない GaN 層 6 上に Al を含む GaN 層 8 が結晶成長しているヘテロ接合では、前者のバンドギャップよりも後者のバンドギャップが広いことから、GaN 層 6 のヘテロ接合界面に面した領域に 2 次元電子ガスが生成される。本明細書では、2 次元電子ガスが生成される GaN 層 6 を電子走行層といい、2 次元電子ガスを生成する AlGa<sub>1-x</sub>N 層 8 を電子供給層という。電子供給層 8 の表面上にソース電極 18 とドレイン電極 20 が形成されている。ソース電極 18 とドレイン電極 20 は、相互に離れた位置に形成されている。ソース電極 18 とヘテロ接合界面の間に介在する範囲の電子供給層 8 と、ドレイン電極 20 とヘテロ接合界面の間に介在する範囲の電子供給層 8 は、例えば電極 18, 20 を形成する金属が拡散するなどして低抵抗となっている。電子走行層 6 が i 型であることから、電子の移動度が高く、ソース電極 18 とドレイン電極 20 の間が低抵抗となる。

30

40

【0017】

電子供給層 8 の表面であってソース電極 18 とドレイン電極 20 の間に位置する範囲の一部に p 型の GaN 層 12 が形成されており、その表面にゲート電極 16 が形成されている。ゲート電極 16 はタングステンで形成されている。電子供給層 8 の表面に p 型の GaN 層 12 が形成されていると、p 型の GaN 層 12 と電子供給層 8 の界面から電子供給層 8 を経て電子走行層 6 に向けて空乏層が伸び、2 次元電子ガスの生成に影響する。p 型の GaN 層 12 の不純物濃度等を調整することで閾値電圧を調整することができる。p 型の GaN 層 12 は閾値電圧調整層である。半導体基板を平面視すると、閾値電圧調整層 12

50

とゲート電極 16 は、ソース電極 18 とドレイン電極 20 の間を分断している。

【0018】

ゲート電極 16 と閾値電圧調整層 12 の間に高抵抗層 14 が介在している。本実施例では、閾値電圧調整層 12 の上面にタングステンをスパッタリングしてゲート電極 16 を形成する。すると、閾値電圧調整層 12 の上面近傍に結晶欠陥層が形成され、それが高抵抗層 14 となる。

【0019】

高抵抗層 14 は、結晶欠陥層でなくてもよい。ゲート電極 16 と閾値電圧調整層 12 の間に、不純物を低濃度に含む（従って高抵抗な）p型 GaN を介在させてもよいし、i 型の GaN を介在させてもよいし、n 型 GaN を介在させてもよいし、いわゆる絶縁層（SiO<sub>2</sub>, SiN, AlO, GaO など）を介在させてもよいし、閾値電圧調整層 12 との間にヘテロ接合を形成する窒化物半導体層を介在させてもよい。ゲート電極 16 と閾値電圧調整層 12 の間に高抵抗層 14 が介在していると、ゲート電極 16 と閾値電圧調整層 12 の間でキャリアが移動することがない。ゲート電極 16 からのリーク電流が低く抑えられる。高抵抗層 14 に、いわゆる絶縁層を用いると、絶縁性が高く、閾値電圧の変動抑制に最も効果的である。

【0020】

閾値電圧調整層 12 と電子供給層 8 の間にも高抵抗層 10 が介在している。本実施例では、電子供給層 8 を形成する Al<sub>0.2</sub>Ga<sub>0.8</sub>N と、閾値電圧調整層 12 を形成する GaN の双方よりバンドギャップが広い In<sub>x3</sub>Al<sub>y3</sub>Ga<sub>1-x3-y3</sub>N 層を高抵抗層 10 としている。閾値電圧調整層 12 と電子供給層 8 の間に高抵抗層 10 が介在しているために、閾値電圧調整層 12 と電子供給層 8 の間でキャリアが移動することがない。高抵抗層 14 によってゲート電極 16 と閾値電圧調整層 12 の間でキャリアが移動しないようにされていることと相俟って、閾値電圧調整層 12 の帯電電荷量は常に一定に維持される。その結果、図 1 の電界効果トランジスタの閾値電圧は常に安定している。閾値電圧が、場合によってあるいは経時的に変化するのを抑制する。

【0021】

閾値電圧調整層 12 と高抵抗層 10 を電子供給層 8 上の一部に形成するためには、閾値電圧調整層 12 と高抵抗層 10 をエッチングして電子供給層 8 をエッチングしない条件でエッチングすることが好ましい。電子供給層 8 をエッチングストップ層に利用できることが好ましい。そのためには、例えば、閾値電圧調整層 12 と高抵抗層 10 が In を含んで電子供給層 8 が In を含まない組成とすること、あるいは逆に、閾値電圧調整層 12 と高抵抗層 10 が In を含まないで電子供給層 8 が In を含む組成とすることが好ましい。In の有無によってエッチング条件が相違することから、閾値電圧調整層 12 と高抵抗層 10 をエッチングして電子供給層 8 をエッチングしない条件でエッチングすることが可能となる。

【0022】

（第 2 実施例）

第 2 実施例の半導体装置では、図 2 に示すように、電子供給層 8 とは別の結晶構造を持つ高抵抗層 10 が存在しない。ただし、電子供給層 8 を形成する Al<sub>y1</sub>Ga<sub>1-y1</sub>N（0 < y<sub>1</sub> < 1, 0 < 1 - y<sub>1</sub> < 1）の Al 組成（y<sub>1</sub> の値）が、深さ方向に変化（傾斜）している。すなわち、閾値電圧調整層 12 に接する上面では、y<sub>1</sub> = 0.25 であり、電子走行層 6 に接する下面では、y<sub>1</sub> = 0.05 であり、その間の深さでは連続的に変化している。この場合、Al 組成（y<sub>1</sub> の値）が高いほど絶縁性が高く、高抵抗である。閾値電圧調整層 12 に接する y<sub>1</sub> = 0.25 の範囲は、残部よりも高抵抗であり、高抵抗層となっていることができる。元素の組成比を変えて高抵抗層を製造する技術によると、原料ガスの配合比を変えながら結晶成長を続けることができる。製造時間を短時間化することができる。これに対して、組成自体を異にする高抵抗層を製膜するためには、材料ガスの供給を停止して置換する処理が必要となり、製造時間が長時間化する。

第 2 実施例の電界効果トランジスタでも、リーク電流が低く、閾値電圧が常に安定して

10

20

30

40

50

いる。閾値電圧が、場合によってあるいは経時的に変化するのを抑制する。

【 0 0 2 3 】

閾値電圧調整層 1 2 と電子供給層 8 の間に高抵抗層 1 0 を介在させる代わりに、電子供給層 8 の全体を高抵抗化することもできる。例えば、電子供給層 8 を形成する  $Al_{y_1}Ga_{1-y_1}N$  ( $0 < y_1 < 1$ ,  $0 < 1 - y_1 < 1$ ) の  $Al$  組成 ( $y_1$  の値) を全厚みに亘って 0 . 2 5 以上とし、その膜厚を 2 0 nm 以上とする。すると、閾値電圧調整層 1 2 と電子供給層 8 の間でキャリアが移動するのを防止することができる。これによっても閾値電圧の変化を抑制することができる。

【 0 0 2 4 】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【 符号の説明 】

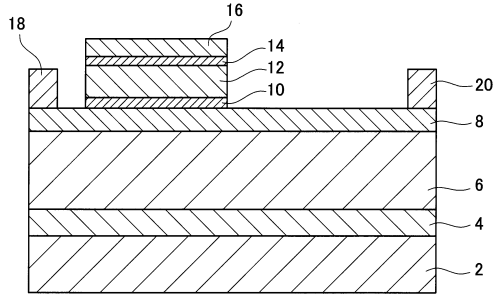
【 0 0 2 5 】

- 2 : 基板
- 4 : バッファ層
- 6 : 電子走行層
- 8 : 電子供給層
- 1 0 : 高抵抗層
- 1 2 : 閾値電圧調整層
- 1 4 : 高抵抗層
- 1 6 : ゲート電極
- 1 8 : ソース電極
- 2 0 : ドレイン電極

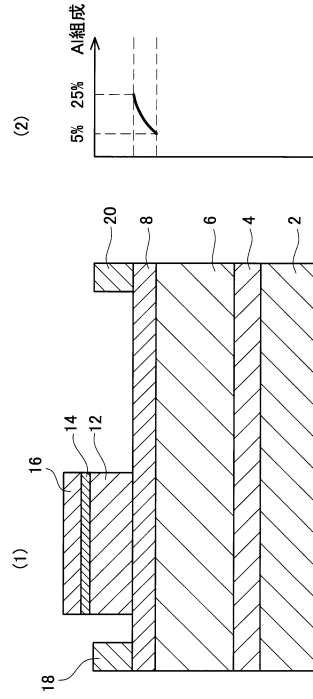
10

20

【図1】



【図2】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

(72)発明者 富田 英幹  
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

審査官 杉山 芳弘

(56)参考文献 特開2014-027187(JP,A)  
特開2013-074179(JP,A)  
特開2013-207107(JP,A)  
米国特許出願公開第2012/0193637(US,A1)  
特開2014-207379(JP,A)  
特開2009-302388(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/338

H 0 1 L 29/778

H 0 1 L 29/812

H 0 1 L 21/336

H 0 1 L 29/78

H 0 1 L 21/337

H 0 1 L 29/808