



(12) 发明专利

(10) 授权公告号 CN 102820338 B

(45) 授权公告日 2016. 05. 11

(21) 申请号 201210278267. 8

(22) 申请日 2009. 02. 06

(30) 优先权数据

2008-026973 2008. 02. 06 JP

(62) 分案原申请数据

200980104440. 9 2009. 02. 06

(73) 专利权人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 大塚拓一 箕谷周平

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 刘建

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/739(2006. 01)

H01L 29/10(2006. 01)

(56) 对比文件

US 6639273 B1, 2003. 10. 28,

EP 0696054 A1, 1996. 02. 07,

JP 平 3-192772 A, 1991. 08. 22,

JP 2000-77662 A, 2000. 03. 14,

CN 101114593 A, 2008. 01. 30,

EP 0772241 A1, 1997. 05. 07,

CN 1777982 A, 2006. 05. 24,

US 6049104 A, 2000. 04. 11,

JP 特开 2006-303272 A, 2006. 11. 02,

JP 特开平 5-259443 A, 1993. 10. 08,

审查员 陈树华

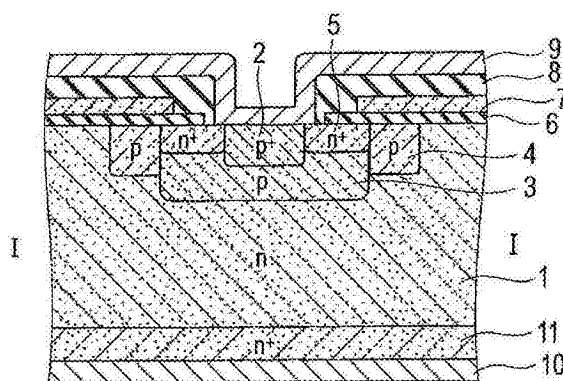
权利要求书2页 说明书9页 附图21页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种能提高耐压性、简化制造工序的半导体装置。本发明的半导体装置具备：层叠在含有 SiC 的 n^+ 型基板 (11)，含有 SiC 的 n 型外延层 (1)；在外延层 (1) 的表面层相互隔离地配置的 n^+ 型源极区域 (5)；被源极区域 (5) 夹持的 p 型阱接触区域 (2)；与源极区域 (5) 及 p 型阱接触区域 (2) 的基板 (11) 侧表面相接地配置的 p 型阱区域 (3)；配置为夹持源极区域 (5) 及 p 型阱区域 (3) 的 p 型阱扩展区域 (4)。在从外延层 (1) 的表面向基板 (11) 的深度方向， p 型阱区域 (3) 的杂质浓度的浓度峰值位置比 p 型阱扩展区域 (4) 的杂质浓度的浓度峰值位置深。



1. 一种半导体装置, 具备:

含有碳化硅并由第1主电极区域构成的基板;

层叠在所述基板的表面上并由碳化硅构成的第1导电型的外延层;

在所述外延层的表面层相互隔离地配置的第1导电型的第2主电极区域;

被所述第2主电极区域夹持的第2导电型阱接触区域;

与所述第2主电极区域及所述第2导电型阱接触区域的所述基板侧表面相接地配置的第2导电型阱区域;

以夹持所述第2主电极区域及所述第2导电型阱区域的方式配置在所述外延层的表面层的第2导电型阱扩展区域;

在从所述第2主电极区域经相邻的所述第2导电型阱扩展区域到其他第2主电极区域为止的至少一部分, 隔着栅极绝缘膜而配置的栅极电极;

与所述第2主电极区域及所述第2导电型阱接触区域的表面共同接触地配置的第2主电极; 和

配置在所述基板的与所述外延层相反侧的背面的第1主电极,

所述第2导电型阱区域具有的第2导电型杂质的浓度在最深部附近具有峰值, 一旦达到所述峰值以后, 从所述峰值的深度到表面为止比所述峰值的浓度低, 且越接近所述表面越连续、缓慢地降低,

所述第2导电型阱扩展区域具有的第2导电型杂质的浓度在最深部附近具有峰值, 越接近表面越连续、缓慢地降低,

所述第2导电型阱扩展区域形成在比所述第2主电极区域深、且与所述第2导电型阱区域相邻的深度, 在所述第2导电型阱扩展区域的下部, 不具有所述第2导电型阱区域。

2. 根据权利要求1所述的半导体装置, 其特征在于,

所述第2导电型阱区域具有的第2导电型杂质的峰值浓度为 $2 \times 10^{17} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 。

3. 根据权利要求1所述的半导体装置, 其特征在于,

所述第2导电型阱扩展区域具有的所述第2导电型杂质的峰值浓度为 $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 。

4. 根据权利要求1所述的半导体装置, 其特征在于,

在从所述外延层的表面朝向所述基板的深度方向上, 所述第2导电型阱区域具有的第2导电型杂质的浓度的浓度峰值位置比所述第2导电型阱扩展区域具有的所述第2导电型杂质的浓度的浓度峰值位置深。

5. 根据权利要求4所述的半导体装置, 其特征在于,

所述第2导电型阱区域的浓度峰值位置处的第2导电型杂质的浓度比所述第2导电型阱扩展区域的浓度峰值位置处的第2导电型杂质的浓度高。

6. 根据权利要求1所述的半导体装置, 其特征在于,

所述第1主电极区域具有第1导电型, 并且所述第1主电极区域为漏极区域、所述第2主电极区域为源极区域、所述第1主电极为漏极电极、所述第2主电极为源极电极。

7. 根据权利要求1所述的半导体装置, 其特征在于,

所述第1主电极区域具有第2导电型, 并且所述第1主电极区域为集电极区域、所述第2主电极区域为发射极区域、所述第1主电极为集电极电极、所述第2主电极为发射极电极。

8. 根据权利要求1所述的半导体装置, 其特征在于,

所述第2导电型阱区域的所述基板侧表面与所述第2导电型阱扩展区域的所述基板侧表面相比, 其距离所述外延层的表面的深度更深。

半导体装置

[0001] 本申请是申请号为“200980104440.9”，申请日为2009年2月6日，发明名称为“半导体装置”之申请的分案申请。

技术领域

[0002] 本发明涉及半导体装置，尤其涉及利用了碳化硅的半导体装置。

背景技术

[0003] 近年来，作为电力用半导体元件，推进开发一种利用了MOSFET(Metal Oxide Semiconductor Field Effect Transistor)或IGBT(Insulated Gate Bipolar Transistor)的电力转换用半导体装置。其中，与硅(Si)相比，利用了碳化硅(SiC)半导体的装置由于SiC的带隙宽、绝缘破坏电场大一数量级等的理由而被特别关注。

[0004] 图25表示利用了现有SiC的功率型MOSFET的构造的一例。现有的功率型MOSFET，在 n^+ 型SiC半导体基板11的表面设置有 n^- 型SiC半导体外延层1。在 n^- 型SiC半导体外延层1的表层部设置有p型杂质区域14和 n^+ 型杂质区域5，其中 n^+ 型杂质区域5在该p型杂质区域14内夹持 p^+ 型杂质区域2。

[0005] 以往，为了形成SiC的杂质区域，基于在Si半导体中利用的热扩散法难以形成杂质区域，所以通常利用离子注入法(例如，参照专利文献1)。

[0006] 专利文献1：日本特开2002-299620号公报

[0007] 可是，在利用了SiC的MOSFET中，在p型杂质区域14的与栅极绝缘膜6的界面附近(沟道区域)的杂质浓度变大时，在沟道区域中的迁移率就会变低。因此，为了降低p型杂质区域14的表面附近的杂质浓度，需要减少杂质离子的注入剂量且使p型杂质区域14的杂质浓度整体降低加以抑制。结果，在施加了逆电压的情况下，在p型杂质区域14发生击穿。因此，存在着未产生SiC本来的绝缘破坏电场的优点、无法得到高耐压的问题。

[0008] 另外，在用不同的掩模分别形成了护环(guard ring)或p型杂质区域、n型杂质区域的情况下，存在着制造工序增加、成品率下降的问题。

发明内容

[0009] 本发明的目的在于，提供一种可提高耐压性、简化制造工序的半导体装置。

[0010] 用于达成上述目的的本发明的一个方式，提供一种如下半导体装置，具备：含有碳化硅，由第1主电极区域构成的基板；层叠在所述基板的表面，由碳化硅构成的第1导电型外延层；在所述外延层的表面层相互隔离地配置的第1导电型的第2主电极区域；被所述第2主电极区域夹持的第2导电型阱接触区域；与所述第2主电极区域及所述第2导电型阱接触区域的所述基板侧表面相接地配置的第2导电型阱区域；配置为夹持所述第2主电极区域及所述第2导电型阱区域的第2导电型阱扩展区域；隔着栅极绝缘膜而在被所述第2主电极区域及所述外延层的表面露出部夹持的所述第2导电型阱扩展区域的表面配置的栅极电极；与所述第2主电极区域及所述第2导电型阱接触区域的表面共同接触地配置的第2主电极；和

配置在所述基板的与表面对置的背面的第1主电极,其中,在从所述外延层的表面向所述基板的深度方向,所述第2导电型阱区域具有的第2导电型杂质的浓度的浓度峰值位置比所述第2导电型阱扩展区域具有的所述第2导电型杂质的浓度的浓度峰值位置深。

[0011] 发明效果

[0012] 根据本发明,能够提供一种可提高耐压性、简化制造工序的半导体装置。

附图说明

[0013] 图1是本发明的第1实施方式所涉及的半导体装置的示意剖面构造图。

[0014] 图2是图1的示意俯视图。

[0015] 图3是本发明的第1实施方式所涉及的半导体装置的制造方法的说明图,(a)是在基板11的表面形成外延层1的工序图、(b)是利用能够同时形成护环部的p型用掩模在外延层1的表层部形成p型阱扩展区域4的工序图,(c)是利用n型用掩模在外延层1的表面层形成p型阱区域3的工序图。

[0016] 图4是本发明的第1实施方式所涉及的半导体装置的制造方法的说明图,(d)是利用n型用掩模形成n⁺型源极区域5及p型阱接触区域2的工序图,(e)是在形成了栅极绝缘膜6之后形成栅极电极7的工序图,(f)是在形成了层间绝缘层8之后形成源极电极9的工序图。

[0017] 图5是表示以离子注入能量380keV、剂量 $3.6 \times 10^{13} \text{cm}^{-2}$ 进行掺杂(dope)时的深度方向的杂质浓度的图。

[0018] 图6是表示以离子注入能量300keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0019] 图7是表示以离子注入能量300keV、剂量 $6.0 \times 10^{12} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0020] 图8是表示以离子注入能量250keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0021] 图9是表示以离子注入能量200keV、剂量 $8.0 \times 10^{12} \text{cm}^{-2}$ 进行掺杂时的深度方向的杂质浓度的图。

[0022] 图10是表示模拟仿真下的形状模型的图,(a)是表示本发明的第1实施方式所涉及的半导体装置的形状模型,(b)是表示现有的半导体装置的形状模型的图。

[0023] 图11是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为300keV/ $1.2 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0024] 图12是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为300keV/ $1.5 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0025] 图13是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为300keV/ $1.8 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0026] 图14是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为250keV/ $6.0 \times 10^{12} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设

为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0027] 图15是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为300keV/ $6.0 \times 10^{12} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0028] 图16是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为250keV/ $1.2 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0029] 图17是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为250keV/ $1.5 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0030] 图18是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为250keV/ $1.8 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0031] 图19是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为200keV/ $8.0 \times 10^{12} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为300keV/ $4.0 \times 10^{12} \text{cm}^{-2}$ 的情况下的图。

[0032] 图20是表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为200keV/ $1.2 \times 10^{13} \text{cm}^{-2}$ 、针对第2级将杂质的照射条件设为300keV/ $6.0 \times 10^{12} \text{cm}^{-2}$ 的情况下的图。

[0033] 图21是表示现有的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为380keV/ $1.8 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0034] 图22是表示现有的半导体装置的模拟仿真结果的图,是针对第1级将杂质的照射条件设为380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下的图。

[0035] 图23是本发明的第2实施方式所涉及的半导体装置的示意俯视图。

[0036] 图24是本发明的第3实施方式所涉及的半导体装置的示意剖面构造图。

[0037] 图25是现有的半导体装置的示意剖面构造图。

[0038] 符号说明:

[0039] 1-n型外延(epitaxial)层;2-p型阱(well)接触区域;3-p型阱区域;4-p型阱扩展(extension)区域;5-n⁺型源极区域;6-栅极绝缘膜;7-栅极电极;8-层间绝缘层;9-源极电极;10-漏极电极;11-基板;21-n型外延层;22-p型阱接触区域;23-p型阱区域;24-p型阱扩展区域;25-n⁺型发射极区域;26-栅极绝缘膜;27-栅极电极;28-层间绝缘层;29-发射极电极;30-集电极电极;31-基板。

具体实施方式

[0040] 以下,参照附图对本发明实施方式的半导体装置进行说明。在以下的附图记载中,对相同或类似部分附加相同或类似的符号。其中,附图只是示意图,与实际的不同。另外,应注意:在附图相互间也包括相互尺寸关系或比率不同的部分。

[0041] [第1实施方式]

[0042] (半导体装置的构造)

[0043] 参照图1及图2,对作为本发明的第1实施方式所涉及的半导体装置的功率型MOSFET进行说明。

[0044] 如图1所示,第1实施方式的功率型MOSFET具备:含有碳化硅,由第1主电极区域构成的基板11;层叠在基板11的表面,由碳化硅构成的第1导电型外延层1;在外延层1的表面层相互隔离地配置的第1导电型的第2主电极区域5;被第2主电极区域5夹持的第2导电型阱接触区域2;与第2主电极区域5及第2导电型阱接触区域2的基板11侧表面相接地配置的第2导电型阱区域3;配置为夹持第2主电极区域5及第2导电型阱区域3的第2导电型阱扩展区域4;隔着栅极绝缘膜6配置在被第2主电极区域5及被外延层1的表面露出部夹持的第2导电型阱扩展区域4的表面的栅极电极7;与第2主电极区域5及第2导电型阱接触区域2的表面共同接触地配置的第2主电极9;配置在基板11的与表面对置的背面的第1主电极10,其中,在从外延层1的表面向基板11的深度方向,第2导电型阱区域3具有的第2导电型杂质的浓度的浓度峰值位置比第2导电型阱扩展区域4具有的第2导电型杂质的浓度的浓度峰值位置深。

[0045] 这里,所谓主电极区域是指位于主电流的通路的两端的半导体区域,所谓主电极是指漏极电极、源极电极等的主电极。

[0046] 由第1主电极区域构成的基板11具有第1导电型,第1主电极区域为漏极区域,第2主电极区域5为源极区域,第1主电极10为漏极电极,第2主电极9为源极电极。

[0047] 第1导电型和第2导电型互为反导电型。即、如果第1导电型为n型则第2导电型为p型,如果第1导电型为p型则第2导电型为n型。以下,第1导电型为n型、第2导电型为p型。

[0048] 含有碳化硅(SiC)的基板11由n型杂质浓度相对高的n⁺型SiC半导体构成,在基板11的表面配置了具有比基板11低的n型杂质浓度的n型SiC半导体外延层1。

[0049] 图2是表示配置在外延层1的表面层的各杂质区域的构造的一例的俯视图。在图2中,栅极绝缘膜6、栅极电极7、层间绝缘层8及源极电极9被省略了。沿着图2的I-I线切割的部分的剖面图为图1。

[0050] 在图2所示的例子中,在俯视的情况下,n⁺型源极区域5具有四角框状的形状,p型阱接触区域2配置为被包围在n⁺型源极区域5的四角框内。p型阱区域3与n⁺型源极区域5及p型阱接触区域2的基板11侧表面相接地配置,p型阱扩展区域4配置为夹持n⁺型源极区域5及p型阱区域3的侧面。

[0051] p型阱区域3的基板11侧表面与p型阱扩展区域4的基板11侧表面相比,其距离外延层1表面的深度深。

[0052] 在各区域中,关于距外延层1的表面的深度,p型阱接触区域2有0.2~0.5 μm 、n⁺型源极区域5有0.05~0.1 μm 、p型阱区域3有0.2~0.7 μm 、p型阱扩展区域4有0.15~0.5 μm 。

[0053] 在外延层1上依次层叠栅极绝缘膜6及栅极电极7。栅极绝缘膜6例如由氧化硅(SiO₂)构成,配置为跨在n⁺型源极区域5的外周缘部和p型阱扩展区域4外之间,覆盖着在n⁺型源极区域5的外周缘部和p型阱扩展区域4外之间的外延层1的表面。

[0054] 栅极电极7例如由多晶硅构成,与外部电极端子连接。

[0055] 层间绝缘层8例如由SiO₂构成,配置为覆盖栅极绝缘膜6及栅极电极7,将源极电极9和栅极电极7绝缘。

[0056] 源极电极9例如由铝(Al)等的金属形成,形状例如在俯视的状态下有四角形状,且配置在层间绝缘层8上。源极电极9与包括n⁺型源极区域5的内周缘部的表面和p型阱接触区

域2的表面在内的源极接触区域连接。也可以隔着Ni等的金属薄膜与源极接触区域连接。

[0057] 漏极电极10例如由Al等的金属构成,配置为在基板11的背面侧(与外延层1相反的侧)整体覆盖基板11的背面。

[0058] 为了确保半导体装置的耐压,优选含有p型杂质的护环(省略图示)被配置在外延层1的外周缘部的表面附近。

[0059] 在从外延层1的表面向基板11的深度方向,p型阱区域3具有的p型杂质的浓度的浓度峰值位置比p型阱扩展区域4具有的p型杂质的浓度的浓度峰值位置深。

[0060] p型阱区域3的p型杂质浓度,在最深部(与外延层1的交界部)附近具有峰值,优选越接近表面越连续、缓慢地降低。

[0061] 例如,p型阱区域3的p型杂质的峰值浓度为 $2 \times 10^{17} \sim 3 \times 10^{18} \text{cm}^{-3}$,优选 $4 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$ 。另外,p型杂质浓度的峰值位置为 $0.3 \sim 0.6 \mu\text{m}$,优选 $0.4 \sim 0.5 \mu\text{m}$ 。

[0062] p型阱扩展区域4的p型杂质浓度,在最深部(与外延层1的交界部)附近具有峰值,优选越接近表面越连续、缓慢地降低。

[0063] 例如,p型阱扩展区域4的p型杂质的峰值浓度为 $1 \times 10^{17} \sim 2 \times 10^{18} \text{cm}^{-3}$,优选 $5 \times 10^{17} \sim 1 \times 10^{18} \text{cm}^{-3}$,在表面附近的p型杂质浓度为 $1 \times 10^{16} \text{cm}^{-3}$ 以下,优选 $5 \times 10^{15} \text{cm}^{-3}$ 以下。另外,p型杂质浓度的峰值位置为 $0.2 \sim 0.5 \mu\text{m}$,优选 $0.3 \sim 0.4 \mu\text{m}$ 。

[0064] 优选,p型阱接触区域2与p型阱区域3及p型阱扩展区域4相比,其p型杂质的平均浓度高。因p型杂质的平均浓度高,故降低了通态电阻。

[0065] (工作原理)

[0066] 本发明的第1实施方式所涉及的功率型MOSFET的工作原理如下所述。

[0067] 向栅极电极7施加正的电压。通过该电压施加,从而在栅极电极7下的p型阱扩展区域4的表层部形成了反转层,通过该反转层导通了n⁺型源极区域5和外延层1。由此,电流能够从外延层1下的基板11背面所设置的漏极电极10流向n⁺型源极区域5的表面所设置的源极电极9。即、能够通过施加于栅极电极的电压来控制电流。

[0068] (制造方法)

[0069] 图3及图4是对本发明的第1实施方式的半导体装置的制造方法进行说明的图。

[0070] 本发明的第1实施方式所涉及的半导体装置的制造方法具有:在含有碳化硅、由第1主电极区域构成的基板11的表面,形成由碳化硅构成的第1导电型外延层1的工序;通过用第2导电型用掩模向外延层1的表面层离子注入第2导电型杂质,来形成第2导电型阱扩展区域4的工序;通过用第1导电型用掩模向外延层1的表面层离子注入第2导电型杂质,来形成第2导电型阱区域3的工序;和通过用第1导电型用掩模离子注入第1导电型杂质,来形成第1导电型的第2主电极区域5的工序。

[0071] 以下,对制造工序进行详细叙述。

[0072] (a)首先,如图3(a)所示,在形成有n⁺型SiC半导体的基板11的表面,使与基板11相同的n型SiC半导体外延生长,从而形成了外延层1。

[0073] (b)其次,如图3(b)所示,用能同时形成护环部的p型区域形成用掩模,在外延层1的表层部,根据离子注入法,在注入能量250keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 的照射条件下,掺杂(doping)p型杂质,形成了p型阱扩展区域4。

[0074] 作为p型杂质,能够举出B、Al、In、Ga等。也可优选利用B或Al。

[0075] 这里,通过调节注入能量,能够控制形成有p型杂质的深度。另外,通过调节剂量,能够控制p型杂质的浓度。

[0076] 图5~9示出下述例子:在改变了注入能量和剂量的情况下,距所得到的杂质浓度的外延层1的表面的深度方向的浓度的例子。

[0077] 图8是表示在上述照射条件下得到的、p型阱扩展区域4具有的p型杂质的深度方向的浓度的一例的图。关于浓度的峰值位置,距外延层1的表面的深度约为 $0.31\mu\text{m}$ 。在峰值位置的p型杂质浓度约为 $1\times 10^{18}\text{cm}^{-3}$,在表面附近约为 $5\times 10^{15}\text{cm}^{-3}$ 。

[0078] (c)接着,如图3(c)所示,用n型源极区域形成用掩模,在外延层1的表面层,根据离子注入法,在注入能量 380keV 、剂量 $3.6\times 10^{13}\text{cm}^{-2}$ 的照射条件下,例如掺杂作为p型杂质的Al,从而形成了p型阱区域3。由此,由于在p型阱区域3中,除了p型阱扩展区域4的杂质浓度以外还调和p型阱区域3的杂质浓度,故能够有效防止在纵向引起的击穿。此外,因为p型阱区域3与沟道区域无关,所以虽然在表面的杂质浓度变高,但是却不影响迁移率。

[0079] 图5是表示在上述的照射条件下得到的、p型阱区域3具有的p型杂质的深度方向的浓度的一例的图。关于浓度的峰值位置,与p型阱扩展区域4的情况相比,通过提高注入能量,从而距外延层1的表面的深度形成在更深的位置,该深度约为 $0.48\mu\text{m}$ 。另外,在峰值位置的p型杂质浓度约为 $2\times 10^{18}\text{cm}^{-3}$ 。

[0080] (d)接着,如图4(d)所示,利用相同的n型源极区域形成用掩模,根据离子注入法离子注入n型杂质,从而形成了 n^+ 型源极区域5。接着,用p型阱接触区域形成用掩模,形成了p型阱接触区域2。

[0081] 作为n型杂质,能够举出N,P,As,Sb等。也可优选N或P。

[0082] (e)接着,如图4(e)所示,在根据发热(Pyrogenic)法热氧化外延层1的表面并形成了栅极绝缘膜6之后,根据减压CVD(Chemical Vapor Deposition)法形成多晶硅,用光刻法形成了栅极电极7。

[0083] (f)接着,如图4(f)所示,在根据发热法进行热氧化并形成了层间绝缘层8之后,根据RIE(Reactive Ion Etching)使外延层1的表面的电极接触部分露出之后,对铝等进行蒸镀,形成了源极电极9。

[0084] (g)最后,在基板11的背面蒸镀铝等,形成了漏极电极10,从而完成了图1所示的半导体装置。

[0085] 通过这样的制造方法,能够制造在p型阱区域3和p型阱扩展区域4中具有p型杂质浓度的峰值位置的深度不同的2级构造的p阱构造的半导体装置。

[0086] (模拟仿真)

[0087] 图11~20表示本发明的第1实施方式所涉及的半导体装置的模拟仿真结果,图21及22表示现有的半导体装置的模拟仿真结果。关于图11~22中的(a)~(c),在水平方向(单位: 10^{-6}m)及深度方向(单位: 10^{-6}m)的二维方向上,(a)表示受主(acceptor)密度分布、(b)表示空穴密度分布、(c)表示电流密度分布、(d)的横轴表示将 n^+ 型源极区域5和p型阱扩展区域4的界面设为零、从该界面向p型阱扩展区域4侧的水平方向(单位: 10^{-10}m)、(d)的纵轴表示电流密度。

[0088] 图10是表示模拟仿真下的形状模型的图,图10(a)对应于图11~20的各(a)~(c)的水平方向及深度方向的位置。图10(b)对应于图21及22的各(a)~(c)的水平方向及深度

方向的位置。

[0089] 关于p型杂质(受主)的掺杂,是在第1级的p阱4(p型阱扩展区域4)和第2级的p阱3(p型阱区域3)中分别通过在不同的注入能量及剂量的条件下的照射进行的。

[0090] 关于上述得到的半导体装置,在源极-漏极电极间施加逆电压,并使其增加的情况下,利用公知的装置・模拟仿真方法进行了模拟仿真。

[0091] 如图14、图17、图18及图20所示,即使在耐压1200V的情况下,也未发生第1级p阱4的横向45及第2级p阱3的纵向35的击穿、在外延层1未流过电流,表示了高耐压。

[0092] 如图11、图12、图13、图15、图16及图19所示,在这些杂质照射条件下,发生了击穿。可是,关于击穿刚刚发生前的耐压,在图11中为120V、在图12中为500V、在图13中为700V、在图15中为200V、在图16中为800V、在图19中为1100V,表示了高耐压。

[0093] 另一方面,关于现有的半导体装置而言,在掺杂p型杂质(受主)的照射条件:注入能量380keV、剂量 $1.8 \times 10^{13} \text{cm}^{-2}$ 下形成了仅有1级的p阱14的半导体装置如图21所示,在耐压500V的情况下,在仅有1级的p阱14的横向41及纵向51发生了击穿,电流流向了外延层1。

[0094] 此外,在上述的现有的半导体装置中,在将剂量提高至 $3.6 \times 10^{13} \text{cm}^{-2}$ 的情况下,如图22所示,即使耐压1200V也不会发生击穿。可是,在沟道区域的迁移率却降低了。

[0095] 根据本发明的第1实施方式,p阱构造为2级构造,第1级p阱4的深部中的p型杂质浓度高,所以即使在施加了逆电位的情况下,也能够抑制在p阱4的横向45引起的击穿。另外,由于第2级p阱3的深部中的p型杂质浓度高,所以能够抑制在第2级p阱3的纵向35引起的击穿。

[0096] 根据本发明的第1实施方式,因为在第1级p阱4的表面附近的p型杂质浓度低,所以能够确保良好的迁移率、能够减少通态电阻。

[0097] 根据本发明的第1实施方式,因为在形成了 n^+ 型源极区域5之后且在形成p阱3之际利用共用的n型用掩模,所以能够在制造工序不增加的情况下形成耐压构造。

[0098] 根据本发明的第1实施方式,因为p阱构造为2级构造,所以即使在和护环一起形成第1级p阱4的制造工序中,也能够将护环的杂质浓度设定为期望浓度。

[0099] 根据本发明的第1实施方式所涉及的半导体装置,能够提高耐压性、简化制造工序。

[0100] [第2实施方式]

[0101] 参照图23,对本发明的第2实施方式所涉及的半导体装置进行说明。此外,在第2实施方式中,对与第1实施方式相同的部分附加相同的参考符号,并省略重复的说明。

[0102] 图23是表示被配置于外延层1的表面层的各杂质区域的构造的一例的俯视图。在图23中,栅极绝缘膜6、栅极电极7、层间绝缘层8及源极电极9被省略了。沿着图23的I-I线的部分的剖面图为图1。

[0103] 本发明的第2实施方式所涉及的半导体装置,如图23所示,在俯视的状态下为四角形状的 n^+ 型源极区域5相互隔离地配置,且配置有被 n^+ 型源极区域5夹持的p型阱接触区域2。因为其他构成与第1实施方式相同,故省略说明。

[0104] 由于第2实施方式所涉及的半导体装置的制造方法中的形成 n^+ 型源极区域5的方法与第1实施方式中的制造方法不同,其他的都与第1实施方式相同,所以省略重复的说明。

[0105] 根据本发明的第2实施方式所涉及的半导体装置,能够提高耐压性、简化制造工

序。

[0106] [第3实施方式]

[0107] (半导体装置的构造)

[0108] 参照图24,对作为本发明的第3实施方式所涉及的半导体装置的IGBT进行说明。其中,在第3实施方式中,对与第1实施方式相同的部分附加相同的参考符号,并省略重复的说明。

[0109] 如图24所示,第3实施方式的IGBT具备:含有碳化硅、由第1主电极区域构成的基板31;层叠在基板31的表面、由碳化硅构成的第1导电型外延层21;在外延层21的表面层相互隔离地配置的第1导电型的第2主电极区域25;被第2主电极区域25夹持的第2导电型阱接触区域22;与第2主电极区域25及第2导电型阱接触区域22的基板31侧表面相接地配置的第2导电型阱区域23;配置为夹持第2主电极区域25及第2导电型阱区域23的第2导电型阱扩展区域24;隔着栅极绝缘膜26配置被在第2主电极区域25及被外延层21的表面露出部夹持的第2导电型阱扩展区域24的表面的栅极电极27;与第2主电极区域25及第2导电型阱接触区域22的表面共同接触地配置的第2主电极29;和配置在基板31的与表面对置的背面的第1主电极30,其中,在从外延层21的表面向基板31的深度方向,第2导电型阱区域23具有的第2导电型杂质的浓度的浓度峰值位置比第2导电型阱扩展区域24具有的第2导电型杂质的浓度的浓度峰值位置深。

[0110] 由第1主电极区域构成的基板31具有第2导电型,第1主电极区域为集电极区域,第2主电极区域25为发射极区域,第1主电极30为集电极电极,第2主电极29为发射极电极。

[0111] 以下,第1导电型为n型、第2导电型为p型。

[0112] 含有碳化硅(SiC)的基板31由p型杂质浓度相对高的p⁺型SiC半导体构成,在基板31的表面配置有n型SiC半导体外延层21。

[0113] 在外延层21的表面层,在俯视的状态下为四角形状的n⁺型发射极区域25相互隔离地配置,且配置有被n⁺型发射极区域25夹持的p型阱接触区域22。p型阱区域23配置为与n⁺型发射极区域25及p型阱接触区域22的基板31侧表面相接,p型阱扩展区域24配置为夹持n⁺型发射极区域25及p型阱区域23的侧面。

[0114] p型阱区域23的基板31侧表面与p型阱扩展区域24的基板31侧表面相比,距外延层21表面的深度深。

[0115] 在各区域中,关于距外延层21的表面的深度,p型阱接触区域22有0.2~0.5 μm 、n⁺型发射极区域25有0.05~0.1 μm 、p型阱区域23有0.2~0.7 μm 、p型阱扩展区域24有0.15~0.5 μm 。

[0116] 栅极绝缘膜26及栅极电极27依次层叠在外延层21上。栅极绝缘膜26例如由氧化硅(SiO₂)构成,配置为跨在n⁺型发射极区域25的外周缘部与p型阱扩展区域24外之间,覆盖了n⁺型发射极区域25的外周缘部与p型阱扩展区域24外之间的外延层21的表面。

[0117] 栅极电极27例如由多晶硅构成,与外部电极端子连接。

[0118] 层间绝缘层28例如由SiO₂构成,配置为覆盖栅极绝缘膜26及栅极电极27,将发射极电极29和栅极电极27绝缘。

[0119] 发射极电极29例如由铝(Al)等的金属构成,在俯视的状况下,形状例如具有四角形状,且配置在层间绝缘层28上。发射极电极29与包括n⁺型发射极区域25的内周缘部的表

面和p型阱接触区域22的表面在内的接触区域连接。也可隔着Ni等的金属薄膜与接触区域连接。

[0120] 集电极电极30例如由Al等的金属构成,配置为在基板31的背面侧(与外延层21相反的侧)整体覆盖基板31的背面。

[0121] 为了确保半导体装置的耐压,优选含有p型杂质的护环(省略图示)配置在外延层21的外周缘部的表面附近。

[0122] 因为p型阱区域23具有的p型杂质的浓度与第1实施方式中的p型阱区域3的浓度相同、p型阱扩展区域24具有的p型杂质的浓度与第1实施方式中的p型阱扩展区域4的浓度相同,故省略说明。

[0123] (工作原理)

[0124] 本发明的第3实施方式所涉及的IGBT的工作原理如下所述。

[0125] 在发射极电极29施加了负电压、集电极电极30施加了正电压的状态下,向栅极电极27施加比发射极电压高的电压。通过该电压施加,从而在栅极电极27下的p型阱扩展区域24的表层部形成有反转层,电子从发射极区域25经由反转层而注入基板31,并且空穴从基板31向外延层21注入。由此,电流从外延层21下的基板31背面所设置的集电极电极30流向发射极区域25的表面所设置的发射极电极29。通过施加于栅极电极27的电压能够控制该电流。

[0126] 关于第3实施方式所涉及的半导体装置的制造方法,其形成基板31的方法与第1实施方式中的制造方法不同,因为其他都与第1实施方式相同,故省略了重复的说明。

[0127] 根据本发明的第3实施方式所涉及的半导体装置,能够提高耐压性、简化制造工序。

[0128] [其他的实施方式]

[0129] 以上,虽然通过上述的第1至第3实施方式对本发明进行了详细说明,但是对于本技术领域的技术人员来说,本发明并不限定于在本说明书中说明的第1至第3实施方式是显而易见的。本发明只要在不脱离由权利要求书所规定的本发明的宗旨及范围,就能够进行修正及变更来加以实施。因此,本说明书的记载只是为了例示说明,不具有对本发明作任何限制的意思。以下,对变更了上述的第1至第3实施方式的一部分的变更方式进行说明。

[0130] 在上述的第1至第3实施方式所涉及的半导体装置中,虽然将第1导电型作为n型、将第2导电型作为p型进行了说明,但也可将第1导电型作为p型、将第2导电型作为n型。在该构成中,得到分别与上述的第1至第3实施方式同样的效果。

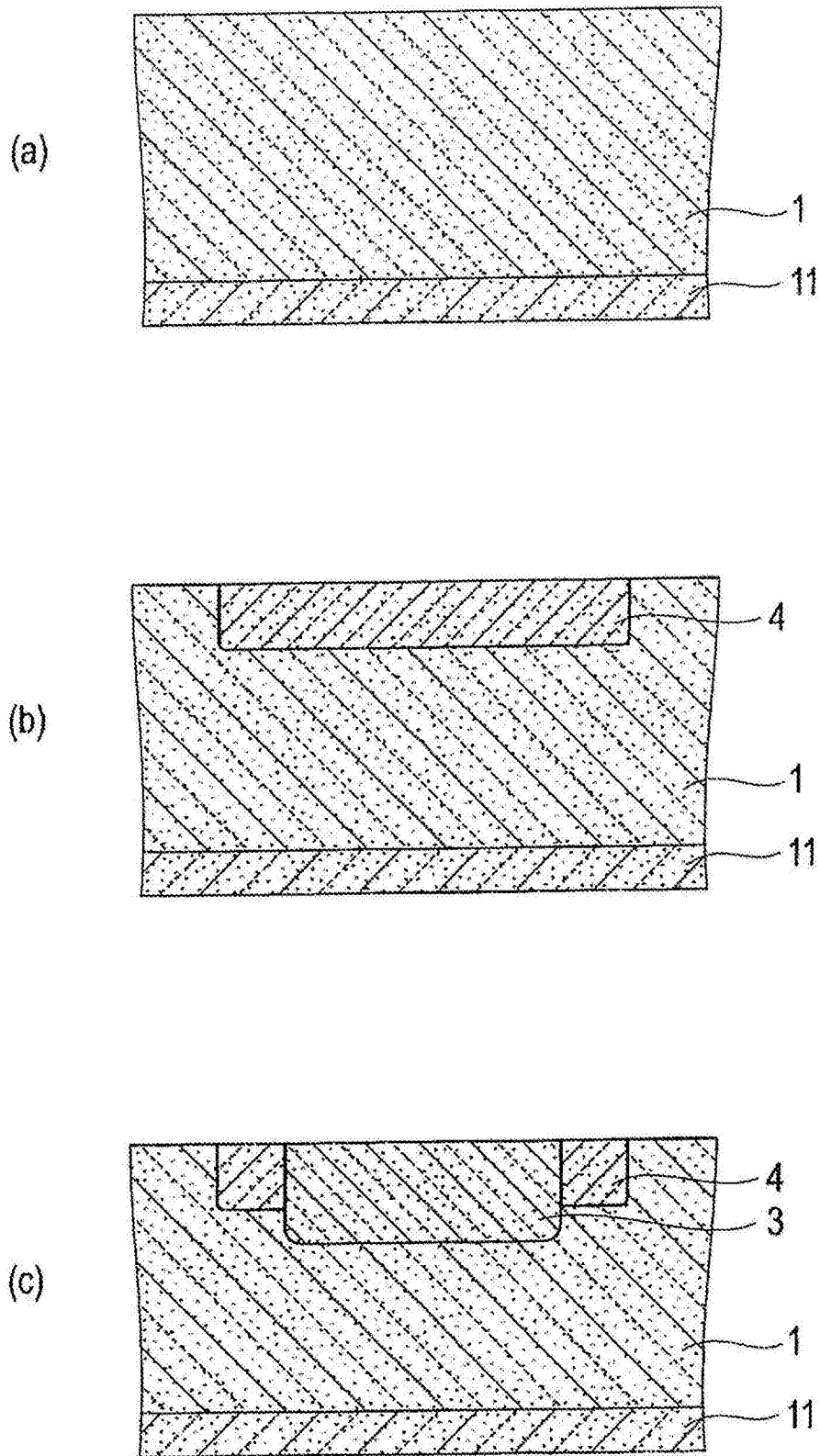


图3

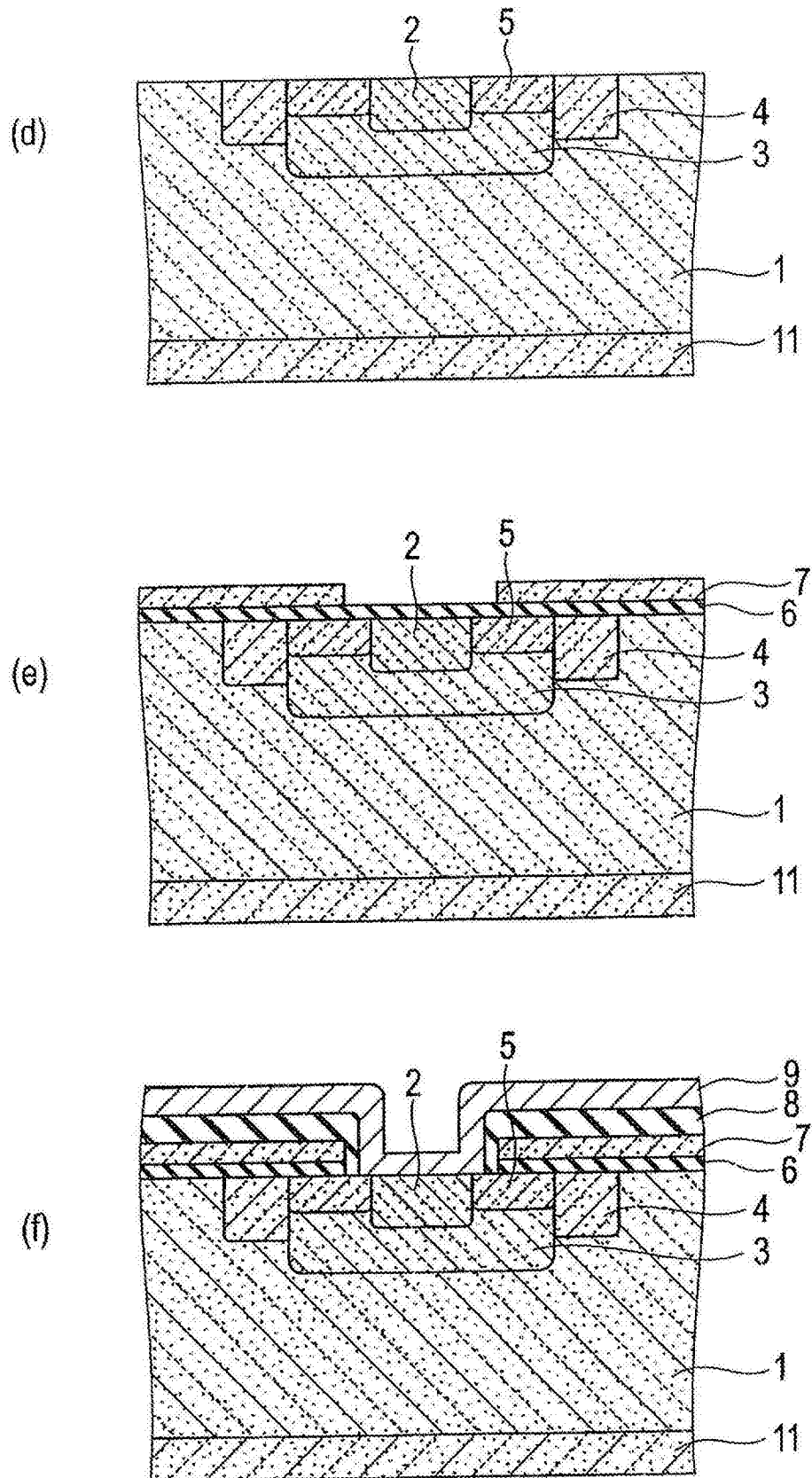


图4

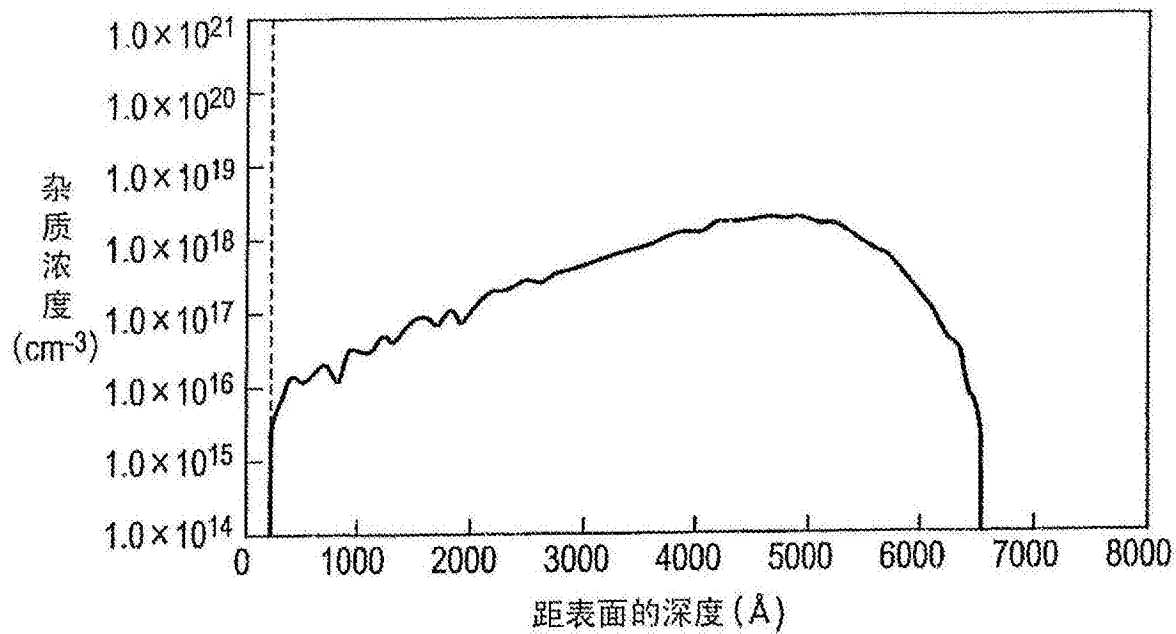


图5

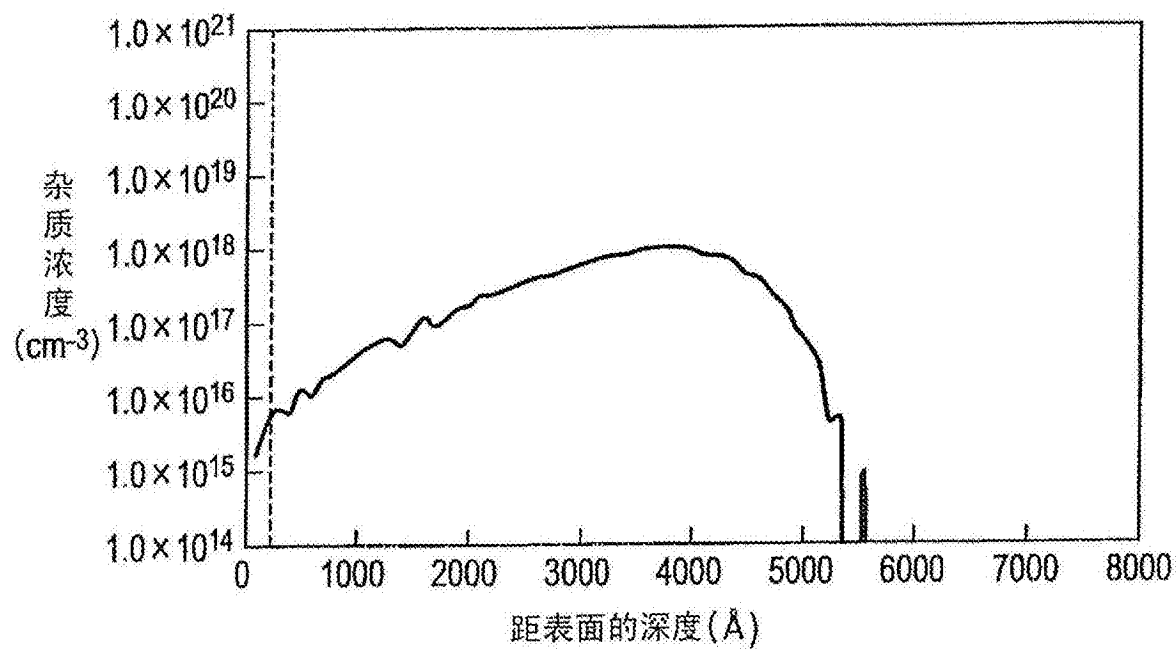


图6

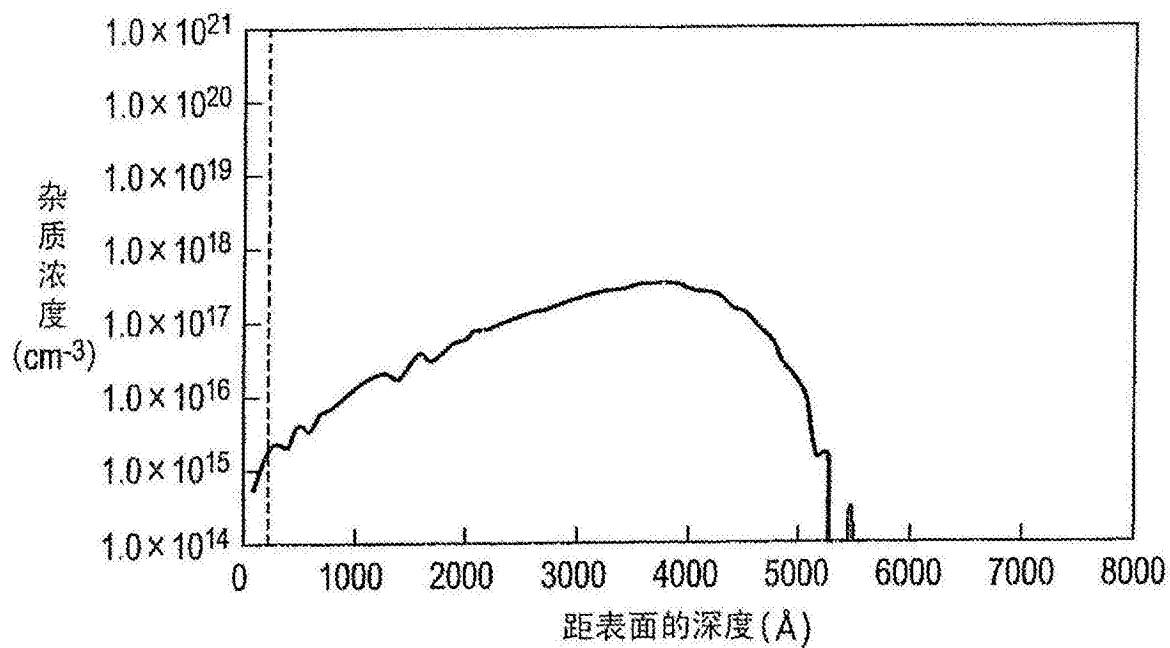


图7

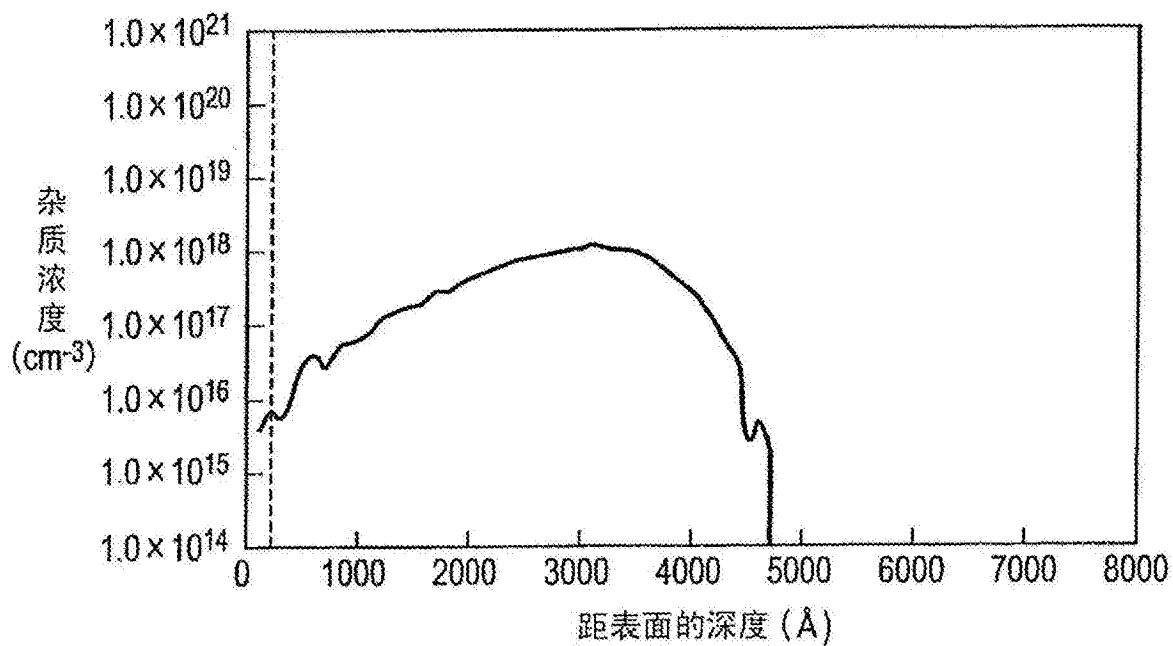


图8

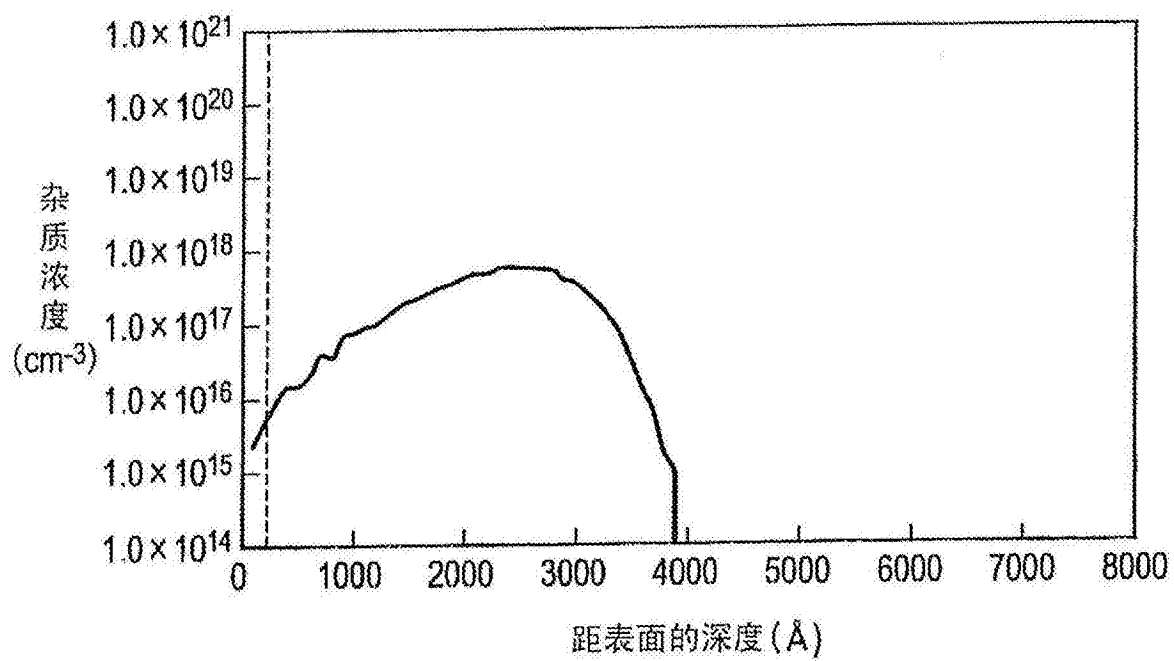


图9

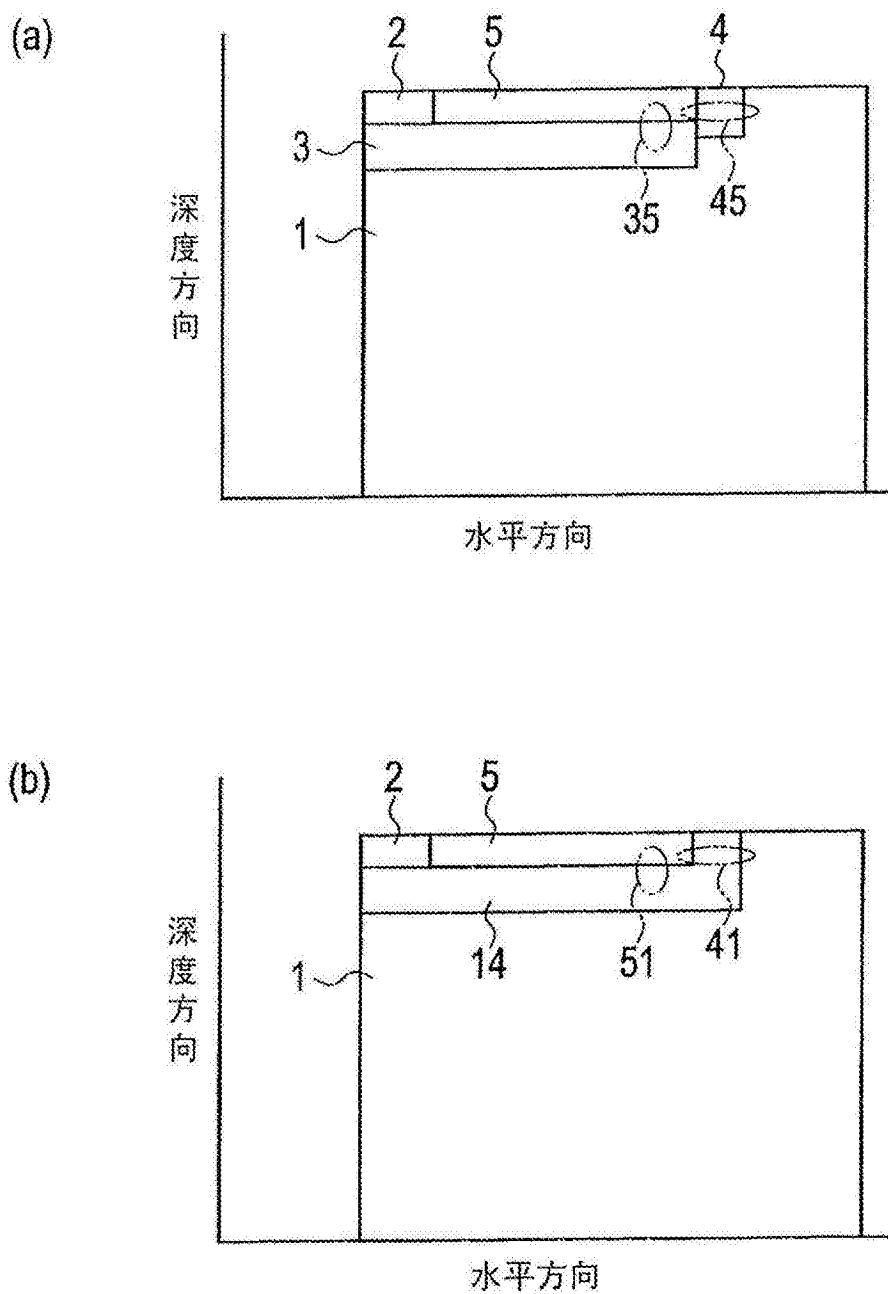


图10

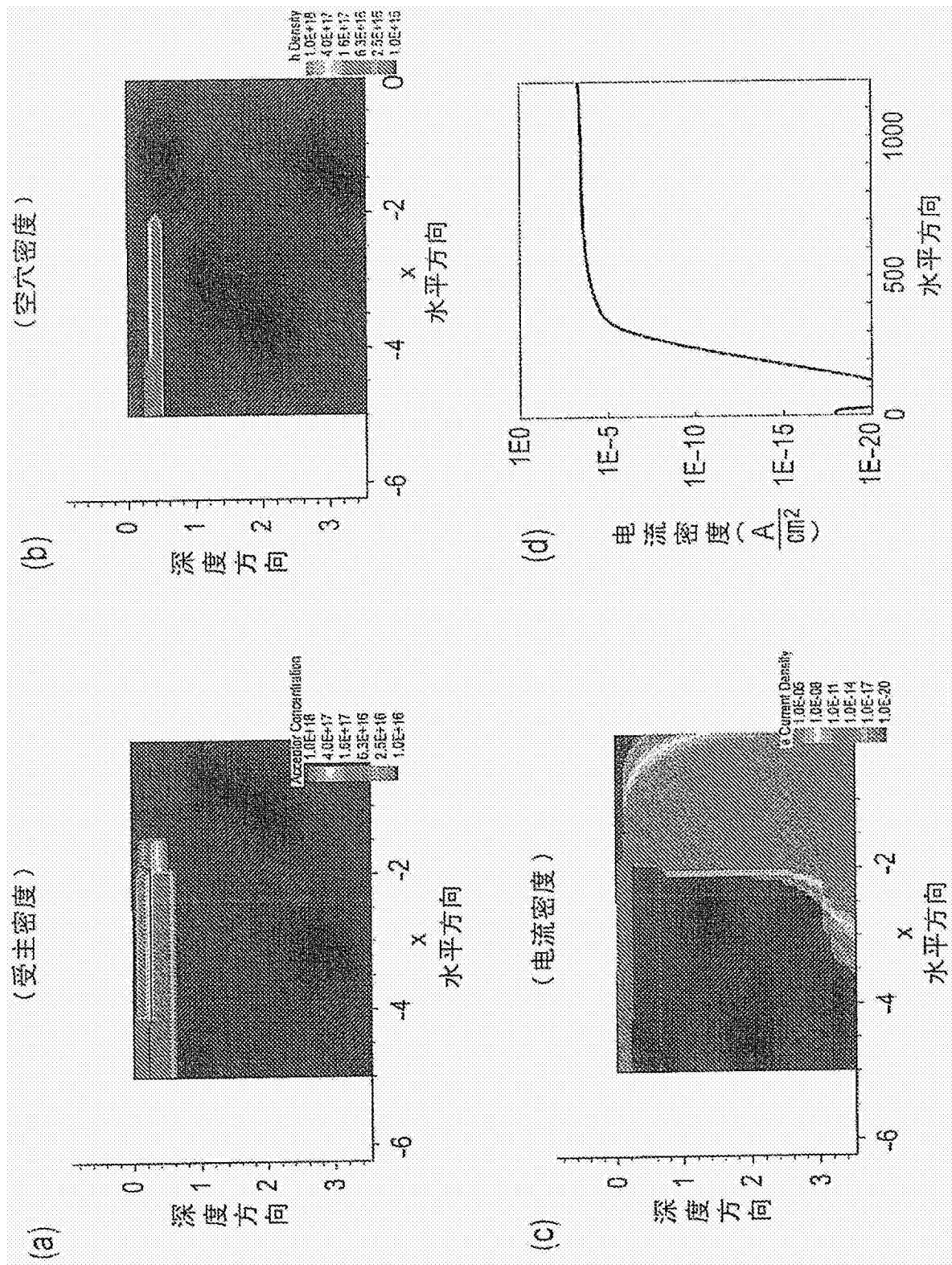


图11

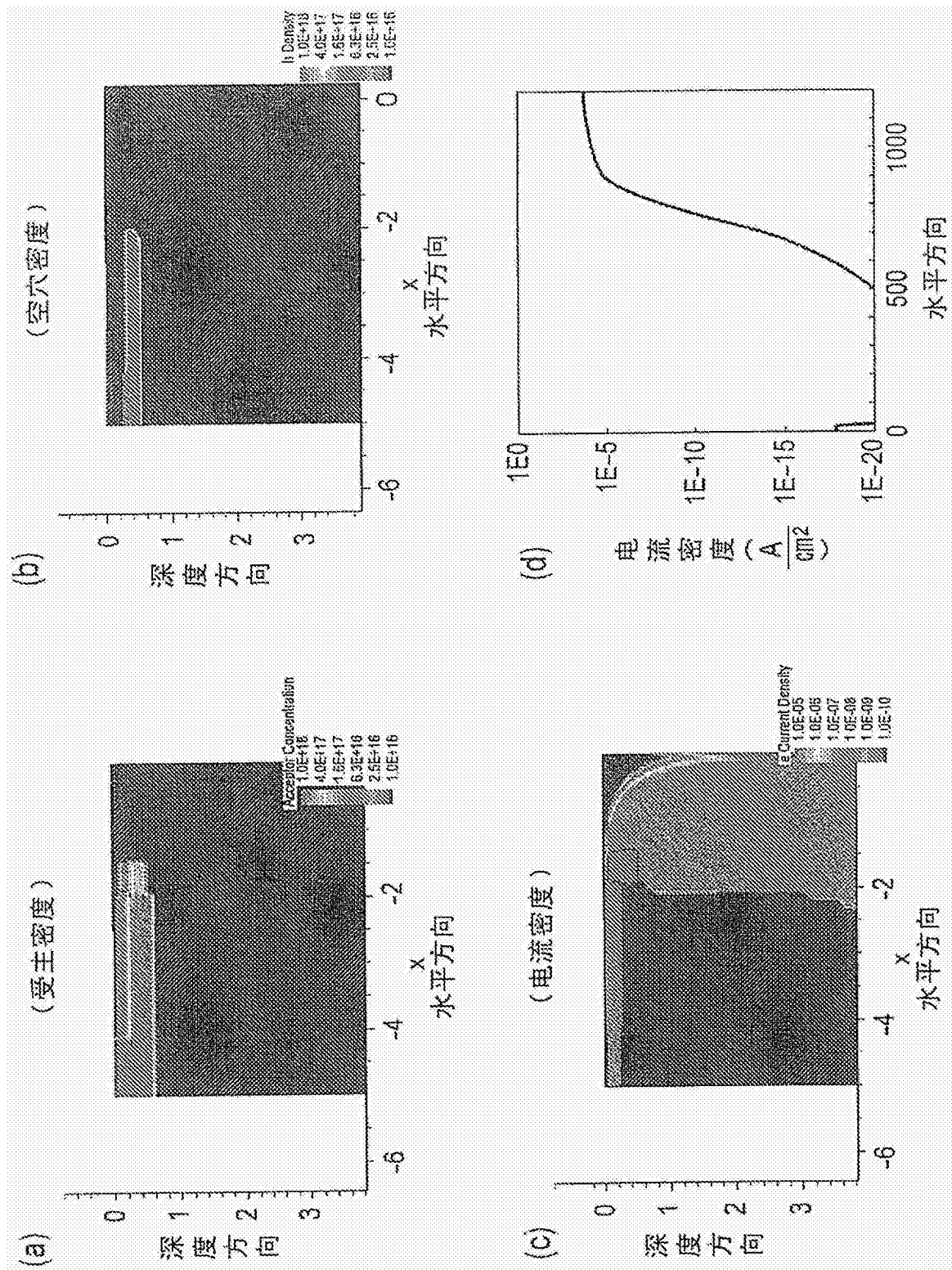


图12

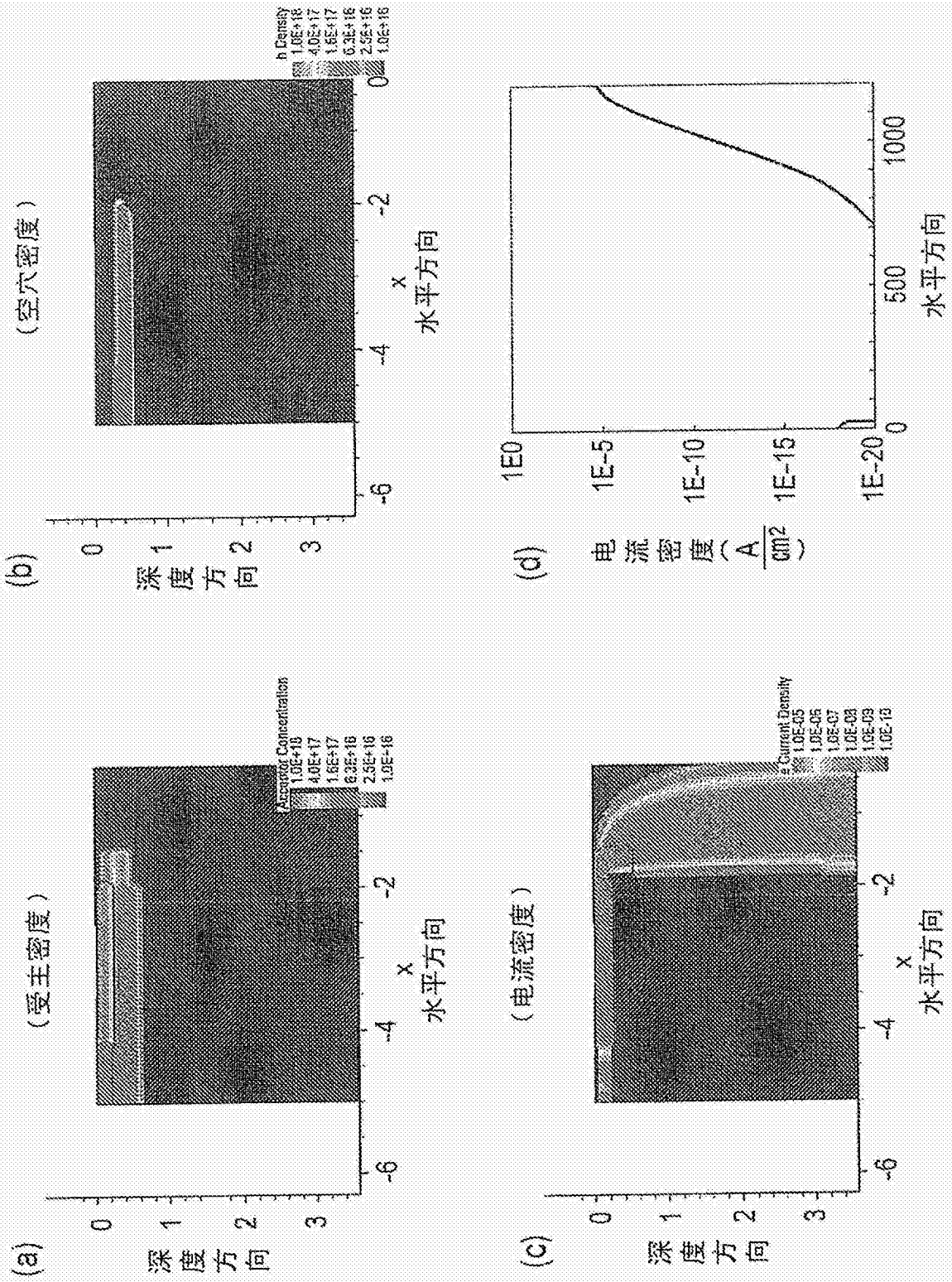


图13

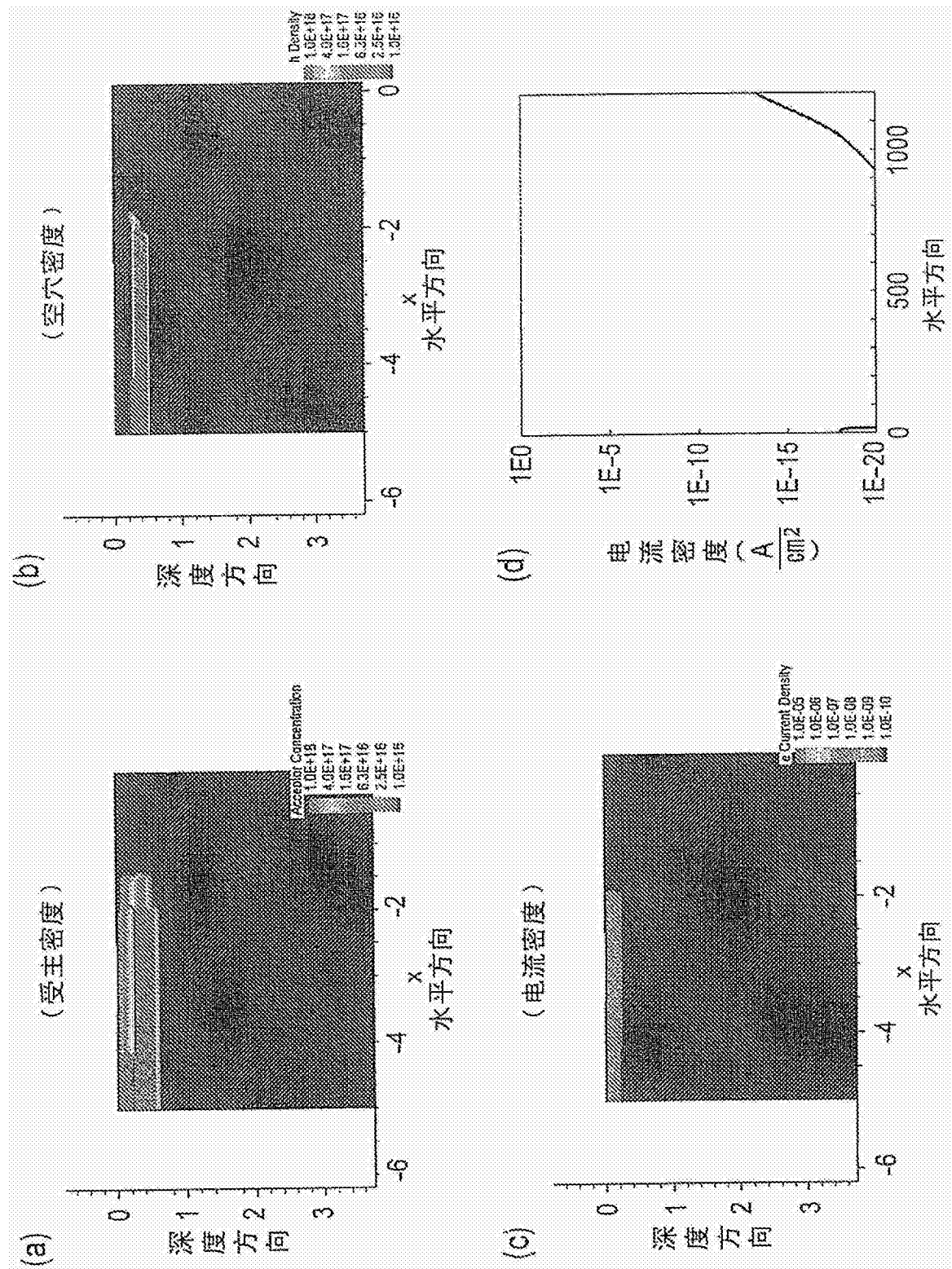


图14

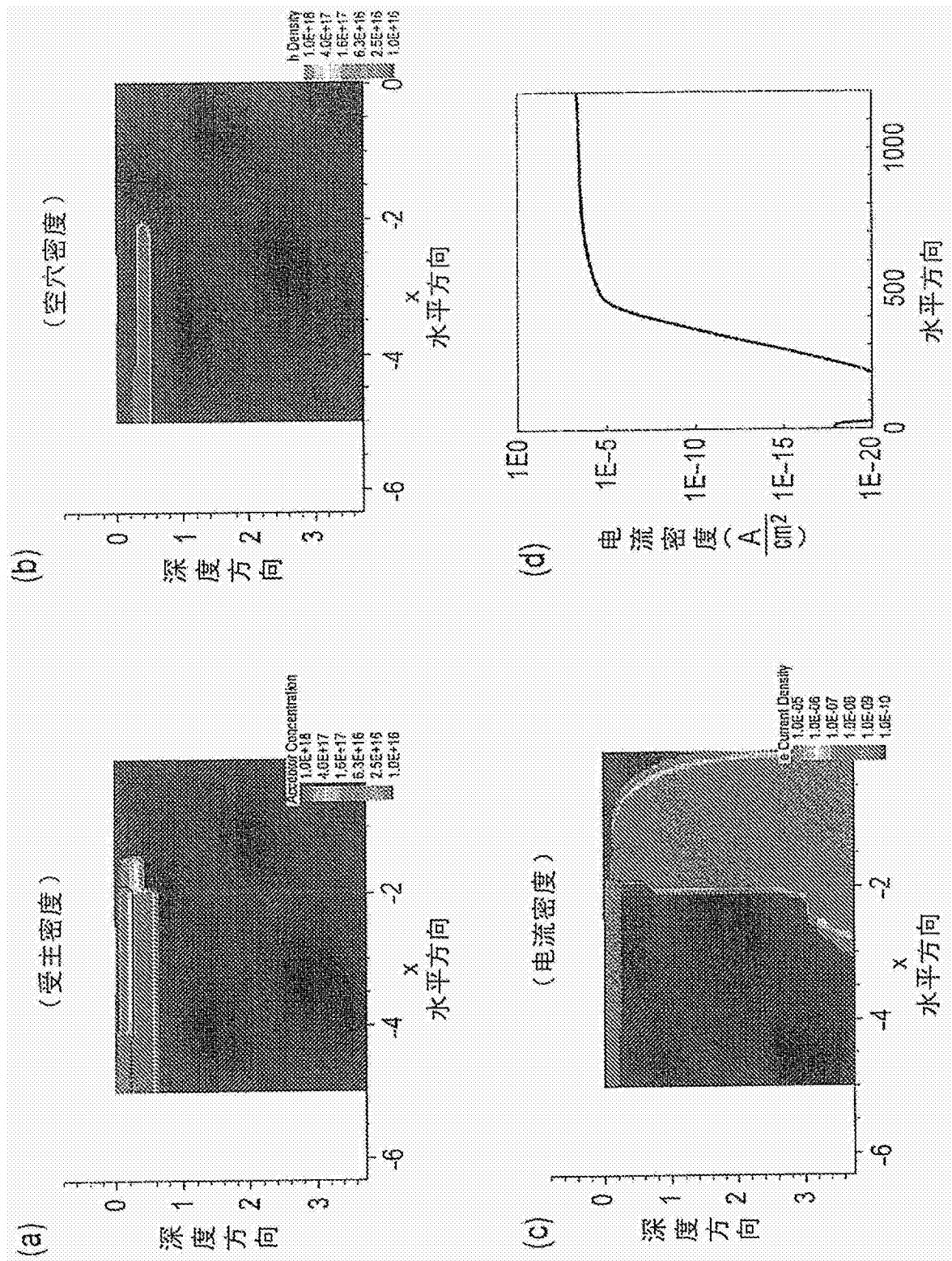


图15

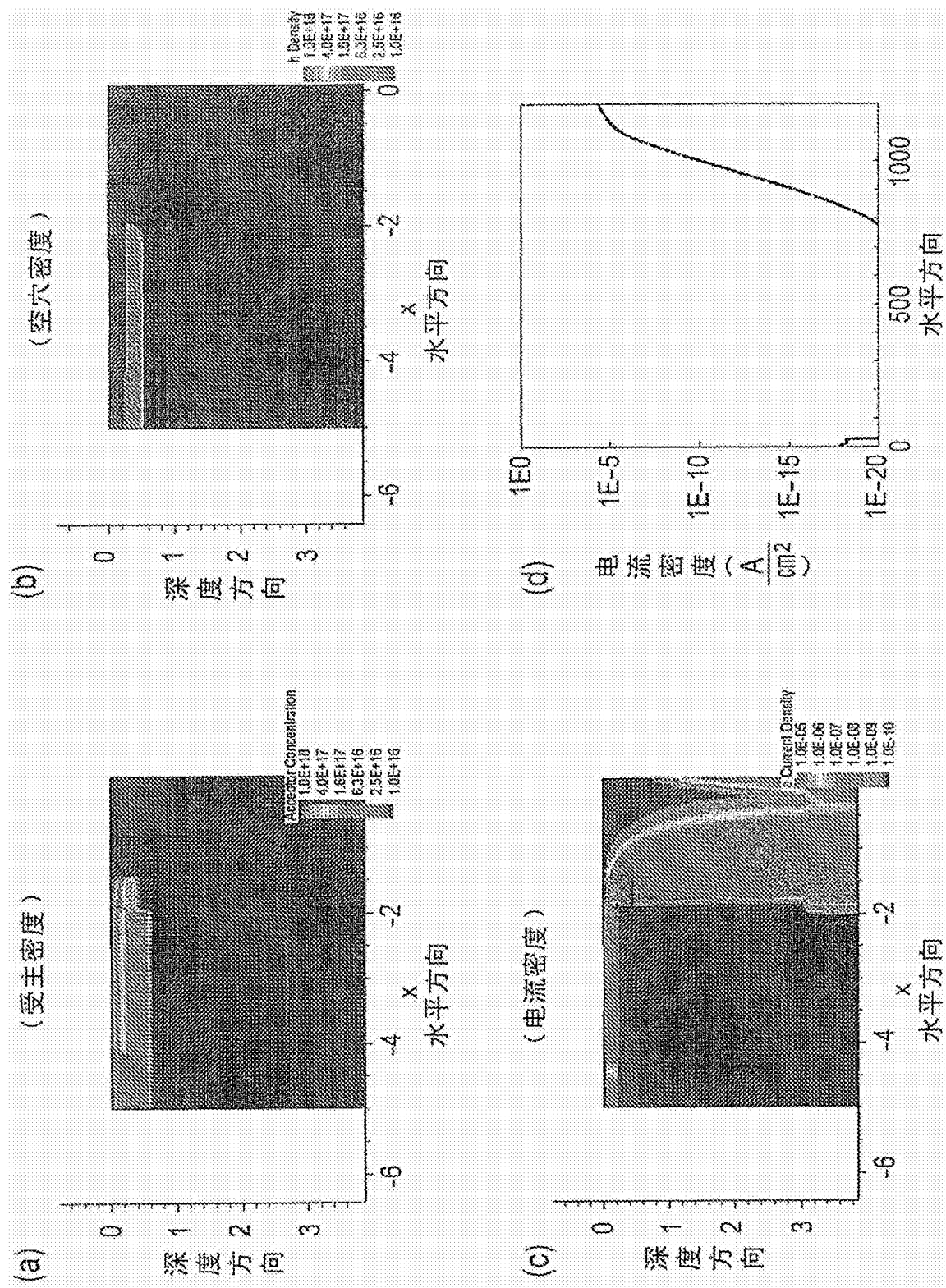


图16

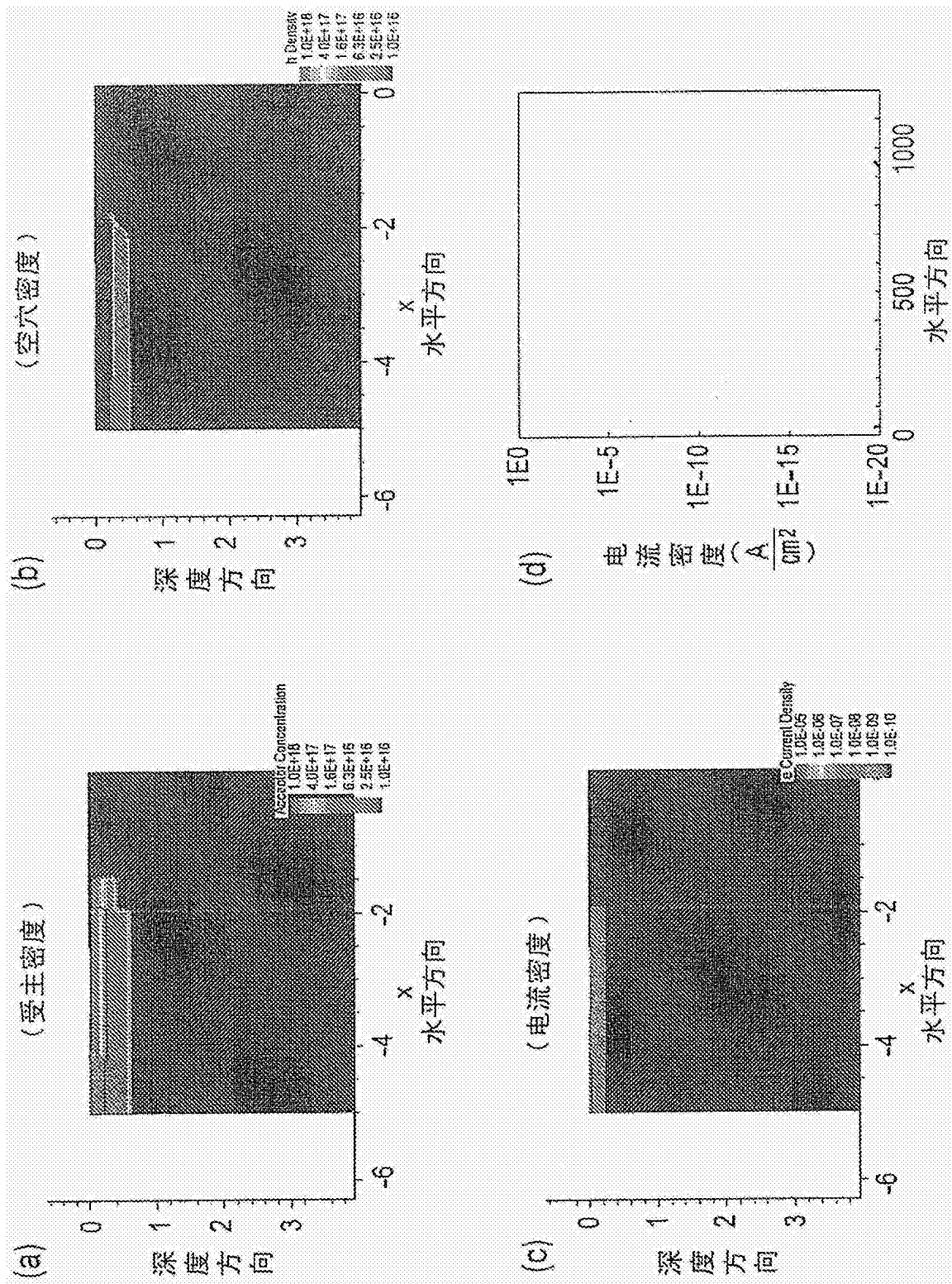


图17

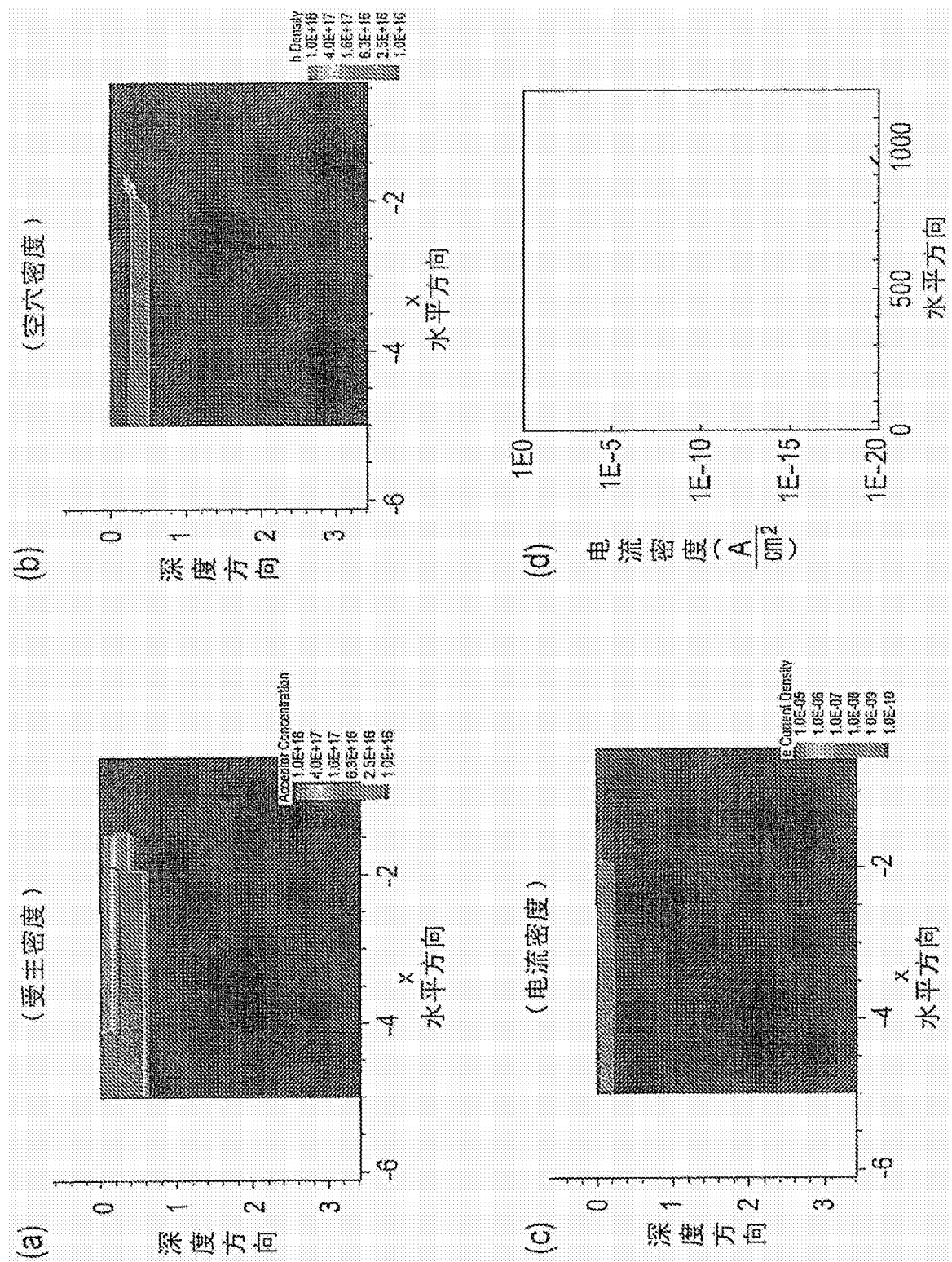


图18

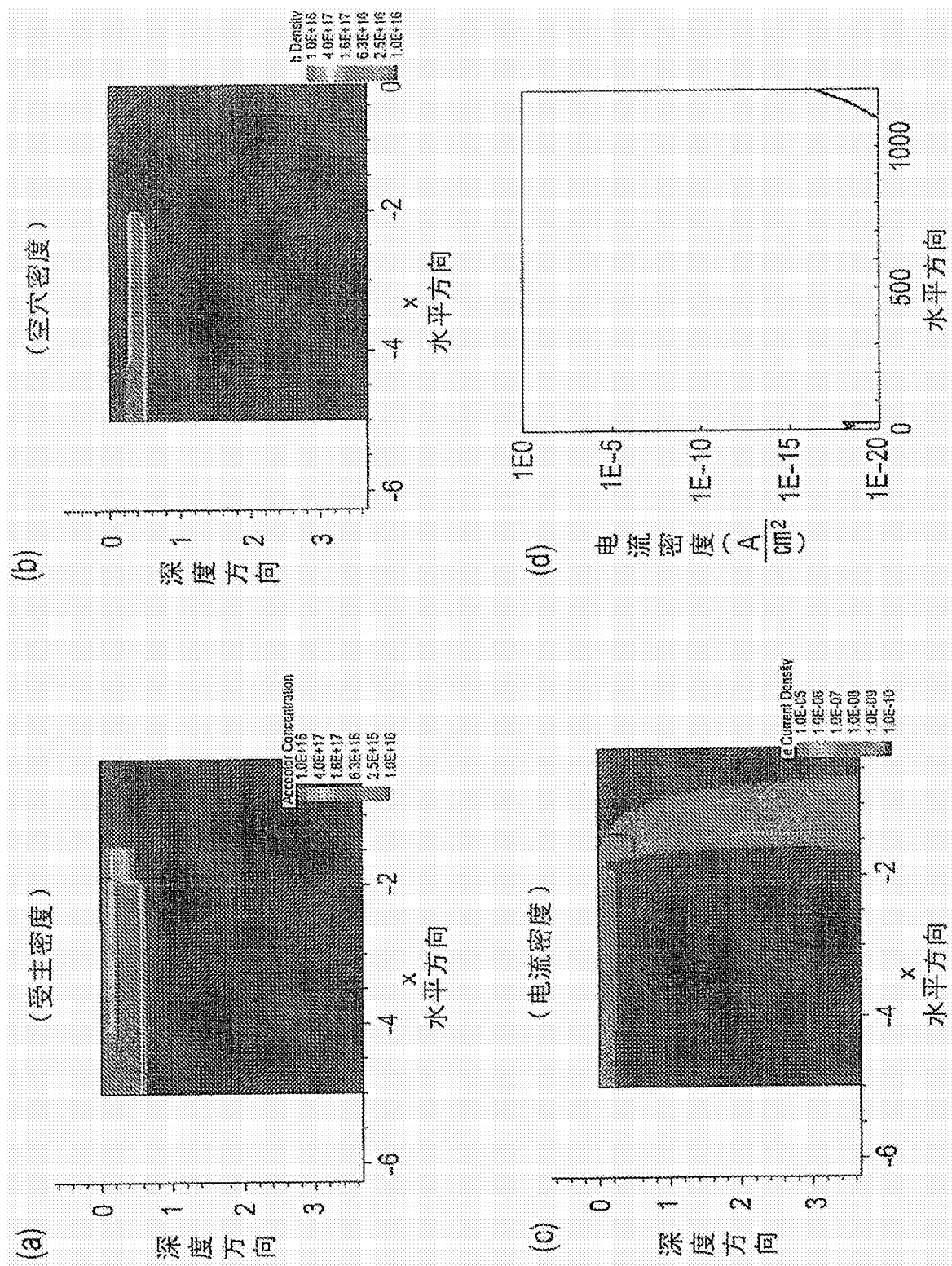


图19

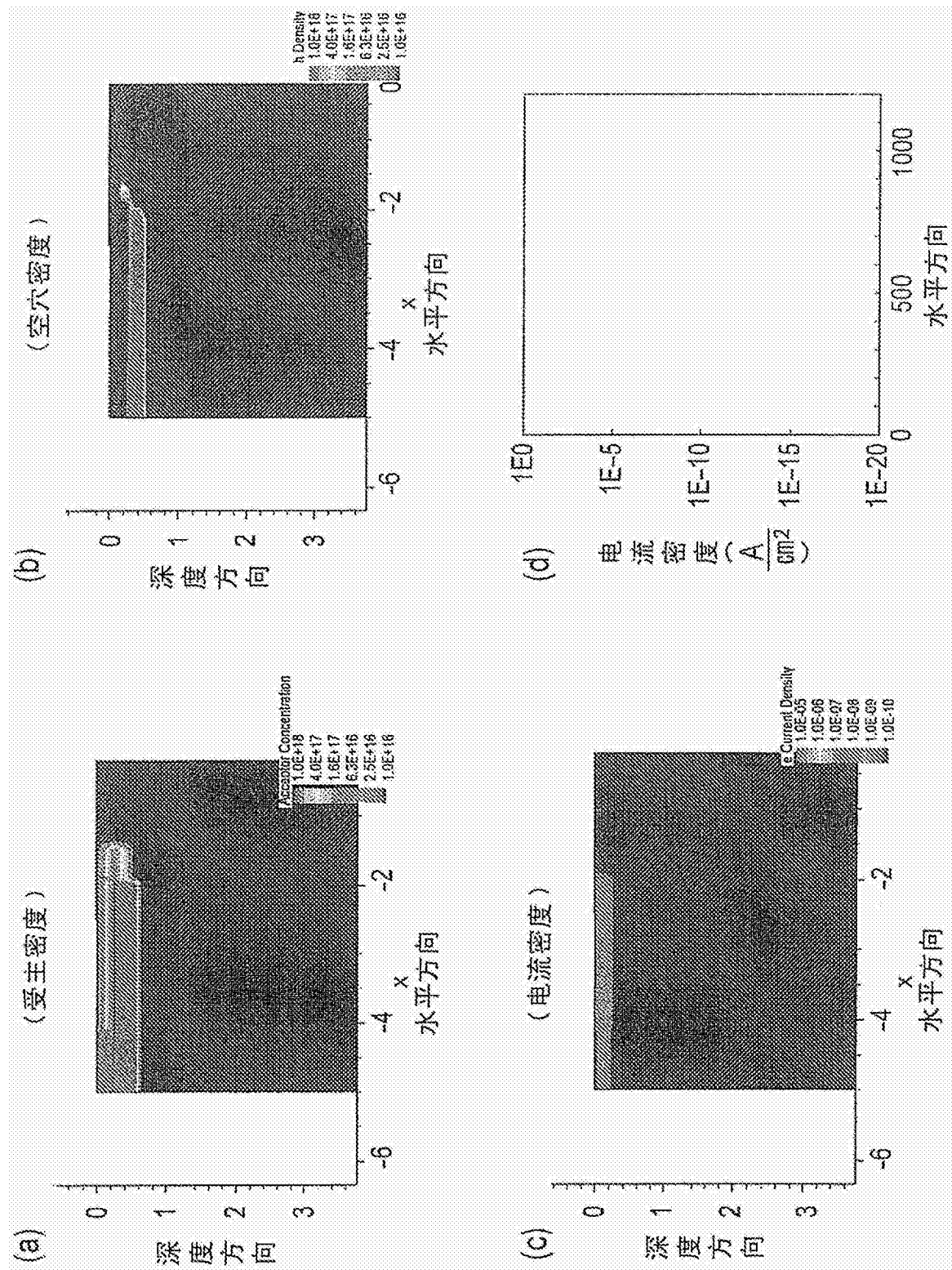


图20

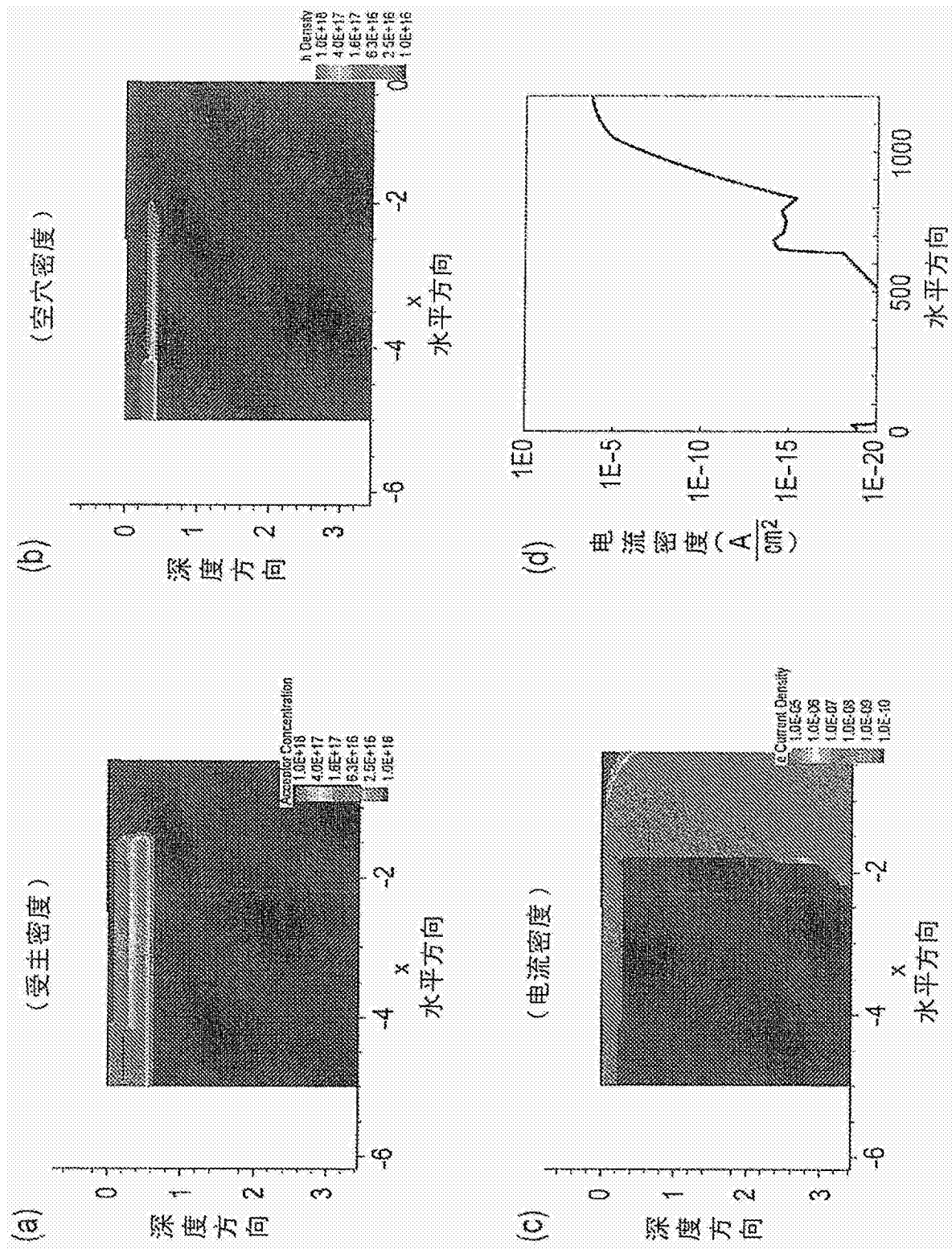


图21

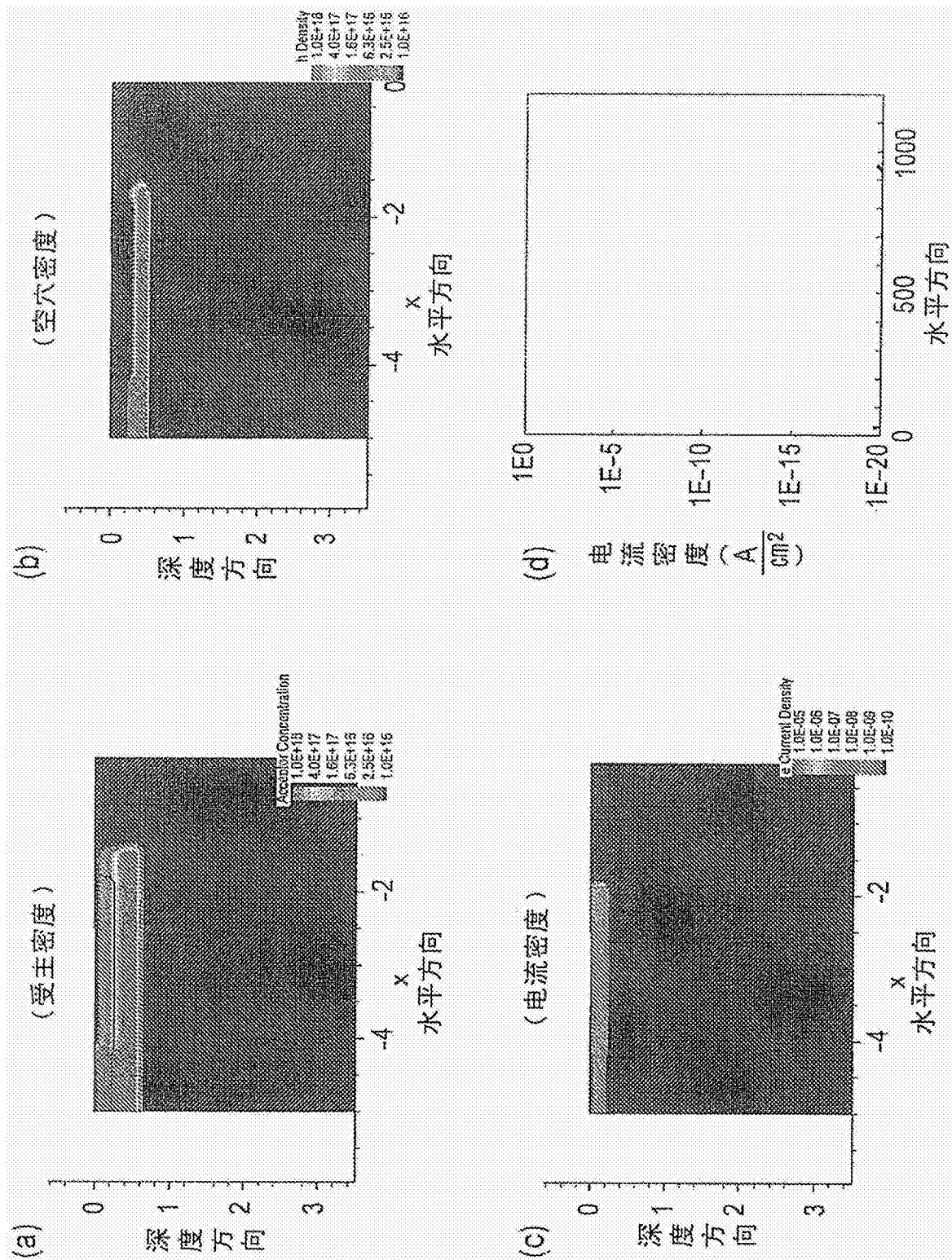


图22

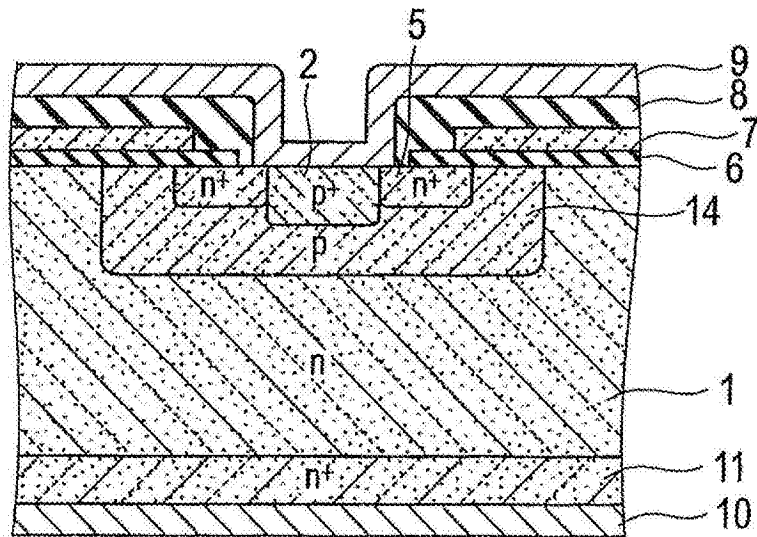


图25