(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102163971 B

(45)授权公告日 2013.07.31

(21)申请号 201110039913.0

(22)申请日 2011.02.17

(30)优先权数据

2010-034758 2010.02.19 JP

(73)专利权人 日本电波工业株式会社

地址 日本东京

(72)发明人 木村弘树 大西直树 土屋昇一

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 张丽

(51)Int.Cl.

H03L 7/08(2006.01)

H03L 7/099(2006.01)

H03L 7/18(2006.01)

(56)对比文件

US 4789996 ,1988.12.06,

CN 1815892 A,2006.08.09,

EP 1693967 A1,2006.08.23,

审查员 赵天奇

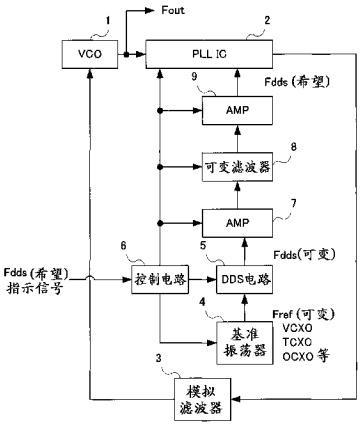
权利要求书2页 说明书7页 附图7页

(54)发明名称

PLL 电路

(57)摘要

本发明提供一种无需使噪声特性劣化、就能抑制消耗电力而提高可靠性的PLL电路。在该PLL电路中,具备对来自VCO(1)的输出频率Fout进行分频而与基准信号进行相位比较,将相位差作为控制电压而反馈到VCO(1)的PLL IC(2),控制电路(6)能够精细地设定基准频率Fref和DDS电路(5)中的输出频率Fdds这双方频率,通过两者的组合,在DDS电路(5)中生成针对Fref及其倍频频率的Fdds的重叠频率,利用第1AMP(7)进行放大,通过可变滤波器(8)选择所期望的Fdds(希望),利用第2AMP(9)进行放大而作为基准信号供给到PLL IC(2)中,控制电路(6)将分频比N也供给到PLL IC(2)中。



CN 102163971 B

1. 一种 PLL 电路，具有电压控制振荡器和相位比较单元，该相位比较单元对所述电压控制振荡器的输出进行分频而与基准信号的相位进行比较，将基于相位差的信号作为所述电压控制振荡器的控制电压而输出，该 PLL 电路的特征在于，具有 ：

基准振荡器，根据基准频率选择信号将基准频率设为可变并输出 ；

DDS 电路，根据所输入的基准频率按照来自外部的输出指示信号而输出输出信号，并且还输出针对所述基准频率以及该频率的倍频频率的输出信号的重叠信号 ；

第 1 放大器，利用从外部输入的第 1 放大设定值对来自所述 DDS 电路的输出信号进行放大 ；

可变滤波器，按照从外部输入的可变频率设定值将频率通过频带设为可变，而使来自所述第 1 放大器的输出信号通过 ；

第 2 放大器，利用从外部输入的第 2 放大设定值对来自所述可变滤波器的输出信号进行放大，并作为基准信号而输出到所述相位比较单元 ；以及

控制电路，如果输入了将所述基准信号设为所希望的频率的指示信号，则向所述基准振荡器输出对应于该指示信号的基准频率选择信号，向所述 DDS 电路输出对应于该指示信号的输出指示信号，向所述第 1 放大器输出对应于该指示信号的第 1 放大设定值，向所述可变滤波器输出对应于该指示信号的可变频率设定值，向所述第 2 放大器输出对应于该指示信号的第 2 放大设定值，向所述相位比较单元输出分频比，

控制电路具有 ：频率表格，对应于所输入的指示信号而存储所述基准频率选择信号和所述输出指示信号 ；设定值对应表格，对应于所述指示信号而存储所述第 1 放大设定值、所述第 2 放大设定值、所述可变频率设定值和所述分频比 ；以及控制部，针对所述指示信号的输入参照所述频率表格而输出对应的基准频率选择信号和输出指示信号，参照所述设定值对应表格而输出对应的第 1 放大设定值、第 2 放大设定值、可变频率设定值和分频比。

2. 根据权利要求 1 所述的 PLL 电路，其特征在于，

为了将基准信号设为所希望的频率，控制电路输出将基准振荡器中的基准频率和 DDS 电路中的输出信号这双方设为可变的基准频率选择信号和输出指示信号。

3. 根据权利要求 1 或 2 所述的 PLL 电路，其特征在于，

为了将基准信号设为所希望的频率，控制电路使在 DDS 电路中针对基准频率以及该频率的倍频频率而生成输出信号的重叠频率，并输出可变频率设定值，以利用可变滤波器选择所希望的频率。

4. 一种 PLL 电路，具有电压控制振荡器以及相位比较单元，该相位比较单元对所述电压控制振荡器的输出进行分频而与基准信号的相位进行比较，将基于相位差的信号作为所述电压控制振荡器的控制电压而输出，该 PLL 电路的特征在于，具有 ：

基准振荡器，根据基准频率选择信号将基准频率设为可变并输出 ；

DDS 电路，根据所输入的基准频率按照来自外部的输出指示信号而输出输出信号，并且还输出针对所述基准频率以及该频率的倍频频率的输出信号的重叠信号 ；

第 1 放大器，利用从外部输入的第 1 放大设定值对来自所述 DDS 电路的输出信号进行放大 ；

多个滤波器，具有各自不同的频率通过频带特性 ；

第 1 开关，根据从外部输入的选择信号而选择所述多个滤波器，并将来自所述第 1 放大

器的输出信号输出到该所选择的滤波器；

第 2 开关，根据从外部输入的选择信号而选择所述所选择的滤波器，并输出来自该滤波器的输出信号；

第 2 放大器，利用从外部输入的第 2 放大设定值对来自所述第 2 开关的输出信号进行放大，并作为基准信号而输出到所述相位比较单元中；以及

控制电路，如果输入了将所述基准信号设为所希望的频率的指示信号，则向所述基准振荡器输出对应于该指示信号的基准频率选择信号，向所述 DDS 电路输出对应于该指示信号的输出指示信号，向所述第 1 放大器输出对应于该指示信号的第 1 放大设定值，向所述第 2 放大器输出对应于该指示信号的第 2 放大设定值，向所述第 1 开关和所述第 2 开关输出对应于该指示信号的选择信号，向所述相位比较单元输出分频比，

控制电路具有：频率表格，对应于所输入的指示信号而存储所述基准频率选择信号和所述输出指示信号；设定值对应表格，对应于所述指示信号而存储所述第 1 放大设定值、所述第 2 放大设定值、所述选择信号和所述分频比；以及控制部，针对所述指示信号的输入参照所述频率表格而输出对应的基准频率选择信号和输出指示信号，参照所述设定值对应表格而输出对应的第 1 放大设定值、第 2 放大设定值、选择信号和分频比。

5. 根据权利要求 4 所述的 PLL 电路，其特征在于，

为了将基准信号设为所希望的频率，控制电路输出将基准振荡器中的基准频率和 DDS 电路中的输出信号这双方设为可变的基准频率选择信号和输出指示信号。

6. 根据权利要求 4 或 5 所述的 PLL 电路，其特征在于，

为了将基准信号设为所希望的频率，控制电路使在 DDS 电路中针对基准频率及该频率的倍频频率生成输出信号的重叠频率，并输出选择信号，以利用第 1 开关以及第 2 开关选择所希望的频率。

PLL 电路

技术领域

[0001] 本发明涉及 PLL(Phase Locked Loop :锁相环）电路，特别是涉及无需使噪声特性劣化、就能抑制消耗电力而提高可靠性的 PLL 电路。

背景技术

[0002] [以往的 PLL 电路 :图 9]

[0003] 参照图 9 对以往的 PLL 电路进行说明。图 9 是以往的 PLL 电路的结构图。

[0004] 如图 9 所示，以往的 PLL 电路由以下部分构成 :VCO(VoltageControlled Oscillator :电压控制振荡器）1、PLL IC(PLL IntegratedCircuit :相位比较单元）2、模拟滤波器 3、基准振荡器 4、DDS(DirectDigital Synthesizer :直接数字频率合成器）电路 5、控制电路 6。

[0005] VCO1 根据从模拟滤波器 3 输出的控制电压而输出所期望的振荡频率 Fout。

[0006] PLL IC2 输入振荡频率 Fout，利用从控制电路 6 供给的分频比的设定值，以来自 DDS 电路 5 的输出频率 Fdds 作为基准信号（时钟）而进行分频，并将分频频率输出到模拟滤波器 3。

[0007] 模拟滤波器 3 对来自 PLL IC2 的分频频率进行平滑化并作为 VCO1 的控制电压输出。

[0008] 基准振荡器 4 由 VCXO(Voltage Controlled Crystal Oscillator :压控晶体振荡器）、TCXO(Temperature Compensated CrystalOscillator 温度补偿晶体振荡器）、OCXO(Oven Controlled CrystalOscillator :恒温晶体振荡器）等构成，按照来自控制电路 6 的基准频率选择信号将基准频率 Fref 输出到 DDS 电路 5 中。

[0009] DDS 电路 5 按照来自控制电路 6 的 Fdds 选择信号，将基于来自基准振荡器 4 的基准频率 Fref 而生成的输出频率 Fdds 输出到 PLLIC2。

[0010] 控制电路 6 向基准振荡器 4 输出基准频率选择信号，向 DDS 电路 5 输出 Fdds 选择信号，向 PLL IC2 输出分频比的设定数据。

[0011] [以往的 PLL 电路的动作]

[0012] 在以往的 PLL 电路中，控制电路 6 对 PLL IC2 和 DDS 电路 5 输出成为在将 PLL 电路作为振荡器使用的系统中的规定的信道（频率）那样的数据（分频比的设定数据、Fdds 选择信号），并进行设定。

[0013] PLL IC2 根据设定数据而决定分频比、计数值，DDS 电路 5 决定作为 PLL IC2 的基准信号而使用的任意的输出频率 Fdds。由此，VCO 输出成为规定频率 Fout。

[0014] [相关技术]

[0015] 另外，作为相关的现有技术，有日本特开平 07-131343 号公报“周波数シンセサイザ”（申请人 :艾可慕株式会社）[专利文献 1]、日本特开 2007-208367 号公报“同期信号生成装置、送信機及び制御方法”（申请人 :健伍株式会社）[专利文献 2]、日本特开 2002-141797 号公报“周波数シンセサイザ”（申请人 :三菱电机株式会社）[专利文献 3]。

[0016] 在专利文献 1 中公开了如下内容 :在频率合成器中,在存储器中针对每个输出频率存储基准频率切换信号和 DDS 输出频率切换信号的组,在 PLL 电路锁定了时,将不需要的波分量限定到通过频带外。

[0017] 在专利文献 2 中公开了如下内容 :在同步信号生成装置中,调整分频器 (1/N) 的分频比 N、DDS 的输出频率 / 输入频率、分频器 (1/M a) 的分频比 M a、倍频器 (×M b) 的倍频系数 M b,以使发送波成为指示频率,并将 DDS 中的输入频率与输出频率的组合在 DDS 的输出中的寄生信号设为规定电平以下。

[0018] 在专利文献 3 中,公开有如下内容 :在频率合成器中,在将 DDS 的输出输入相位同步环之前,使之通过窄频带的频率可变型滤波器,并使该滤波器的中心频率变化而去除寄生信号。

发明内容

[0019] 在以往的 PLL 电路中,在被作为合成器而使用的情况下,通过改变 DDS 电路输出频率 Fdds、PLL IC 的设定而使多信道输出成为可能,但是能够作为 DDS 而输出的频率 Fdds 存在上限,为了提高振荡频率 Fout,需要提高 PLL IC 内的分频比。

[0020] 但是,通过提高 PLL IC 内的分频比,存在使利用 Fdds 而得到的噪声特性劣化的问题。

[0021] 例如,在设分频比为 100 的情况下,会伴随 2010g100 = 40dB 的劣化。

[0022] 此外,提高 DDS 电路输出频率本身也增大了作为电路的消耗电力,从而存在 PLL 电路的可靠性降低的问题。

[0023] 另外,在专利文献 1,2,3 中,不是利用针对基准频率及其倍频频率的 Fdds 的重叠频率生成 Fdds(希望) 而选择所期望的频率的结构。

[0024] 本发明是鉴于上述实际状况而作出的,目的在于提供一种无需使电力噪声特性劣化、就能抑制消耗电力而提高可靠性的 PLL 电路。

[0025] 用于解决上述现有例子的问题的本发明为一种 PLL 电路,具有电压控制振荡器以及相位比较单元,该相位比较单元对电压控制振荡器的输出进行分频而与基准信号的相位进行比较,将基于相位差的信号作为电压控制振荡器的控制电压而输出,该 PLL 电路具有 :基准振荡器,根据基准频率选择信号将基准频率设为可变并输出 ;DDS 电路,根据所输入的基准频率按照来自外部的输出指示信号而输出输出信号,并且还输出针对基准频率以及该频率的倍频频率的输出信号的重叠信号 ;第 1 放大器,利用从外部输入的第 1 放大设定值对来自 DDS 电路的输出信号进行放大 ;可变滤波器,按照从外部输入的可变频率设定值将频率通过频带设为可变,而使来自第 1 放大器的输出信号通过 ;第 2 放大器,利用从外部输入的第 2 放大设定值对来自可变滤波器的输出信号进行放大,并作为基准信号而输出到相位比较单元 ;以及控制电路,如果输入了将基准信号设为所希望的频率的指示信号,则向基准振荡器输出对应于该指示信号的基准频率选择信号,向 DDS 电路输出对应于该指示信号的输出指示信号,向第 1 放大器输出对应于该指示信号的第 1 放大设定值,向可变滤波器输出对应于该指示信号的可变频率设定值,向第 2 放大器输出对应于该指示信号的第 2 放大设定值,向相位比较单元输出分频比,因为 PLL 电路具有上述结构,所以具有如下效果 :能够精细且在宽的范围内生成并选择所希望的基准信号,无需使噪声特性劣化、就能抑制消耗

电力而提高电路的可靠性。

[0026] 本发明在上述 PLL 电路中，为了将基准信号设为所希望的频率，控制电路输出将基准振荡器中的基准频率和 DDS 电路中的输出信号这双方设为可变的基准频率选择信号和输出指示信号。

[0027] 本发明在上述 PLL 电路中，为了将基准信号设为所希望的频率，控制电路使在 DDS 电路中针对基准频率以及该频率的倍频频率生成输出信号的重叠频率，并输出可变频率设定值，以利用可变滤波器选择所希望的频率。

[0028] 本发明在上述 PLL 电路中，控制电路具有：频率表格，对应于所输入的指示信号而存储基准频率选择信号和输出指示信号；设定值对应表格，对应于指示信号而存储第 1 放大设定值、第 2 放大设定值、可变频率设定值、分频比；以及控制部，针对指示信号的输入参照频率表格而输出对应的基准频率选择信号和输出指示信号，参照设定值对应表格而输出对应的第 1 放大设定值、第 2 放大设定值、可变频率设定值、分频比。

[0029] 本发明为一种 PLL 电路，具有电压控制振荡器以及相位比较单元，该相位比较单元对电压控制振荡器的输出进行分频而与基准信号的相位进行比较，将基于相位差的信号作为所述电压控制振荡器的控制电压而输出，该 PLL 电路具有：基准振荡器，根据基准频率选择信号而将基准频率设为可变并输出；DDS 电路，根据所输入的基准频率按照来自外部的输出指示信号而输出输出信号，并且还输出针对基准频率以及该频率的倍频频率的输出信号的重叠信号；第 1 放大器，利用从外部输入的第 1 放大设定值对来自 DDS 电路的输出信号进行放大；多个滤波器，具有各自不同的频率通过频带特性；第 1 开关，根据从外部输入的选择信号而选择多个滤波器，并将来自第 1 放大器的输出信号输出到该所选择的滤波器中；第 2 开关，根据从外部输入的选择信号而选择所选择的滤波器，并输出来自该滤波器的输出信号；第 2 放大器，利用从外部输入的第 2 放大设定值对来自第 2 开关的输出信号进行放大，并作为基准信号而输出到相位比较单元；以及控制电路，如果输入了将基准信号设为所希望的频率的指示信号，则向基准振荡器输出对应于该指示信号的基准频率选择信号，向 DDS 电路输出对应于该指示信号的输出指示信号，向第 1 放大器输出对应于该指示信号的第 1 放大设定值，向第 2 放大器输出对应于该指示信号的第 2 放大设定值，向第 1 开关和第 2 开关输出对应于该指示信号的选择信号，向相位比较单元输出分频比，因为 PLL 电路具有上述结构，所以具有如下效果：能够精细且在宽的范围内生成并选择所希望的基准信号，无需使噪声特性劣化、就能抑制消耗电力而提高电路的可靠性。

[0030] 本发明在上述 PLL 电路中，为了将基准信号设为所希望的频率，控制电路输出将基准振荡器中的基准频率和 DDS 电路中的输出信号的双方设为可变的基准频率选择信号和输出指示信号。

[0031] 本发明在上述 PLL 电路中，为了将基准信号设为所希望的频率，控制电路使在 DDS 电路中针对基准频率及该频率的倍频频率生成输出信号的重叠频率，并输出选择信号，以利用第 1 开关以及第 2 开关选择所希望的频率。

[0032] 本发明在上述 PLL 电路中，控制电路具有：频率表格，对应于所输入的指示信号而存储基准频率选择信号和输出指示信号；设定值对应表格，对应于指示信号而存储第 1 放大设定值、第 2 放大设定值、选择信号、分频比；以及控制部，针对指示信号的输入参照频率表格而输出对应的基准频率选择信号和输出指示信号，参照设定值对应表格而输出对应的

第 1 放大设定值、第 2 放大设定值、选择信号、分频比。

附图说明

[0033] 图 1 是第 1PLL 电路的结构图。

[0034] 图 2 是示出 DDS 电路的结构例的图。

[0035] 图 3 是示出可变滤波器的例 1 的图。

[0036] 图 4 是示出可变滤波器的例 2 的图。

[0037] 图 5 是示出所得到的 Fdds(希望) 的例子的图。

[0038] 图 6 是控制电路的结构图。

[0039] 图 7 是控制部流程图。

[0040] 图 8 是第 2 实施方式中的 PLL 电路的结构图。

[0041] 图 9 是以往的 PLL 电路的结构图。

[0042] 附图标记说明

[0043] 1...VCO、2...PLL IC、3... 模拟滤波器、4... 基准振荡器、5...DDS 电路、6... 控制电路、7... 第 1 放大器 (AMP)、8... 可变滤波器、8a... 滤波器、8b... 滤波器、8c... 滤波器、9... 第 2 放大器 (A M P)、10a... 第 1 开关 (SW(1))、10b... 第 2 开关 (SW(2))、51... 加法器、52... 双稳态多谐振荡器 (flip-flop)、53... 正弦波表格、54... 数字 / 模拟转换器 (DAC)、55... 滤波器、61... 控制部、62... 频率表格、63... 设定值等对应表格

具体实施方式

[0044] 参照附图对本发明的实施方式进行说明。

[0045] [实施方式的概要]

[0046] 本发明的实施方式中的 PLL 电路，如果针对基准频率 Fref 设定 DDS 电路的输出频率 Fdds，则产生 Fref±Fdds、Fref×2±Fdds、Fref×3±Fdds、・・・、这样的重叠频率分量。在本 PLL 电路中，利用这些重叠的频率分量，能够将 Fref 和 Fdds 设为可变而通过其组合得到所期望的 Fdds(希望)。

[0047] [第 1PLL 电路 : 图 1]

[0048] 参照图 1 对本发明的第 1 的实施方式中的 PLL 电路 (第 1PLL 电路) 进行说明。图 1 是第 1PLL 电路的结构图。

[0049] 如图 1 所示，第 1PLL 电路具有 VCO1、PLL IC2、模拟滤波器 3、基准振荡器 4、DDS 电路 5、控制电路 6、第 1 放大器 (AMP)7、可变滤波器 (Filter)8、第 2 放大器 (AMP)9。

[0050] [各部分]

[0051] 对第 1PLL 电路的各部分进行说明。

[0052] VCO1 根据从模拟滤波器 3 输出的控制电压而输出所期望的振荡频率 Fout。

[0053] PLL IC2 是如下所述的相位比较器或相位比较单元 : 输入振荡频率 Fout，利用从控制电路 6 供给的分频比的设定值，以从 DDS 电路 5 经由第 2 的放大器 9 而输出的输出频率 Fdds(希望) 作为基准信号 (时钟) 而进行分频，并将分频频率输出到模拟滤波器 3。

[0054] 模拟滤波器 3 对来自 PLL IC2 的分频频率进行平滑化，并作为 VCO1 的控制电压而输出。

[0055] 基准振荡器 4 由 VCXO、TCXO、OCXO 等构成，按照来自控制电路 6 的基准频率选择信号将基准频率 Fref 输出到 DDS 电路 5。

[0056] DDS 电路 5 按照来自控制电路 6 的 Fdds 选择信号，基于来自基准振荡器 4 的基准频率 Fref 而生成 Fdds 并输出到第 1 的 AMP7 中。

[0057] 在此，在 DDS 电路 5 中，不仅生成 Fdds，还产生在基准频率 Fref 及其倍频频率 Fref×N 上 ±Fdds 的重叠频率，这些频率信号也从 DDS 电路 5 输出到第 1AMP7 中。

[0058] 控制电路 6 向基准振荡器 4 输出基准频率 Fref 选择信号，向 DDS 电路 5 输出 Fdds 选择信号，向第 1AMP7 以及第 2AMP9 输出放大设定值 1，2，向可变滤波器 8 输出可变频率设定值，向 PLL IC2 输出分频比的设定数据。

[0059] 关于控制电路 6 的内部结构、处理内容将在后说明。

[0060] 第 1 放大器 (AMP)7 利用来自控制电路 6 的放大设定值 1 而对应于选择来自 DDS 电路 5 的输出信号的信号进行放大。

[0061] 可变滤波器 8 根据来自控制电路 6 的可变频率设定值将通过频带设为可变，使来自第 1AMP7 的信号（所选择的信号）通过，并输入到第 2AMP9 中。

[0062] 第 2 放大器 (AMP)9 利用来自控制电路 6 的放大设定值 2 而对应于选择来自可变滤波器 8 的输出信号的信号进行放大。

[0063] [DDS 电路 :图 2]

[0064] 接下来，参照图 2 对 DDS 电路 5 进行说明。图 2 是示出 DDS 电路的结构例的图。

[0065] 如图 2 所示，DDS 电路 5 由加法器 51、双稳态多谐振荡器 52、正弦波表格 53、数字 / 模拟转换器 (DAC)54、滤波器 55 构成。

[0066] 向双稳态多谐振荡器 52 和 DAC54 输入基于来自基准振荡器 4 的基准频率 Fref 的采样时钟。

[0067] 加法器 51 对从控制电路 6 输入的频率设定值和来自双稳态多谐振荡器 52 的输出值进行加法运算并输出到双稳态多谐振荡器 52。

[0068] 双稳态多谐振荡器 52 利用采样时钟对来自加法器 51 的值进行采样并将采样值输出到加法器 51 和正弦波表格 53 中。

[0069] 正弦波表格 53 是存储针对输入值的正弦波的输出值的表格，将来自双稳态多谐振荡器 52 的输入值作为表格地址而读取对应的正弦波的数据，并作为表格数据而输出到 DAC54 中。

[0070] DAC54 使用采样时钟对来自正弦波表格 53 的表格数据进行模拟变换并输出到滤波器 55 中。

[0071] 滤波器 55 对来自 DAC54 的输出进行滤波，并作为模拟 / 正弦波而输出到第 1AMP7 中。

[0072] [可变滤波器 :图 3，4]

[0073] 接下来，参照图 3、4 对可变滤波器 8 进行说明。图 3 是示出可变滤波器的例 1 的图，图 4 是示出可变滤波器的例 2 的图。

[0074] 如图 3 所示，可变滤波器 1 在输入端子与输出端子之间串联连接可变电容二极管 D、电容器 C、线圈 L，在可变电容二极管 D 与电容器 C 之间经由电阻 R1 而施加电源 Vc，电阻 R2 的一端与输入段连接，另一端接地。

[0075] 另外，如图 4 所示，可变滤波器 2 以可变滤波器 1 为基础，将线圈 L2 的一端与输入段连接另一端接地，另外，电容器 C2 的一端与输入段连接而另一端连接在二极管 D2 的阴极侧，二极管 D2 的阳极侧接地，在电容器 C2 与二极管 D2 之间，经由电阻 R 2 而连接电压 Vc1。另外，在输出段也具有与输入段相同的结构。

[0076] [Fdds（希望）的例子：图 5]

[0077] 接下来，利用图 5 对通过 Fref 与 Fdds 的组合而得到的 Fdds（希望）的例子进行说明。图 5 示出所得到的 Fdds（希望）的例子的图。

[0078] 在图 5 中，示出设 Fref 固定为 40MHz、使 Fdds 以 1MHz 的步进从 10MHz 到 20MHz 变化时所发生的重叠频率的例子。

[0079] 以往，在仅使 Fdds 变化的情况下，仅能得到 10 ～ 20MHz。与此相对，在图 5 的例子中，在利用了针对 40MHz 和 40MHz 的倍频频率的 ±Fdds 的重叠频率的情况下，能够以 1MHz 的步进得到 20MHz ～ 30MHz、50MHz ～ 70MHz 等的 Fdds（希望）频率。

[0080] 另外，根据用途，通过将 Fdds 的变化幅度改变 100kHz、10kHz 等并改变 Fref 能够精细且在宽范围内得到 Fdds（希望）。

[0081] 另外，为了提高 Fdds（希望）的选择精度而设置可变滤波器 8，为了提高 PLL IC2 的输入电平而设置有第 1AMP7、第 2AMP9。

[0082] [控制电路：图 6]

[0083] 接下来，参照图 6 对控制电路 6 进行说明。图 6 是控制电路的结构图。

[0084] 如图 6 所示，控制电路 6 基本地具有控制部 61、频率表格 62、设定值等对应表格 63。

[0085] 控制部 61 输入来自外部的 Fdds（希望）指示信号，对应于该指示信号参照频率表格 62 和设定值等对应表格 63 输出以下的信号、值。

[0086] 其中，所说的 Fdds（希望）指示信号是 PLL 电路的设定者用于得到 Fdds（希望）的指示信号。

[0087] Fref 选择信号是用于确定在基准振荡器 4 中振荡的基准频率 Fref 的信号。

[0088] Fdds 指示信号是指定 DDS 电路 5 中的 Fdds 的信号。

[0089] 放大设定值 1 表示对应于 Fdds（希望）的第 1AMP7 中的放大设定值，放大设定值 2 表示第 2AMP9 中的放大设定值。

[0090] 可变频率设定值是对应于 Fdds（希望）的可变滤波器 8 中的可变频率设定值。

[0091] 分频比 N 表示对应于 Fdds（希望）的 PLL IC2 中的分频比。

[0092] 频率表格 62 存储对应于 Fdds（希望）指示信号的 Fref 选择信号的值、Fdds 指示信号的值，具体而言，图 5 所示的对应关系为能够根据 Fdds（希望）得到 Fref 和 Fdds 的表格。如上所述，Fref 和 Fdds 都能够精细地设定其值。

[0093] 设定值等对应表格 63 针对 Fdds（希望）指示信号而预先存储有放大设定值 1，2、可变频率设定值、分频比 N。

[0094] [控制部流程：图 7]

[0095] 接下来，参照图 7 对控制部 61 中的处理进行说明。图 7 是控制部的流程图。

[0096] 如果从外部（操作者或设定者）输入了 Fdds（希望）指示信号 (S1)，则控制部 61 参照频率表格 62 而确定 Fref、Fref×N、Fdds(S2)，并将 Fref 选择信号输出到基准振荡器

4 中 (S3)，将 Fdds 指示信号输入到 DDS 电路 5 中 (S4)。

[0097] 另外，控制部 61 参照设定值等对应表格 63 向 AMP7、9 输出对应于 Fdds（希望）的对 AMP7、9 的放大设定值 (S5)。

[0098] 进而，控制部 6 参照设定值等对应表格 63 向可变滤波器 8 输出对应于 Fdds（希望）的可变频率设定值 (S6)，向 PLL IC2 输出对应于 Fdds（希望）的分频比 N(S7)。

[0099] [第 2PLL 电路 :图 8]

[0100] 接下来，参照图 8 对第 2 实施方式中的 PLL 电路（第 2PLL 电路）进行说明。图 8 是第 2 实施方式中的 PLL 电路的结构图。

[0101] 如图 8 所示，作为与图 1 所示的第 1PLL 电路不同的部分，在于第 2 的 PLL 电路不设置可变滤波器 8 而设置有多个滤波器 8a，8b，8c、用于选择这些滤波器的第 1 开关 (SW(1))10a、第 2 开关 (SW(2))10b 这一点。

[0102] 另外，在图 1 中，控制电路 6 对可变滤波器 8 输出了可变频率设定值，但在图 8 中，控制电路 6 对 SW(1)10a 和 SW(2)10b 输出滤波器选择的指示信号。

[0103] 在图 8 中，示出 3 个滤波器 8a ～ 8c，但既可以是 2 个，也可以是 4 个以上。

[0104] [不同的各部分]

[0105] 对在第 2PLL 电路中与第 1PLL 电路不同的各部分进行说明。

[0106] 第 1AMP7 向 SW(1)10a 输出放大输出。

[0107] SW(1)10a 向按照来自控制电路 6 的滤波器选择信号所选择的滤波器输出来自第 1AMP7 的放大信号。

[0108] SW(2)10b 选择来自按照来自控制电路 6 的滤波器选择信号所选择的滤波器的输出，并输出到第 2AMP9 中。

[0109] 第 2AMP9 对来自 SW(2)10b 的输出进行放大并作为 Fdds（希望）而输出到 PLL IC2 中。

[0110] 然后，控制电路 6 对 SW(1)10a 和 SW(2)10b 输出选择所使用的滤波器的滤波器选择指示信号。

[0111] 因此，在控制部内的结构中，在设定值等对应表格 63 中替代可变频率设定值而存储用于针对 2 个开关选择所使用的滤波器的滤波器选择指示信号，控制部 61 针对 Fdds（希望）指示信号参照设定值等对应表格 63，向 2 个 SW 输出滤波器选择指示信号。

[0112] [实施方式的效果]

[0113] 本发明的实施方式中的 PLL 电路，通过做到能够精细地设定 Fref 和 Fdds 这双方的值，从而通过两者的组合生成精细且宽范围内的 Fdds（希望），通过可变滤波器 8 或多个滤波器 8a ～ 8c 选择所期望的 Fdds（希望），并提供给 PLL IC2，所以具有如下效果 :无需使噪声特性劣化，就能通过抑制 DDS 电路 5 的消耗电力而抑制 PLL 电路的消耗电力，从而提高电路的可靠性。

[0114] 本发明适用于无需使噪声特性劣化、就能抑制消耗电力而提高可靠性的 PLL 电路。

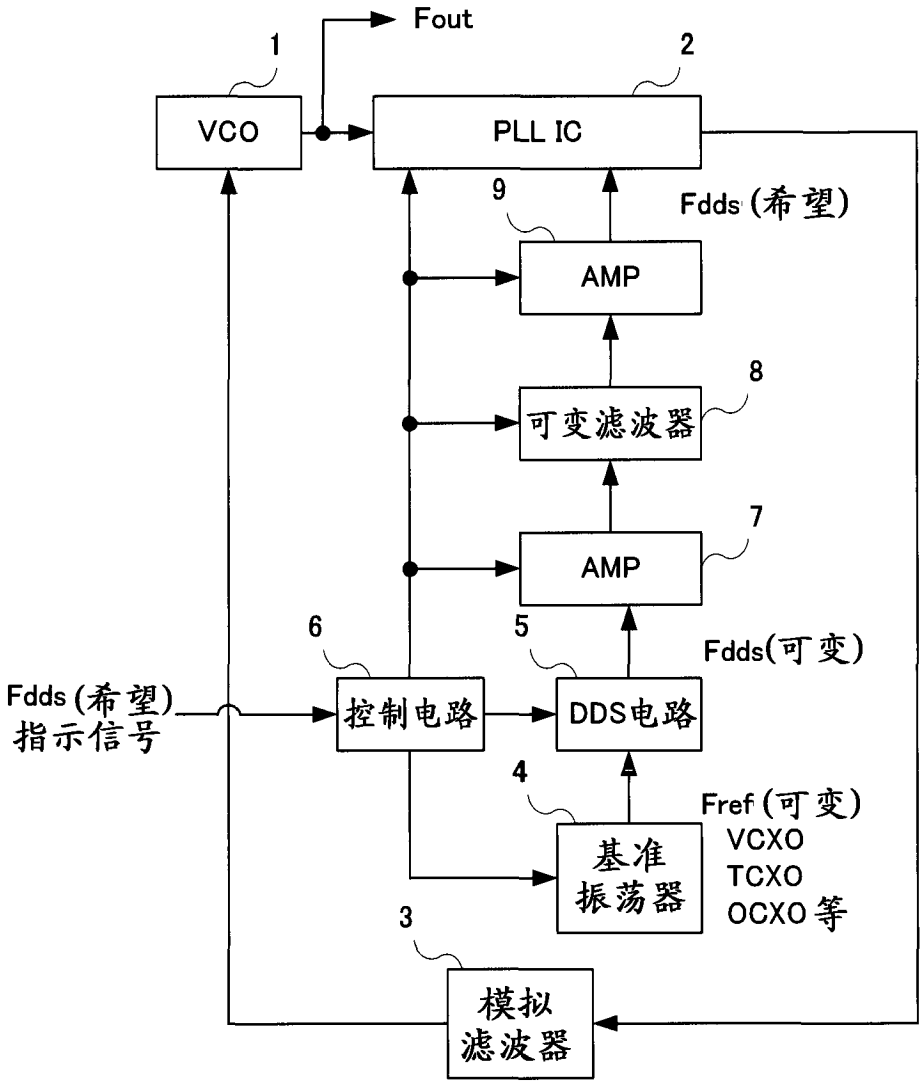

Fout
1
2
VCO
PLL IC
9
Fdds (希望)
AMP
8
可变滤波器
7
AMP
6
5
Fdds(可变)
Fdds (希望)
指示信号
控制电路
DDS电路
4
Fref (可变)
VCXO
TCXO
OCXO 等
基准
振荡器
3
模拟
滤波器

图 1

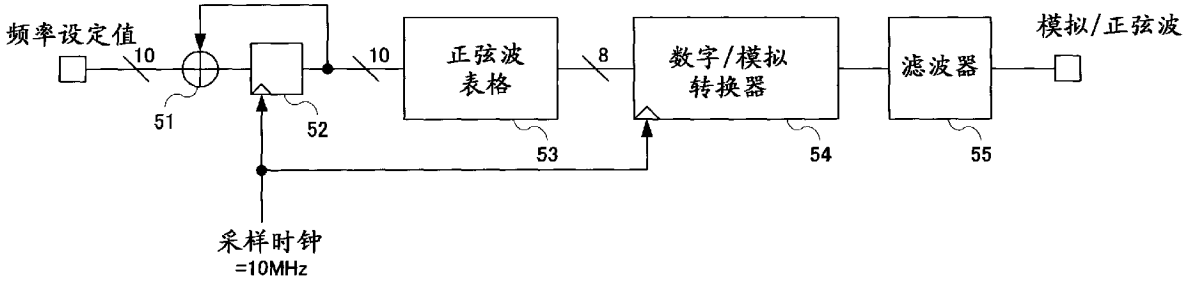

频率设定值
10
51
52
10
正弦波
表格
53
8
数字/模拟
转换器
54
滤波器
55
模拟/正弦波
采样时钟
=10MHz

图 2

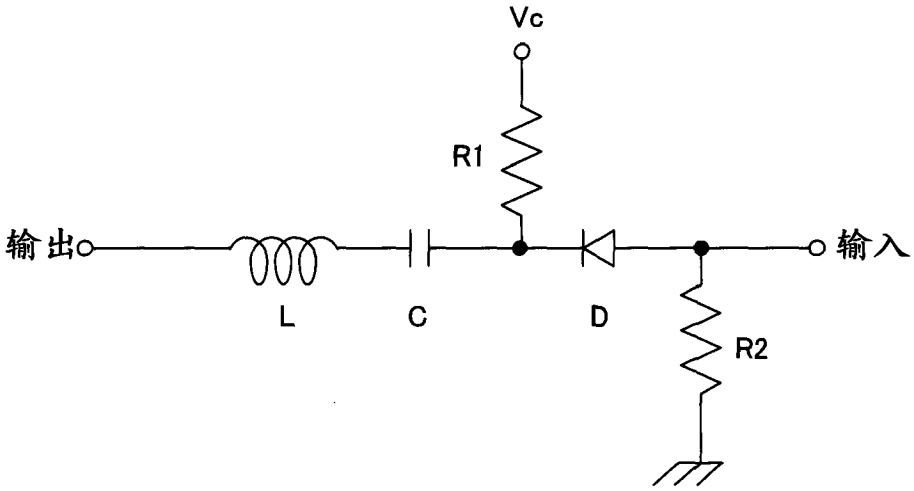

Vc
R1
输出
输入
L
C
D
R2

图 3

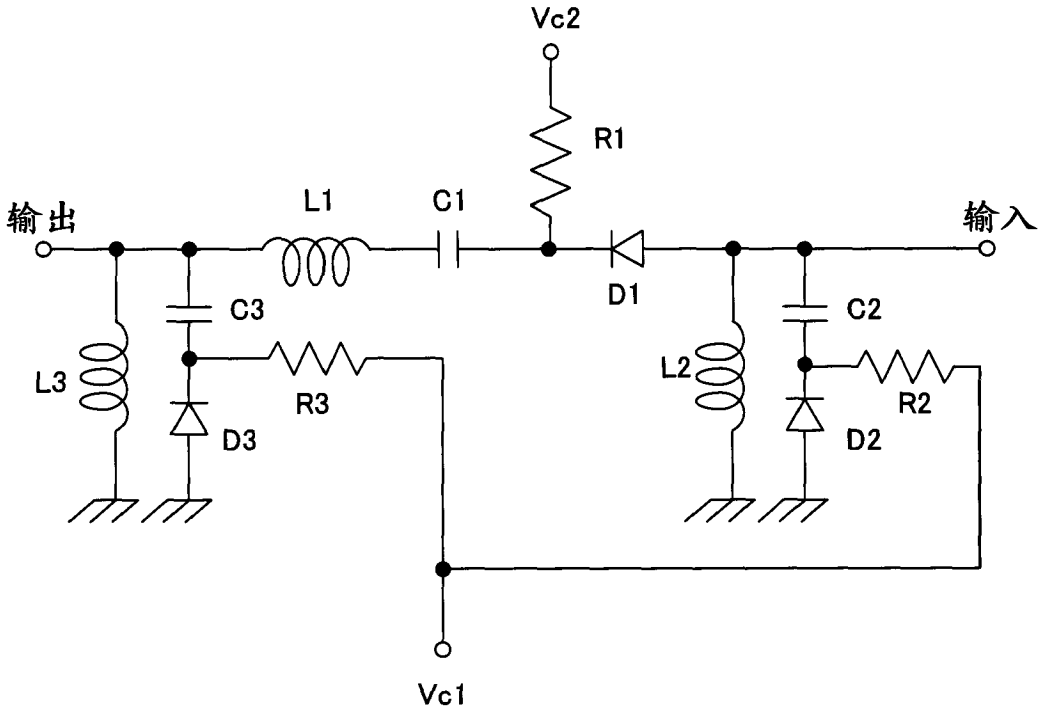


图 4

		Fdds (MHz)										
		10	11	12	13	14	15	16	17	18	19	20
Fref x 1	40	30	29	28	27	26	25	24	23	22	21	20
		50	51	52	53	54	55	56	57	58	59	60
Fref x 2	80	70	69	68	67	66	65	64	63	62	61	60
		90	91	92	93	94	95	96	97	98	99	100
Fref x 3	120	110	109	108	107	106	105	104	103	102	101	100
		130	131	132	133	134	135	136	137	138	139	140
Fref x 4	160	150	149	148	147	146	145	144	143	142	141	140
		170	171	172	173	174	175	176	177	178	179	180

图 5

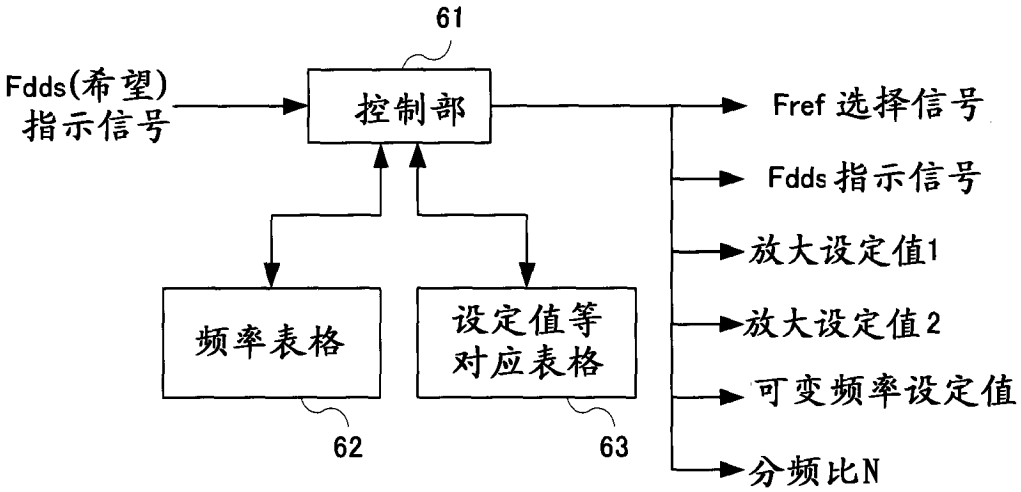

61
Fdds(希望)
指示信号
控制部
Fref 选择信号
Fdds 指示信号
放大设定值1
放大设定值2
可变频率设定值
分频比N
频率表格
设定值等
对应表格
62
63

图 6

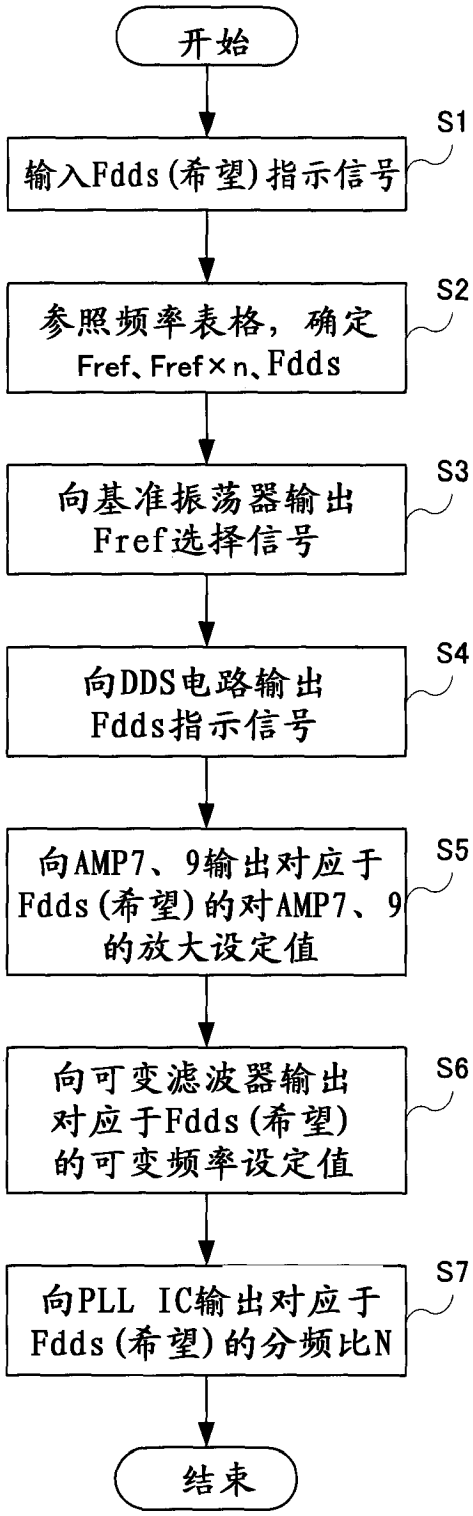

开始
S1
输入Fdds(希望)指示信号
S2
参照频率表格，确定
Fref、Fref×n、Fdds
S3
向基准振荡器输出
Fref选择信号
S4
向DDS电路输出
Fdds指示信号
S5
向AMP7、9输出对应于
Fdds(希望)的对AMP7、9
的放大设定值
S6
向可变滤波器输出
对应于Fdds(希望)
的可变频率设定值
S7
向PLL IC输出对应于
Fdds(希望)的分频比N
结束

图 7

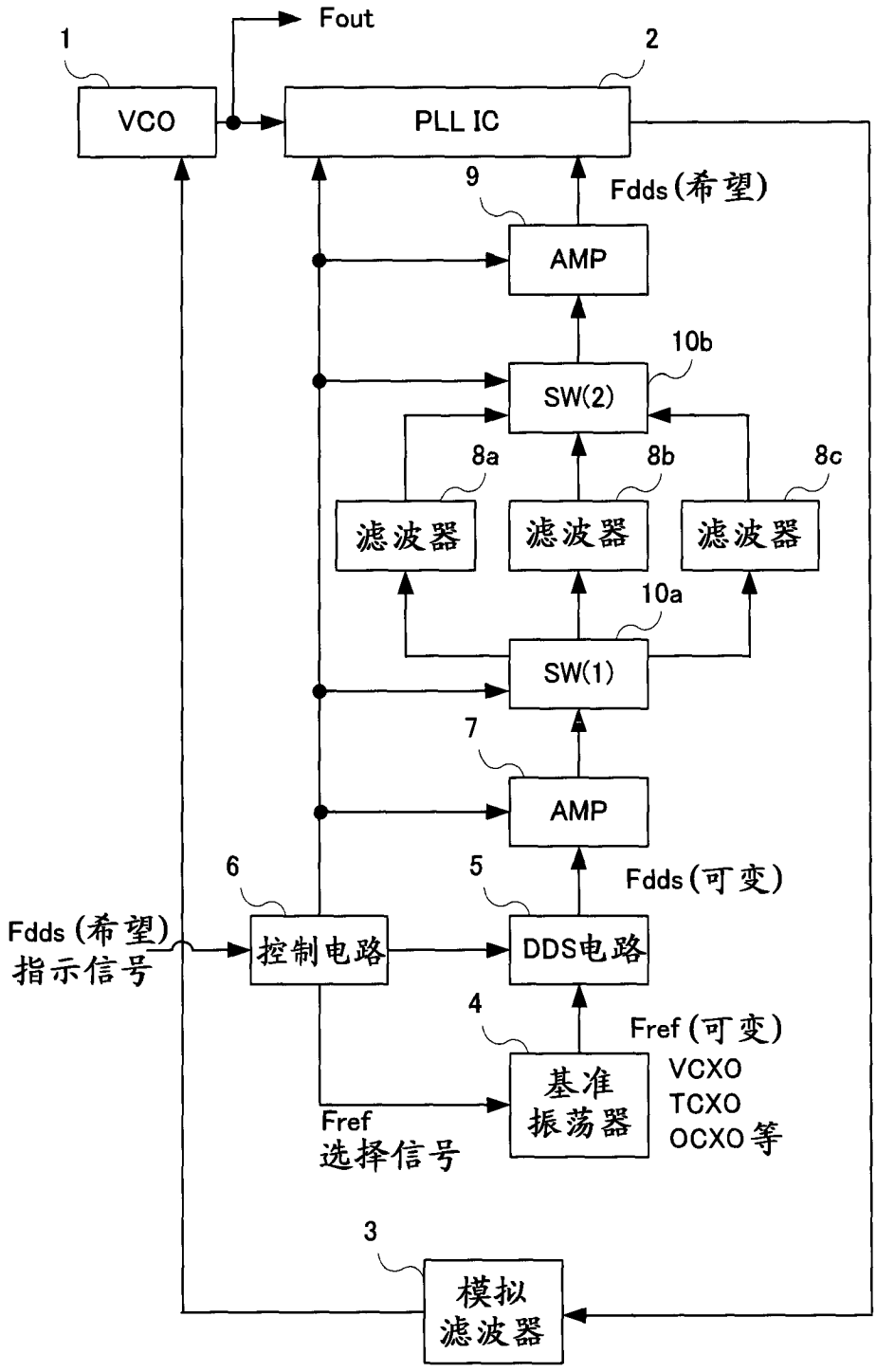

Fout
1
2
VCO
PLL IC
9
Fdds(希望)
AMP
10b
SW(2)
8a
8b
8c
滤波器
滤波器
滤波器
10a
SW(1)
7
AMP
6
5
Fdds(可变)
Fdds(希望)
指示信号
控制电路
DDS电路
4
Fref(可变)
基准
振荡器
VCXO
TCXO
OCXO等
Fref
选择信号
3
模拟
滤波器

图 8

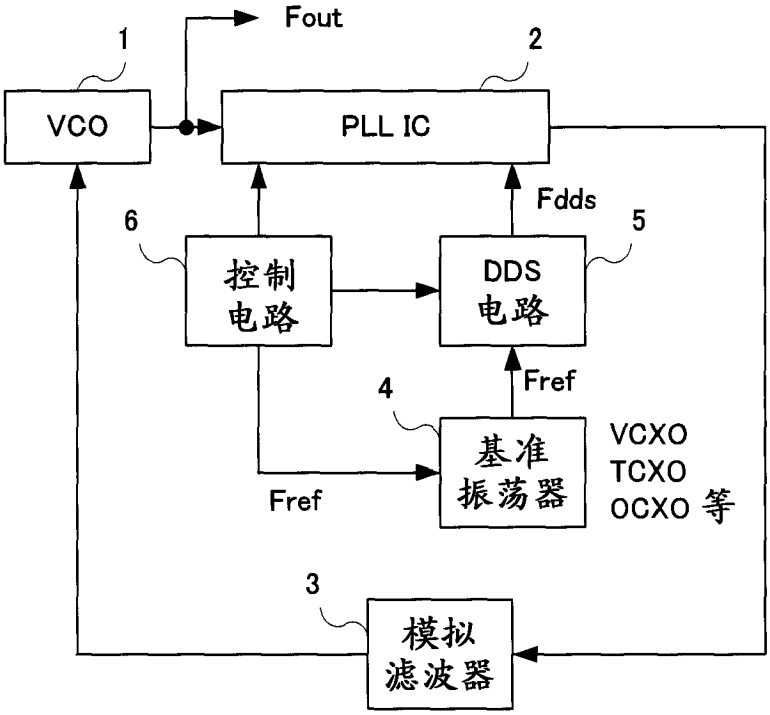

Fout
1
2
VCO
PLL IC
Fdds
6
5
控制
电路
DDS
电路
Fref
4
基准
振荡器
VCXO
TCXO
OCXO 等
Fref
3
模拟
滤波器

图 9